

# Optimierung von koplanaren GaN-MMIC-Leistungsverstärkern im X-Band

vorgelegt von  
Dipl.-Ing.  
Erhan Ersoy

von der Fakultät IV - Elektrotechnik und Informatik  
der Technischen Universität Berlin  
zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften  
– Dr.-Ing. –  
genehmigte Dissertation

Promotionsausschuss:

Vorsitzender: Prof. Dr.-Ing. Jürgen Bruns  
Gutachter: Prof. Dr.-Ing. Wolfgang Heinrich  
Prof. Dr.-Ing. Arne Jacob  
Prof. Dr.-Ing. Udo Pursche

Tag der wissenschaftlichen Aussprache: 27. August 2019

Berlin 2019



# Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Ferdinand-Braun-Institut, Leibniz-Institut für Höchstfrequenztechnik, (FBH) in Berlin-Adlershof.

Danken möchte ich als erstes Herr Prof. Dr. Günther Tränkle, Direktor des Instituts, der mir die Möglichkeit zu dieser Promotion an seinem Institut gegeben hat. Durch seine geschickte Führung hat er am Institut eine hervorragende Prozesstechnologie und Messtechnik etabliert, die erst die Grundlagen dieser Arbeit ermöglichten.

Einen besonderen Dank möchte ich meinem Doktorvater und dem Leiter der Abteilung Mikrowellentechnik, Prof. Dr.-Ing. Wolfgang Heinrich, für die Betreuung dieser Promotion aussprechen. Durch seine freundliche Art hat er mit fruchtbaren Diskussionen und Anregungen wesentlich zum Entstehen dieser Promotionen beigetragen.

Danken möchte ich auch Herrn Dr. Chafik Meliani und Herr Olof Bengtsson (Ph.D.), die zu unterschiedlichen Phasen dieser Arbeit durch regen Gedankenaustausch und Anregungen zum Entstehen dieser Arbeit beigetragen haben.

Weiterhin bedanken möchte ich mich auch bei Herrn Dr.-Ing. Franz-Josef Schmückle für seine EM-Simulationen, der darüber hinaus mit seiner freundlichen und humorvollen Art zum angenehmen Arbeitsumfeld beitrug.

Herr Dipl.-Ing. Ralf Doerner und den anderen Mitarbeitern der Messtechnik möchte ich für die Unterstützung bei der Durchführung der notwendigen Messungen danken.

Ausserdem möchte ich Herr Dr.-Ing. Bernd Janke für die Betreuung der Layouts danken und dafür, dass er mir während meiner Zeit am FBH ein sehr angenehmer und netter Zimmerkollege war. Gleicher Dank gilt auch den anderen Zimmerkollegen.

Ich danke auch ausdrücklich meinen Eltern: Meiner Mutter Gülender Ersoy und meinem Vater Şevki Ersoy. Beide förderten mich von Kindheit her und ermöglichten mir erst diesen beruflichen Werdegang. Danken möchte ich zudem meinem Bruder Erbay Ersoy.

Mein letzter Dank geht auch zuletzt ausdrücklich an meine Familie: An meine Ehefrau Neşe Ersoy und an meine beiden Kinder Kuzeyhan und Umay Ersoy. Ihre moralische Unterstützung war mir während der Erstellung dieser Arbeit eine große Hilfe. Meiner Ehefrau danke ich zudem für ihr Korrekturlesen.

## Kurzfassung

Seit der Erfindung des Transistors haben diese Halbleiter-Bauteile mit fortschreitender Entwicklung die bis dato in Verstärkern verwendeten Bauteile, die Elektronenröhren, immer mehr verdrängt. Als ein weiterer Schritt dieser Entwicklung findet im X-Band (8 bis 12 GHz) die Verdrängung in Radar- und Satellitenanwendungen statt. Für den Einsatz in solchen Anwendungen werden Leistungsverstärker in Form von monolithisch integrierten Mikrowellenschaltkreisen (MMIC) mit einer Ausgangsleistung von  $>10$  W benötigt. In dieser Arbeit werden koplanare monolithisch integrierte X-Band-Leistungsverstärker auf der Basis von GaN-Transistoren vorgestellt, die diesen Anforderungen entsprechen. Das Ziel ist, das Potential der koplanaren Variante im Vergleich zur gängigen Mikrostreifen-leitungsversion zu klären und die Machbarkeit aufgebauter Verstärkermodule zu demonstrieren.

Zu diesem Zweck wird in einem Fallbeispiel ein identischer Verstärker in beiden Leitungsvarianten simuliert. Aus den Ergebnissen wird ersichtlich, dass der Einsatz von Mikrostreifenleitungen Verstärker mit besseren Kennwerten zur Folge hat. Um die Defizite der Koplanarleitung zu kompensieren, werden drei Optimierungssätze untersucht. Als Erstes werden neue Leitungs-Diskontinuitäten betrachtet. An einer einfachen Parallelschaltung zweier Transistoren liefert eine dieser alternativen Verteiler- und Kombinerer gegenüber der Standard-Variante eine um etwa 0,7 dB höhere  $P_{out,max}$ , eine um etwa 3 % höhere  $PAE$  und ein um etwa 0,3 dB höheres  $G_T$ . Als Zweites werden alternative Ausführungen der CPW, die geringere oder zumindest vergleichbare ohmsche Verluste aufweisen als die Mikrostreifenleitung, untersucht. Hierzu werden sogenannte Interdigit CPWs (ICPW) analysiert, mit Fokus auf den ohmschen Verlusten. Dieser Ansatz liefert zwar einige interessante Erkenntnisse, nicht aber eine Variante mit geringeren Verlusten. Beim dritten werden mehrere Transistoren mit unterschiedlichen Zuleitungsvarianten gegenübergestellt. Als Resultat konnte eine Zuleitungsvariante gefunden werden, bei der gegenüber Standard-Zuleitungsvariante eine um 0,6 dB höhere  $P_{out,max}$ , eine um 3 % höhere  $PAE$  und ein um 1 dB höheres  $G_T$  erzielt wird.

Anschließend werden vier GaN-MMIC-Leistungsverstärker vorgestellt, die bis zu einer maximalen  $PAE$  von 37 %, einer  $G_T$  von 26 dB und einer  $P_{out,max}$  von 12 W aufweisen. In einer State-of-the-Art-Betrachtung konnte gezeigt werden, dass der entworfene Leistungsverstärker-MMIC Verstärkerkennwerte erzielt, die im Mittelfeld der gängigen und mit Mikrostreifenleitungen aufgebauten Leistungsverstärker-MMIC liegen. Mit diesem realisierten X-Band MMIC-Leistungsverstärker werden hybriden Verstärkermodulen mit klassischen Steckverbindern aufgebaut. Neben einem Modul als single-ended-Verstärker wurden auch balancierte Leistungsverstärker realisiert. Dazu wurde ein modulares

Aufbaukonzept entwickelt. Die balancierten Verstärker erreichen bei 10 GHz ein  $P_{out,max}$  von 22 W, ein  $G_T$  von 24 dB und eine  $PAE$  von 31 %. Das Modul als single-ended-Verstärker liefert eine  $P_{out,max}$  von 11,5 W, ein  $G_T$  von 25 dB und eine  $PAE$  von 30 %.

Weiterhin wird noch die Breitband-Version eines Leistungsverstärkers für den Frequenzbereich 2 bis 12 GHz vorgestellt, die auf dem Konzept des nicht-uniformen verteilten Verstärkers basiert, der State-of-the-Art-Werte erreicht.

Zusammenfassend kann man festhalten, dass mit der vorhandenen koplanaren GaN-MMIC-Technologie Verstärker realisiert werden, die den Stand der Technik bei vergleichbaren Mikrostreifenleitungen nicht voll erreichen. Zwei der drei Optimierungsansätze für die Koplanarleitungsstruktur liefern Verbesserungen, mit denen man das Leistungspotenzial koplanarer GaN-MMIC-Technologie weiter ausschöpfen kann.

## Abstract

Since the invention of the transistor, solid-state devices have replaced electron tubes in amplifiers more and more. As a further step in this development nowadays, the replacement in radar and satellite applications takes place in the X-band (8 to 12 GHz). For use in such applications as power amplifiers in the form of monolithic microwave integrated circuits (MMIC) are required with an output power of >10 W. This thesis presents coplanar monolithically integrated X-band power amplifiers based on GaN transistors that meet these requirements. The goal of the thesis is to clarify the potential of the coplanar wave guide (CPW) variant compared to the common microstrip line version and to demonstrate the feasibility of packaged amplifier modules.

For this purpose, in a case example, an identical amplifier is constructed in both transmission line variants. From the results, it can be seen that the use of microstrip lines results in amplifiers with better characteristics. To compensate for the coplanar wave guide deficits, three approaches of optimization are examined. First, new transmission line junctions are considered. In a simple parallel connection of two transistors, one of these alternative dividers and combiners provides about 0.7 dB higher  $P_{out,max}$  than the standard version, about 3 % higher  $PAE$  and about 0.3 dB higher  $G_T$ . Second, alternative embodiments of the CPW that have lower or at least comparable ohmic losses than the microstrip line are investigated. For this purpose, so-called Interdigit CPWs (ICPW) are analyzed, with focus on ohmic losses. Although this approach provides some interesting insights, it does not lead to structures with lower losses. Third, several transistors with different periphery are compared. As a result, a periphery variant was found in over standard lead variant higher by 0.6 dB  $P_{out,max}$ , higher by 3 %  $PAE$  and higher by 1 dB  $G_T$  is achieved.

Subsequently, four GaN-MMIC power amplifiers are presented which have a maximum  $PAE$  of 37%, a  $G_T$  of 26 dB and a  $P_{out,max}$  of 12 W. In a state-of-the-art consideration it could be shown that the designed power amplifier MMIC amplifier characteristic obtained are within the middle range of integrated and built up with microstrip lines power amplifier MMIC. With these realized X-band MMIC power amplifiers, hybrid amplifier modules are set up with classic connectors. Both single-ended and balanced power amplifiers were realized. For this purpose, a modular design concept was developed. The balanced amplifiers reach at 10 GHz a  $P_{out,max}$  of 22 W, a  $G_T$  of 24 dB and a  $PAE$  of 31 %. The module as a single-ended amplifier delivers at 10 GHz a  $P_{out,max}$  of 11.5 W, a  $G_T$  of 25 dB and a  $PAE$  of 30 %.

Furthermore, a broadband version of a power amplifier for the frequency range 2 to 12 GHz is presented, which is based on the concept of the non-uniform distributed amplifier, which achieves state-of-the-art values.

Summarizing one can state that, with the existing coplanar GaN-MMIC technology amplifiers could be realized, which achieve a performance close to that of comparative microstrip line versions, but still a bit lower. Two of the three optimization approaches for the CPW structure proposed in this work provide enhancements that further leverage the potential of coplanar GaN-MMIC technology.

# Inhaltsverzeichnis

<b>Danksagung</b> .....	<b>III</b>
<b>Kurzfassung</b> .....	<b>IV</b>
<b>Abstract</b> .....	<b>VI</b>
<b>Inhaltsverzeichnis</b> .....	<b>VIII</b>
<b>1 Einleitung</b> .....	<b>1</b>
1.1 Motivation.....	1
1.2 Gliederung der Arbeit .....	4
<b>2 Grundlagen</b> .....	<b>6</b>
2.1 Grundlagen der HF-Leistungsverstärkertheorie .....	6
2.1.1 Wichtige Kenngrößen der Leistungsverstärkertheorie .....	6
2.1.1.1 Maximale Ausgangsleistung .....	7
2.1.1.2 Verstärkung .....	8
2.1.1.3 Effizienz .....	9
2.1.2 Leistungsverstärkerklassen .....	10
2.1.2.1 Konventionelle Leistungsverstärker.....	11
2.2 Load-Pull-Messplatz.....	15
2.2.1 Dynamikbereich- und Genauigkeitsverbesserung des LP-Messplatzes durch vorangepasste Transistoren.....	17
2.2.1.1 Begrenzende Eigenschaften des LP-Messplatzes .....	17
2.2.1.2 Verbesserung durch vorangepasste Transistoren .....	20
2.3 „GaN on SiC“-MMIC-Technologie am FBH .....	23
2.4 Wahl und Optimierung der Transistorgröße und der -geometrie für den Einsatz in Leistungsverstärkern.....	27
2.4.1 Untersuchung des Pitch-Einflusses auf die Leistungsverstärkerkenngrößen .....	30
2.4.2 Untersuchung von HEMTs mit und ohne source-kontaktierter Feldplatte.....	32
2.5 State-of-the-Art-Betrachtung der GaN-MMIC-Leistungsverstärker im X-Band .	34
<b>3 Einflüsse von Leitungsverlusten auf HF-Leistungsverstärker</b> .....	<b>37</b>
3.1 Verlustbetrachtung einer typischen Verstärkerschaltung .....	37
3.2 Charakteristische Größen von Streifenleitungen .....	41
3.3 Leitungsarten für die FBH GaN-MMIC-Technologie.....	43
3.3.1 Allgemeiner Vergleich MS- und CPW-Leitung .....	43
3.3.2 Technologiespezifischer Vergleich MS- und CPW-Leitung .....	46
3.4 Fallbeispiel.....	49
<b>4 Optimierungsansätze an der koplanaren GaN-MMIC-Technologie</b> .....	<b>53</b>
4.1 Optimierte CPW-Diskontinuitäten .....	54

4.2	Interdigitale CPW als alternative CPW-Variante .....	65
4.2.1	Untersuchung der ohmschen Leitungsverluste der ICPW .....	67
4.2.2	Untersuchung der HF-Stromverteilung der ICPW .....	71
4.2.3	Fazit .....	74
4.3	Untersuchung von HEMTs mit neuartiger Peripherie und inhomogenen Gate-Fingerlängen .....	74
<b>5</b>	<b>X-Band GaN-MMIC-Leistungsverstärker .....</b>	<b>79</b>
5.1	Entwurfalgorithmus.....	79
5.2	Zweistufiger GaN-Leistungsverstärker-MMIC PA10D .....	81
5.3	Zweistufiger GaN-Leistungsverstärker-MMIC PA10G .....	85
5.4	Zweistufiger GaN-Leistungsverstärker-MMIC PA10I.....	87
5.5	Zweistufiger GaN-Leistungsverstärker-MMIC PA10N .....	89
<b>6</b>	<b>Nicht-Uniformer Verteilter Leistungsverstärker GaN-MMIC .....</b>	<b>92</b>
6.1	Uniformer verteilter Verstärker .....	93
6.1.1	Analytische Beschreibung des uniformen TWAs.....	96
6.2	Nicht-uniformer Verteilter Verstärker .....	97
6.3	Entwurf des nicht-uniformen verteilten GaN-MMIC-Leistungsverstärkers .....	97
6.3.1	Messergebnisse und Diskussion .....	98
6.3.2	Vergleich der nicht-uniformen TWAs mit 0,25 $\mu$ m und mit 0,5 $\mu$ m HEMTs.....	100
6.3.3	Benchmarking .....	101
<b>7</b>	<b>Hybride Verstärkermodule mit X-Band GaN-MMIC-Leistungsverstärkern</b>	<b>102</b>
7.1	Modulares Konzept für Hybridbauten .....	102
7.1.1	Verstärkergrundbaustein mit Kupferflansch, MMIC-PA und DC-Versorgungsplatine .....	104
7.1.2	Koplanar-zu-Mikrosteifenleitungsübergang.....	106
7.2	Hybrides Single-ended Leistungsverstärkermodul .....	109
7.3	Hybride balancierte Leistungsverstärkermodule .....	111
7.3.1	Theorie des balancierten Verstärkers.....	111
7.3.2	Entwurf der balancierten Leistungsverstärker .....	113
<b>8</b>	<b>Zusammenfassung und Ausblick.....</b>	<b>120</b>
	<b>Abkürzungsverzeichnis .....</b>	<b>130</b>
	<b>Liste der wichtigsten Formelzeichen .....</b>	<b>131</b>



# 1 Einleitung

## 1.1 Motivation

Mit der Erfindung von Transistoren haben diese Halbleiter-Bauteile die bis dato für den Verstärkereinsatz verwendeten Bauteile, die Elektronenröhren, mit fortschreitender Entwicklung immer mehr verdrängt. Da im Hochfrequenzbereich Transistoren in ihren Ausgangsleistungen aber stärker begrenzt sind als die entsprechenden Laufzeit-Röhren und diese Begrenzung mit steigender Frequenz immer weiter zunimmt, sind bei hohen Leistungen und bei hohen Frequenzen weiterhin Elektronenröhren das Bauteil der Wahl. Abbildung 1.1 gibt diesen Zusammenhang für den Stand der Jahrtausendwende wieder [1].

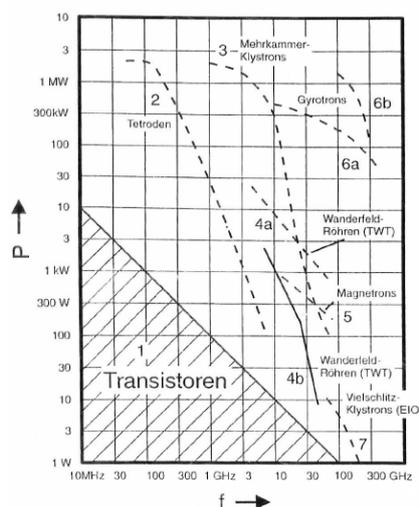


Abbildung 1.1: Frequenz- und Ausgangsleistungsbereiche von Transistoren und Elektronenröhren zur Jahrtausendwende [1].

Mit der Einführung von neuen Transistorstrukturen wie dem HEMT (englisch für High-electron-mobility transistor) und dem Einsatz neuartiger III-V-Halbleiter-Technologien verschob sich über die Jahre die Grenze der Einsatzgebiete zwischen Halbleitern und Elektronenröhren immer weiter zu höheren Ausgangsleistungen bei nahezu allen Frequenzen [2].

Die aktuellen Frequenz- und Ausgangsleistungsbereiche der unterschiedlichen Halbleitertechnologien zeigt das Diagramm in der Abbildung 1.2 [3]. Ein Vergleich der Abbildungen 1.1 und 1.2 offenbart die großen Entwicklungen in der Halbleitertechnologie und die fortschreitende Verdrängung von Elektronenröhren durch Halbleiterbauteile.

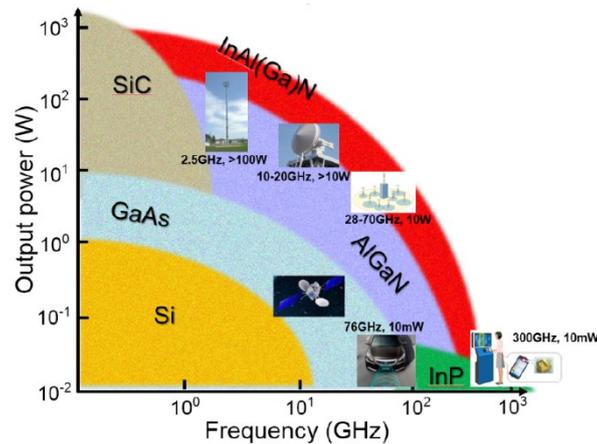


Abbildung 1.2: Frequenz- und Ausgangsleistungsbereiche von unterschiedlichen Halbleitertechnologien (2017) [3].

Ein Anwendungsgebiet, in dem derzeit ein Umstieg von Röhrenverstärkern auf Halbleiter-Leistungsverstärker stattfindet, ist im Luft- und Raumfahrtbereich bei Radar- und Satellitenanwendungen im X-Band, dem Frequenzbereich von 8 bis 12 GHz, zu finden.

In diesen Anwendungsgebieten kamen bisher Radarsysteme zum Einsatz, die Röhrenverstärker mit einer mechanisch schwenkbaren Radarantenne kombinierten. Diese Systeme werden nun mehr und mehr durch Active Phased Array Radar (APAR) bzw. Active Electronically Scanned Array (AESA) ersetzt. Dabei wird statt wie bisher im konventionellen Radar mit einer mechanischen Antenne und einem großen Verstärker eine Vielzahl von kleinen Patch-Antennen zu Gruppenantennen formiert und hinter jeder Antenne ein kompakter Halbleiter-Leistungsverstärker platziert. Mit diesem AESA-System sind kleinere, flexiblere und effiziente Radar-Systeme möglich, die eine sehr schnell schwenkbare Strahlungscharakteristik, das simultane Verfolgen von mehreren Objekten, und hohe Ausfallsicherheit ermöglichen.

Für den Einsatz in solchen AESA-Systemen werden Leistungsverstärker in Form von monolithisch integrierten Mikrowellenschaltkreisen (MMIC: Monolithic Microwave Integrated Circuit) mit einer Ausgangsleistung von >10 W benötigt. So wurden die beiden Halbleiter Galliumarsenid (GaAs) und Galliumnitrid (GaN) als mögliche Technologien bewertet. Da GaAs einen viel fortgeschrittenen Reifegrad besaß, als GaN, wurden die ersten Systeme mit GaAs-MMICs realisiert.

An die Leistungsverstärker werden dabei neben der Forderung nach der maximalen Ausgangsleistung  $P_{out,max}$  vor allem auch die nach einem geringen Energiebedarf gestellt. Dieser ist mit dem Begriff der Effizienz verknüpft, die angibt, wieviel der verbrauchten Energie des Verstärkers in das verstärkte Ausgangssignal umgesetzt wird und wieviel in Verluste. Da die Verluste in Wärme umgesetzt werden, gibt die Effizienz auch an, wieviel Wärme entsteht. Um einen stabilen Betrieb des Verstärkers zu ermöglichen, muss diese

Verlustwärme abgeführt werden und erfordert eine Kühlung. Wenn die erzeugten Ausgangsleistungen hoch sind, dann wird auch eine aktive Kühlung erforderlich, was den Energiebedarf des Systems weiter hochtreibt. Auch macht das Kühlsystem eine zusätzliche Wartung notwendig. Durch Leistungsverstärker mit höherer Effizienz sinkt einerseits der Energiebedarf und andererseits werden die Anforderungen an das Kühlsystem geringer. Dies führt dann zu geringeren Betriebs- und Herstellungskosten. Da in vielen Systemen der Leistungsverstärker die Komponente mit dem größten Energiebedarf darstellt, wirkt sich seine Effizienz besonders stark auf den Energiebedarf des Gesamtsystems aus. Dieser ist bei Luft- und Raumfahrtanwendungen, in denen eine beschränkte Energie zur Verfügung steht, natürlich von besonderer Wichtigkeit.

GaN hat gegenüber von GaAs eine Vielzahl von vorteilhaften Eigenschaften und ist deswegen prädestiniert dafür, GaAs in den meisten Anwendungsgebieten zu ersetzen. So ermöglicht es durch seine Bandlücke von 3,4 eV deutlich höhere Durchbruchspannungen und Betriebsspannungen. Auf diese Weise können eine gegebene Ausgangsleistung mit geringerem Strom erzeugt und die ohmschen Verluste gesenkt werden. Allein dieser Umstand führt zu einer Steigerung der Effizienz und der maximalen Ausgangsleistung. Die Möglichkeit, bei GaN Betriebsspannungen um 40 V anlegen zu können, erübrigt ferner die Notwendigkeit von Gleichspannungswandlern, die sonst beim Einsatz von GaAs-Leistungsverstärkermodule in Satelliten notwendig wären. Mit Siliciumcarbid (SiC) als Trägersubstrat kombiniert zeigt GaN zudem gegenüber GaAs und den meisten anderen Halbleitern eine überragende Wärmeleitfähigkeit.

Allmählich übertrafen die GaN X-Band-MMIC-Leistungsverstärker in allen relevanten Kenngrößen die GaAs X-Band-MMIC-Leistungsverstärker und begannen, sie mit sinkenden Herstellungskosten auch in AESA-Systemen zu verdrängen. Mit steigenden Ausgangsleistungen und auch dem Einsatz bei höheren Bändern als dem X-Band wurde auch die Wärmeabführung der GaN X-Band-MMIC-Leistungsverstärker zu einem immer größeren Flaschenhals für die weiteren Forschungsaktivitäten auf diesem Gebiet [3], [4], [5].

Nachdem am Anfang GaN X-Band-MMIC-Leistungsverstärker sowohl in Koplanarleitungsausführung als auch in Mikrostreifenleitungsausführung veröffentlicht wurden, konzentrierten sich die Veröffentlichungen mit der Zeit nur auf die Exemplare mit Mikrostreifenleitungsausführung.

In dieser Arbeit wird systematisch die Koplanartechnologie untersucht, um die Unterschiede zur Mikrostreifenleitung herauszuarbeiten und die jeweiligen Vor- und Nachteile zu detaillieren. In einem zweiten Schritt werden dann Modifikationen der klassischen koplanaren Technologie entwickelt und es wird untersucht, ob so eine Verbesserung des Leitungsverlustverhaltens gegenüber der Mikrostreifentechnologie erzielt werden kann.

## 1.2 Gliederung der Arbeit

Die vorliegende Arbeit gliedert sich in neun Kapitel.

Im Kapitel 2 werden erst die notwendigen Grundlagen der entworfenen Leistungsverstärker vorgestellt und spezielle, für die vorliegende Arbeit relevante Aspekte detaillierter erläutert. Auf die Grundlagen der Leistungsverstärker folgt die Beschreibung der Messtechnik in Form des Load-Pull-Messplatzes. In diesem Zusammenhang wird auch das Konzept der monolithisch vorangepassten Transistoren, welches für die in den späteren Kapiteln durchgeführten Untersuchungen unabdingbar ist, vorgestellt. Der nächste Abschnitt führt die in dieser Arbeit zum Einsatz kommende GaN-MMIC-Technologie am FBH ein. Dabei wird sowohl auf den Transistoraufbau eingegangen als auch auf die Einflüsse des Aufbaus auf die HF-Kenngrößen. Das Kapitel schließt mit einer State-of-the-Art-Betrachtung der verfügbaren X-Band GaN-MMIC-Leistungsverstärker ab.

Im Kapitel 3 wird gezeigt, dass bei gleicher vorgegebener GaN-MMIC-Technologie Leistungsverstärkerschaltungen in Mikrostreifenausführung leitungsartbedingt bessere Resultate hinsichtlich der Verstärkerkenngrößen maximalen Ausgangsleistung  $P_{out,max}$ , Verstärkung  $G_T$  und Effizienz  $PAE$  ermöglichen als es in der Koplanarausführung möglich ist. Dazu werden einleitend eine Verlustbetrachtung an für die vorliegende Arbeit typischen Verstärkerschaltungen durchgeführt und die Einflüsse der ein- und ausgangsseitigen Netzwerke und damit indirekt der genutzten Leitungen auf die Verstärkerparameter aufgezeigt. Anschließend werden mit der gegebenen GaN-MMIC-Technologie am FBH die realisierbaren Mikrostreifenleitungen und Koplanarleitungen vorgestellt, systematisch analysiert, miteinander verglichen und für den konkreten Fall die Vorzüge der Mikrostreifenleitungen gegenüber der Koplanarleitungen aufgezeigt. Außerdem werden die Konsequenzen für den Schaltungsentwurf erörtert. Mit diesem Kapitel wird die Notwendigkeit einer Optimierung der koplanaren GaN-MMIC-Technologie gegenüber der Mikrostreifenvariante aufgezeigt.

Das Kapitel 4 behandelt die Untersuchung von alternativen Koplanarleitungen und ist der Optimierung der koplanaren GaN-MMIC-Technologie gewidmet. Es soll versucht werden, Modifikationen der klassischen Koplanarleitung zu finden, die geringe ohmsche Verluste liefern, um so den Entwurf von koplanaren Schaltungen zu optimieren. Darüber hinaus werden auch alternative Formen der Zusammenschaltung von Koplanarleitungen, wie zum Beispiel Teiler und Kombinerer, untersucht und mit der klassischen Form verglichen. Abschließend werden neuartige Transistorzuleitungen analysiert und versucht, Peripherien mit besseren Resultaten zu finden.

Kapitel 5 stellt die im Rahmen der vorliegenden Arbeit entworfenen X-Band Leistungsverstärker vor. Es werden die Entwurfsspezifikationen genannt, die zugehörigen Messungen vorgestellt und eine anschließende Diskussion dieser Ergebnisse geliefert. Dabei werden die stetigen Verbesserungen der Verstärker aufgezeigt.

Im Kapitel 6 werden mit der vorliegenden Technologie entworfene nicht-uniform verteilte Leistungsverstärker vorgestellt. Dabei werden zwei weitestgehend identische verteilte Leistungsverstärker, die sich lediglich in den Transistor-Gate-Längen unterscheiden, gegenübergestellt und anhand dieser Gegenüberstellung die Verbesserung des Verstärkers infolge der Gate-Längen-Verkürzung verifiziert.

Im Kapitel 7 werden hybride Aufbauten der X-Band Leistungsverstärker-MMIC aus Kapitel 5 vorgestellt. In diesem Zusammenhang wird auch ein für die vorliegende Arbeit entwickeltes modulares Aufbau-Konzept demonstriert, mit dem die PA-MMICs (PA: Power Amplifier) unkompliziert und reproduzierbar zu diversen hybriden Verstärkertopologien aufgebaut werden können. Neben dem single-ended Aufbau werden zudem ein mit Leistungsverstärker-MMICs aus Kapitel 5 hybrid-aufgebaute balancierte Leistungsverstärker vorgestellt.

Das Kapitel 8 liefert die Zusammenfassung und den Ausblick.

## 2 Grundlagen

Dieses Kapitel widmet sich den Grundlagen der in dieser Arbeit behandelten Themen. So werden im ersten Abschnitt die Grundlagen der HF-Leistungsverstärkertheorie vorgestellt.

### 2.1 Grundlagen der HF-Leistungsverstärkertheorie

#### 2.1.1 Wichtige Kenngrößen der Leistungsverstärkertheorie

Die nachfolgend definierten Leistungsverstärkerkenngrößen lassen sich entsprechend den Blockschaltbildern in Abbildung 2.1 mit wenigen Einschränkungen auf einzelne Transistoren, im konkreten Fall auf einen HEMT, übertragen.

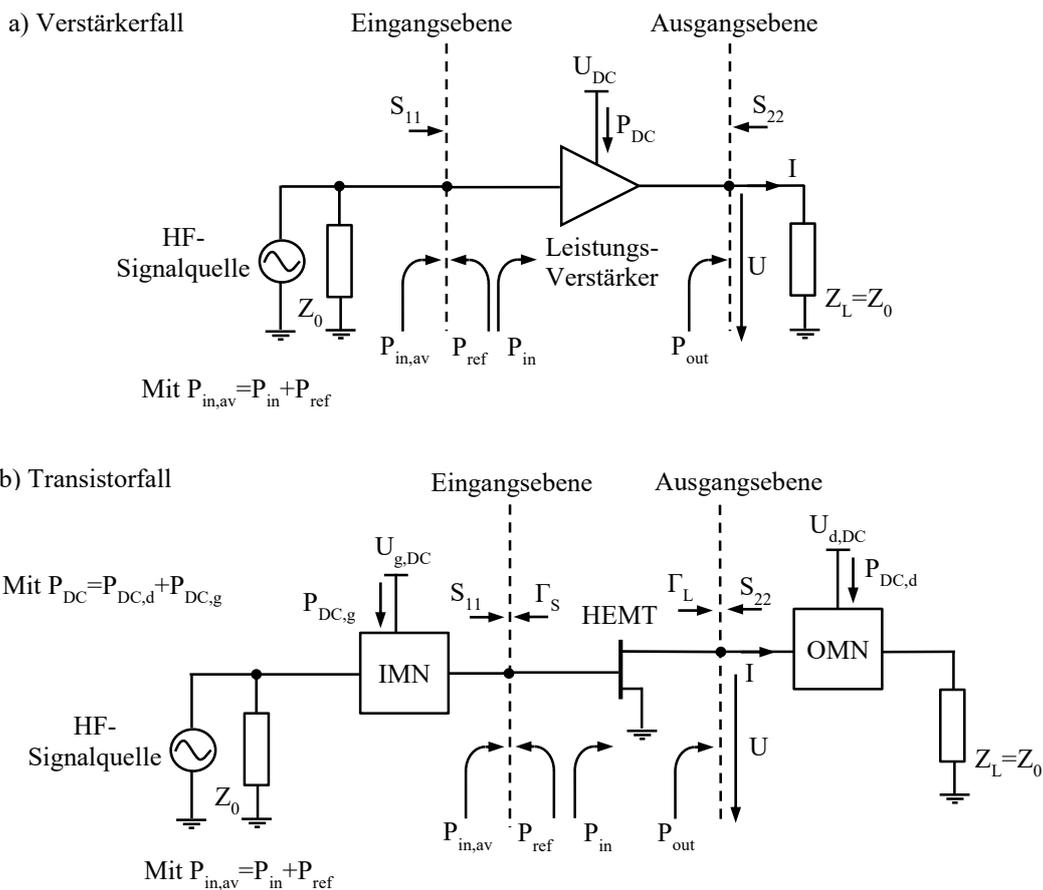


Abbildung 2.1: Blockschaltbilder eines a) Leistungsverstärkers bzw. eines b) HEMTs mit einigen wichtigen Größenangaben.

Dabei kann der HEMT zwar zusammen mit den Anpassnetzwerken als ein Leistungsverstärker in seiner wesentlichsten Form angesehen werden, jedoch verschieben

sich hierbei die Ein- und Ausgangsebenen, auf denen sich die Kenngrößen beziehen, zum Transistor hin. Während sich die eingeführten Kenngrößen im Kontext Leistungsverstärker auf die Angaben in Abbildung 2.1a beziehen, beziehen sie sich im Kontext Transistor auf die Angaben in Abbildung 2.1b. In der unteren Abbildung wird das eingangsseitige Anpassnetzwerk mit IMN (englisch für input matching network) und ausgangsseitig mit OMN (englisch für output matching network) bezeichnet.

### 2.1.1.1 Maximale Ausgangsleistung

Bei der namensgebenden Kenngröße des Leistungsverstärkers, der Ausgangsleistung  $P_{out}$ , handelt es sich um die Leistung, die an der Last des Leistungsverstärkers  $Z_L$  abfällt und aus dem Produkt der Spannung  $U$  und dem Strom  $I$  an dieser Last bestimmt werden kann. Im Transistorfall nach Abbildung 2.1 handelt es sich bei der Ausgangsleistung um die Leistung, die an der Transistor-Ausgangsebene abfällt.

Sie wird über der Eingangsleistung  $P_{in}$  aufgetragen und steigt unter idealen Bedingungen mit ihr linear an. Unter realen Bedingungen kommt der Verstärker bzw. der Transistor ab einem bestimmten Eingangsleistungspegel allmählich in die Sättigung und bewirkt einen nichtlinearen Anstieg der  $P_{out}$  über der Eingangsleistung, bis in der Sättigung angelangt, eine Erhöhung der Eingangsleistung keine Erhöhung der  $P_{out}$  zur Folge hat. Der Ausgangsleistungspegel, der um 1 dB vom idealen Verlauf der Ausgangsleistungskennlinie abweicht, wird als 1 dB-Kompressionspunkt  $P_{1dB}$  bezeichnet und der Ausgangsleistungspegel, bei dem das beschriebene Verhältnis 3 dB beträgt, entsprechend als 3 dB-Kompressionspunkt  $P_{3dB}$ . Jener Ausgangsleistungspegel, bei dem kein weiterer Anstieg mehr zu beobachten ist, wird als Sättigungsleistung  $P_{sat}$  bezeichnet. Die für den Leistungsverstärker wichtige Kenngröße der maximalen Ausgangsleistung  $P_{out,max}$  ist nicht eindeutig definiert und variiert mit den Anforderungen an den Verstärker. Er entspricht mindestens dem 1 dB-Kompressionspunkt  $P_{1dB}$ , maximal der Sättigungsleistung  $P_{sat}$  und liegt in den meisten Fällen dazwischen. Bei einer Anforderung nach hoher Linearität wird meistens  $P_{1dB}$  mit  $P_{out,max}$  gleichgesetzt, während bei entspannter Linearitätsanforderung auch höhere Ausgangsleistungspegel als  $P_{out,max}$  genommen werden können.

Ein Beispiel für den Ausgangsleistungsverlauf, aufgetragen über der Eingangsleistung, mit den erwähnten unterschiedlichen Ausgangsleistungspegeln, ist in der Abbildung 2.2 gemeinsam mit dem Verstärkungsverlauf und den Effizienz-Verläufen der  $PAE$  (Power Added Efficiency) und der  $\eta_D$  (Drain-Effizienz) zu sehen. Alle in dieser Arbeit präsentierten Messungen sind mit einem kontinuierlichen Eingangssignal durchgeführt worden, d. h. es handelt sich um cw-Messungen (continuous wave).

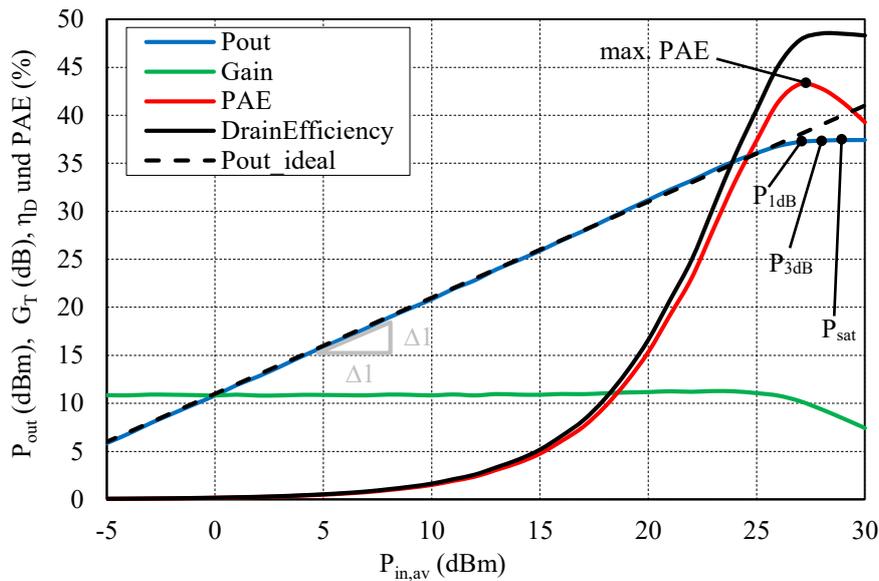


Abbildung 2.2: Ergebnisse einer typischen cw-Leistungsmessung eines am FBH prozessierten GaN-HEMTs mit der Angabe einiger wichtiger Kenngrößen und Verhältnisse

### 2.1.1.2 Verstärkung

Die ebenfalls namensgebende Kenngröße eines Verstärkers, die Verstärkung, gibt im Allgemeinen das Verhältnis der Ausgangsleistung zur korrespondierenden Eingangsleistung an einem Verstärker bzw. Transistor an und besitzt in der gängigen Fachliteratur neun unterschiedliche Definitionen [6]. Diese neun Auslegungen der Verstärkung unterscheiden sich voneinander in der Art der ein- und ausgangsseitigen Anpassung und ob Rückwirkungen mitberücksichtigt werden oder nicht.

Für die vorliegende Arbeit ist von den neun Definitionen die Übertragungsleistungsverstärkung  $G_T$  (englisch: Transducer Power Gain) von besonderem Interesse. Eine andere gängige Bezeichnung dieser Verstärkungsdefinition ist der Übertragungsgewinn.  $G_T$  gibt entsprechend Abbildung 2.1 und der Gleichung 2.1 das Verhältnis zwischen Ausgangsleistung  $P_{out}$  und der verfügbaren Leistung der Signalquelle  $P_{in,av}$  an.

$$G_T = \frac{P_{out}}{P_{in,av}} \quad (2.1)$$

Wie in der Abbildung 2.1 angedeutet, entspricht  $P_{in,av}$  der Summe zwischen der tatsächlich in den Verstärker bzw. Transistor einfallenden Eingangsleistung  $P_{in}$  und der am Eingang reflektierten Leistung  $P_{ref}$ . Die verfügbare Leistung  $P_{in,av}$  einer Quelle entspricht bei einer Verstärkungsmessung der an der Signalquelle eingestellten Leistung und kann bei Anpassung auch einfach mit einem Leistungsmesser abgelesen werden.

Neben dem Übertragungsleistungsverstärkung  $G_T$  ist für die in der vorliegenden Arbeit entwickelten Verstärker in manchen Fällen auch der Klemmenleistungsgewinn  $G_P$  (auch als Leistungsverstärkung oder Klemmenleistungsverstärkung bezeichnet, englisch: Power Gain) von Interesse. Er gibt das Verhältnis zwischen der tatsächlichen Eingangsleistung  $P_{in}$  des Verstärkers bzw. Transistors und der Ausgangsleistung  $P_{out}$  an.

$$G_P = \frac{P_{out}}{P_{in}} \quad (2.2)$$

Mit ihr wird entsprechend Abbildung 2.1 die reflektierte Leistung  $P_{ref}$  am Eingang mitberücksichtigt. Wodurch  $G_T$  einen Sonderfall von  $G_P$  darstellt. Die praktische Relevanz der Klemmenleistungsverstärkung  $G_P$  ist allerdings von untergeordneter Bedeutung. Ihre Bestimmung setzt die Bestimmung von  $P_{in}$  voraus und diese ist im laufenden Messbetrieb sehr aufwendig [6]. Darüber hinaus unterscheiden sich beide bei ausreichend geringer Reflexion nur marginal voneinander. Im Leistungsverstärkerkontext ändern sich die Reflexionsfaktoren der Verstärker bzw. Transistoren mit steigendem Eingangssignalpegel, wodurch eine konstante Anpassung für alle Eingangssignalpegel nicht gegeben ist.

Aus den erläuterten Gründen ist für die vorliegende Arbeit die Übertragungsleistungsverstärkung  $G_T$  von größter praktischer Relevanz. Daher ist, solange keine konkrete Angabe gemacht wird, im Folgenden mit Verstärkung immer  $G_T$  gemeint.

### 2.1.1.3 Effizienz

Eine der wichtigsten Kenngrößen von Leistungsverstärkern ist die Effizienz. Sie gibt im Allgemeinen das Verhältnis der abgegebenen HF-Leistung  $P_{out}$  zur aufgenommenen Gleichspannungsleistung  $P_{DC}$  an. Wie schon bei der Verstärkung, existieren im Speziellen auch für die Effizienz mehrere gängige Definitionen.

Eine dieser Definitionen ist die sogenannte Drain- bzw. Kollektoreffizienz, wobei die Bezeichnung sich danach richtet, ob Feldeffekt- oder Bipolartransistoren zum Einsatz kommen. Da in dieser Arbeit nur Feldeffekttransistoren verwendet werden, wird deshalb im Folgenden nur die Drain-Effizienz  $\eta_D$  Erwähnung finden. Sie gibt entsprechend Gleichung 2.3 und den Bezeichnungen der Blockschaltbilder aus Abbildung 2.1 das Verhältnis zwischen der an der Ausgangsebene des Verstärkers bzw. des Transistors abgegebenen HF-Leistung  $P_{out}$  und der eingespeisten Gleichspannungsleistung  $P_{DC}$  an.

$$\eta_D = \frac{P_{out}}{P_{DC}} \quad (2.3)$$

Diese Effizienzdefinition hat sich im Kontext Leistungsverstärker als ungenügend herausgestellt. Sie findet zwar dennoch an einigen Stellen Verwendung, wird aber im

Wesentlichen durch die Power Added Efficiency (*PAE*) ersetzt. Neben der auch im Deutschen mittlerweile etablierten Bezeichnung *PAE* existiert auch die weniger bekannte deutschsprachige Bezeichnung der leistungsaddierten Effizienz. Diese Bezeichnung deutet schon den Unterschied der *PAE* zur Drain-Effizienz  $\eta_D$  an. Bei der *PAE* wird zusätzlich zur HF-Ausgangsleistung auch die HF-Eingangsleistung  $P_{in}$  in die Effizienzdefinition mit einbezogen und berechnet sich mit der Gleichung 2.4.

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (2.4)$$

Unter Verwendung der Verstärkungsdefinition aus Gleichung 2.2 lässt sich dieser Term auch in die folgende Gleichung 2.5 umformen:

$$PAE = \frac{P_{out} \left(1 - \frac{1}{G_T}\right)}{P_{DC}} = \eta_D \cdot \left(1 - \frac{1}{G_T}\right) \quad (2.5)$$

Wenn zusätzlich die Definition der Drain-Effizienz aus Gleichung 2.3 verwendet wird, ergibt sich der zweite Ausdruck der Gleichung 2.5, der den Zusammenhang beider Effizienzdefinitionen verdeutlicht. Während bei kleinen Eingangsleistungen und Verstärkungen gleich bzw. oberhalb 10 dB sich beide Effizienzdefinitionen kaum unterscheiden, divergieren sie, sobald der Verstärker bzw. Transistor bei großen Eingangsleistungen in den Sättigungsbereich kommt und seine Verstärkung abnimmt. Dabei kann die Drain-Effizienz, die entsprechend Gleichung 2.3 von der Verstärkung unabhängig ist, weiterhin zunehmen, während die *PAE* nach einem maximalen *PAE* mit sinkender Verstärkung ebenfalls absinkt. Die in der Abbildung 2.2 gezeigte Beispielmessung an einem HEMT verdeutlicht diesen Zusammenhang. Bis zu einer Eingangsleistung von 15 dBm entsprechen sich  $\eta_D$  und die *PAE* und fangen dann mit steigender Eingangsleistung an, immer weiter auseinanderzulaufen. Während *PAE* nach ihrem Maximum bei etwa  $P_{in,av}=27$  dBm mit steigender Eingangsleistung anfängt abzunehmen, bleibt  $\eta_D$  stabil bei ihrem hohen Wert.

## 2.1.2 Leistungsverstärkerklassen

Die unterschiedlichen Verstärkerarten werden nach bestimmten Eigenschaften wie der Arbeitspunkte, der ein- und ausgangsseitigen Terminierung oder der Art und der Arbeitsweise ihres aktiven verstärkenden Bauteils mit Buchstaben benannt.

Es existiert in der Literatur eine Vielzahl an Verstärkerklassen. In der Abbildung 2.3 sind die gängigsten Verstärkerklassen in einer hierarchischen Darstellung nach ihren Eigenschaften und Gemeinsamkeiten aufgestellt zu sehen. Die Abbildung zeigt auch eine

Möglichkeit der Verstärkerkategorisierung. Zur Kategorisierung der unterschiedlichen Leistungsverstärkerklassen existieren nämlich mehrere Möglichkeiten, wobei Abbildung 2.3 die gängigste zeigt. Auf der linken Seite sind die konventionellen Verstärkerklassen A bis C als konventionelle Leistungsverstärker zusammengefasst [7]. Rechts sind die Verstärkerklassen D bis S unter dem Oberbegriff hocheffiziente Schalt-Leistungsverstärker zu sehen. Bei diesen Verstärkerklassen wird das aktive Bauteil als Schalter eingesetzt und so werden theoretisch deutlich höhere Effizienzen als mit den konventionellen Verstärkerklassen erzielt. Dazwischen existieren noch Verstärkerklassen wie Klasse J und F, bei denen ein- und ausgangsseitige Terminierungen einschließlich bei den harmonischen der Grundwelle auf eine bestimmte Art geschehen müssen. Sie gehören nicht eindeutig zu einem der beiden Oberbegriffe und werden von einigen Literaturstellen als hybride angesehen [7].

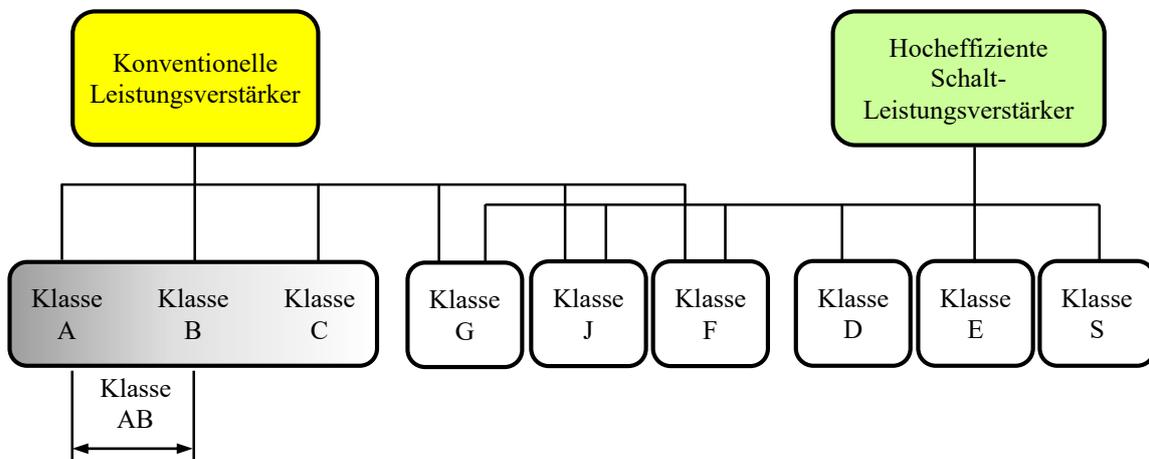


Abbildung 2.3: Die gängigsten Leistungsverstärkerklassen in einer hierarchischen Darstellungsform

Für die vorliegende Arbeit sind nur die konventionellen Leistungsverstärker von Interesse. Als Hauptgrund für diese Einschränkung ist die Hauptmotivation der Arbeit zu nennen, die darauf abzielt, eine Optimierung der GaN-MMICs in der koplanaren Leitungsvariante für das X-Band zu erzielen. Darüber hinaus zielt die Arbeit auch darauf ab, die Möglichkeiten der verfügbaren MMIC-Technologie zu demonstrieren. Dafür eignen sich einfache Verstärkerschaltungen besser, da ein direkter Vergleich mit den eingesetzten Transistoren in den meisten Fällen unproblematisch umzusetzen ist.

### 2.1.2.1 Konventionelle Leistungsverstärker

Unter diesen Verstärkertypen werden die Verstärkerklassen A bis C und deren Mischformen verstanden [8]. Sie bilden zugleich die grundlegendsten Verstärkerklassen, weshalb sie auch als konventionell bezeichnet werden. Sie haben alle gemein, dass in ihnen das verstärkende aktive Bauelement als gesteuerte Stromquelle arbeitet, unterscheiden sich voneinander im Wesentlichen in der Arbeitspunkteinstellung und bilden daher bei einer Arbeitspunktverschiebung einen fließenden Übergang. Diesen Umstand des fließenden

Übergangs soll auch der farbliche Verlauf der Klassen A bis C in der Abbildung 2.3 hervorheben. In der Abbildung 2.4 sind an einer Übertragungskennlinie eines HEMTs die Arbeitspunkte, die Spannungs-, Stromverläufe, die Stromflusswinkel und die Ruhestrome der genannten Verstärkerklassen dargestellt.

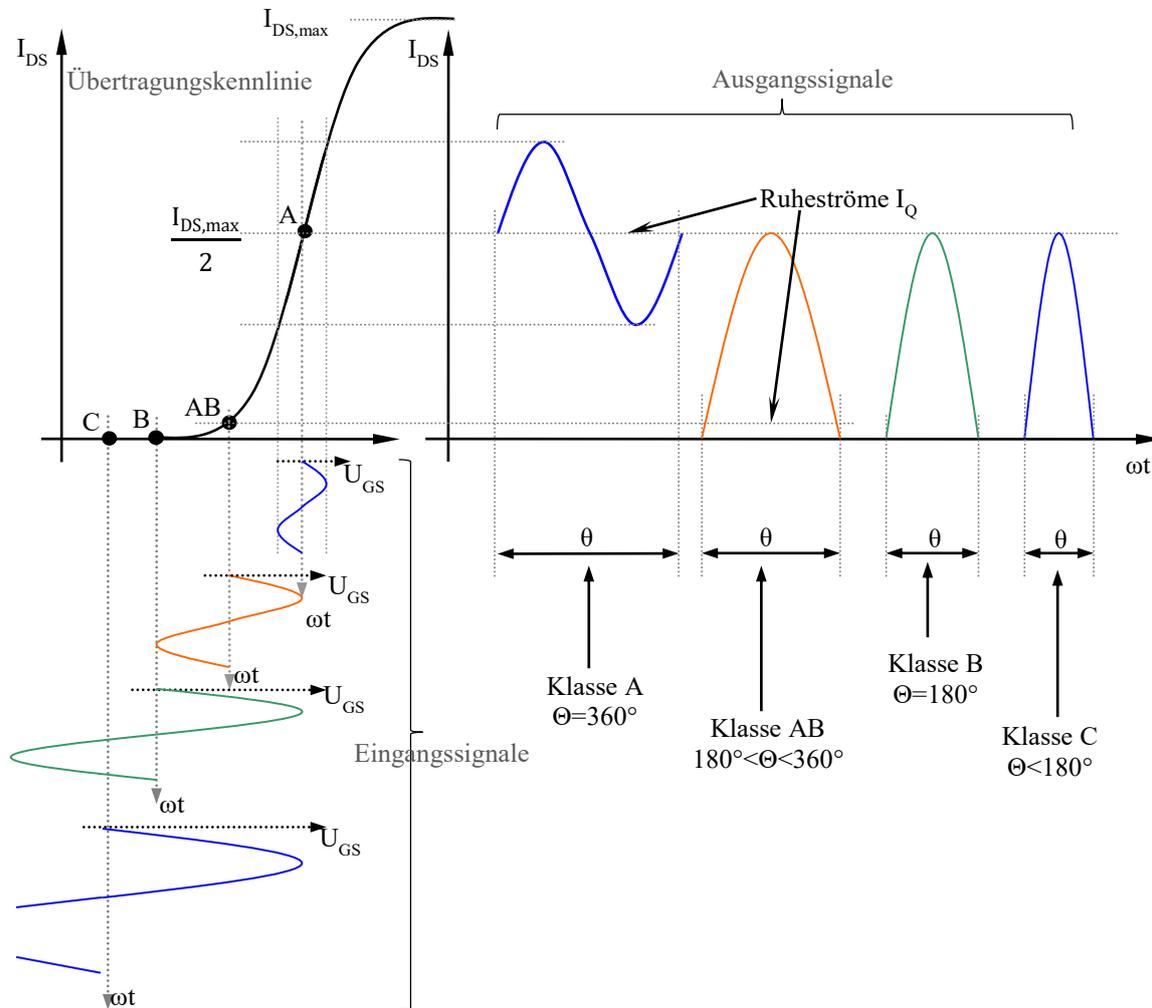


Abbildung 2.4: Die Verstärkerklassen A bis C und ihre an der Übertragungskennlinie abgebildeten Spannungs-, Stromverläufe, Ruhestrome und Stromflusswinkel

Ein weiterer und aussagekräftiger Sammelbegriff für diese Verstärkerklassen ist stromwinkelreduzierte hocheffiziente Leistungsverstärker (englisch Reduced Conduction Angle, High Efficiency Amplifier) [9]. Der in dieser Bezeichnung genannte Stromflusswinkel  $\theta$  (engl. Conduction Angle) gibt die Dauer des Stromflusses, bezogen auf die HF-Schwingungsperiode des Eingangssignals bzw. seines Trägers an. Mit dem sukzessiven Abschnüren des Transistors vom Klasse-A-Arbeitspunkt beginnend geht der Klasse-A-Verstärker kontinuierlich erst in den Klasse-AB-, dann in den Klasse-B- und abschließend in den Klasse-C-Verstärker über. Ebenso ändert sich auch der Stromflusswinkel kontinuierlich. Die Zusammenhänge zwischen den unterschiedlichen Verstärkerklassen und ihre typischen Kenngrößen können sehr gut mit dem

Stromflusswinkel gezeigt werden. In der Abbildung 2.4 sind die typischen Stromflusswinkel bzw. Stromflusswinkelbereiche für die Verstärker abgebildet.

Entsprechend Abbildung 2.4 wird der Arbeitspunkt des Klasse-A-Verstärkers so eingestellt, dass die Hälfte des maximal möglichen Drain-Stroms  $I_{DS,max}$  im Verstärker fließt. Dieser Strom wird als Ruhestrom  $I_Q$  (engl. Quiescent Current) bezeichnet. Er gibt an, wieviel Strom durch den Verstärker im Leerlauf, d. h. ohne Anliegen eines HF-Eingangssignals, fließt. Der Stromflusswinkel dieser Verstärkerklasse beträgt  $\theta=360^\circ$ . Der Klasse-B-Verstärker wird derart betrieben, dass sein Arbeitspunkt einen Ruhestrom von  $I_Q=0$  A liefert. Dadurch verbraucht diese Verstärkerklasse weniger DC-Leistung und wird entsprechend eine höhere PAE als der Klasse-A-Verstärker aufweisen. Sein Stromflusswinkel beträgt  $\theta=180^\circ$ . Der Arbeitspunkt des Klasse-C-Verstärkers befindet sich deutlich im Pinch-off-Bereich des Transistors. Der dazugehörige Stromflusswinkel liegt im Bereich  $\theta<180^\circ$ . Abbildung 2.4 zeigt auch, dass mit Klasse-AB-Verstärker der kontinuierliche Bereich an Betriebsarten gemeint ist, der einen Arbeitspunkt zwischen  $0<I_Q<I_{ds,max}/2$ , also einen Arbeitspunkt zwischen den Arbeitspunkten der Klassen A und B, aufweist. Der Stromflusswinkelbereich liegt ebenso zwischen den Stromflusswinkeln der Verstärkerklassen A und B, d.h. zwischen  $180^\circ<\theta<360^\circ$ . Wie unten analytisch gezeigt wird, eignet sich diese Verstärkerklasse am besten für die Anforderungen der vorliegenden Arbeit.

Für alle konventionellen hocheffizienten Leistungsverstärker lassen sich die Gleichungen (2.6) und (2.7) für die Drain-Effizienz  $\eta_D$  bzw. für die maximale Ausgangsleistung  $P_{out,max}$  herleiten, die eine Abhängigkeit vom Stromflusswinkel aufweisen [8]. Auf diese Weise können beide Größen über dem Stromflusswinkel  $\theta$  aufgetragen werden.

$$\eta_D = \frac{P_{out}}{P_{DC}} = \frac{1}{2} \cdot \frac{\theta - \sin \theta}{1 - \cos\left(\frac{\theta}{2}\right)} \quad (2.6)$$

$$P_{out,max} = U_{DC} \cdot I_{DS,max} \cdot \frac{1}{4\pi} \cdot \frac{\theta - \sin \theta}{1 - \cos\left(\frac{\theta}{2}\right)} \quad (2.7)$$

Diese beiden Gleichungen gehen von einigen Vereinfachungen und Vernachlässigungen aus, sind aber dennoch geeignet, Aussagen über die maximal möglichen Effizienz- und Ausgangsleistungswerte der unterschiedlichen Verstärkerklassen zu machen. Die verwendeten Vernachlässigungen und Vereinfachungen und die Herleitung der Formeln ist u. a. in [8] zu finden. In der Abbildung 2.5 sind die Ergebnisse beider Gleichungen im gleichen Diagramm zu sehen. Dabei wurde im Diagramm die Ausgangsleistung auf  $U_{DC} \cdot I_{DS,max}$  normiert und in dB aufgetragen.

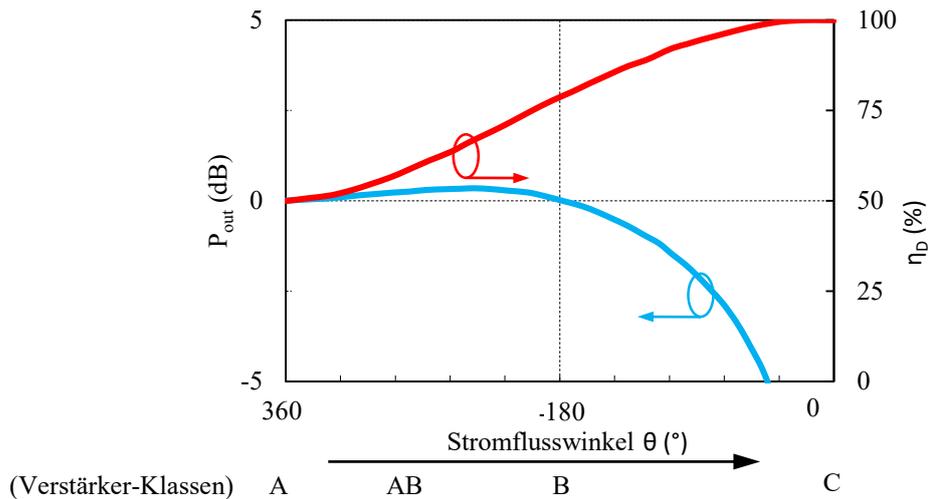


Abbildung 2.5: Verlauf der Drain-Effizienz  $\eta_D$  und der maximalen Ausgangsleistung  $P_{out,max}$  in Abhängigkeit des Stromflusswinkels  $\theta$  bzw. der Verstärkerklassen A bis C [8].

Aus dem Diagramm lassen sich nun Aussagen zu den unterschiedlichen Verstärkerklassen hinsichtlich ihrer maximal möglichen Ausgangsleistung und ihrer maximal möglichen Drain-Effizienz machen. Demnach liefert der Klasse-A-Verstärker mit einer maximalen Effizienz von 50 % die geringste Effizienz unter den konventionellen Leistungsverstärkern, wobei die Effizienz mit steigendem Stromflusswinkel zunimmt. Der Klasse-C-Verstärker liefert zwar unter den Bedingungen der Gleichungen 2.6 und 2.7 eine theoretische Effizienz von 100 %, allerdings bei einer Ausgangsleistung von 0 W und ist für die Zwecke dieser Arbeit ungeeignet. Der Klasse-B-Verstärker liefert zwar die gleiche maximale Ausgangsleistung wie der in Klasse A, stattdessen aber eine höhere maximale Effizienz von 78,5 %. Der Stromflusswinkelbereich, der den Klasse-AB-Verstärker kennzeichnet, liefert bei einem Wert von etwa  $\theta=210^\circ$  und einem korrespondierenden Arbeitspunkt von  $I_{DS}=0,33 \cdot I_{DS,max}$  die höchste maximale Ausgangsleistung. Die entsprechende Effizienz liegt höher als bei Klasse A, aber niedriger als bei Klasse B. Wenn ein Leistungsverstärker entworfen werden soll, bei dem die maximale Ausgangsleistung die wichtigste und dominierende Kenngröße ist, bietet sich ein Klasse-AB-Verstärker mit einem Arbeitspunkt von  $I_{DS}=0,33 \cdot I_{DS,max}$  an. Wenn sowohl hohe Ausgangsleistung als auch die maximale Effizienz gefordert werden, dann bietet sich dennoch ein Klasse-AB-Verstärker mit einem Arbeitspunkt von ca.  $I_{DS}=0,1 \cdot I_{DS,max}$  an. In den in der vorliegenden Arbeit entworfenen Verstärkern im Kapitel 6 wird beim ersten Verstärker ein Arbeitspunkt von  $I_{DS}=0,33 \cdot I_{DS,max}$  verwendet und anschließend bei den nachfolgenden Verstärkern nur immer ein Arbeitspunkt von  $I_{DS}=0,1 \cdot I_{DS,max}$ . Tabelle 2.1 fasst die Resultate der Stromflusswinkeluntersuchung zusammen. Die hier angegebenen Werte für die Ausgangsleistung und die Effizienz sind nur unter idealen Bedingungen erreichbar. In der Realität reduzieren vielerlei Effekte diese Werte [8].

Tabelle 2.1: Tabellarische Darstellung einiger wichtiger Kenngrößen für die Verstärkerklassen A bis C

Klasse	Ruhestrom $I_Q$	Maximale Ausgangsleistung $P_{out,max}$	Maximale Drain-Effizient max. $\eta_D$	Stromflusswinkel $\theta$
A	$0,5 \cdot I_{DS,max}$	$P_{max,A} = 0,25 I_{DS,max} U_{DS}$	50 %	$360^\circ$
AB	$0,5 \cdot I_{DS,max} - 0$	$P_{max,A} - P_{max,A} + 0,5 \text{ dB}$	50 - 78,5 %	$180^\circ - 360^\circ$
B	0	$P_{max,A}$	78,5 %	$180^\circ$
C	0	$< P_{max,A}$	78,5 - 100 %	$< 180^\circ$

## 2.2 Load-Pull-Messplatz

Die wichtigste Methode der Großsignalcharakterisierung von Transistoren für Leistungsverstärker ist die Load-Pull-Methode [10]. Bei Vollaussteuerung gibt ein Transistor seine maximale Ausgangsleistung  $P_{out,max}$  nicht mehr, wie die Kleinsignaltheorie besagt, bei einer komplex-konjugierten Impedanztermination am Ausgang ab, sondern bei einer anderen Impedanz [8]. Ebenso wird der Transistor seine maximale  $PAE$  oder seine maximale Verstärkung  $G_T$  bei unterschiedlichen Impedanzabschlüssen abgeben. Um diese für eine der genannten Kenngrößen  $P_{out}$ ,  $PAE$  oder  $G_T$  optimale Lastimpedanz  $\Gamma_{opt}$  zu finden, werden bei der LP-Methode (LP: Load-Pull) diese Kenngrößen bei unterschiedlichen Lastimpedanzen ermittelt und aus diesen ermittelten Messwerten auf einem Smith-Diagramm die Konturen dieser Größen in Abhängigkeit der Lastimpedanz abgebildet [10]. Aus diesen kreisähnlichen Kontouren kann dann das  $\Gamma_{opt}$  für die jeweilige Größe ermittelt oder ein  $\Gamma$  gewählt werden, das einen guten Kompromiss der drei Größen liefert. Abbildung 2.6 zeigt das vereinfachte Blockschaltbild eines passiven LP-Messplatzes, der auch am FBH zum Einsatz für die vorliegende Arbeit zur Verfügung stand [11].

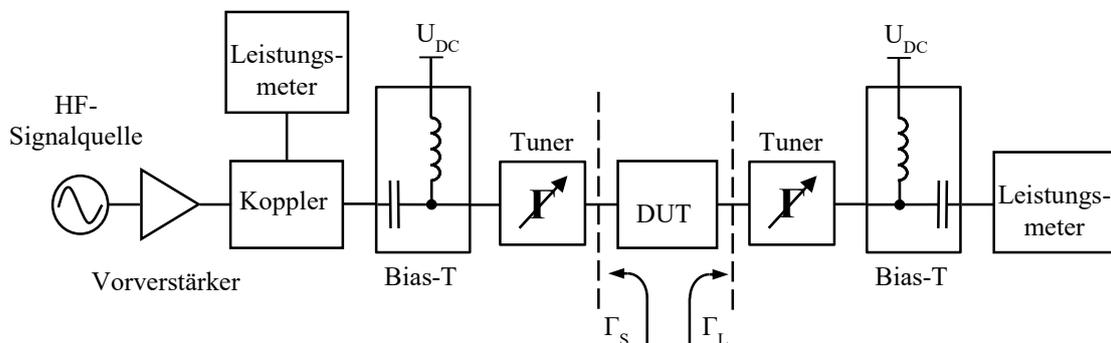


Abbildung 2.6: Vereinfachtes Blockschaltbild des in der vorliegenden Arbeit genutzten LP-Messplatzes

Entsprechend dieses vereinfachten Blockschaltbildes besteht dieser LP-Messplatz im Wesentlichen aus zwei Impedanztunern, die ein- und ausgangsseitig mit dem Testobjekt (DUT: device under test) verbunden sind, einem Signalgenerator, einem Vorverstärker, zwei

im ein- und ausgangseitigen Pfad des DUTs platzierten Leistungsmessern zur Leistungsermittlung, einem eingangseitig platzierten Koppler und zwei Bias-Ts zur Gleichstromversorgung des DUTs. Bei einer LP-Messung für eine bestimmte Frequenz wird das DUT mit einem HF-Eingangssignal dieser Frequenz und einem bestimmten Eingangspegel gespeist und am Ausgang die Ausgangsleistung gemeinsam mit den dazugehörigen Versorgungs-spannungen und -strömen detektiert. Diese gemessenen Daten erlauben nun die Berechnung der korrespondierenden Größen  $G_T$  und  $PAE$ . Durch Variation der Impedanztuner können nun für jeden Impedanzabschluss die drei Leistungsparameter ermittelt und anschließend für jeden dieser drei Parameter im Smith-Diagramm der dazugehörige Kontourplot gezeichnet werden. Aus diesen Kontourplots kann anschließend für den jeweiligen Parameter der optimale Reflexionsfaktor  $\Gamma_{opt}$ , d.h. jenes  $\Gamma$  mit dessen Abschluss der Transistor für diesen Parameter die besten Werte liefert, ermittelt werden. In der Abbildung 2.7 sind, als Ergebnis einer solchen LP-Messung, die generierten Konturen der Ausgangsleistung für einen in dieser Arbeit verwendeten Transistors zu sehen.

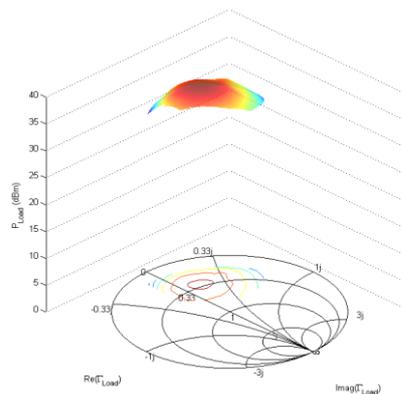


Abbildung 2.7: 3D-Konturplot der LP-Messung eines typischen FBH HEMTs bei 10 GHz und dessen Projektion auf das Smith-Diagramm

Zudem ist zur Anschaulichkeit dieser Konturen in der 3. Dimension als Höhenlinie die Ausgangsleistung  $P_{out}$  abgebildet. Im konkreten Fall entspricht der aus den  $P_{out}$ -Konturen ermittelte optimale Reflexionsfaktor  $\Gamma_{opt}$  für die Ausgangsleistung dem Maximum der Höhenlinien und der mit dieser Last terminierte Transistor würde seine maximale Ausgangsleistung  $P_{out,max}$  liefern.

In der Abbildung 2.8 sind für das gleiche DUT neben den  $P_{out}$ -Konturen auch die Konturen für die  $PAE$  abgebildet. Aus diesen zwei Konturscharen wird nochmal deutlich, dass jede Kenngröße ein anderes  $\Gamma_{opt}$  besitzt. Dabei divergieren die unterschiedlichen  $\Gamma_{opt}$  der drei Kenngrößen mit steigender Nichtlinearität, die neben der Austeuerung auch vom Transistorarbeitspunkt abhängig ist, immer weiter voneinander [8]. Da diese Kenngrößen auch von der eingangseitigen Terminierung des DUTs abhängen, muss neben der als Load-Pull bezeichneten ausgangseitigen Messung auch am Eingang des DUTs die Impedanz variiert und so der eingangseitige optimale Reflektionsfaktor  $\Gamma_{opt}$  gefunden werden. Diese

als Source-Pull-Methode (SP: Source-Pull) bezeichnete Messung ergänzt die LP-Methode und beide Verfahren werden teilweise in mehreren Iterationen abwechselnd nacheinander wiederholt. Ein mit den gefundenen ein- und ausgangsseitigen  $\Gamma_{opt}$  abgeschlossenes DUT liefert die in der LP-/SP-Messung ermittelten Werte.

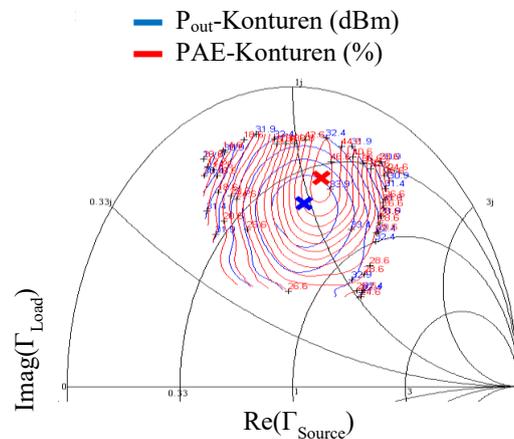


Abbildung 2.8: Aus LP-Messungen generierte LP-Konturen für die Kenngrößen  $P_{\text{out}}$  und PAE eines typischen FBH HEMTs bei 10 GHz

Der in der vorliegenden Arbeit verwendete LP-Messplatz ist natürlich weitaus komplizierter als das vereinfachte Blockschaltbild in Abbildung 2.6 suggeriert. Da es sich bei den eingesetzten Transistoren um MMICs handelt, müssen sie über koplanare Messspitzen auf einem Chuck on-wafer angetastet werden. Der Einfluss dieser Messspitzen etc. muss im Messsystem herauskalibriert werden.

## 2.2.1 Dynamikbereich- und Genauigkeitsverbesserung des LP-Messplatzes durch vorangepasste Transistoren

Der im vorherigen Abschnitt vorgestellte LP-Messplatz stößt bei der Charakterisierung größerer Transistoren, wie sie in dieser Arbeit zum Einsatz kommen, an seine Grenzen. Kritisch sind dabei sein Dynamikbereich, die durch seine Impedanztuner ansteuerbaren Reflexionsfaktorbereiche im Smith-Diagramm und seine Messgenauigkeit. In diesem Abschnitt wird zunächst beschrieben, wie die Unzulänglichkeiten durch den Einsatz von vorangepassten Transistoren ohne kostspielige Messplatzerweiterungen verbessert werden können. Die Wirksamkeit dieses Ansatzes wird mit dem praktischen Beispiel eines vorangepassten X-Band GaN-Leistungstransistors messtechnisch verifiziert.

### 2.2.1.1 Begrenzende Eigenschaften des LP-Messplatzes

#### 2.2.1.1.1 Dynamikbereich

Bei der LP-Messung ist es entscheidend, dass für jede Tunerposition bei der Bestimmung der Größen  $P_{\text{out,max}}$ ,  $G_T$  und PAE das DUT in seinem Kompressionspunkt bzw. seiner

Sättigung betrieben wird. Hierfür erfordert das DUT an seinem Eingang eine bestimmte verfügbare Eingangsleistung  $P_{in,av}$ . Da dieser Eingangsleistungspegel mit der Transistorgröße skaliert, definiert die maximal verfügbare Eingangsleistung des Messplatzes an der DUT-Eingangsreferenzebene die Transistorgröße, die noch ausreichend charakterisierbar ist. Dieser Effekt verschärft sich mit steigender Frequenz, beispielsweise im X-Band, infolge von steigenden System- und Kabelverlusten, die ein Absinken der verfügbaren Leistung bewirken.

Die verfügbare Eingangsleistung  $P_{in,av}$  eines LP-Systems ist zudem nicht für alle Tunerpositionen gleich. Dieser Umstand überlagert und verschärft die vorher erwähnten Auswirkungen auf den Dynamikbereich. Die Gründe für die Tunerpositionsabhängigkeit der Eingangsleistung liegen daran, dass die Einfügedämpfung der Tuner von der aktuellen Position des internen Tuner-Stifts abhängen. Vor allem jene Tunerpositionen, die mit den Impedanzen am äußeren Kreisrand des Smith-Diagramms korrespondieren, weisen höhere Einfügedämpfungen auf als jene, die mehr in Richtung Smith-Diagrammzentrum liegen [9]. Infolge der immer vorhandenen ohmschen Beiträge des Tuners können rein reaktive Impedanzen, d. h. die Impedanzwerte auf dem Einheitskreis des Smith-Diagramms, in der Realität nie erreicht werden. Dadurch kann ein mit steigender Frequenz in seiner Breite zunehmender Kreisringbereich mit dem Tuner nicht mehr angefahren werden [12]. Dieser Umstand kann dazu führen, dass der optimale Reflexionsfaktor  $\Gamma_{opt}$  eines DUTs außerhalb des Bereiches liegt, den der Tuner ansteuern kann. Die DUT-Kontouren, die nur aus den mit dem Tuner anfahrbaren Reflexionsfaktoren generiert sind, stellen dann nur einen Teilbereich ohne eigentliches Maximum dar, und die Ermittlung des optimalen Reflexionsfaktors aus diesen unvollständigen Konturen wird unmöglich. Der aussteuerbare Bereich schrumpft mit steigender Frequenz infolge der mit ihr steigenden Tuner- und Kabelverluste [12]. Abbildung 2.9 zeigt den aussteuerbaren Reflexionsfaktorbereich des Source-Tuners des in dieser Arbeit verwendeten LP-Messplatzes bei 10 GHz.

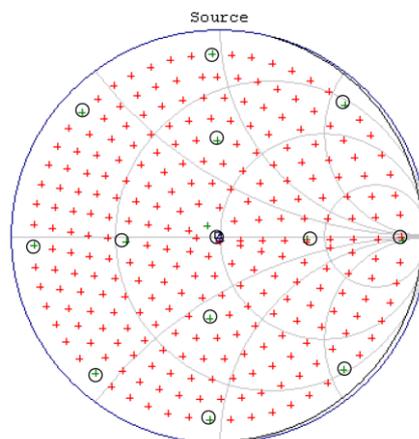


Abbildung 2.9: Aussteuerungsbereich des Source-Tuners des am FBH eingesetzten LP-Messplatzes bei 10 GHz

Dieser Effekt der unvollständig dargestellten LP-Konturen ist besonders bei größeren Transistoren wegen der dann erforderlichen niederohmigen Impedanzen ausgeprägt. Große Leistungstransistoren sind generell als Bauteile mit großer Peripherie (d. h. bei HEMTs Bauteile mit großer Gesamt-Gate-Weite  $w_{gg}$ ) konzipiert und besitzen deswegen mit steigender Transistorgröße immer niederohmigere Ein- und Ausgangsimpedanzen. Wobei besonders die Eingangsimpedanzen deutlich niederohmiger ausfallen. Dieser Umstand kompliziert die Impedanztransformation durch die Tuner des Messplatzes entsprechend Abbildung 2.6 und kann dazu führen, dass das DUT aufgrund ungenügender verfügbarer Eingangsleistung nicht bei seiner Sättigung gemessen wird. Im weniger kritischen Fall liegen die ermittelten LP- und SP-Kontouren nur teilweise außerhalb des aussteuerbaren Reflexionsfaktorbereiches.

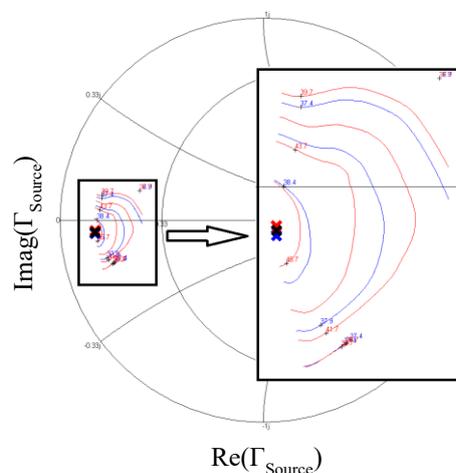


Abbildung 2.10: Beispielhafte Messung mit unvollständig dargestellten SP-Kontouren eines HEMTs der die Dynamikbereichprobleme des verwendeten LP-Messplatzes bei 10 GHz wiedergibt.

Abbildung 2.10 zeigt beispielhaft die SP-Kontouren eines X-Band GaN-Leistungstransistors, dessen optimale Source- $\Gamma_{opt}$  außerhalb des aussteuerbaren Impedanzbereiches liegen und mit ungenügenden Messpunkten ungenau generiert wurden. Während eine Lage der ausgangsseitigen  $\Gamma_{opt}$  außerhalb des aussteuerbaren Bereiches grundsätzlich jede Information über  $P_{out,max}$  oder  $PAE$  verhindern, können die Verluste eingangsseitig zwar noch herauskalibriert werden, jedoch kann das Absinken der verfügbaren Eingangsleistung dazu führen, dass das DUT nicht bis zu seiner Sättigung angesteuert werden kann.

#### 2.2.1.1.2 $\Delta G_T$

Ein Gütefaktor für die Genauigkeit eines LP-Messplatzes stellt das  $\Delta G_T$  dar. Diese Größe wird als Abweichung zwischen dem transducer power Gain  $G_{TS}$  aus den S-Parametern und dem im LP-Messsystem gemessenen transducer Gain  $G_T$  an einem Through als DUT berechnet [13]. Dabei ist  $\Delta G_T$  umgekehrt proportional zur Genauigkeit. Je niedriger  $\Delta G_T$ , umso höher ist die Genauigkeit der LP-Messung, bezogen auf einen VSWR-Kreis oder einen bestimmten Reflexionsfaktor. Die Tuner wurden mit einem VNA in einem 50  $\Omega$ -System

kalibriert. Mit steigender Abweichung der Tunerstellung vom Smith-Diagrammzentrum, d. h. von  $50 \Omega$ , sinkt die Genauigkeit der VNA-Kalibrierung und bewirkt damit auch ungenau werdende Messungen an dieser Tunerstellung. Als Konsequenz dieser Wechselwirkung hat das  $\Delta G_T$  sein Minimum im Smith-Diagrammzentrum ( $VSWR=0$ ) und sein Maximum am Smith-Diagrammrand (hoher  $VSWR$ ) [13]. Diese Bereiche des Smith-Diagramms mit einem hohen  $\Delta G_T$  sind hingegen durch den Einsatz von Leistungsverstärkern hoher Leistung unausweichlich gegeben. Da, wie oben beschrieben und in Abbildung 2.10 an einem Beispiel gezeigt, große Leistungstransistoren niederohmige Impedanzen aufweisen, werden die bei diesen DUTs durchgeführten LP-Messungen bei Tunerstellungen, die ein hohes  $\Delta G_T$  aufweisen, immer ungenauer.

### 2.2.1.2 Verbesserung durch vorangepasste Transistoren

Eine kostengünstige Möglichkeit, die oben beschriebenen Flaschenhalse eines LP-Systems abzuschwächen, ist der Einsatz von Transistoren mit eingangsseitiger Voranpassung [14]. Dabei wird die hier vorgestellte Voranpassung gemeinsam mit dem Transistor auf dem Wafer monolithisch realisiert und unterscheidet sich damit von der von einigen Transistorherstellern angebotenen und separat zum diskreten Transistor erhältlichen Voranpassung in Form einer off-chip realisierten Testfassung. Das verwendete und für die Zwecke der vorliegenden Arbeit standardisierte Voranpassungsnetzwerk ist in der Abbildung 2.11 gemeinsam mit einem großen GaN-Leistungstransistor als MMIC auf einem Chipfoto zu sehen. Unten in der Abbildung ist auch das dazugehörige Blockschaltbild abgebildet. Der für diese Teststruktur verwendete Transistor ist ein HEMT mit  $14 \times 125 \mu\text{m}$  Gesamt-Gate-Weite  $w_{gg}$ . Das am Transistoreingang platzierte Anpassnetzwerk besteht aus einer CPW-Leitung (CPW: Coplanar Wave Guide, Koplanarleitung) und einer gegen Masse verbundenen Kapazität. Sie transformiert die sehr niederohmige Eingangsimpedanz des Transistors in Richtung Smith-Diagrammzentrum und kompensiert damit teils die oben beschriebenen begrenzenden Einschränkungen des LP-Messplatzes. Dadurch steht zur Messung der Struktur am Transistor selbst eine höhere Eingangsleistung zur Verfügung und die SP-Konturen liegen vollständig im aussteuerbaren Reflexionsfaktorbereich. Auf diese Weise werden ein niedrigeres  $\Delta G_T$  und damit eine höhere Genauigkeit erzielt als ohne Voranpassung. Die Anpassung direkt am Transistor mittels CPW hat den Vorzug, dass die Impedanzen unmittelbar und verlustarm transformiert werden können. Natürlich können durch die Voranpassung die beschriebenen Effekte nur bis zu einem bestimmten Maß kompensiert und damit nicht beliebig große Transistoren gemessen werden. Das Anpassnetzwerk in Abbildung 2.11 ist mit einer Luftbrücke mit dem Transistor verbunden und lässt sich durch Auftrennen dieser von diesem entkoppeln.

Die Kapazität ist dreistufig auf drei Kapazitätswerte trimmbar und besteht aus einer Parallelschaltung von drei Kapazitäten, die mittels Luftbrücken miteinander verbunden sind.

Durch Trennen dieser Luftbrücken lässt sich der Kapazitätswert reduzieren und damit die Voranpassung noch feintunen. Von der Voranpassung kann eine S-Parametermessung durchgeführt und mit dieser ihr Einfluss auf die Transistormessung herausgerechnet werden. Durch die trimmbare Kapazität wird zudem die Möglichkeit geschaffen, die Charakterisierung des DUTs in einem größeren Frequenzbereich durchführen zu können.

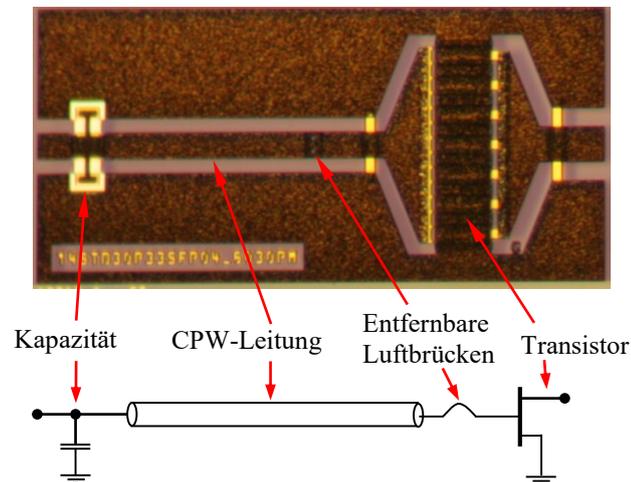


Abbildung 2.11: Chipfoto eines eingangsseitig vorangepassten Transistors mit dazugehörigem Blackschaltbild

An der in Abbildung 2.11 gezeigten Teststruktur wurden nun sowohl mit Voranpassung als auch ohne (Luftbrücke getrennt und Transistor direkt am Ausgang angetastet) SP-/LP-Messungen und bei den gefundenen optimalen Reflexionsfaktoren Eingangsleistungsmessungen durchgeführt. Abbildung 2.12 zeigt in rot die gemessenen SP-Kontouren des Transistors ohne das Anpassnetzwerk und in blau die mit dem Anpassnetzwerk. Diese beiden SP-Kontouren bestätigen deutlich die zuvor beschriebenen Zusammenhänge: Für den Fall ohne Voranpassung (rote Kurven) können die Kontouren nur teilweise gemessen werden und die aus diesen unvollständigen Kontouren ermittelten und mit einem roten Kreuz symbolisierten optimalen Reflexionsfaktoren sind sichtbar unpräzise - gedanklich vervollständigt würden sie ein mehr außerhalb gelegenes  $\Gamma_{S,opt}$  ergeben. Dem gegenüber sind die blauen Kontouren (Fall mit Voranpassung) nahezu vollständig und das aus ihnen ermittelte  $\Gamma_{S,opt}$  deutlich genauer. Zudem wird aus den Positionen der Kontouren und der  $\Gamma_{S,opt}$  klar, dass bei den mehr zentralgelegenen Kontouren und  $\Gamma_{S,opt}$  des HEMTs mit Voranpassung das  $\Delta G_T$  sinkt und damit die Genauigkeit steigt.

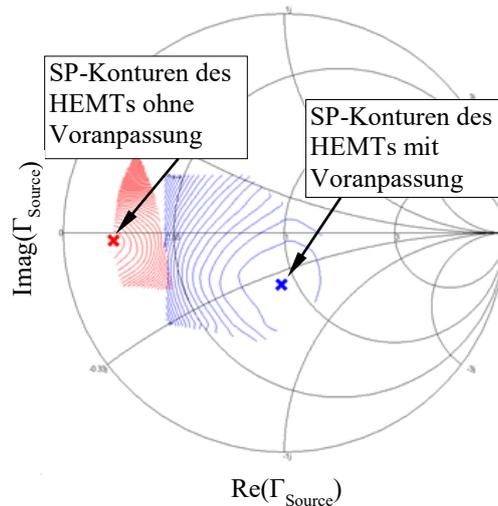


Abbildung 2.12: SP-Konturen des HEMTs 12x125\_p33 ohne (rote Konturen) und mit Voranpassung (blaue Konturen) bei 10 GHz

In Abbildung 2.13 sind die Ergebnisse der cw-Leistungsmessungen der Teststruktur ohne (durchgezogene Linien) und mit Voranpassung (gestrichelte Linien) bei 10 GHz aufgetragen, wobei die Tuner auf die aus den SP-/LP-Messungen ermittelten optimalen Reflexionsfaktoren eingestellt sind.

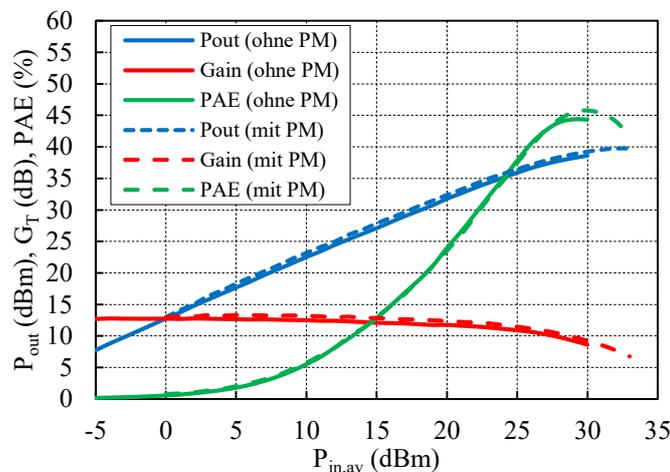


Abbildung 2.13: Ergebnisse der cw-Leistungen des HEMTs 12x125\_p33 ohne (durchgezogene Linien) und mit Voranpassung (gestrichelte Linien) bei 10 GHz

Für jede Steigerungsstufe wurden die Parameter  $P_{out,max}$ ,  $G_T$  und  $PAE$  gemessen und über dem korrespondierenden  $P_{in,av}$  in einem Diagramm abgebildet. Aus den Kurven der Abbildung 2.13 wird deutlich, dass der HEMT aus Abbildung 2.11 ohne Voranpassung nur bis zu einem  $P_{in,av}$ -Wert von 30 dBm gemessen werden kann und so seine Sättigung nicht erreicht wird, während bei der Messung des HEMTs mit Voranpassung bis zu einem  $P_{in,av}$ -Wert von 33 dBm gemessen und so der Transistor in seiner Sättigung charakterisiert werden kann.

Damit ist die Wirksamkeit dieser Art der Dynamikbereich- und Genauigkeitsverbesserung des LP-Messplatzes an einem praktischen Beispiel verifiziert worden. Die im Rahmen dieser Arbeit entwickelte on-chip Voranpassung wird auch bei der Charakterisierung der Transistoren in den Schaltungen und bei anderen Untersuchungen eingesetzt.

Mögliche Ungenauigkeiten der Voranpassung infolge der Technologietoleranzen sind für die größeren Transistoren der vorliegenden Technologie und der Betriebsfrequenz vernachlässigbar gering. Hinzu kommt der Umstand, dass mit der Voranpassung keine exakte Transformation auf eine bestimmte Impedanz erreicht werden soll. Die zuvor messtechnisch ermittelte Dämpfung der Voranpassung liegt im Bereich der 2. Nachkommastelle und ist daher vernachlässigbar.

## 2.3 „GaN on SiC“-MMIC-Technologie am FBH

In der Abbildung 2.14 ist der vereinfachte Querschnitt eines FBH-GaN-HEMTs mit Standard-Gate und seiner vertikalen Layer-Struktur zu sehen. Ferner enthält die Darstellung Angaben zum geometrischen Aufbau des HEMTs.

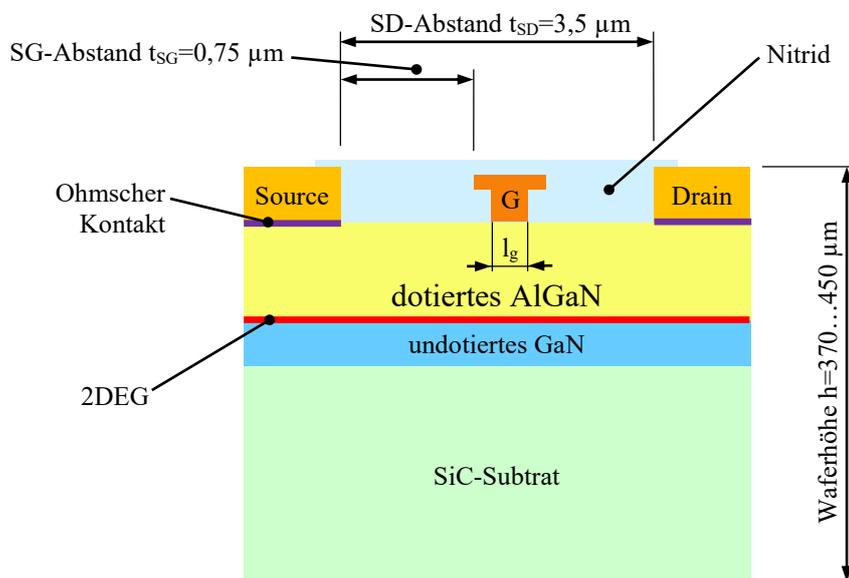


Abbildung 2.14: Vereinfachte Darstellung der vertikalen Layer-Struktur des verwendeten X-Band FBH-GaN-HEMTs mit den wichtigsten Abmessungen

An dieser Struktur werden im Folgenden die unterschiedlichen Layer und ihre Funktionen beschrieben. Die vertikale Layer-Struktur beginnt mit der untersten Schicht in Form des SiC-Trägersubstrats, das mit seiner überragenden thermischen Leitfähigkeit auch das sehr gute thermische Verhalten der „GaN on SiC“-MMIC-Technologie ermöglicht. Auf diesen SiC-Träger folgte (nach einer wachstumsbedingten Zwischenschicht) ein undotiertes GaN-Layer. Auf das undotierte GaN-Layer folgt ein dotiertes AlGaN-Layer, dessen Elektronen

an der Grenzschicht im darunterliegenden GaN-Layer ein zweidimensionales Elektronengas (2DEG) ausbilden. Dabei ist zu beachten, dass die Dotierung beim AlGaN-HEMT rein durch die Materialverspannung anhand der Epitaxie-Schichten realisiert wird. Auf der oberen Oberfläche dieser AlGaN-Schicht befindet sich die Gate-Elektrode, die mit dem AlGaN-Layer einen Schottky-Kontakt bildet. Mit Abständen von der Gate-Elektrode werden links und rechts die Source- bzw. Drain-Elektroden auf die obere Oberfläche des AlGaN-Layers prozessiert. Dabei werden die Kontakte dieser beiden Elektroden mit AlGaN-Layer als ohmsche Kontakte realisiert. Die Oberfläche des GaN-HEMT wird abschließend mit einer Passivierungsschicht, bestehend aus mehreren Si-Nitrid-Schichten, abgedeckt, die den aktiven Bereich chemisch und in Bezug auf Oberflächenladungen stabilisiert und schützt.

Die in der Abbildung 2.14 mit  $l_g$  bezeichnete Gate-Länge ist ein sehr wichtiger Parameter des Transistors, der seine wichtigen Kenngrößen beeinflusst. Allgemein lässt sich sagen, dass nahezu alle hochfrequenzrelevanten Kenngrößen umgekehrt proportional zu  $l_g$  sich verbessern. Die Gate-Länge wird daher als Freiheitsgrad genutzt, um einen HEMT bei höheren Frequenzen einsetzbar zu machen bzw. hier seine Kenngrößen zu verbessern. Durch die Verkürzung der Gate-Länge werden die unterschiedlichen Komponenten des intrinsischen Ersatzschaltbildes des HEMTs, insbesondere seine Gate-Source-  $C_{gs}$  und Gate-Drain-Kapazität  $C_{gd}$ , entscheidend beeinflusst. Die Formel in Gleichung (2.8) für die Transitfrequenz  $f_T$ , jene Frequenz, bei der der Stromverstärkungsfaktor bei einem drainseitig kurzgeschlossenen Transistors  $|H_{21}(f_T)|^2=1$  entspricht, verdeutlicht diesen Zusammenhang. Die Transitfrequenz ist eine Kenngröße für die Verwendbarkeit bei hohen Frequenzen und ist neben der Eingangskapazität  $C_{gs}$  noch von der Steilheit  $g_m$  des Transistors abhängig. Mit steigendem  $f_T$  steigt sowohl die mögliche Betriebsfrequenz des Transistors als auch die Verstärkung bei niedrigeren Frequenzen.

$$f_T = \frac{g_m}{2\pi C_{gs}} \quad (2.8)$$

Mit kürzerer Gate-Länge  $l_g$  steigt das  $f_T$ , deshalb nimmt die Verstärkung zu und wegen Gleichung (2.5) auch die  $PAE$ . Am FBH wurden zum Zeitpunkt der Arbeit GaN-HEMTs mit der Gate-Länge  $l_g=0,5 \mu\text{m}$  und  $l_g=0,25 \mu\text{m}$  eingesetzt. Die Steigerung der Stromdichte und damit der Ausgangsleistung eines HEMTs bei sonst festen horizontalen Abmessungen entsprechend Abbildung 2.14 geschieht über die Vergrößerung der Gate-Weite. Dieses Maß kann in der Abbildung durch eine in die dritte Dimension gehende Weite des Gates  $w_g$  beschrieben werden und wird im Folgenden näher erläutert. Zu diesem Zweck ist in der Abbildung 2.15 links die Transistorgrundzelle der für X-Band-Anwendungen optimierten FBH GaN-HEMTs in der Layout-Ansicht zu sehen. Diese Transistorgrundzelle bildet den Grundbaustein für das Erstellen von größeren Transistoren und gleichzeitig die kleinste realisierbare Transistorstruktur, deren Größe nur noch durch die Gate-Weite  $w_g$  variiert

werden kann. Links in dieser Layout-Ansicht befindet sich die Eingangs- und gleichzeitig die Gate-Elektrode der Transistorgrundzelle, während rechts ihre Ausgangs- und gleichzeitig ihre Drain-Elektrode zu sehen sind. Die Position des HEMT-Querschnitts aus Abbildung 2.14 befindet sich in der Grundzelle in vertikaler Richtung und ist zwei Mal vorhanden.

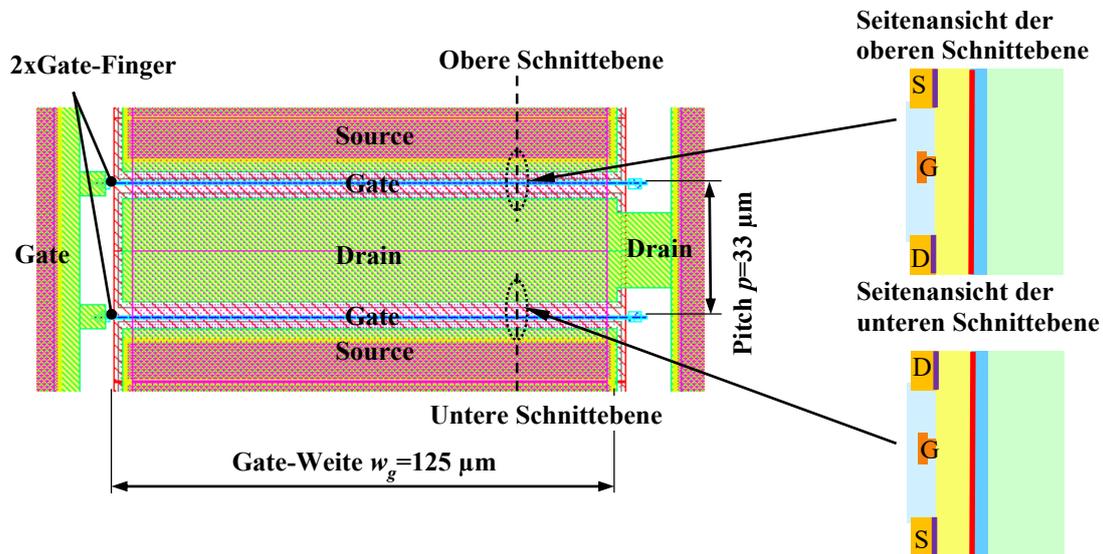


Abbildung 2.15: Layout-Ansicht der Transistorgrundzelle eines FBH GaN-HEMTs der Größe  $2 \times 125 \mu\text{m}$

Die Gates in der Transistorgrundzelle werden als Gate-Finger bezeichnet und der Abstand der Gates voneinander als Pitch. Die beiden Grounds in der Abbildung 2.15 werden mit einer Luftbrücke, die sowohl die beiden Gates als auch das dazwischen gelegene Drain überspannt, verbunden und bilden auch gleichzeitig die Source-Anschlüsse der beiden HEMTs. Die Länge der Gate-Finger sind mit der Gate-Weite  $w_g$  identisch. Die Gesamt-Gate-Weite  $w_{gg}$  der Transistorgrundzelle ist, entsprechend Gleichung (2.9), das Produkt aus der Fingeranzahl und der Gate-Weite  $w_g$ . Für die Angabe der Größe der FBH GaN-HEMTs wird die Notation in der Gleichung (2.10) verwendet. Demnach hat die in der Abbildung 2.15 links dargestellte Transistorgrundzelle die Größe  $2 \times 125 \mu\text{m}$ .

$$w_{gg} = \text{Fingeranzahl} \cdot w_g \quad (\mu\text{m}) \quad (2.9)$$

$$\begin{aligned} \text{HEMT} - \text{Größenbezeichnung} \\ = \text{Fingeranzahl} \times \text{Gateweite}_p \quad (p: \text{Pitch}) \end{aligned} \quad (2.10)$$

Um eine erwünschte Stromdichte bzw. maximale Ausgangsleistung für einen Transistor zu erhalten, muss seine Gesamt-Gate-Weite erhöht werden. Dies geschieht entweder, indem die Gate-Weite  $w_g$  oder die Fingeranzahl erhöht wird. Die Stromdichte skaliert nur bis zu einer bestimmten Größe linear mit  $w_g$  bzw. der Fingeranzahl und führt dann zu einer immer stärker

degradierenden Skalierung. Auch die anderen relevanten Kenngrößen wie  $G_T$ ,  $PAE$  und  $f_T$  verändern sich ab einer bestimmten Konstellation von Gate-Weite  $w_g$  oder Fingeranzahl ungünstig. Die Gründe für die Einbrüche in den Kenngrößen sind vielfältig. So werden bei Erhöhung der Fingerweite ab einem gewissen Punkt die Verluste auf dem Gate bemerkbar, sorgen ab diesem für die Einbrüche und legen die Grenze der Fingerweite fest. Wenn die Fingeranzahl hingegen immer weiter erhöht wird, so wird die Transistorstruktur immer breiter und die Verteilungsstruktur immer nichtidealer und dämpfungsbehafteter. Nachfolgend werden am Beispiel eines großen Transistors und seines Ersatzschaltbildes weitere mögliche Gründe erläutert. Daher müssen mit den beiden Freiheitsgraden Gate-Weite und Fingeranzahl eines HEMTs das optimale Layout ermittelt werden.

In Abbildung 2.16 ist die Layout-Ansicht eines FBH HEMTs der Größe  $12 \times 125 \mu\text{m}$  dargestellt. Dieser HEMT stellt den Standard-Transistor für die vorliegende Arbeit dar und besteht aus sechs parallelgeschalteten Transistorgrundzellen aus der Abbildung 2.15 links, während eine der Grundzellen mit einem gestrichelten Rahmen angedeutet ist.

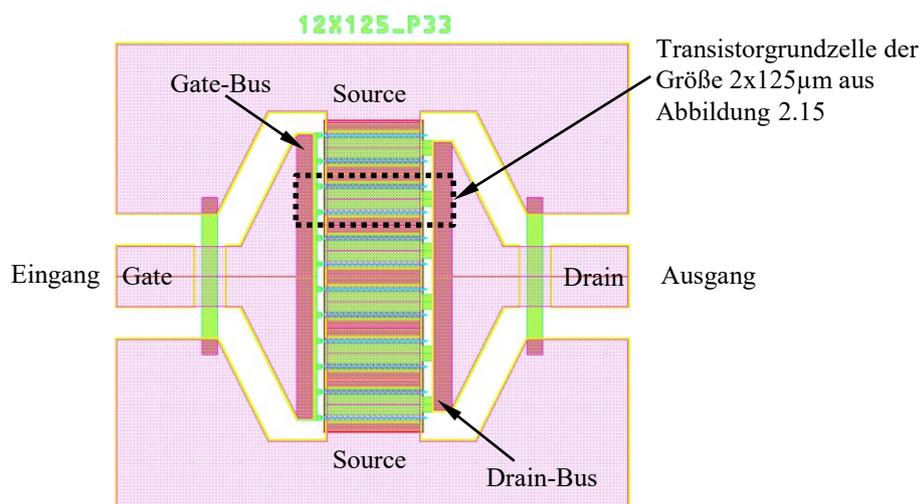


Abbildung 2.16: Layout-Ansicht eines FBH GaN-HEMTs der Größe  $12 \times 125 \mu\text{m}$  und des Pitch  $p=33 \mu\text{m}$

Links in der Abbildung ist der Gate-Kontakt des HEMTs zu sehen, der dann über den Taper als eine Art Gate-Bus die Gates der einzelnen Transistorgrundzelle kontaktiert. Rechts in der Abbildung verhält es sich mit den Drain-Anschlüssen analog. Die Source des HEMTs wird beidseitig von oben und unten mit der Masse verbunden. Wenn nun jeder Finger des Transistors aus Abbildung 2.16 als ein HEMT und ebenso die zugehörigen Zuleitungen als Induktivitäten modelliert werden würden, dann würde sich das in der Abbildung 2.17 gezeichnete Ersatzschaltbild ergeben. Dabei wurde aus Platzgründen nur die obere horizontale Hälfte des HEMTs im Ersatzschaltbild dargestellt. Wie dieses Schaltbild zeigt, unterscheiden sich die Zuleitungen der Elektroden jeder der Transistorzellen  $T1$  bis  $T6$ . Die Source-Elektrode der zentralgelegenen Transistorzelle  $T6$  hat eine deutlich kürzere Zuleitung und damit deutlich geringere Induktivitäten als bei den am Rand gelegenen

Transistorzellen  $T1$  und  $T6$ . Auch unterscheiden sich die Längen der Gate- und Drain-Zuleitungen und damit der Zuleitungsinduktivitäten zu den unterschiedlichen Transistorzellen. Die Unterschiede stehen in direkter Relation mit der Fingeranzahl und auch der Gate-Weite und führen bei größer werdenden Transistoren zu allmählichen Verschlechterungen in den entscheidenden HF-Kenngrößen.

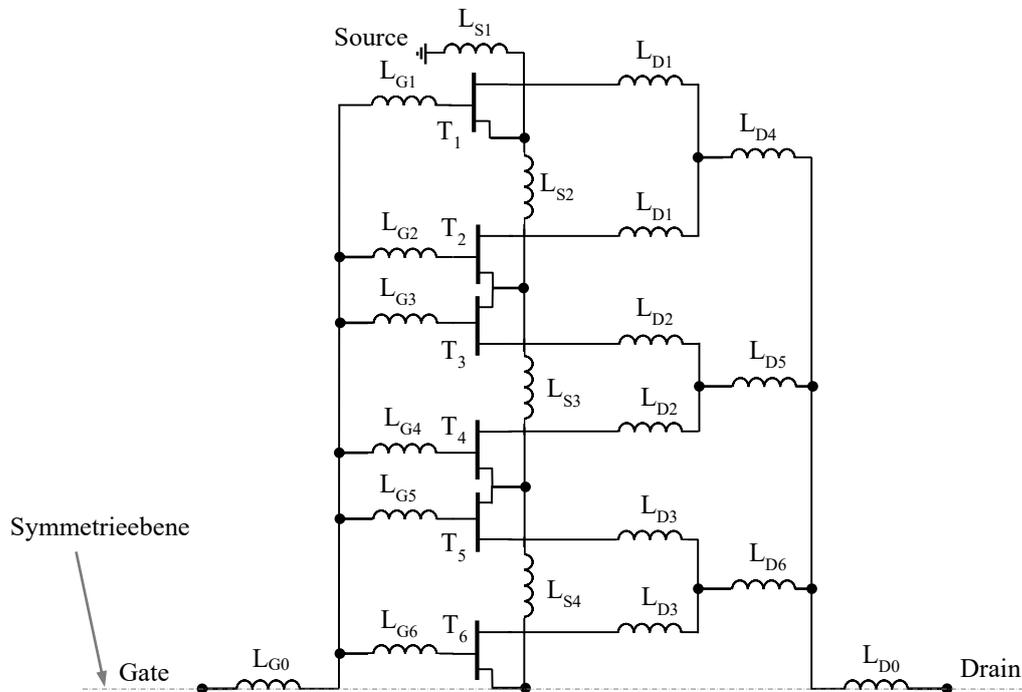


Abbildung 2.17: Ersatzschaltbild des für das X-Band optimierten FBH GaN-HEMTs der Größe  $12 \times 125 \mu\text{m} \times 33$ . Das Ersatzschaltbild stellt nur die obere horizontale Hälfte des HEMTs dar.

## 2.4 Wahl und Optimierung der Transistorgröße und der -geometrie für den Einsatz in Leistungsverstärkern

Zur Erzielung von hohen Ausgangsleistungen in Leistungsverstärkerschaltungen ist die Endstufe dieser Schaltung die bestimmende Komponente. Sie alleine liefert die Ausgangsleistung, weshalb die Wahl ihrer aktiven ausgangsleistungsrelevanten Bauteile entscheidend ist. Zum Erreichen einer geforderten hohen Ausgangsleistung müssen im Fall der vorliegenden Arbeit die aktiven Bauelemente in Form von HEMTs eine bestimmte Gesamt-Gate-Weite der Endstufe,  $w_{gg,FS}$ , aufweisen. Sie kann auf drei Arten realisiert werden:

1. Indem mehrere kleinere HEMTs mit einer bestimmten eigenen Gesamt-Gate-Weite  $w_{gg}$  eingesetzt werden, deren summierte Einzel-Gate-Weiten  $w_{gg,FS}$  ergeben
2. Indem ein einziger großer HEMT zum Einsatz kommt, der das geforderte  $w_{gg,FS}$  liefert.

3. Die dritte und prädestinierte Realisierung ist ein Kompromiss aus mittelgroßen HEMTs die dann durch eine Parallelschaltung das erwünschte  $w_{gg,FS}$  liefert.

Alle drei Möglichkeiten haben eine Reihe von diversen Randbedingungen und Spezifikationen, wie Höhe des geforderten  $P_{out,max}$ , der Betriebsfrequenz  $f_0$ , der geforderten restlichen Kenngrößen wie  $PAE$  oder  $G_T$ , der eingesetzten Halbleitertechnologie oder der verwendeten Leitungstechnologie. Sie müssen daher wohlüberlegt gewählt werden [15]. Die Abbildung 2.18 illustriert mittels zweier Blockschaltbilder die beiden genannten Extremfälle von Realisierungen für eine gegebene  $w_{gg,FS}$ .

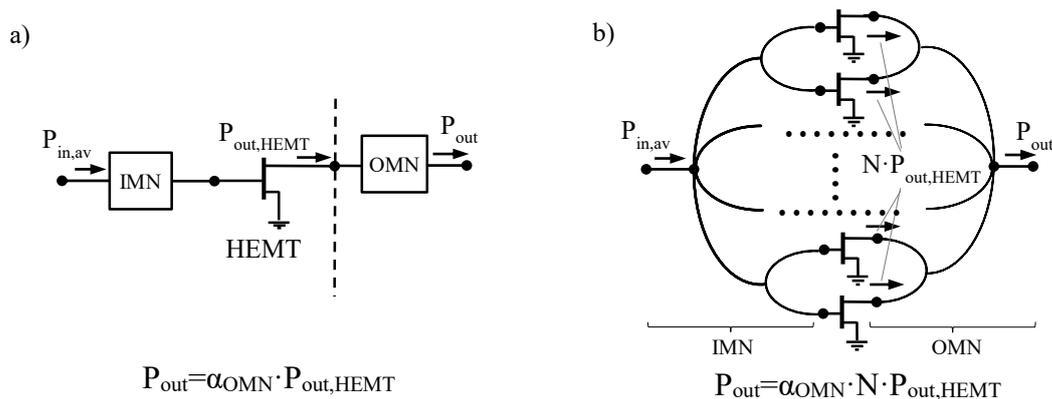


Abbildung 2.18: Zwei Realisierungsmöglichkeiten für eine bestimmte Gesamttransistorperipherie: a) Ein großer Transistor mit der geforderten Gesamt-Gate-Weite  $w_{gg}$ ; b)  $N$  parallelgeschaltete identische kleine Transistoren mit einer der geforderten  $w_{gg}$  entsprechenden Gesamt-Gate-Weite.

Die Variante, mit einem einzigen großen HEMT die Endstufe des Leistungsverstärkers aufzubauen, hat die Nachteile, dass u. a. die im Teilabschnitt 2.1.1 eingeführten wichtigen Kenngrößen  $P_{out,max}$ ,  $PAE$  und  $G_T$ , bei großen Transistoren nicht mehr linear mit der Transistorgröße skalieren ( $P_{out,max}$ ) bzw.  $PAE$  und  $G_T$  nicht länger konstant bleiben, sondern abnehmen. Die Gründe hierfür sind u. a. mit Hochfrequenz- und Thermik-Effekten zu erklären. Eine derartige Degradierung der Verstärkung  $G_T$  kann zwar durch die Vorstufe ausgeglichen werden, jedoch sind die Degradierungen der  $PAE$  und der  $P_{out,max}$ , bei gleichbleibenden Betriebsbedingungen nicht zu kompensieren. Darüber hinaus erschwert ein großer Leistungstransistor den Verstärkerentwurf in mehrerer Hinsicht erheblich. Neben der mit steigender Transistorgröße mehr in Richtung Kurzschluss sich bewegenden Ein- und Ausgangsimpedanzen ist auch die Stromtragfähigkeit der Transistoranschlussleitungen zu nennen. Wie in Abbildung 2.16 gezeigt, besteht ein großer Leistungstransistor aus mehreren parallelgeschalteten Transistorgrundzellen. Ebenso ergeben sich seine Ein- und Ausgangsimpedanzen in erster Näherung aus einer Parallelschaltung der Ein- und Ausgangsimpedanzen der Transistorgrundzelle. Damit entsprechen die Impedanzen des großen Transistors in erster Näherung der Division der Impedanzen der einzelnen Transistorgrundzelle durch die Anzahl der verwendeten Transistorgrundzellen. So verschieben die Impedanzen des großen Transistors sich mit steigender Größe zum

Kurzschluss hin und erschweren den Entwurf der nachfolgenden Anpassnetzwerke erheblich. Das führt neben einer sehr schmalbandigen Anpassung auch zu einer verlustbehafteteren Anpassung, was mit einer zusätzlichen Degradierung der erzielbaren maximalen Ausgangsleistung einhergeht. Auch gestaltet sich die messtechnische Charakterisierung von großen Transistoren, wie im Teilabschnitt 2.2.1 gezeigt, schwierig. Ein weiterer entscheidender Nachteil von großen Transistoren kann ihr thermisches Verhalten sein. Durch die Tatsache, dass bei großen Transistoren alle Grundzellen dicht nebeneinander angeordnet sind, ergibt sich ein thermischer Hotspot. Beim Einsatz von mehreren kleineren Transistoren sind weniger Transistorgrundzellen dicht beieinander und erzeugen je Transistor eine geringere Verlustwärme. Die kleineren Transistoren beeinflussen sich gegenseitig weniger als ein großer Transistor [16]. Alle diese Effekte sind natürlich auch von den weiter oben angegebenen Randbedingungen und Spezifikationen abhängig und müssen von Fall zu Fall abgewogen werden.

Die Realisierungsvariante der Endstufe des Leistungsverstärkers mit mehreren kleineren HEMT hat den entscheidenden Nachteil, dass die Parallelschaltung mit steigender HEMT-Anzahl mit immer umfangreicheren Verzweigungsnetzwerken von Verteilern bzw. Kombiniern einhergeht. Die Verluste dieser Netzwerke beeinflussen die wichtigen Kenngrößen  $P_{out,max}$ ,  $PAE$  und  $G_T$ , direkt. Für die Steigerung der Ausgangsleistung mit mehr HEMTs wird die resultierende umfangreichere Kombiniere-Struktur mit ihren steigenden ohmschen Verlusten ein gegenläufiges Verhalten zeigen und ab einer bestimmten HEMT-Anzahl überhaupt keine Ausgangsleistungssteigerung mehr ergeben [15]. Darüber hinaus erfordert eine Realisierung der Endstufe durch Parallelschaltung mit mehreren HEMTs neben einer Stabilitätsbetrachtung infolge der Transistorrückwirkung, auch eine sogenannte Odd-Mode-Stabilitätsbetrachtung. Die in der Parallelschaltung eingesetzten Transistoren können hierbei eine gegenphasige Schwingung erzeugen. Diese sogenannte Odd-Mode-Stabilität (Gegentaktstabilität) wird mit steigender Transistoranzahl und Zuleitungsverzweigung immer komplexer und kann umfangreichere Maßnahmen in jedem Zweig der Parallelschaltung erfordern [17], [18].

Aus einer Untersuchung von HEMTs mit unterschiedlichen Gate-Weiten und Gate-Weite-Konstellationen wurde ersichtlich, dass der HEMT  $12 \times 125 \mu\text{m}$  aus Abbildung 2.16 für die Zwecke dieser Arbeit einen guten Kompromiss aus Abmessungen und Leistungsfähigkeit liefert. Im Teilabschnitt 2.4.1 folgt die Untersuchung der Pitch-Länge und in 2.4.2. die Untersuchung der Einflüsse des Einsatzes von Feldplatten in der intrinsischen Transistorstruktur auf die Kenngrößen. Diese Untersuchungen beruhen auf einer Großsignalbetrachtung. Die Großsignalbetrachtung stützt sich auf die Messergebnisse der im Abschnitt 2.2 beschriebenen LP-/SP- und dazugehörigen cw-Leistungsmessungen. Mit aus diesen Messungen bestimmten Kenngrößen  $P_{out}$ ,  $PAE$  und  $G_T$  und den optimalen Ein- und Ausgangsreflexionsfaktoren  $\Gamma_{S,opt}$  bzw.  $\Gamma_{L,opt}$  können das Großsignalverhalten der

unterschiedlichen Transistor-Strukturen charakterisiert und die Strukturen untereinander verglichen werden.

### 2.4.1 Untersuchung des Pitch-Einflusses auf die Leistungsverstärkerkenngrößen

Neben der Gate-Fingeranzahl und der Gate-Fingerlänge ist auch der Pitch, d. h. der Abstand der Gate-Finger zueinander, eine wichtige Größe der Geometrie des Transistors. Ein groß gewählter Pitch steigert die Abmessung des HEMTs und damit auch indirekt die einer mit diesen HEMTs entworfenen Verstärkerschaltung erheblich. Eine größere Schaltung mit bis auf den Pitch ansonsten identischen Transistoren verursacht in der Regel auch höhere Verluste der Zuleitung und führt damit auch zur Degradierung der Kenngrößen  $P_{out,max}$ ,  $PAE$  und  $G_T$ . In der Abbildung 2.19 ist beispielsweise die Layout-Ansicht eines 12x125 mit einem Pitch von  $p=50\ \mu\text{m}$  und einem Pitch von  $p=33\ \mu\text{m}$  im gleichen Maßstab mit der Angabe der Abmessungen zu sehen.

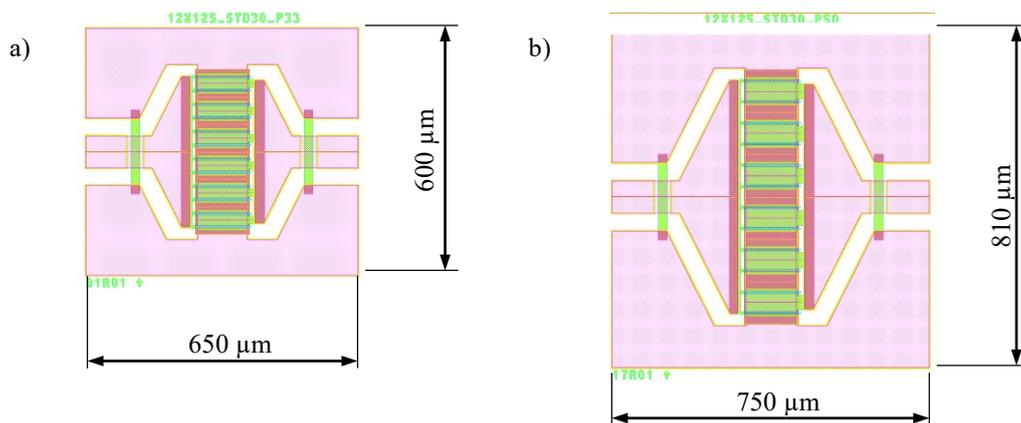


Abbildung 2.19: Layout-Ansicht eines 12x125 mit einem Pitch von a)  $p=33\ \mu\text{m}$  und b)  $p=50\ \mu\text{m}$  im gleichen Maßstab dargestellt.

Der HEMT mit  $p=50\ \mu\text{m}$  führt zu einer in y-Richtung um  $210\ \mu\text{m}$  größeren Geometrie. Infolge der größeren vertikalen Ausdehnung wird auch eine längere ein- und ausgangsseitige Transistorzuleitung notwendig. Diese führt dann zu einer in x-Richtung um  $100\ \mu\text{m}$  längeren Geometrie. Wenn nun abgewogen werden muss, dass in einer Leistungsverstärkerschaltung mehrere solcher Transistoren parallelgeschaltet werden, dann wird der Einfluss der Pitchgröße immer größere Schaltungen zur Folge haben.

Ein zu klein gewählter Pitch könnte hingegen dazu führen, dass der thermische Widerstand des Transistors kritisch zunimmt, sich die Gate-Finger thermisch gegenseitig stärker beeinflussen und so zu einer Degradierung führen.

Um bei diesen gegenläufigen Verhältnissen ein Optimum zu finden, werden im Folgenden bei dem Transistor 12x125 Varianten mit einem Pitch von  $p=50\ \mu\text{m}$  und einem Pitch von

$p=33\ \mu\text{m}$  auf dem gleichen Wafer hergestellt und gegenübergestellt. Zur Demonstration der Einflüsse der gewählten Pitch-Größe werden diese zwei HEMTs bei 10 GHz LP- und SP-gemessen und bei den ermittelten optimalen Reflexionsfaktoren Leistungsmessungen durchgeführt. Diese Messergebnisse der HEMTs mit gleicher Fingeranzahl und -länge, aber unterschiedlichem Pitch werden dann im gemeinsamen Diagramm gegenübergestellt. Diese Messungen werden bei mehreren Arbeitspunkten und bei mehreren Samples für jede Variante durchgeführt. Die Abbildung 2.20 zeigt die Ergebnisse der Leistungsmessungen bei 10 GHz mit Tunerstellungen für  $P_{out,max}$ .

In dieser Abbildung sieht man geringe Unterschiede zwischen den HEMT-Varianten mit  $p=33\ \mu\text{m}$  und denen mit  $p=50\ \mu\text{m}$ . Die dargestellten Messungen sind bei einer Drain-Spannung von  $U_d=28\ \text{V}$  durchgeführt worden. Messungen mit anderen  $U_d$ -Werten zeigen das gleiche Verhalten.

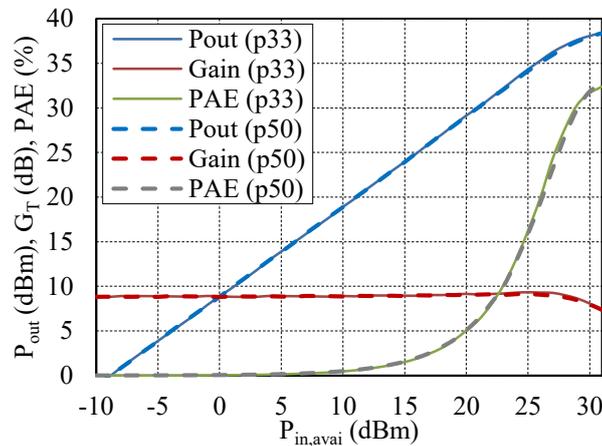


Abbildung 2.20: cw-Leistungsmessungen von HEMTs der Größe  $12 \times 125\ \mu\text{m}$  mit  $p=33$  bzw.  $50\ \mu\text{m}$  bei 10 GHz

Die Abbildung 2.21 bis 2.22 zeigen die aus den LP- und SP-Messungen ermittelten  $P_{out}$ -Konturen und die dazugehörigen optimalen Reflexionsfaktoren  $\Gamma_{opt}$  für den HEMT mit beiden Pitch-Varianten und deuten auf eine geringfügige Verschiebung der Reflexionsfaktoren hin. Nach diesen Messergebnissen wird im Sinne von kleineren Verstärkerschaltungen beim Verstärkerentwurf an Stellen mit begrenzter Fläche, wie z. B. der Endstufe, auf HEMTs mit  $p=33\ \mu\text{m}$  zurückgegriffen und an Stellen mit größerem Platz, wie bei der Treiberstufe, aufgrund des entspannteren thermischen Verhaltens die Variante mit  $p=50\ \mu\text{m}$  bevorzugt.

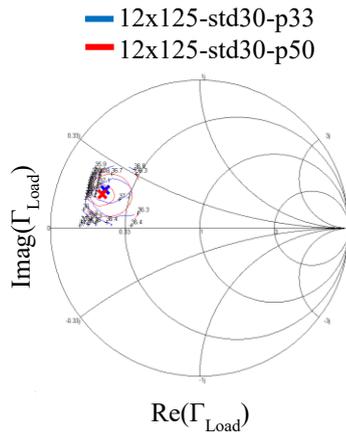


Abbildung 2.21: Aus LP-Messungen generierte  $P_{\text{out}}$ -Konturen von 12x125 $\mu\text{m}$  HEMTs mit  $p=33 \mu\text{m}$  bzw. 50  $\mu\text{m}$  bei 10 GHz

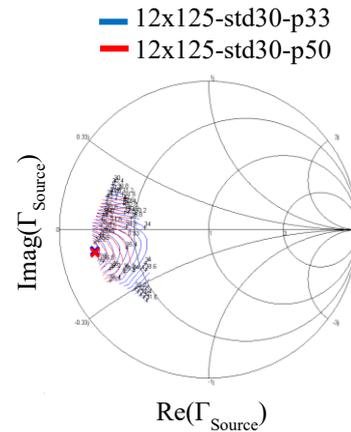


Abbildung 2.22: Aus SP-Messungen generierte  $P_{\text{out}}$ -Konturen von 12x125 $\mu\text{m}$  HEMTs mit  $p=33 \mu\text{m}$  bzw. 50  $\mu\text{m}$  bei 10 GHz

## 2.4.2 Untersuchung von HEMTs mit und ohne source-kontaktierter Feldplatte

In diesem Teilabschnitt werden die Einflüsse des Einsatzes von Feldplatten (FP) innerhalb der aktiven Transistorzone zur Verbesserung der Transistoreigenschaften auf die im Kontext der vorliegenden Arbeit interessanten Leistungsverstärkerkenngrößen untersucht. Dabei beschränkt sich die Untersuchung auf die am FBH eingesetzte source-kontaktierte Feldplatte (SKFP). Die vertikale Layer-Struktur eines mit dieser Feldplatte aufgebauten und für das X-Band optimierten FBH-GaN-HEMTs ist in der Abbildung 2.23 dargestellt.

Aus der Literatur ist bekannt, dass der Einsatz von Feldplatten in HF-Leistungsverstärkern das Durchbruchverhalten der HEMTs und ihr Dispersionsverhalten verbessern und so zu gesteigerter maximaler  $PAE$  und  $P_{\text{out,max}}$  führen kann [19], [20], [21]. Zur Demonstration dieser Verbesserungen werden mehrere HEMTs gleicher Gesamt-Gate-Breite  $w_{\text{gg}}$  sowohl mit als auch ohne SKFP bei 10 GHz LP- und SP-gemessen und bei den Tunerstellungen der gefundenen optimalen Reflexionsfaktoren an ihnen eine Leistungsmessung durchgeführt. Diese Messergebnisse der HEMT-Varianten mit und ohne SKFP werden dann in gemeinsamen Diagrammen gegenübergestellt.

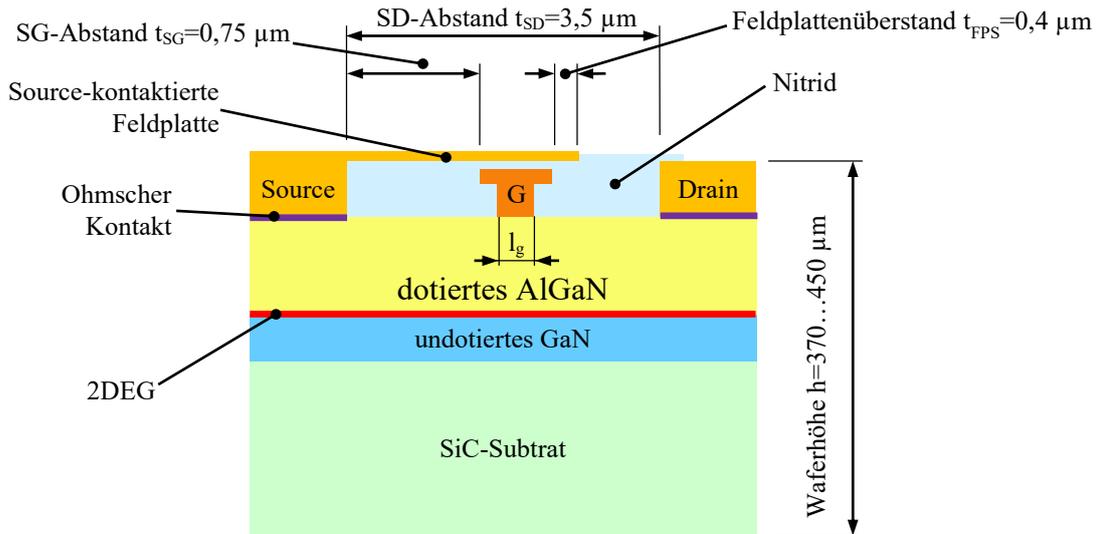


Abbildung 2.23: Vereinfachte Form der vertikalen Layer-Struktur eines für das X-Band optimierten FBH-GaN-HEMTs mit source-kontaktierter Feldplatte mit den relevantesten Abmessungen

Die Abbildung 2.24 bis 2.25 zeigen für den HEMT 12x125μm die Ergebnisse der cw-Leitungsmessungen bei 10 GHz mit Tunerstellungen für maximale PAE und für  $P_{out,max}$ . Wie zu sehen ist, liefern in beiden Fällen die Transistoren mit Feldplatte in den Leistungsverstärkergrößen bessere Ergebnisse.

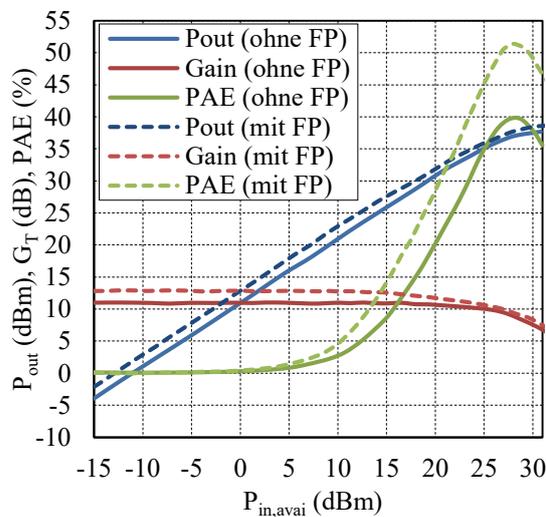


Abbildung 2.24: cw-Leistungsmessung eines HEMTs der Größe 12x125μm mit und ohne SKFP bei „deep Class AB“-Betrieb mit  $U_D=40 V$ , mit Tunereinstellungen für maximale PAE und bei 10 GHz

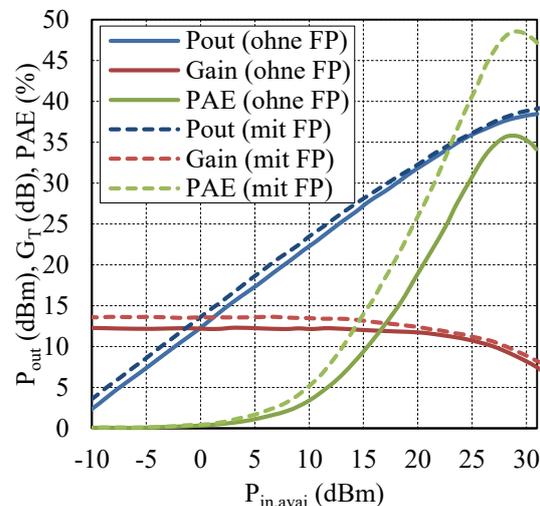


Abbildung 2.25: cw-Leistungsmessung eines HEMTs der Größe 12x125μm mit und ohne SKFP bei „deep Class AB“-Betrieb mit  $U_D=40 V$ , mit Tunereinstellungen für  $P_{out,max}$  und bei 10 GHz

## 2.5 State-of-the-Art-Betrachtung der GaN-MMIC-Leistungsverstärker im X-Band

In der letzten Dekade haben die intensiven Forschungs- und Entwicklungsaktivitäten auf dem Gebiet der GaN-Leistungsverstärker dazu geführt, dass GaAs bei Leistungsverstärkern im X-Band in allen relevanten Kenngrößen deutlich übertroffen und mit sinkenden Prozesskosten für GaN durch diesen Halbleiter ersetzt wurde.

Für die State-of-the-Art-Betrachtung der bisher entworfenen X-Band GaN-MMIC-Leistungsverstärker hat sich in der Literatur eine Diagrammdarstellung der maximalen  $PAE$  über der maximalen Ausgangsleistung etabliert. Die Intention hinter dieser Darstellung ist vor allem die, dass beim Entwurf der Leistungsverstärker besonders der Kompromiss zwischen einer hohen maximalen Ausgangsleistung und hoher maximaler  $PAE$  eine der größten Herausforderungen darstellt.

In der Abbildung 2.26 ist die angesprochene State-of-the-Art-Betrachtung einer Auswahl an X-Band GaN-MMIC-Leistungsverstärker zu sehen die in den letzten zehn Jahren mit der Absicht entwickelt wurden, einen guten Kompromiss zwischen hoher maximaler Ausgangsleistung  $P_{out,max}$  und hoher maximaler  $PAE$  zu erreichen.

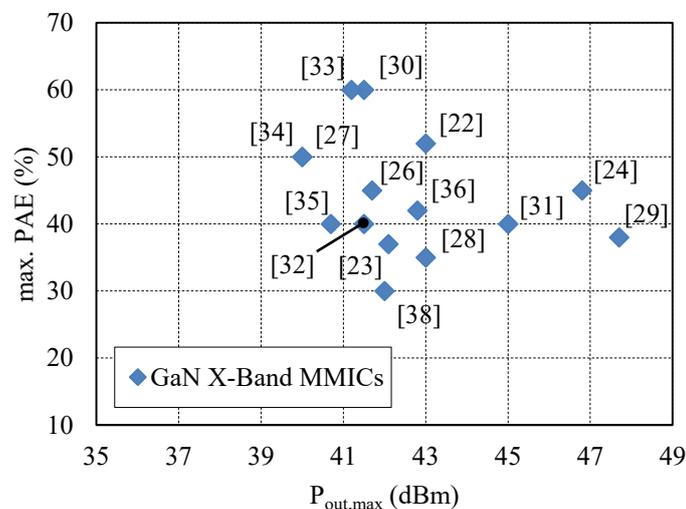


Abbildung 2.26: State-of-the-Art-Betrachtung einer Auswahl der in den letzten zwölf Jahren (2005-2017) veröffentlichten X-Band GaN-MMIC-Leistungsverstärker

Eine differenziertere State-of-the-Art-Betrachtung liefert der tabellarische Vergleich in der Tabelle 2.2. Hier sind die gleichen Veröffentlichungen aufgelistet die auch im State-of-the-Art-Diagramm aus Abbildung 2.26 dargestellt sind.

Tabelle 2.2: State-of-the-Art-Betrachtung einer Auswahl der in den letzten zwölf Jahren (2005-2017) veröffentlichten X-Band GaN-MMIC-Leistungsverstärkern

#	$P_{out,max}$ (dBm)	$PAE$ (%)	$G_T$ (dB)	CPW/MS	Stage	CW/gepulst	Gesamt-Gate- Weite $w_{gg}$ der Endstufe (mm)	DS:FS	Chipgröße mm <sup>2</sup>	$l_g$ ( $\mu$ m)	Harmonische Anpassung
[22]	43	52	20	MS	2	gepulst	6,4	1:2	18	0,25	Ja
[23]	42,1	37	24	MS	2	gepulst	4	1:4	9,15	0,25	Nein
[24]	46,8	45	25	MS	3	cw	11,52	1:2:8	13,3	0,25	N.N.
[25]	42,4	N.N.	40	MS	2	gepulst	6,4	1:2	5,6	0,25	Nein
[26]	41,7	45	24	MS	2	gepulst	3,2	1:2	7,2	0,25	Nein
[27]	40	50	22	MS	2	gepulst	3,6	1:4.5	N.N.	0,15	Nein
[28]	43	35	11	MS	2	gepulst	4,8	1:4	10,4	0,25	Ja
[29]	47,7	38	14,6	MS	2	gepulst	4,8	1:2	18	0,25	Nein
[30]	41,5	60	19	MS	2	cw	3,6	1:4	9,2	0,15	Ja
[31]	45	40	25	MS	2	gepulst	9,6	1:3	20,7	0,25	Ja
[32]	41,5	40	N.N.	MS	2	gepulst	4	1:2	18	0,25	Ja
[33]	41,2	60	20	MS	2	gepulst	3,6	1:4,5	7,36	0,15	N.N.
[34]	40	50	20	MS	2	gepulst	3,6	1:4,5	N.N.	0,15	Nein
[35]	40,7	40	15	MS	2	gepulst	N.N.	1:4	13,5	0,5	Nein
[36]	42,8	42	22	MS	2	gepulst	N.N.	1:2	13,5	0,25	Nein
[37]	41,3	N.N.	15	CPW	2	gepulst	4	1:2	13,5	0,3	Nein
[38]	42	30	18	CPW	2	cw	4	1:2	7,3	0,5	Nein

Die Tabelle 2.2 enthält neben den erwähnten Werten maximaler Ausgangsleistung  $P_{out,max}$  und maximaler  $PAE$  noch eine Vielzahl von wichtigen Parametern, die eine differenzierte und den Anforderungen dieser Arbeit gerechte State-of-the-Art-Betrachtung ermöglichen. Diese Parameter werden im Folgenden näher erörtert.

- Art der Messung: Aus der Tabelle 2.2 ist ersichtlich, dass die Kenngrößen nahezu aller Verstärker durch gepulste Messungen bestimmt wurden, während die Messungen einiger weniger Verstärker cw durchgeführt wurden. Mit gepulsten Messungen werden i.a. beim gleichen Testobjekt höhere Werte erzielt als mit cw-Messungen. Hier sei auf [22] verwiesen: Das gleiche DUT wird unter zwei unterschiedlichen Kondition gepulst gemessen: Einmal mit 10  $\mu$ s und einem Duty Cycle von 10 % und das andere Mal mit 50  $\mu$ s und einem Duty Cycle von 20 %. Dabei liefern die Messungen mit kürzeren Pulsen mit etwa 2,5 dB höherer  $P_{out,max}$ , 3 % mehr  $PAE$  und 3 dB mehr  $G_T$  bessere Resultate. In [24] wird gar das gleiche Testobjekt sowohl gepulst als auch cw gemessen und liefert in den gepulsten Messungen Verbesserungen in etwa gleicher Größenordnung.
- Gesamt-Gate-Weite der Endstufe: Die maximale Ausgangsleistung wird durch die Dimensionierung der Endstufe und damit der Wahl der Gesamt-Gate-Weite der

Endstufe  $W_{gg,FS}$  festgelegt und nur geringfügig mit den Verlusten der Ausgangsnetzwerke verändert. Wie die entsprechende Spalte in Tabelle 2.2 zeigt, haben alle veröffentlichten Verstärker deutlich größere Gesamt-Gate-Länge in der Endstufe vorzuweisen, woher auch die höheren maximalen Ausgangsleistungen resultieren.

- Eingesetzte Leitungstechnologie: Die Spalte „CPW/MS“ zeigt deutlich, dass bis auf zwei Verstärker alle anderen veröffentlichten Verstärker mit Mikrostreifenleitungen realisiert wurden. Die CPW-Verstärker sind aus den Jahren 2005 bzw. 2006.
- Anpassung von Load-Harmonischen: Bei einigen Verstärkern wurde besonders zur Erhöhung der  $PAE$  eine Anpassung von Harmonischen durchgeführt.
- Gate-Länge: Die in der Tabelle 2.2 mit „ $l_g$ “ bezeichnete Angabe der jeweiligen Gate-Länge zeigt, dass nahezu alle Verstärker mit  $PAE$ -Werten von über 50 % Technologien eine Gate-Länge von 0,15  $\mu\text{m}$  verwenden. Da im Allgemeinen mit kürzer werdender Gate-Länge entsprechend Gleichung (2.8) die Transitfrequenz  $f_T$  und damit die Verstärkung und folglich die  $PAE$  steigen, ergeben sich Vorteile für Prozesse mit kürzerer Gate-Länge.

### **3 Einflüsse von Leitungsverlusten auf HF-Leistungsverstärker**

Die verwendeten Leitungselemente können bei der Realisierung von Hochfrequenz-Leistungsverstärkern eine entscheidende Rolle spielen. Leitungen sollen im Kontext einer Verstärkerschaltung die hochfrequenten Nutzsignale führen, die einzelnen Verstärkerkomponenten miteinander verbinden, zugleich die Anpassnetzwerke mitgestalten und ggf. die Gleichstromversorgung der aktiven Verstärkerelemente wie Transistoren tragen. In dieser Arbeit werden besonders die Einflüsse der ohmschen Verluste infolge der endlichen Leitfähigkeit der Leitungsmetallisierung betrachtet. Diese ohmschen Verluste variieren je nach Leitungsart. In monolithisch integrierten Mikrowellenschaltungen (MMICs) haben sich als Wellenleiter Streifenleitungen etabliert. Darunter werden planare Wellenleiter im Mikrowellenbereich verstanden, die durch ein- oder beidseitige Beschichtung einer dielektrischen Grundplatte mit Elektroden, d. h. dünnen leitenden Streifen, entstehen [39], [40]. Allen metallischen Wellenleitern ist gemein, dass bei einer Abwärtsskalierung mit gleichbleibenden Dimensionierungs-verhältnissen, d. h. Miniaturisierung, ihre ohmschen Verluste ansteigen. Das Ansteigen der ohmschen Verluste führt zu einer Erhöhung der Dämpfung bzw. Verschlechterung der Güte der Leitungselemente und damit zu einer Degradierung der oben erwähnten Verstärkerkenngrößen.

Bei der monolithischen Integration werden alle Schaltungselemente auf einem gemeinsamen Halbleitersubstrat integriert und dadurch alle Schaltungsabmessungen, einschließlich der Leitungen, stark minimiert. Diese enorme Miniaturisierung der Schaltungen sorgt im Umkehrschluss für den steigenden Einfluss der Leitungen bzw. deren Verluste auf die Verstärkerkenngrößen und bedarf daher einer gesonderten Betrachtung.

Während bei hybrid aufgebauten Verstärkerschaltungen die Leitungsverluste eine eher untergeordnete Rolle spielen und deswegen wenig Berücksichtigung finden, würde diese Vorgehensweise bei MMIC zu erheblichen Fehleinschätzungen beim Schaltungsentwurf führen, die Leistungsfähigkeit der vorliegenden MMIC-Halbleitertechnologie unvollständig ausnutzen und die Kenngrößen der Schaltung unnötig degradieren.

#### **3.1 Verlustbetrachtung einer typischen Verstärkerschaltung**

Um den Einfluss der Leitungen bzw. deren Verluste auf die Kenngrößen Ausgangsleistung  $P_{out}$ , Verstärkung  $G_{T,sys}$  und Effizienz  $\eta_{D,sys}$  bzw.  $PAE_{sys}$  einer Leistungsverstärkerschaltung zu verdeutlichen, wird im Folgenden eine allgemeingültige Verlustbetrachtung an

Leistungsverstärkern durchgeführt [15]. In Abbildung 3.1 ist das Blockschaltbild eines typischen einstufigen Leistungsverstärkers zu sehen.

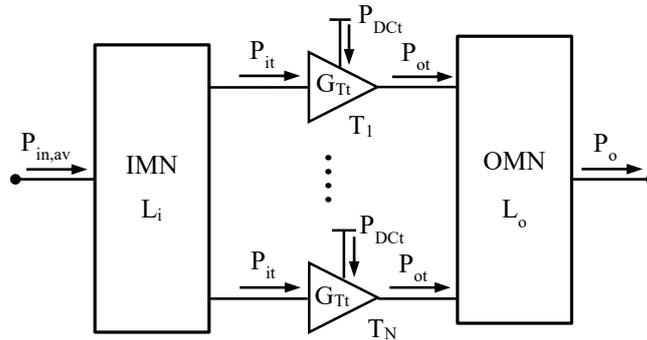


Abbildung 3.1: Blockschaltbild einer einstufigen Verstärkerschaltung mit  $N$  parallel geschalteten Transistoren in der Endstufe

Neben den verwendeten und mit  $T_1$  bis  $T_N$  bezeichneten  $N$  Transistoren besteht das Blockschaltbild aus den verlustbehafteten ein- (IMN) und ausgangsseitigen Anpassnetzwerken (OMN). Die beim Einsatz von  $N$  parallelgeschalteten Transistoren zusätzlich erforderlichen Verteiler- und Kombinererstrukturen werden hier der Übersichtlichkeit wegen als Teil der Anpassnetzwerke betrachtet. Die Effizienz eines einzelnen Transistors wird entsprechend der Notation in Abbildung 3.1 mit der folgenden Gleichung beschrieben:

$$PAE_t = \frac{P_{ot} - P_{it}}{P_{dct}} \quad (3.1)$$

Unter der Annahme, dass alle verwendeten  $N$  Transistoren identisch sind und mit  $P_{dc} = N \cdot P_{dct}$ ,  $P_o = N \cdot P_{ot} \cdot L_o$  und  $N \cdot P_{it} = P_{in,av} \cdot L_i$  ergibt sich für den Leistungsverstärker in Abbildung 3.1 die Gesamt- $PAE$  zu

$$PAE_{sys} = \frac{P_o - P_{in,av}}{P_{dc}} = \frac{P_i(L_i \cdot G_{Tt} \cdot L_o - 1)}{N \cdot P_{dct}} = \frac{(L_i \cdot G_{Tt} \cdot L_o - 1)}{L_i(G_{Tt} - 1)} PAE_t \quad (3.2)$$

Dabei stellt  $L_i$  den Verstärkungsfaktor des IMNs dar und  $L_o$  den des OMNs. Die Gleichung (3.2) zeigt, dass mit steigender Transistorverstärkung  $G_{Tt}$  die  $PAE$  der Verstärkerschaltung immer weniger vom IMN bzw. deren Verluste abhängt und entsprechend zu

$$PAE_{sys} \rightarrow PAE_t L_o \quad (3.3)$$

konvergiert. D. h. mit genug hohem  $G_{Tt}$  ergibt sich die  $PAE$  der Verstärkerschaltung ( $PAE_{sys}$ ) aus der mit dem Verstärkungsfaktor  $L_o$  des Ausgangsnetzwerkes OMN gewichteten  $PAE$  der

eingesetzten Transistoren ( $PAE_t$ ). Abbildung 3.2 verdeutlicht diesen Sachverhalt. Sie zeigt anhand der Gleichung (3.2) für repräsentative  $L_o$ - und  $L_i$ -Werte die auf die Transistor- $PAE$  normierte Gesamt- $PAE$  als Funktion der Transistorverstärkung  $G_{Tt}$ .

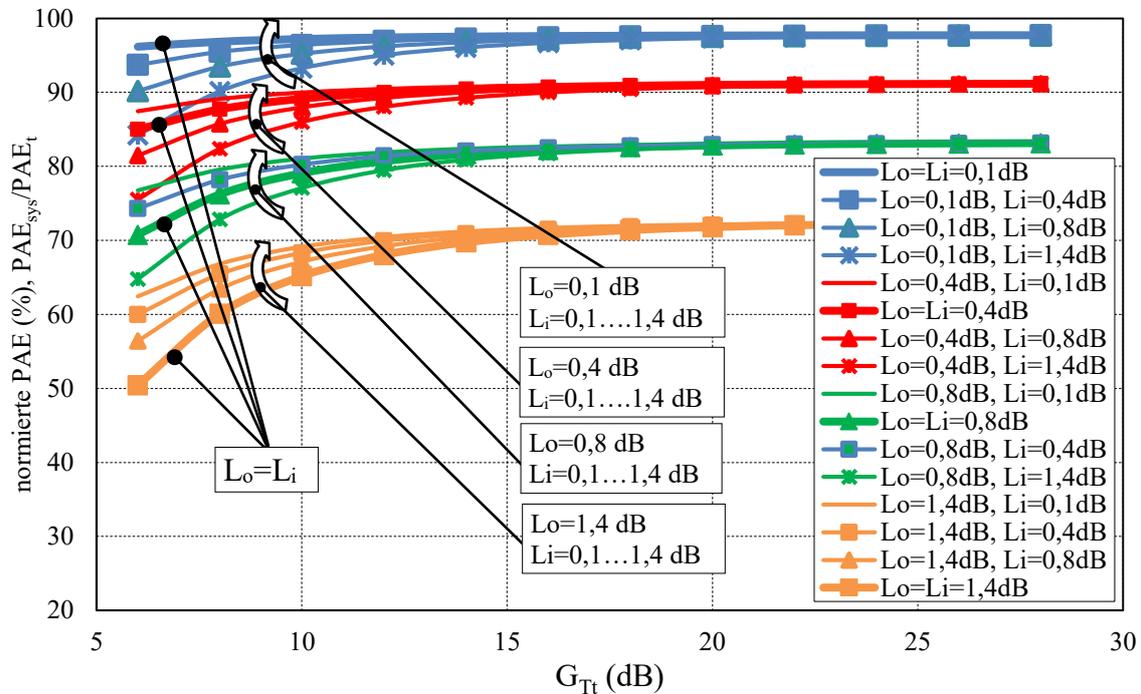


Abbildung 3.2: Normierte  $PAE$  eines Verstärkers in Abhängigkeit der Transistorverstärkung  $G_{Tt}$  und der Einfügungsdämpfung der Ein- und Ausgangsanspassnetzwerke

Die vier Kurvenscharen gruppieren sich für jeweils einen  $L_o$ -Wert und vier variierende  $L_i$ -Werte. Die vier dick gezeichneten Kurven in den vier Kurvenscharen stellen dabei den Fall mit  $L_o=L_i$  dar. Aus der Abbildung 3.2 wird deutlich, dass nahezu unabhängig von den Dämpfungen des Eingangsanspassnetzwerkes  $L_i$  ab einer Verstärkung von etwa 12 dB die Gesamt- $PAE$  nach (3.3) sich von der  $PAE_t$  nur durch die Gewichtung mit den Dämpfungen des OMNs,  $L_o$ , unterscheidet. Daraus folgernd muss für eine Beibehaltung der Transistor- $PAE$  das Ausgangsanspassnetzwerk OMN möglichst verlustarm dimensioniert werden.

Da die Dämpfung der Anpassnetzwerke hauptsächlich durch die Leitungsverluste bestimmt werden, unterstreicht die obige Verlustbetrachtung der Verstärkerschaltung mit seinen Anpassnetzwerken den indirekten Einfluss der Leitungsverluste [15]. Die Einflüsse der Verluste der Anpassnetzwerke und damit auch die der Leitungen auf  $G_T$  und  $P_{out,max}$  des Verstärkers macht sich in erster Linie durch eine Subtraktion der Netzwerkverluste von der Verstärkung und der maximalen Ausgangsleistung des verwendeten Transistors bzw. bei mehreren Transistoren der Verstärkung und der Summe der maximalen Ausgangsleistungen bemerkbar.

Die Einflüsse der Leitungs- bzw. der Netzwerkverluste auf die Verstärkerschaltung, die primär durch die Ausgangsnetzwerkverluste wirken, steigern sich bei mehrstufigen Verstärkerschaltungen weiter. Hierzu sei der zweistufige Verstärker aus Abbildung 3.3, jene Verstärkertopologie die im Rahmen der vorliegenden Arbeit präferiert wird, betrachtet. Bei dieser Topologie wird der Endstufe aus Abbildung 3.1 eine Vorstufe ( $p$  für Pre-Amplifier), auch Treiberstufe genannt, vorgeschaltet.

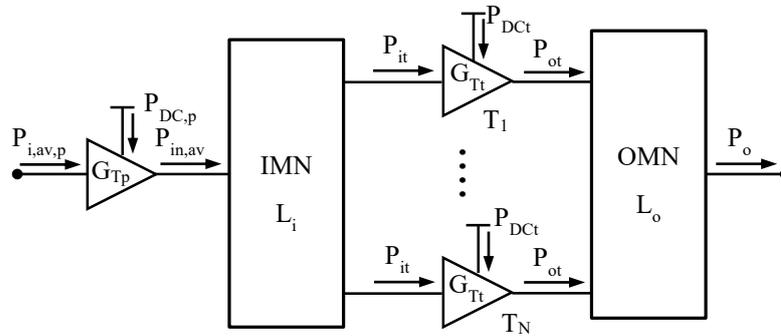


Abbildung 3.3: Blockschaltbild einer einstufigen Verstärkerschaltung mit  $N$  parallel geschalteten Transistoren in der Endstufe

Basierend auf der Notation der Abbildung 3.3 ergibt sich die Gesamt-PAE ( $PAE_{sys}$ ) dieses zweistufigen Verstärkers anhand der Formel

$$PAE_{sys} = \frac{P_o - P_{i,avp}}{P_{dc}} = \frac{G_{Tp} \cdot L_i \cdot G_{Tt} \cdot L_o - 1}{\frac{1}{PAE_t} G_{Tp} \cdot L_i \cdot N \cdot (G_{Tt} - 1) + \frac{1}{PAE_p} (G_{Tp} - 1)} \quad (3.4)$$

Unter der Annahme von  $L_i=L_o$ ,  $PAE_p=PAE_t$  und  $G_{Tp}=G_{Tt}$  reduziert sich die (3.4) zu

$$PAE_{sys} = \frac{G_{Tt} L_o - 1}{G_{Tt} - 1} PAE_t \quad (3.5)$$

Ein Vergleich des Konvergenzverhaltens der Gleichungen (3.2) und (3.5) mit  $G_{Tt} \rightarrow \infty$  bei gleichen Netzwerkverlusten zeigt, dass (3.5) eine schnellere Konvergenz von  $PAE_{sys}$  auf  $PAE_t$  aufweist als Gl. (3.2). Anders formuliert bedeutet diese Schlussfolgerung, dass in mehrstufigen Verstärkerschaltungen der Einfluss des Ausgangsnetzwerkes im Speziellen und der Leitungsverluste im Allgemeinen schneller bemerkbar macht.

Aufgrund dieser Zusammenhänge kann die Wahl der für eine Schaltung ausgewählten Streifenleitungsart entscheidend darüber sein, welche theoretischen Verstärkerkenngrößen  $P_{out,max}$ ,  $G_T$  und  $PAE$  ein Verstärker mit dieser Streifenleitungsart erreichen kann und folglich wie gut er werden kann.

## 3.2 Charakteristische Größen von Streifenleitungen

In diesem Abschnitt werden die wichtigsten charakteristischen Größen der Streifenleitungen eingeführt, ihre Gültigkeitsgrenzen beschrieben und somit die für die nachfolgenden Untersuchungen notwendigen Hilfsmittel geschaffen. Da für eine MMIC-Technologie die inhomogenen Streifenleitungen von Interesse sind, werden folgende Erläuterungen sich auf diese Streifenleitungsgruppe beziehen. Allgemein werden unter inhomogenen Streifenleitungen solche verstanden, bei denen das elektromagnetische Feld der geführten Welle sich sowohl in einem Dielektrikum als auch im Luftraum und somit insgesamt in einem inhomogenen Ausbreitungsmedium befindet [40].

Auf Streifenleitungen sind neben der für die schaltungstechnische Anwendung wichtigen Grundwelle unendlich viele Oberwellen ausbreitungsfähig. Während die im Einsatz bei MMICs eine zentrale Rolle spielende Grundwelle bei jeder Frequenz ausbreitungsfähig ist und von der Frequenz  $f=0\text{ Hz}$  beginnend über einen weiten Teil seines Einsatzbereiches ein nahezu frequenzunabhängiges Verhalten zeigt, sind die Oberwellen hingegen erst ab einer unteren Grenzfrequenz, die definitionsgemäß mit der Ordnungszahl  $m$  der Oberwellen ansteigt, ausbreitungsfähig und zeigen ein stark frequenzabhängiges, d.h. dispersives, Verhalten [40]. Da die Ausbreitung der Oberwellen für den Einsatz der Leitungen in Schaltungen unerwünscht ist, legt die Grenzfrequenz der 1. Oberwelle eine erste Begrenzung des Einsatzbereiches der Leitung fest. Dieser Sachverhalt wird in dem in Abbildung 3.4 dargestellten Dispersionsdiagramm einer Mikrostreifenleitung, der grundlegendsten und gebräuchlichsten inhomogenen Streifenleitungsart für MMICs, verdeutlicht [40], [41].

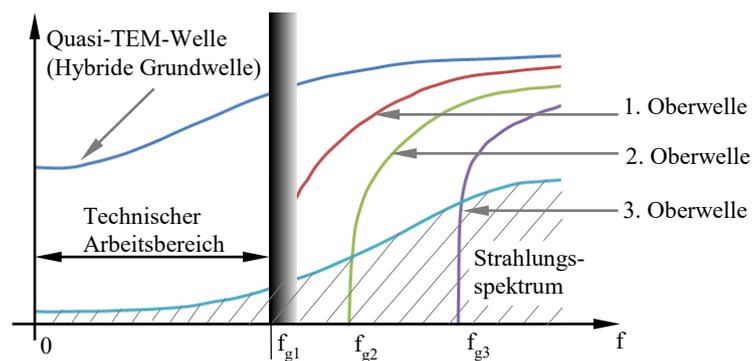


Abbildung 3.4: Dispersionsdiagramm einer Mikrostreifenleitung

Unterhalb der Grenzfrequenz der 1. Oberwelle liegt der technische Arbeitsbereich der Grundwelle dieser Streifenleitung. Die Grundwelle der inhomogenen Streifenleitung ist eine hybride elektromagnetische Welle mit longitudinalen Feldkomponenten, deren Beträge über einen großen Frequenzbereich vernachlässigbar klein gegenüber den Beträgen ihrer transversalen Feldkomponenten sind [40]. In Anlehnung an eine TEM-Welle, welche (auf verlustlosen Leitungen auftretend) frequenzunabhängig nur transversale Feldkomponenten

aufweist [42], wird die Grundwelle der inhomogenen Streifenleitung deshalb auch als Quasi-TEM-Welle bezeichnet. Aufgrund dieser Ähnlichkeit mit der TEM-Welle, dem Umstand der vernachlässigbaren longitudinalen Feldkomponenten und der wohldefinierbaren Ströme und Spannungen, wird die Grundwelle der inhomogenen Streifenleitung in ihrem Gültigkeits- und Eindeutigkeitsbereich mit den charakteristischen Größen einer TEM-Welle beschrieben [40] [41]. Diese sind der Wellenwiderstand  $Z_L$  und die Phasenkonstante  $\beta$ . Eine TEM-Welle ist auf Streifenleitungen ausbreitungsfähig in denen die Welle in einem homogenen Ausbreitungsmedium geführt wird. Derartige Leitungen werden als TEM-Leitungen und analog dieser Notation Leitungen, die Quasi-TEM-Wellen führen, als Quasi-TEM-Leitungen bezeichnet.

Entsprechend dem in der Leitungstheorie hergeleiteten Ersatzschaltbild einer verlustlosen Leitung (Abbildung 3.5) und der für Streifenleitungen gängigen Annahme  $\mu_r=1$ , werden die charakteristischen Größen einer TEM-Leitung wie folgt definiert [2]:

$$Z_L = \sqrt{L'/C'} = Z_{L0} \frac{1}{\sqrt{\epsilon_r}} \quad (3.6)$$

$$\beta = \sqrt{L' \cdot C'} = \beta_0 \sqrt{\epsilon_r} \quad (3.7)$$

Dabei ist  $Z_{L0}$  der Wellenwiderstand der geometrisch unveränderten Leitung mit einem Ausbreitungsmedium der Permittivität  $\epsilon_r=1$  und entsprechend  $\beta_0$  die Phasenkonstante dieser Leitung. Da diese Definitionen ein homogenes Ausbreitungsmedium mit einer bestimmten Permittivität  $\epsilon$  voraussetzen, wird bei einer Quasi-TEM-Leitung bei geometrisch unveränderter Leitung das inhomogene Ausbreitungsmedium mit mehreren Permittivitäten durch ein homogenes Ersatzausbreitungsmedium mit einer einheitlichen Permittivität ersetzt und so die Anwendung der Definitionen auf die Quasi-TEM-Leitung ermöglicht [41].

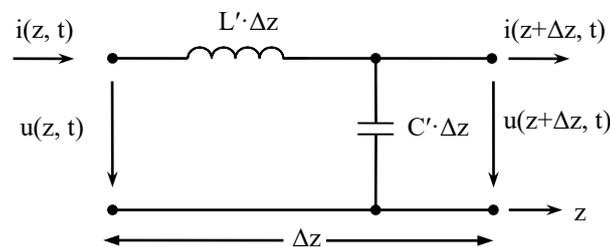


Abbildung 3.5: Ersatzschaltbild einer verlustlosen Leitung

Die relative Permittivität des Ersatzmediums wird als effektives Epsilon  $\epsilon_{r,eff}$  bezeichnet.

In Analogie zu den Leitungsgrößen der TEM-Leitung ergeben sich für Quasi-TEM-Leitungen folgende Gleichungen

$$Z_L = \sqrt{L'/C'} = Z_{L0} \frac{1}{\sqrt{\varepsilon_{r,eff}}} \quad (3.8)$$

$$\beta = \sqrt{L' \cdot C'} = \beta_0 \sqrt{\varepsilon_{r,eff}} \quad (3.9)$$

Da die Felder und darauf aufbauend die charakteristischen Größen der inhomogenen Streifenleitungen aufgrund der inhomogenen Substratbeschaffenheit im felderfüllten Raum i. A. feldtheoretisch nicht geschlossen gelöst werden können, wurden in der Vergangenheit leistungsstarke numerische Näherungsverfahren zu deren Lösung entwickelt [39]. Diese, mit Mitteln wie Funktionalapproximation etc. entwickelten Verfahren geben Formeln für das jeweilige  $\varepsilon_{r,eff}$  der Streifenleitung an. Dadurch lassen sich entsprechend Gleichungen (3.8) und (3.9) die charakteristischen Größen der Streifenleitung ermitteln. Aufbauend auf die erwähnten Näherungslösungen wurden dann für die gängigsten inhomogenen Streifenleitungen Leitungsmodelle für eine CAD-Umgebung für den rechnergestützten Schaltungsentwurf implementiert. In diesen Modellen sind neben dem  $\varepsilon_{r,eff}$  auch die ohmschen Leitungsverluste  $\alpha_r$  der jeweiligen Streifenleitung als frequenzabhängige Größe berücksichtigt. Den Betrachtungen der nachfolgenden Abschnitte liegen solche Leitungsmodelle zugrunde.

### 3.3 Leitungsarten für die FBH GaN-MMIC-Technologie

Nachdem im vorherigen Abschnitt die charakteristischen Größen der inhomogenen Streifenleitung eingeführt wurden, werden in diesem Abschnitt die zwei gängigsten Streifenleitungsarten für den Einsatz in MMICs, bezogen auf die in dieser Arbeit zum Einsatz kommenden Halbleitertechnologie, diskutiert und miteinander verglichen, die Koplanar- (CPW) und die Mikrostreifenleitung (MS).

#### 3.3.1 Allgemeiner Vergleich MS- und CPW-Leitung

Für die in dieser Arbeit zum Einsatz kommende MMIC-Halbleitertechnologie bieten sich für den Einsatzbereich im X-Band (8 bis 12 GHz) die Streifenleitungsarten Mikrostreifenleitung und die Koplanarleitung an. Die grundlegenden Leitungsgeometrien, relevanten Abmessungen und Feldverteilungen der Grundwellen dieser beiden Leitungstypen sind in den Abbildung 3.6 und 3.7 dargestellt.

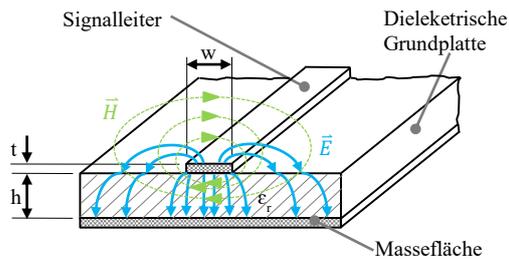


Abbildung 3.6: Geometrie einer Mikrostreifenleitung und die Feldbilder ihrer Grundwelle

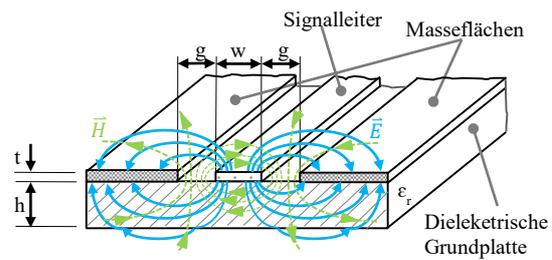


Abbildung 3.7: Geometrie einer Koplanarleitung und die Feldbilder ihrer Grundwelle

Die in der Abbildung 3.6 dargestellte Mikrostreifenleitung besteht aus einer isotropen dielektrischen Grundplatte der Höhe  $h$ , deren Unterseite vollständig planar metallisiert ist und auf deren Oberseite sich ein Metallstreifen der Breite  $w$  und Dicke  $t$  befindet. Bei der Mikrostreifenleitung, bei der das Feld unter dem Leiter konzentriert ist [39], wird der Wellenwiderstand  $Z_L$  der Leitung bei gegebenem Substratmaterial im Wesentlichen durch die Substrathöhe  $h$  und durch die Leiterbreite  $w$  bestimmt und verlangt für den technisch wichtigsten und gebräuchlichsten Wellenwiderstandswert von  $50 \Omega$  für die dieser Arbeit zugrundeliegende GaN-MMIC-Technologie etwa  $w \approx h$  [42].

Bei der Koplanarleitung oder CPW-Leitung, die wegen ihrer einseitigen Beschichtung des Substrates auch uniplanare Leitung genannt wird, konzentriert sich das Feld in den Leitungsschlitz [39]. Deswegen wird der Wellenwiderstand dieses Leitungstyps primär über die Streifenbreite  $w$  und den Leitungsschlitz  $g$  eingestellt und ist weitestgehend von der Substratdicke  $h$  unabhängig. Für die FBH-GaN-Technologie ist für einen Wellenwiderstand von  $50 \Omega$  ein Leitungsschlitz zu Leitungsbreiteverhältnis von 1:2 notwendig [42].

Beide Streifenleitungsarten unterscheiden sich in ihren Eigenschaften teils grundlegend voneinander und weisen miteinander verglichen Vor- und Nachteile auf. Einige hervorzuhebende Vorteile der Mikrostreifenleitung gegenüber der Koplanarleitung sind:

- Umfangreiche Modellierungsarbeiten vorhanden: Die gängigste Streifenleitungsart ist in nahezu all ihren Varianten und Diskontinuitäten wie Leitungsknicke (Bend) und -verzweigung (T-Junction) durch Näherungsformeln beschrieben. Es existieren vollständige und etablierte Leitungsmodelle. Die Modellierung der CPW-Leitung wurde dem gegenüber erst in den 1990er Jahren intensiviert und ist besonders bezüglich Diskontinuitäten unvollständig [42].
- Geringere ohmsche Verluste: Die Leitungsverluste sind gegenüber der der CPW-Leitung meist geringer. Dieser Vorteil gewinnt besonders bei MMICs an Signifikanz, während er bei hybriden Schaltungen oft als parasitärer Effekt 2. Ordnung vernachlässigbar ist [42].
- Homogenere Massestromverteilung: Die Stromverteilung der geführten Welle auf der Massefläche ist gegenüber der Koplanarleitung meistens ein komplementäres

Abbild der Stromverteilung auf dem Leiterstreifen und hat deswegen eine gute Entsprechung zu den Leitungsmodellen. Dieser Umstand fällt besonders bei Verzweigungsstrukturen, z. B. Parallelschaltung von Transistoren, ins Gewicht. Eine homogene Stromverteilung wie es bei der Mikrostreifenleitung gegeben ist, wie in Abschnitt 4.1 gezeigt wird, bei CPW-Leitungen selten gewährleistet.

- Keine Unterdrückung parasitärer Grundwellen notwendig: Aufgrund der Leiteranzahl von  $N=2$  ist nur ein Grundwellentyp ausbreitungsfähig, während bei der Koplanarleitung  $N=3$  Leiter existieren und somit zwei Grundwellentypen ausbreitungsfähig sind [41]. Somit muss bei der CPW der unerwünschte Grundwellentyp unterdrückt werden. Diese Modenunterdrückung geschieht durch eine galvanische Verbindung beider Masseflächen an Diskontinuitäten in Form von Brücken- bzw. Unterführungsverbindungen. Dabei muss diese Verbindung in regelmäßigen Abständen erfolgen. Bei der Mikrostreifenleitung entfällt sie hingegen gänzlich.
- Geringere Gehäuseeinflüsse: Da bei der Mikrostreifenleitung im Gegensatz zur CPW keine unerwünschte Parallelplatten-Mode (PPM) unterdrückt werden muss und infolgedessen keine Störeinflüsse über eine PPM-Einkopplung zustande kommen kann

Dem gegenüber weist die CPW deutlich mehr hervorzuhebende Vorteile auf. Diese sind:

- Keine Rückseitenmetallisierung: Während die Mikrostreifenleitung eine Rückseitenmetallisierung und infolgedessen für eine eigenständige Schaltungstechnik eine Durchbohrung einschließlich -kontaktierung (engl.: Via-holes bzw. Vias) zur Substratunterseite erfordert, benötigt die Koplanarleitung nur eine einseitige Metallisierung des Substrats [39]. Eine Durchbohrung setzt auch ein Abdünnen des Substrats voraus. Dieser Umstand der einseitigen Beschichtung zeichnet sich gleich in mehrfacher Hinsicht als Vorteil aus:
  - Keine Vias: Durch die einseitige Beschichtung des Substrates und infolgedessen des Wegfallens der Vias und damit auch einer notwendigen Waferabdünnung vereinfacht sich die Waferprozessierung erheblich. Auch die durch das Abdünnen des Wafers entstehende mechanische Instabilität des Wafers entfällt.
  - Keine Via-Induktivitäten: Die parasitären Induktivitäten, die durch die Durchverbindung resultieren und oft durch zusätzliche geometrische Modifikation kompensiert werden müssen, erübrigen sich [43].
  - Bessere Konformität zu Feldeffekttransistoren: Die einseitige Beschichtung zeigt eine gute geometrische Entsprechung zum horizontalen Aufbau von Feldeffekttransistoren entsprechend Abbildung 2.16. Dadurch fallen

einerseits Diskontinuitäten und außerdem zusätzliche parasitäre Induktivitäten infolge der Via-Holes weg.

- Bessere Eignung für On-Wafer-Messungen: Die Uniplanarität erlaubt das Messen mittels Messköpfe mit integriertem Koaxial-/Koplanar-Übergängen. Mit diesen Messköpfen kann der Wafer direkt angetastet und im Gegensatz zur MS-Leitung ohne unmittelbare Messvorrichtung, deren Einfluss sonst aus der Messung herausgerechnet werden muss, gemessen werden (On-Wafer-Messung mit geringeren parasitären Übergängen).
- Geringeres Übersprechen: Die CPW hat aufgrund ihrer seitlichen Massemetallisierungen ein geringeres Übersprechen durch Streufelder zur Folge als es bei der Mikrostreifenleitung der Fall ist. Dieser Umstand verbessert die elektrische Stabilität der Schaltung und gewährleistet die Gültigkeit der Leitungsmodelle [42].
- Mehrere Leitungsgeometrien für ein gegebenes  $Z_L$  möglich: In Hinblick der Einstellbarkeit des Wellenwiderstandsbereiches und des technischen Arbeitsbereiches ist die CPW der Mikrostreifenleitung überlegen. Der Wellenwiderstand der CPW ist weitestgehend von der Substratdicke  $h$  unabhängig und wird primär über die Streifenbreite  $w$  und den Leitungsschlitz  $g$  eingestellt [40]. Dadurch kann die in Abschnitt 3.2 erläuterte Grenzfrequenz der 1. Oberwelle und damit der technische Arbeitsbereich variiert und ggf. zu höheren Frequenzen verschoben werden. Bei der Mikrostreifenleitung ist die Substratdicke  $h$ , die bei MMICs prozessbedingt konstant ist, für die charakteristischen Leitungsgrößen eine entscheidende Größe und legt damit sowohl die Grenzfrequenz der 1. Oberwelle fest und damit den einstellbaren Wellenwiderstandsbereich [42].
- Besseres Dispersionsverhalten: Die CPW zeigt ein besseres Dispersionsverhalten als die Mikrostreifenleitung. Dadurch zeigt einerseits das Leitungsmodell bei höheren Frequenzen noch eine gute Übereinstimmung mit dem tatsächlichen Verhalten und andererseits eignet sich dadurch die CPW besser für breitbandige Schaltungen. Bei Schmalband-PAs hat das gute Dispersionsverhalten der CPW allerdings keine hohe Relevanz [40], [42].

Diese Gegenüberstellung zeigt, dass die CPW gegenüber der Mikrostreifenleitung deutliche Vorteile hat. Da allerdings die Mikrostreifenleitung durch ihre geringeren Leitungsverluste trotzdem für Leistungsverstärker interessant ist, werden im nächsten Abschnitt an der gegebenen Halbleitertechnologie die beiden Streifenleitungstypen gegenübergestellt.

### 3.3.2 Technologiespezifischer Vergleich MS- und CPW-Leitung

In diesem Teilabschnitt werden die, bezogen auf die FBH GaN-MMIC-Technologie, prozessierbaren Mikrostreifenleitungen untersucht. Dabei werden der einstellbare Wellenwiderstandsbereich, die dazugehörigen Leitungsverluste und der sich einstellende

technische nutzbare Frequenzbereich gezeigt. Anschließend werden die gleichen Parameter bezogen auf die GaN-MMIC-Technologie für die CPW-Leitung hergeleitet. Beide Leitungstypen und ihre ermittelten Parameter werden anschließend gegenübergestellt.

Bei der Mikrostreifenleitung hat die Substratdicke eine zentrale, alle anderen Parameter beeinflussende Rolle und muss daher wohlüberlegt gewählt werden. Für die GaN-MMIC-Technologie unterhalb 100 GHz hat sich in Mikrostreifenleitungsausführung die Substratdicke 100  $\mu\text{m}$  als optimale Waferdicke etabliert. Diese Höhe ist bei GaAs- und GaN-MMIC Mikrostreifenleitungstechnologien Industriestandard [44]. Einerseits würde zu höheren  $h$ -Werten die Technologie tiefere Durchätzungen und Durchkontaktierungen des Wafers erfordern. Dies würde dann die technologisch aufwendige Herstellung der Via-Holes weiter erschweren und die entstehenden parasitären Induktivität erhöhen. Ferner sind die Grenzfrequenz der 1. Oberwelle  $f_{gl}$  und damit der technische Arbeitsbereich der Quasi-TEM-Welle, d.h. das technisch einsetzbare Frequenzband, umgekehrt proportional der Substratdicke  $h$  [39]. Damit würde sich mit höheren  $h$ -Werten der technische Arbeitsbereich reduzieren und außerdem die Dispersivität für eine gegebene Frequenz zunehmen. Da die übrigen Leitungsabmessungen für einen bestimmten Wellenwiderstand proportional zu  $h$  sind, würden sie und damit auch alle anderen Schaltungselemente wie Leitungsbreite  $w$  etc. einschließlich der Gesamtschaltung in ihren Dimensionen größer werden. Dieser Umstand würde die Herstellungskosten, die durch die Chipfläche der Schaltung definiert sind [8], in die Höhe steigen lassen. Zu kleineren  $h$ -Werten begrenzt sich die Technologie durch die mechanische Stabilität, d. h. die Handhabung der Wafer. Diese würde sich bei kleineren  $h$ -Werten erheblich verschlechtern und so eine sehr sorgsame Behandlung der Wafer zur Folge haben. Außerdem würden die mit kleineren  $h$ -Werten sich einstellenden Leitungen wegen der schmalen Leitungsbreiten höhere Leitungsverluste zur Folge haben und die notwendige Stromtragfähigkeit ggf. nicht mehr gewährleisten.

Für die FBH MMIC-GaN-Technologie ergeben sich bei einer Substratdicke von  $h=100 \mu\text{m}$  und einer Nutzfrequenz von 10 GHz für die Mikrostreifenleitung die im Diagramm in Abbildung 3.8 ersichtlichen Wellenwiderstandswerte einschließlich der korrespondierenden Leitungsverluste. Bei der Angabe der Wellenwiderstandswerte wurden die Prozessgrenzen für Leitungsabmessungen berücksichtigt bzw. auch die Grenze für die sinnvollen Wellenwiderstandswerte genommen. Da die Substratdicke  $h$  und auch die Leitungsdicke  $t$  auf einem Wafer nicht variiert werden kann, ist jeder Widerstandswert nur mit einer Leitungsbreite  $w$  einstellbar. Die Grenzfrequenzen für die 1. höhere Mode liegen bei allen möglichen Konstellationen über 100 GHz.

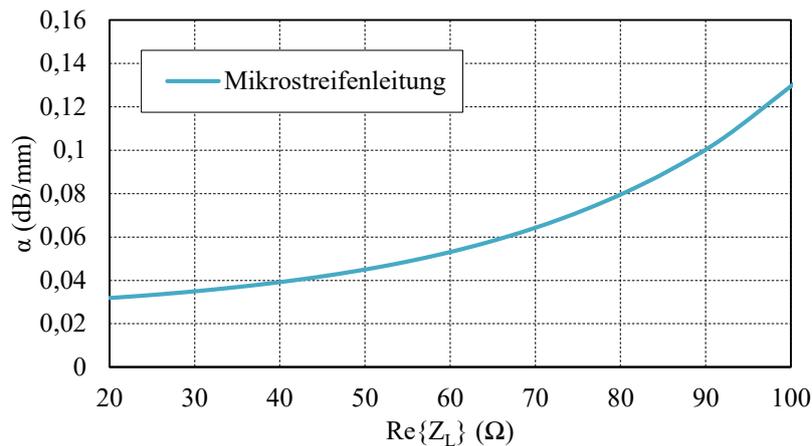


Abbildung 3.8: Verluste der Mikrostreifenleitung als Funktion des Wellenwiderstandes in der FBH GaN-MMIC-Technologie und bei 10 GHz

Da bei der Koplanarleitung das elektromagnetische Feld sich in den Leitungsschlitz konzentriert, wird der gewünschte Wellenwiderstandswert primär über die Streifenbreite  $w$  und den Leitungsschlitz  $g$  eingestellt und ist weitestgehend von der Substratdicke  $h$  und der Metalisierungsdicke  $t$  unabhängig [42]. Daher muss der Wafer nicht zwangsläufig abgedünnt werden und kann so einen Wert haben, der eine mechanische Stabilität des Wafers gewährleistet. Für die FBH-GaN-Technologie liegen die  $h$ -Werte im Bereich 370 bis 450  $\mu\text{m}$ . Da sowohl die Leitungsbreite  $w$  als auch die Schlitzbreite  $g$  innerhalb der Herstellungsgrenzen der vorliegenden GaN-MMIC-Technologie beliebig verändert werden können, sind für einen gewünschten Widerstandswerts theoretisch eine unendliche Vielzahl von CPWs mit entsprechenden  $w$  und  $g$  möglich [40]. Die Vielzahl der möglichen CPW-Konstellationen für einen gewünschten  $Z_L$ -Wert reduziert sich durch Kriterien wie Grenzfrequenz der 1. höheren Wellenmode, der Leitungsverluste und der resultierenden Chipgröße. Bei der Wahl von Leitungsgeometrien der CPW hat es sich etabliert, einen  $d$ -Wert mit  $d=w+2g$  zu nehmen und durch Variation von  $w$  und  $g$  den gewünschten Widerstandswert einzustellen [39], [41]. Zur Gegenüberstellung mit der Mikrostreifenleitung werden für die vorliegende Technologie unter Berücksichtigung der erwähnten Kriterien die  $d$ -Werte 120  $\mu\text{m}$ , 160  $\mu\text{m}$  und 200  $\mu\text{m}$  gewählt und die korrespondierenden CPW-Leitungen für unterschiedliche Wellenwiderstandswerte mit den entsprechenden Leitungsverlusten ermittelt. Die Gegenüberstellung ist in Abbildung 3.9 dargestellt.

Aus diesem Vergleich wird deutlich, dass die Mikrostreifenleitung der GaN-MMIC-Technologie besonders bei niedrigen Wellenwiderständen deutlich geringere Leitungsverluste aufweist als die technologisch sinnvoller CPW-Leitungen. Nur mit Leitungen mit  $d > 220 \mu\text{m}$  wären im 50- $\Omega$ -Bereich CPWs mit den Leitungsverlusten der Mikrowellenleitung möglich. Diese CPWs sind aber für die Anwendung ungeeignet, da sie einerseits sehr großflächige Schaltungen zur Folge hätten, dadurch zu längeren Leitungen und damit auch mehr Verlusten führen und durch diese gegenläufigen Abhängigkeiten ihren

Vorteil an Leitungsverlusten wieder einbüßen würden. Ferner wären auch die resultierenden Grenzfrequenzen ungünstig und würden dispersivere Leitungen zur Folge haben.

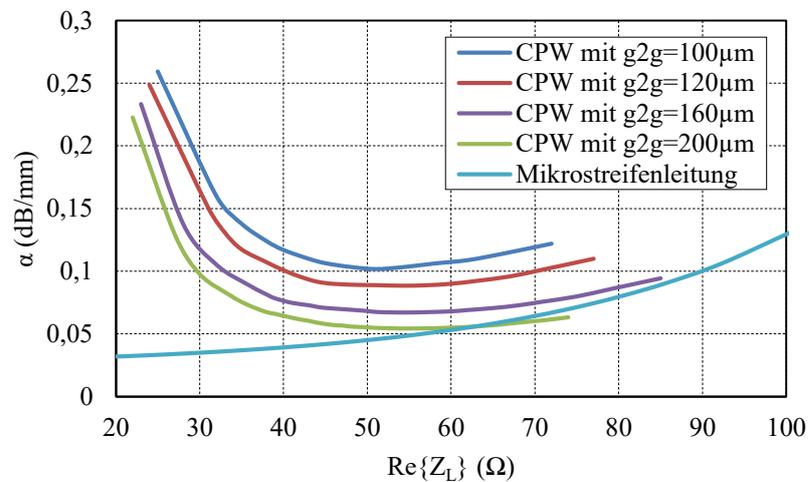


Abbildung 3.9: Verluste unterschiedlicher Koplanarleitungen und einer Mikrostreifenleitung als Funktion der Wellenwiderstandes in der FBH GaN-MMIC-Technologie bei 10 GHz

### 3.4 Fallbeispiel

Um die Problematik der Leitungsverluste beim Leistungsverstärkerentwurf zu verdeutlichen, werden im Folgenden Ein- und Ausgangsanspassnetzwerke einer Verstärkerschaltung sowohl in Koplanar- als auch in Mikrostreifenausführung entworfen und anschließend die Dämpfungen dieser entworfenen Anpassnetzwerke gegenübergestellt. Aufbauend auf den Effizienzbetrachtungen der Anpassnetzwerke auf die Gesamtleistungsfähigkeit einer Verstärkungsschaltung aus Abschnitt 3.1 wird mit den Dämpfungswerten der IMNs und OMNs auch die Auswirkungen auf die resultierende Verstärkerschaltung in den zwei Leitungsvarianten diskutiert. Zu diesem Zweck wird eine typische Leistungsverstärkerendstufe entsprechend Abbildung 3.1 aus dem FBH-GaN-Leistungsverstärkerumfeld mit realen Schaltungskomponenten und -abmessungen gewählt. Da das OMN den größten Einfluss auf die Leistungsverstärker hat und dieser auch in der Endstufe ohne Modifikation enthalten ist, wird deswegen der Übersichtlichkeit wegen nur die Betrachtung der Endstufe beschrieben [8], [15]. Bei einer zweistufigen Verstärkerschaltung mit mehr als 10 dB Transistorverstärkung würden die übrigen Anpassnetzwerke entsprechend der Gleichung (3.5) nur geringfügig die Parameter der Gesamtschaltung beeinflussen und deswegen eine untergeordnete Rolle haben. Die gewählte Verstärkerendstufe entspricht dem Blockschaltbild aus Abbildung 3.10.

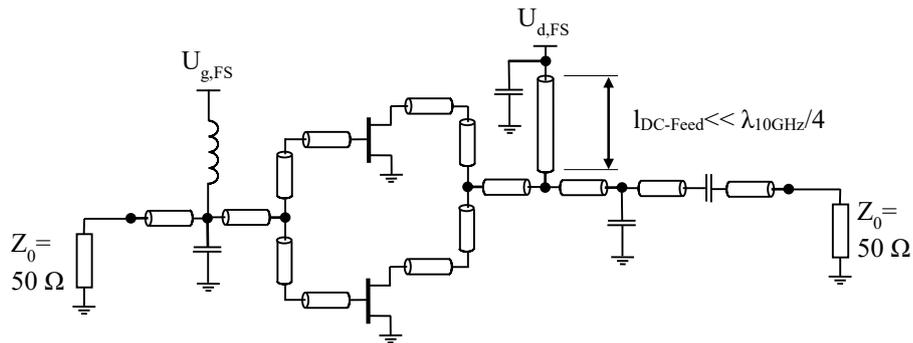


Abbildung 3.10: Blockschaltbild der sowohl mit Mikrostreifenleitungen als auch mit Koplanarleitungen entworfenen einstufigen X-Band Leistungsverstärkers mit der FBH GaN-MMIC- Technologie

Die dazugehörigen Eckdaten sind wie folgt:

- Gewählt werden HEMTs mit einer Gesamttransistorperipherie von  $12 \times 125 \mu\text{m}$ , d.h. zwölf Transistorfinger mit je einer Fingerlänge von  $125 \mu\text{m}$ . Eine entsprechende SP-/LP-Messung ergibt bei 10 GHz für den Arbeitspunkt  $U_{ds}=40 \text{ V}$ ,  $I_{ds}=0,1 \cdot I_{ds,max}$  und für maximale PAE die optimalen Reflexionsfaktoren
  - $\Gamma_{L,opt}=11,88+j \cdot 22,52$
  - $\Gamma_{S,opt}=1,17+j \cdot 7,90$
  - Von diesen HEMTs werden zwei parallelgeschaltet und deren Ein- und Ausgänge erst mittels einer Teiler- bzw. Kombinerer-Struktur zusammengeführt. Ausgangsseitig folgt eine Impedanzanpassung auf eine Ausgangsimpedanz der Endstufe von  $50 \Omega$  einschließlich der DC-Zuführung. Eingangsseitig werden beide HEMTs mit einer DC-Zuführung versehen und auf eine Impedanzanpassung auf  $50 \Omega$  verzichtet.

Alle Anpassnetzwerke werden in beiden Leitungsvarianten übersichtlich und gleichartig gehalten, um so eine gute Vergleichbarkeit zu gewährleisten. Die DC-Zuführung im OMN, die in den einschlägigen Lehrbüchern üblicherweise als abgeschlossene  $\lambda/4$ -Leitung konzipiert wird und deswegen keinen Einfluss auf die Impedanztransformation der Anpassschaltung hat, kann im konkreten Fall nicht als  $\lambda/4$ -Leitung konzipiert werden, da bei Betriebsfrequenz 10 GHz und der gegebenen MMIC-Technologie eine Länge von etwa  $4000 \mu\text{m}$  erforderlich wäre. Diese erforderliche Länge der Zuführung würde einerseits die erforderliche Chipfläche unnötig stark erhöhen und andererseits höhere Verluste der Zuleitung mit sich bringen. Deswegen wird diese Zuführung deutlich kürzer als  $\lambda/4$  gehalten und die entstandenen Einflüsse auf die Impedanztransformation des Anpassnetzwerkes derart gelöst, dass die Zuführung als Teil dieser im Entwurf involviert wird.

Die für die Entwürfe der Anpassnetzwerke gewählten Leitungsabmessungen der beiden Leitungsarten, die Leitungsverluste  $\alpha$ , effektiven Epsilons  $\epsilon_{r,eff}$  und die Wellenlängen  $\lambda$  bei 10 GHz sind in der Tabelle 3.1 aufgelistet.

Tabelle 3.1: Eigenschaften der entworfene Koplanar- und Mikrostreifenleitung

Für FBH GaN-MMIC-Technologie	CPW-Leitung ( $w=80 \mu\text{m}$ , $g=40 \mu\text{m}$ , $Z_L=50 \Omega$ )	Mikrostreifenleitung ( $w=92 \mu\text{m}$ , $Z_L=50 \Omega$ )
Verluste $\alpha$ (dB/mm)	0,069	0,045
$\epsilon_{r,eff}$	5,26	6,551
Wellenlänge $\lambda$ bei 10 GHz (mm)	13,08	11,72

Für beide Leitungsarten werden Geometrien mit einem Wellenwiderstandwert von  $50 \Omega$  gewählt. Während sich bei der Mikrostreifenausführung nur eine mögliche geometrische Konstellation für diesen Wert möglich ist, wird bei der Koplanarausführung die Geometrie von 40-80-40 (Leitungsschlitz-Leitungsbreite-Leitungsschlitz;  $g$ - $w$ - $g$  für Englisch Gap-Width-Gap) genommen. Wie aus der Tabelle 3.1 ersichtlich ist, hat schon bei diesen einfachen Leitungen die Mikrostreifenleitung gegenüber der CPW eine um etwa 50 % geringere Leitungsdämpfung. Mit diesen Leitungsabmessungen ergeben sich für die in Abbildung 3.3 dargestellten IMN und OMN für beide Leitungsarten die in Tabelle 3.2 gezeigten Einfügedämpfungswerte. Diese Ergebnisse zeigen, dass das OMN der CPW gegenüber der MS-Variante eine um etwa 100 % größere Einfügedämpfung (Insertion loss) hat. Bei dem IMN ist der Unterschied mit über 200 % noch eklatanter.

Tabelle 3.2: Simulierte Einfügedämpfungen der IMN und der OMN an einer mit der FBH GaN-MMIC-Technologie entwickelten einstufigen Verstärkerschaltung mit Mikrostreifenleitungen und mit CPWS.

Leitungsart	Einfügedämpfung der IMN (dB)	Einfügedämpfung der OMN (dB)
Mikrostreifenleitung	0,45	0,38
CPW	1,76	0,77

Die Gründe für diesen enormen Anstieg der Insertion-Loss-Werte in den Anpassnetzwerken gegenüber den einfachen Leitungen sind vielfältig. Wie aus Tabelle 3.1 ersichtlich, hat die Mikrostreifenleitung neben der generellen geringeren Leitungsdämpfung gegenüber der CPW auch eine größere elektrische Länge. Da bei einer größeren elektrischen Länge eine bestimmte Impedanztransformation mit physikalisch kürzeren Leitungslängen realisiert werden kann, sinkt die Einfügedämpfung auch durch die kürzeren Leitungslängen. Hinzu kommen die Einflüsse der Diskontinuitäten wie Bend und T-Junction. Diese sind bei der CPW-Variante dämpfungsstärker und erfordern gegenüber der Mikrostreifenleitungsvariante Verbindungen zwischen den Masseflächen. Die genauen Einflüsse und daraus resultierend einen Verbesserungsansatz der Diskontinuitäten der CPW-Leitung werden im Kapitel 4 behandelt.

Wenn nun die Einfügedämpfungswerte aus Tabelle 3.2 auf die Überschlagsrechnungen zur Effizienzbetrachtungen von Verstärkungsschaltung aus dem Teilabschnitt 3.1 angewendet werden, dann ergeben sich für die Mikrostreifen- und CPW-Ausführungen des Verstärkers die in Abbildung 3.11 gezeigten und auf die  $PAE$  der Transistoren normierten  $PAE$ -Kurven.

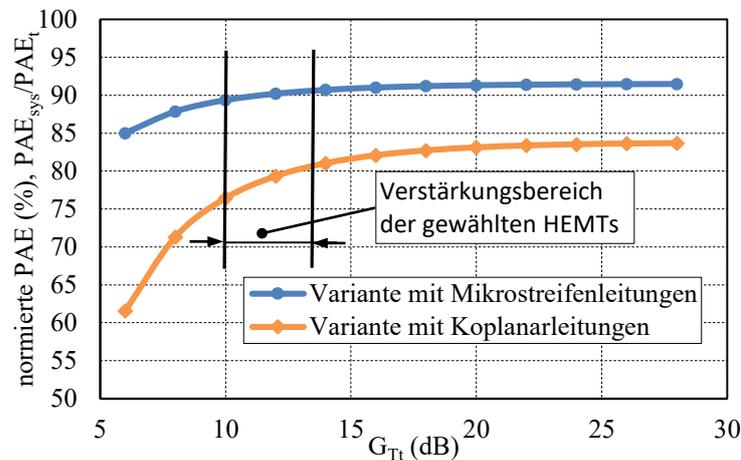


Abbildung 3.11: Normierte  $PAE$  zweier mit der FBH GaN-MMIC-Technologie entworfener einstufiger Verstärker in Abhängigkeit der Transistorverstärkung  $G_{Tt}$ : blau: Verstärker mit Mikrostreifenleitungen; orange: Verstärker mit Koplanarleitungen

Die Abbildung zeigt auch den Verstärkungsbereich, in dem sich der gewählte Transistor in dem angegebenen Arbeitspunkt und während einer cw-Leistungsmessung bewegt. Die CPW-Variante der Schaltung zeigt bei hohen Verstärkungsfaktoren eine um etwa 10 % geringere normierte  $PAE$  als die Mikrostreifenleitungsvariante. Die Einflüsse der gewählten Streifenleitungsart auf die Verstärkung  $G_T$  und die maximale Ausgangsleistung  $P_{out,max}$  der einstufigen Verstärkerschaltung lassen sich in einer ersten Abschätzung durch Subtraktion der Einfügedämpfungen der IMN und OMN aus Tabelle 3.2 ermitteln. Bei der Verstärkung der Schaltung werden beide Einfügedämpfungen von der Verstärkung  $G_{Tt}$  des gewählten HEMTs subtrahiert. Für die Abschätzung der maximalen Ausgangsleistung der Verstärkerschaltung wird die maximale Ausgangsleistung des gewählten HEMTs herangezogen und anschließend die Einfügedämpfung des OMNs subtrahiert.

Wie die Untersuchungen in diesem Kapitel zeigen, ist es in der zur Verfügung stehenden Halbleitertechnologie mit der CPW-Ausführung infolge der Leitungsverluste nicht möglich, die gleichen Leistungsdaten zu erreichen wie mit einer Mikrostreifenleitungs-ausführung. Da aber die CPW-Leitung, wie im Teilabschnitt 3.3.1 gezeigt, gegenüber der Mikrostreifenleitung bis auf die Leitungsverluste eine ganze Reihe von Vorteilen aufweist, ist es lohnenswert nach Alternativen zu suchen, die diese Vorteile der CPW zwar bewahren, aber die zu hohen Leitungsverluste minimieren und wenn möglich, den Verlusten der Mikrostreifenleitung annähern. Diesem Ziel gehen die Untersuchungen im Kapitel 4 nach.

## 4 Optimierungsansätze an der koplanaren GaN-MMIC-Technologie

Dieses Kapitel widmet sich der Koplanarleitungsoptimierung in GaN-MMICs. Dabei nehmen die Untersuchungen die FBH-Technologie als Grundlage. Die nachfolgend beschriebenen Optimierungsansätze können aber unabhängig von der jeweiligen Halbleitertechnologie allgemeingültig auf die meisten Fälle, in denen eine Koplanarleitungsstruktur zum Einsatz kommt, übertragen werden. In dieser Arbeit wird die CPW-Optimierung mit drei Ansätzen, die in Abbildung 4.1 nebeneinander illustrativ angedeutet sind, auf unterschiedlichen Ebenen verfolgt.

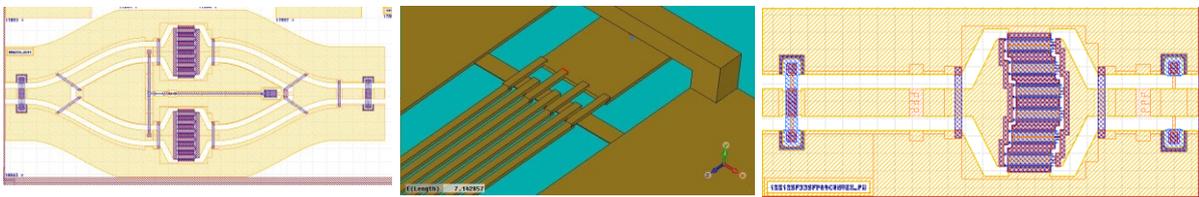


Abbildung 4.1: Illustration der drei Optimierungsansätze für die koplanare GaN MMIC Technologie: links: Optimierte CPW-Diskontinuitäten; Mitte: Interdigit CPW (ICPW) als Alternative CPW-Variante; rechts: Neuartige Transistorzuleitungen bzw. -anordnungen

Der erste Ansatz zur Optimierung der CPW-Technologie betrifft die Leitungsdiskontinuitäten in Form von Leitungsknicen (Bends) und -verzweigungen (T-Junctions). Diesen Diskontinuitäten kommt bei Leistungsverstärkern eine entscheidende Bedeutung zu, da hier zum Erfüllen der gesetzten maximalen Ausgangsleistung mehrere Leistungstransistoren parallelgeschaltet werden müssen und deswegen für die Realisierung dieser Parallelschaltung der Einsatz der erwähnten Diskontinuitäten in großem Umfang unausweichlich ist. Wie in den Untersuchungen im Abschnitt 4.1 erörtert wird, erhöhen die Leitungsdiskontinuitäten die im Kapitel 3 erläuterten ohmschen Verluste der CPW-Leitung erheblich. Dieser Ansatz ist in der linken Spalte der Abbildung 4.1 illustriert. Er verlässt das Konzept, das Layout aus einzelnen vorgegebenen Elementen zu synthetisieren, und verwendet die Freiheitsgrade bei der Gestaltung koplanarer Strukturen.

Als zweites wird versucht, alternative Ausführungen der CPW zu entwickeln, die besonders bei den für Leistungsverstärker wichtigen niedrigen Wellenwiderstandswerten geringere oder zumindest vergleichbare ohmsche Verluste aufweisen wie die Mikrostreifenleitung. Hierzu werden sogenannte Interdigit CPWs (ICPW) analytisch untersucht. Dieser Ansatz der CPW-Optimierung ist in der mittleren Spalte der Abbildung 4.1 illustriert und wird im Abschnitt 4.2 beschrieben.

Der dritte und letzte Optimierungsansatz zielt auf die Transistorzuleitung, auch Transistorperipherie genannt, ab und wird in Abschnitt 4.3 behandelt. Mit Peripherie ist in diesem Kontext der Übergang der Anschlussleitungen zum aktiven Transistorbereich zu verstehen.

## 4.1 Optimierte CPW-Diskontinuitäten

Um die für eine Verstärkerschaltung gesetzten Spezifikation zu erzielen, wird eine Gesamt-Gate-Weite der Endstufe  $w_{gg,FS}$ , d. h. die Summe der Gesamt-Gate-Weiten  $w_{gg}$  aller Transistoren, bestimmt, die abzüglich der Einfügedämpfung des Ausgangsnetzwerkes die geforderten Kenngrößen wie maximale Ausgangsleistung  $P_{out,max}$ , Verstärkung  $G_T$  und maximale Effizienz  $PAE$  liefert. Zur Erfüllung der gesetzten Spezifikationen hinsichtlich des  $P_{out,max}$ , des  $G_T$  und der  $PAE$  ist die Dimensionierung der Endstufe entscheidend. Während die Verstärkung  $G_T$  und die Effizienz  $PAE$  eines wie in Abschnitt 3.1 ausgeführten Verstärkers von den Treiberstufen mitbeeinflusst werden, wird die maximale Ausgangsleistung  $P_{out,max}$  allein durch das Ausgangsnetzwerk OMN, insbesondere durch dessen Einfügedämpfung, und die Endstufentransistoren bestimmt. Wie bereits im Abschnitt 2.4 ausführlich erörtert, kann  $w_{gg,FS}$  entweder so realisiert werden, indem man mehrere kleinere Transistoren verwendet, deren Gate-Weiten  $w_{gg}$  die Gesamtweite  $w_{gg,FS}$  ergeben, durch einen großen Transistor mit der notwendigen Gesamt-Gate-Weiten  $w_{gg}$  oder durch einen Kompromiss aus mittelgroßen Transistoren, die in geringer Anzahl parallelgeschaltet werden.

Nachdem erst die Wahl der geeigneten Transistorgröße für die geplante Verstärkerschaltung bestimmt wurde, kann die Parallelschaltung von zwei dieser Transistoren durchgeführt werden. Die Parallelschaltung in der Endstufe ist in seiner grundlegendsten Form eine Parallelschaltung von zwei Leistungstransistoren und wird im Rahmen dieser Arbeit als „Branch“ bezeichnet. Diese Branch-Struktur nimmt dann in der Verstärkerendstufe als aktiver Teil eine zentrale Rolle ein und ist in der Abbildung 4.2 als Blockschaltbild innerhalb einer Verstärkerschaltung (4.2a) und als Chipfoto als separate Teststruktur (4.2b) dargestellt. Alle Endstufen, die mehr Ausgangsleistung als die der grundlegenden Branch-Struktur erfordern, basieren i. d. R. selbst wiederum meistens auf Parallelschaltungen dieser Grund-Branch-Struktur mit der Anzahl  $2^n$  mit  $n=0\dots N$ . Der Hintergrund für diese Parallelschaltung mit  $2^n$ -Branch-Strukturen ist darin begründet, dass sich die Transistoren aufgrund der ideal horizontalsymmetrischen Struktur und im gegebenen Gleichtaktfall gegenseitig nicht sehen, und deswegen sich gegenseitig nicht beeinflussen. Dieser Umstand führt zu einer starken Vereinfachung des Schaltungsentwurfes hinsichtlich Anpassung und Stabilität.

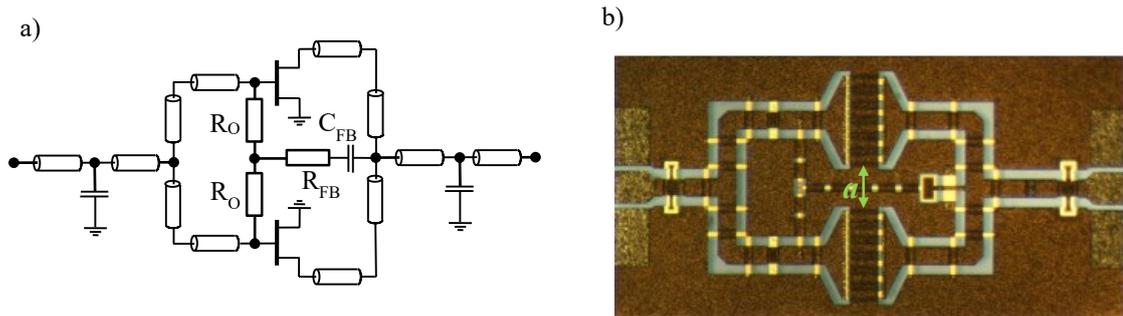


Abbildung 4.2: Beispielhaftes Blockschaltbild (a) einer Branch-Struktur und das dazugehörige Chipfoto (b)

Während bei der Mikrostreifenleitungsvariante des Branches die Masseströme auf der unteren Metallisierung weitestgehend der Stromverteilung auf dem Signalleiter gespiegelt folgen und deswegen in den Zu- und Ableitungen der Transistoren innerhalb eines Branches wenig beeinflusst werden, und so ihre Stromverteilungen der idealen Stromverteilung einer Mikrostreifenleitung entsprechen, sind diese Verhältnisse bei der CPW-Ausführung nicht gegeben. Der Einfachheit halber werden im Folgenden nicht die gesamten Branch-Strukturen aufgebaut, sondern, mit der Absicht, nur auf die prinzipiellen Effekte aufmerksam zu machen, eine Kombinerer-Struktur mit drei Toren betrachtet. Abbildung 4.3 zeigt die auf EM-Simulationen basierenden Stromverteilungen eines Mikrostreifenleitungs-Kombinerers in der FBH GaN-MMIC-Technologie in unterschiedlichen Darstellungen zu einem aussagekräftigen Zeitpunkt. In Abbildung 4.3b ist nur die Stromverteilung des Signalleiters zu sehen, in Abbildung 4.3c wiederum die Stromverteilung auf der Massefläche. Die Stromdichten sind farblich gekennzeichnet, wobei die rotmarkierten Flächen die Maxima darstellen. Wie weiter oben erwähnt, ähneln die Massestromverteilungen denen des darüber liegenden Signalleiters.

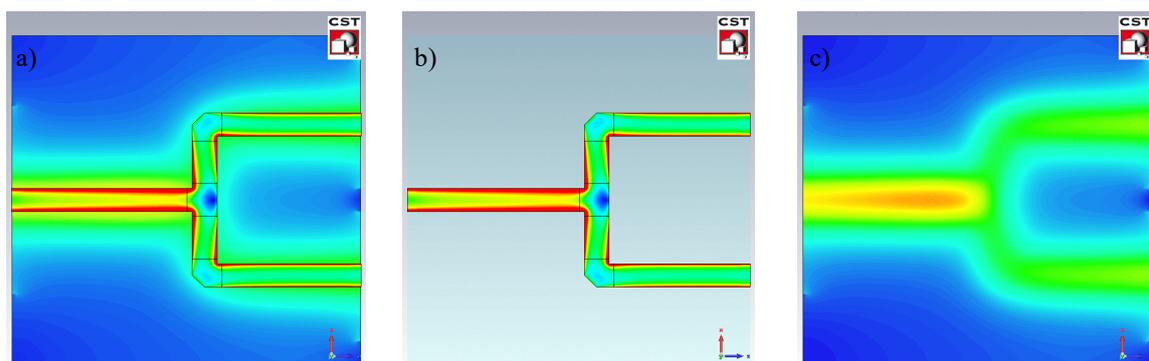


Abbildung 4.3: EM-simulierte Stromverteilungen eines Mikrostreifenleitung-Kombinerers in unterschiedlichen Ansichten mit transparentem Substrat: a) Gemeinsame Darstellung der Stromverteilungen auf dem Signalleiter und der rückseitigen Massefläche; b) Darstellung der Stromverteilung auf dem Signalleiter; c) Darstellung der Stromverteilung auf der Massefläche

Bei der Branch-Struktur in CPW-Realisierung aus Abbildung 4.2b beeinflussen sich die Masseströme in der mittleren inselartigen Massefläche zwischen den HEMTs gegenseitig

und können infolge der beidseitigen Massefläche der CPW nur bedingt die ungestörte Stromverteilung dieses Leitungstyps einnehmen. Jede der Diskontinuitäten bestehend aus den Verzweigungen und den Leitungsknicken macht bei der CPW-Variante eine ausgleichende Verlagerung der Masseströme von der äußeren Massemetallisierung auf die innere inselartige Massefläche notwendig. Dieser Vorgang führt einerseits zu erhöhten ohmschen Verlusten, da u. a. die Masseströme verstärkt durch eine mit geringer Querschnittsfläche versehene Unterführung (englisch Underpaths) fließen müssen. Andererseits werden die Masseströme entsprechend der Stromverteilungen bei den Diskontinuitäten an einer Leiterseite gestaut und fließen durch einen kleineren Querschnitt. Hierzu sei das Feldbild einer EM-Simulation des Standard-CPW-Kombinierers einschließlich des aufgezeichneten Signalpfades aus Abbildung 4.4 betrachtet.

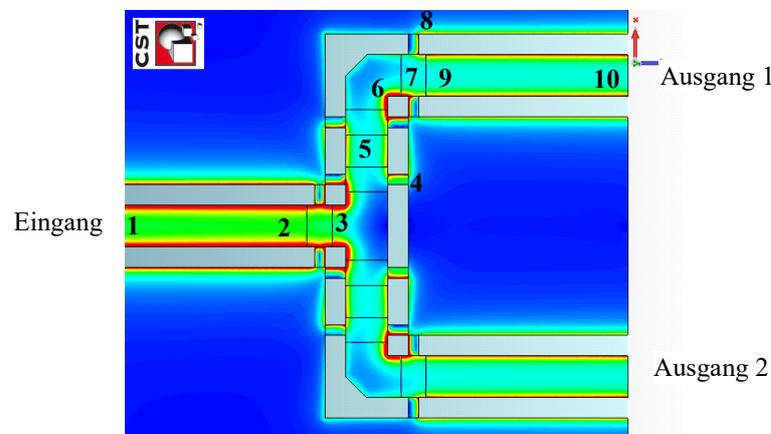


Abbildung 4.4: EM-simulierte Stromverteilungen eines CPW-Kombinierers

Da der Kombinierer horizontalsymmetrisch ist, wird im Folgenden nur der Signalpfad zum oberen Ausgang (Ausgang 1) betrachtet. Die Stromverteilung ist im homogenen Teil der Struktur von links kommend bis zur T-Junction symmetrisch und (Signalpfadpunkte 1 bis 2 in der Abbildung 4.4). Mit der T-Junction verlagert sich auf dem Signalleiter der gesamte Strom nur auf die Knickseiten (Punkt 3), während die Masseströme infolge der Ausgleichvorgänge von den äußeren Masseflächen in die inselförmige innere Massefläche durch die hochohmige Luftbrückenunterführung umgeleitet werden (Punkt 4). Ohne dass sich in den nachfolgenden kurzen homogenen Leitungsstücken eine symmetrische Stromverteilung in Wellenausbreitungsrichtung einstellen kann (Punkt 5), werden im nachfolgenden Leitungsknick (Bend) erneut auf dem Signalleiter der ganze Strom auf den Rand mit dem Knick verlagert (Punkt 6) und erneut die Masseströme infolge durch die hochohmigen Luftbrückenunterführungen umgeleitet (Punkte 7 und 8). Erst nach den Bends stellt sich auf beiden homogenen Leitungsstücken wieder eine gleichmäßige, der ungestörten CPW-Stromverteilung entsprechende symmetrische Stromverteilung ein (Punkte 9 und 10). Diese Stromverlagerungen auf dem Signalleiter infolge der Diskontinuitäten sind zwar bei der MS-Leitung in geringerem Maße ebenfalls gegeben (vgl. Abbildung 4.3b), allerdings

fallen diese auch aufgrund der größeren Signalleiterweite geringer aus. Die negativen Auswirkungen der Massestromverlagerungen fallen hingegen bei der MS-Leitung infolge der Führung auf der Rückseitenmetallisierung entsprechend Abbildung 4.3c komplett weg. Erschwerend zu diesen Stromverlagerungsvorgängen kommt hinzu, dass bei der CPW-Variante des Branches die Stromverteilungen innerhalb der Parallelschaltung, d. h. innerhalb der T-Junctions, aufgrund der benachbarten Transistoren, asymmetrisch sind und in der inneren Massefläche geringer sind als in der äußeren. Diese Asymmetrie ist umgekehrt proportional zum Abstand zwischen den Transistoren zueinander, sodass dieser Abstand (in der Abbildung 4.2b mit  $a$  gekennzeichnet) nicht beliebig klein gewählt werden kann [16]. Der starke Einfluss des Abstandes zwischen den benachbarten Transistoren bei der CPW-Variante hat auch in jedem Fall eine größere Chipfläche und somit höhere ohmsche Verluste des Branches zur Folge, da ein größerer Abstand auch längere und großflächigere Verteiler- und Kombinerer erfordern. Deswegen wird basierend auf EM-Simulationen ein Abstand  $a$  gewählt, der einen Kompromiss aus beiden gegenläufigen Prozessen liefert.

Um die erhöhten ohmschen Verluste der Branch-Struktur zu reduzieren, sind alternative Diskontinuitäten bzw. eine Möglichkeit, mehrere orthogonale zueinander stehende Diskontinuitäten durch weniger und dafür aber geometrisch "weicher" geformte Diskontinuitäten zu ersetzen, erstrebenswert. Zu diesem Zweck werden im Folgenden mehrere alternative CPW-Kombinerer-Strukturen erarbeitet und anschließend EM-simuliert. Aus diesen Simulationen werden zu jeder Variante Dreier-Streuparametersätze generiert und mit diesen Datensätzen eine typische Schaltungssituation mit realen Impedanzabschlüssen der Kombinerer im Schaltungssimulator ADS simuliert. Als Impedanzabschlüsse werden einmal die optimale Lastimpedanz  $Z_{L,opt}$  des Transistors verwendet, der in der Endstufe der später entwickelten Verstärker eingesetzt wird, und einmal seine optimale Source-Impedanz  $Z_{S,opt}$ . Aus diesen Schaltungssimulationen werden die Verluste aller Verteiler bzw. Kombinerer extrahiert und gegenübergestellt. Zu Vergleichszwecken wird das gleiche Prozedere auch für den Mikrostreifenkombinerer und für den Standard-CPW-Kombinerer durchgeführt. Dabei werden alle simulierten Kombinerer-Varianten mit der GaN-MMIC-Technologie aufgebaut. Jene Kombinerer-Strukturen, die in dieser Gegenüberstellung die besten Ergebnisse liefern, der MS-Kombinerer und der Standard-CPW-Kombinerer, sind in den Abbildung 4.5 bis 4.10 in der Darstellungsform der EM-Simulationsumgebung CST nebeneinander abgebildet.

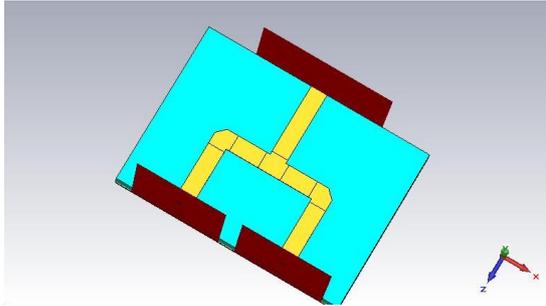


Abbildung 4.5: Mikrostreifenkombinierer in der CST-Darstellung (12x9 mm<sup>2</sup>)

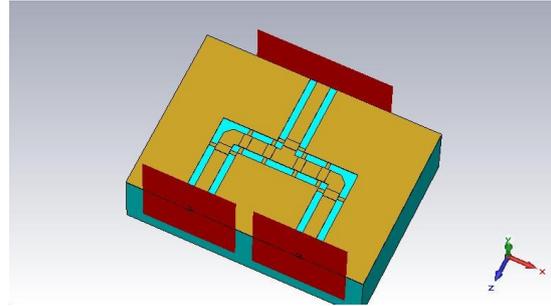


Abbildung 4.6: Standard-CPW-Kombinierer in der CST-Darstellung (12x10 mm<sup>2</sup>)

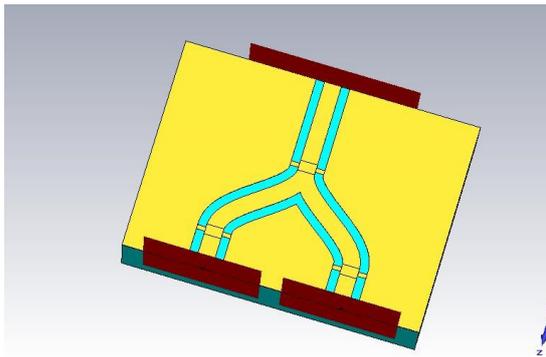


Abbildung 4.7: CPW-Kombinierer "V07" in der CST-Darstellung (12x10 mm<sup>2</sup>)

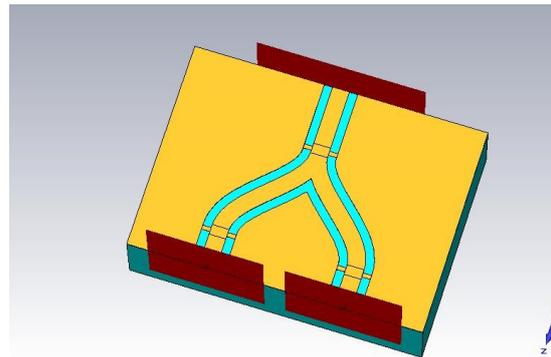


Abbildung 4.8: CPW-Kombinierer "V06" in der CST-Darstellung (12x11 mm<sup>2</sup>)

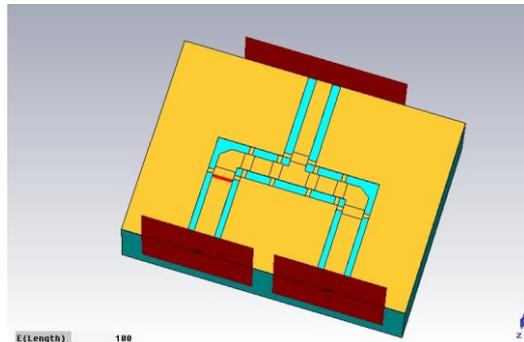


Abbildung 4.9: CPW-Kombinierer "V09" in der CST-Darstellung (12x10 mm<sup>2</sup>)

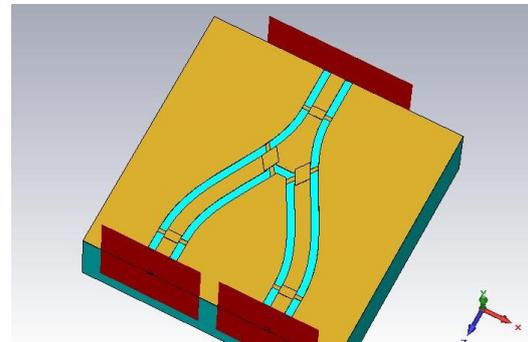


Abbildung 4.10: CPW-Kombinierer "V12" in der CST-Darstellung (12x14 mm<sup>2</sup>)

In der Tabelle 4.1 sind ergänzend die Einfügedämpfungen je Struktur, bestimmt für die gleiche Transistorimpedanz, aufgelistet. Mit 1,28 dB sind die Verluste des in diesem Kapitel betrachteten Standard-CPW-Verteilers im Vergleich zu den Verlusten des Mikrostreifenverteilers mit 0,53 dB um mehr als doppelt so groß. Auch der Vergleich der Ausgangsverluste beider Strukturen in Tabelle 4.1 bestätigt den enormen Unterschied.

Entsprechend den Ausführungen aus Abschnitt 3.3.2, wonach CPWs mit größerer Leiterbreite eine geringere Dämpfung aufweisen, wurde der CPW-Kombinierer V09 in Abbildung 4.9 mit breiteren Signalleitern, aber weiterhin mit 50  $\Omega$ -Leitungen entworfen. Ein Vergleich der eingangsseitigen Einfügedämpfungen beider Kombiniererstrukturen zeigt

mit 0,02 dB eine sehr geringe Verbesserung, die unterhalb der Messgenauigkeit des LP-Messplatzes liegt, während die ausgangsseitigen Einfügedämpfungen beider Strukturen mit 0,38 dB identisch sind.

*Tabelle 4.1: Simulierte Einfügedämpfungen der Kombinierer-Varianten für den Fall als Verteiler und als Kombinierer*

Name	Einfügedämpfung als Verteiler (dB)	Einfügedämpfung als Kombinierer (dB)
Mikrostreifenkombinierer	0,53	0,13
Standard-CPW-Kombinierer	1,28	0,38
CPW-Kombinierer V09	1,26	0,38
CPW-Kombinierer V06	1,13	0,31
CPW-Kombinierer V07	1,19	0,32
CPW-Kombinierer V12	1,00	0,30

Im Gegensatz dazu bieten die beiden Kombiniererstrukturen aus den Abbildung 4.7 und 4.8 durch die geschweifte und dadurch leichtere Verteilung der beiden Kombiniererzweige mit einer Verlustverringerung von 0,1 dB bzw. 0,15 dB für den Eingangsfall eine größere Verbesserung des Transmissionsverhaltens. Die Verlustverringerung im Ausgangsfall bleibt hingegen mit 0,07 dB bzw. 0,08 dB unterhalb der Messgenauigkeit von etwa 0,1-0,2 dB. Beide Strukturen unterscheiden sich voneinander durch den Winkel ihrer Verzweigung. Bei der Struktur aus Abbildung 4.8 ist der Winkel spitzer und dadurch der Übergang zwischen den Diskontinuitäten weicher. Erwartungsgemäß liefert diese Struktur mit dem spitzeren Winkel die geringeren Verlustwerte. Dies könnte durch die günstigere Stromverteilung der äußeren und inneren Masseflächen erklärt werden. Die besten Ergebnisse liefert die Struktur „V12“ aus Abbildung 4.10. Diese Struktur ist eng verwandt mit den vorherigen zwei geschweiften Kombinierer-Strukturen, unterscheidet sich aber von beiden durch einen spitzeren Verzweigungswinkel und durch die Verbindung der äußeren Masseflächen mit der inneren Massefläche an dem T-Junction. Auch hat der Signalleiter der T-Junction eine deutlich größere Fläche. Die Einfügedämpfung im Eingangsfall dieser Struktur ist deutlich geringer als die der Standard-CPW und prädestiniert diese Variante dazu, für den Branch als Optimierung dienen zu können. Ihre ausgangsseitigen Verluste sind mit 0,30 dB um nur 0,08 dB geringer als die der Standard-CPW-Variante. Die deutliche Reduzierung der Verluste bzw. Einfügedämpfungen sind u. a. durch den Vergleich der Stromverteilungen entlang der Kombinierer-Strukturen zu erklären.

Hierzu sei die EM-simulierte Stromverteilung des V12-Kombinierers aus Abbildung 4.11 einschließlich des aufgezeichneten Signalpfades betrachtet.

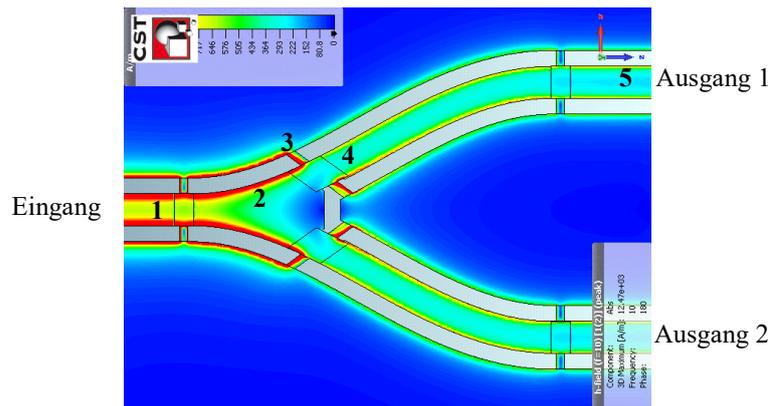


Abbildung 4.11: EM-simulierte Stromverteilungen des CPW-Kombinierers „V12“

Die Stromverteilung ist von dem linken Bildrand kommend im homogenen Teil der Struktur bis zur T-Junction symmetrisch und transversal zur Ausbreitungsrichtung in Richtung der Metallisierungskanten (Punkt 1 in der Abbildung 4.11). Mit der T-Junction verlagert sich auf dem Signalleiter der gesamte Strom zwar wieder auf den äußeren Rand (Punkt 2), jedoch fließt der Strom durch einen größeren Leitungsquerschnitt als bei der Standard-T-Junction. Die Masseströme müssen aber wieder infolge der Ausgleichvorgänge von den äußeren Masseflächen in die inselförmige innere Massefläche durch die hochohmige Luftbrückenunterführung umgeleitet werden (Punkt 3). Unmittelbar hinter den beiden Luftbrücken stellt sich aber schnell eine symmetrische Stromverteilung entsprechend einer homogenen Leitung ein (Punkt 4). Die zusätzlichen Stromeinschnürungen auf dem Signalleiter und die Umwälzungen der Masseströme, die beim Standard-CPW-Kombinierer entsprechend Abbildung 4.4 infolge des T-Junctions und der Bends vorhanden waren, entfallen dieses Mal vollständig.

Um diese aus Simulationen gewonnenen Ergebnisse messtechnisch verifizieren zu können, wurden zwei Teststrukturen konzipiert und prozessiert. Aufbauend auf den EM-Simulationen wurden zwei Branch-Testschaltungen entworfen, die, bis auf die verwendeten Verzweigungsstrukturen, identisch sind. Es werden die identischen Transistoren (zwei HEMT mit  $12 \times 125 \mu\text{m}$ ) verwendet und der identische Abstand zwischen den Transistoren gewählt. Auch werden die Voranpassungen, welche zu Messzwecken vor und nach den Teststrukturen durch Kapazitäten gegen Masse ausgeführt werden, so dimensioniert, dass beide Strukturen ein- und ausgangsseitig etwa die gleichen Reflexionsfaktoren liefern. Die identischen Reflexionsfaktoren sind wiederum zweckdienlich für einen späteren Vergleich der Messungen beider Strukturen. Der Hintergedanke, die mit der neuartigen Kombinierer-Struktur erhaltenen niedrigeren Verluste mit einer Branch-Struktur zu verifizieren, ist der, dass diese Struktur einerseits den Grundbaustein einer Leistungsverstärkerschaltung darstellen kann und andererseits wegen seiner minimalen Struktur die Einflüsse der Kombinierer wiedergeben kann. Die Chipfotos beider Teststrukturen sind in den Abbildung 4.12 bzw. 4.13 zu sehen.

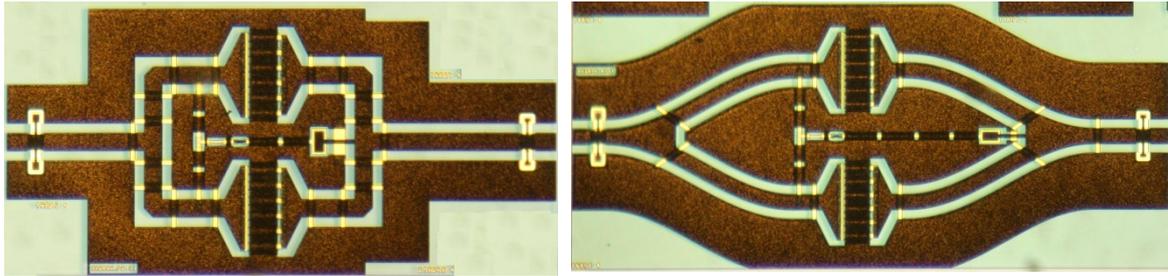


Abbildung 4.12: Chipfoto der Branch-Test-schaltung mit dem Standard-CPW-Kombinierer

Abbildung 4.13: Chipfoto der Branch-Test-schaltung mit dem CPW-Kombinierer „V12“

Die Abmessungen des Branches mit klassischen CPW-Kombinierer und -Verteiler betragen  $11,5 \times 24 \text{ mm}^2$ , während die des Branches mit den V12-Kombinierern  $12 \times 29 \text{ mm}^2$ . Bei beiden Strukturen werden erst bei 10 GHz eine LP-/SP-Messung durchgeführt und anschließend bei den gefundenen optimalen Reflexionsfaktoren cw-Leistungsmessungen. In Abbildung 4.14 sind die cw-Leistungsmessungen beider Teststrukturen mit Tuner-Stellung für  $P_{out,max}$  und in Abbildung 4.15 die für maximale PAE zu sehen.

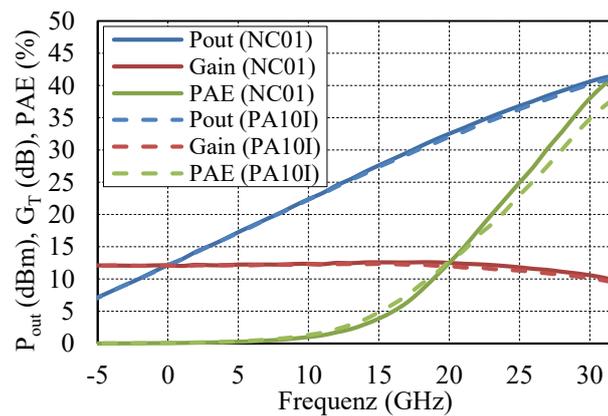


Abbildung 4.14: cw-Leistungsmessung der Branch-Struktur mit dem Standard-CPW-Kombinierer PA10I (gestrichelte Linien) und mit dem CPW-Kombinierer „V12“ NC01 (durchgezogene Linien) bei Tuner-Stellung für maximale Ausgangsleistung und bei 10 GHz

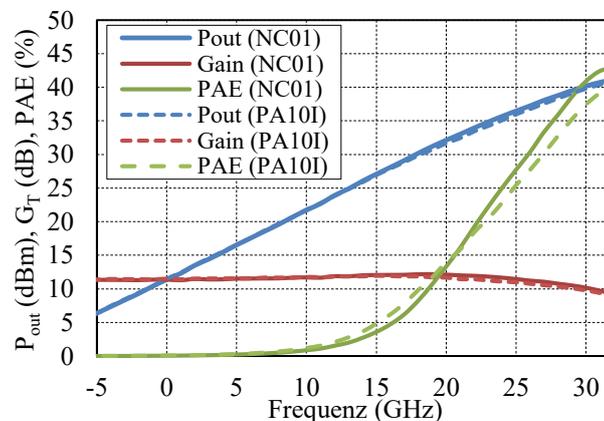


Abbildung 4.15: cw-Leistungsmessung der Branch-Struktur mit dem Standard-CPW-Kombinierer PA10I (gestrichelte Linien) und mit dem CPW-Kombinierer „V12“ NC01 (durchgezogene Linien) bei Tuner-Stellung für maximale PAE und bei 10 GHz

Bei der cw-Leistungsmessung für  $P_{out,max}$  sind über den ganzen Eingangsleistungsbereiches bessere Ergebnisse der neuen Branch-Struktur gegenüber der klassischen Branch-Struktur zu beobachten. Bei niedrigen  $P_{in,av}$ -Werten sind die besseren Werte zwar nur an der  $G_T$  zu sehen, jedoch machen sich die Unterschiede auch in der  $P_{out,max}$  und der maximalen  $PAE$  bemerkbar, sobald man sich mit den  $P_{in,av}$ -Werten dem Sättigungsbereich der Transistoren nähert. Zwar reicht der Dynamikbereich des Messplatzes nicht aus, die Transistoren vollständig in die Sättigung zu bringen, aber beim maximalen  $P_{in,av}$ -Wert von 32 dBm, bei dem die Transistoren fast schon in ihrer Sättigung sind, liefert die neue Branch-Struktur ein  $P_{out,max}$  von 42,1 dBm und eine maximale  $PAE$  41,5 %: Im Vergleich zur klassischen Branch-Struktur, die bei diesem  $P_{in,av}$ -Wert 41,4 dBm bzw. 38.1 % erreicht. Damit bringt die neue Struktur eine Verbesserung von 0,7 dB in  $P_{out,max}$  und 3,5 % in der maximalen  $PAE$ . Dabei entspricht die Verbesserung in der Verstärkung mit 0,3 dB in etwa dem, was aus der Verlustbetrachtung aus Tabelle 4.1 zu erwarten war. Dagegen liegen die Verbesserungen hinsichtlich  $P_{out,max}$  und  $PAE$  deutlich über den Erwartungen. Diese Verbesserungen mögen zwar auf den ersten Blick nicht sehr groß zu sein, jedoch wurden sie nur durch die Optimierung der passiven Verteiler- und Kombinerer-Strukturen erzielt. Bei der cw-Leistungsmessung für maximale  $PAE$  sind die Verbesserungen zwar geringer, aber auch hier gegeben.

In den Abbildung 4.16 und 4.17 sind die Ergebnisse der LP- bzw. SP-Messungen an beiden Branch-Strukturen in Form von  $P_{out}$ -Konturen zu sehen. Wie beim Entwurf beider Strukturen beabsichtigt, sind ihre optimalen Reflexionsfaktoren sowohl für den LP- als auch für den SP-Fall nahezu identisch oder zumindest nah beieinander liegend.

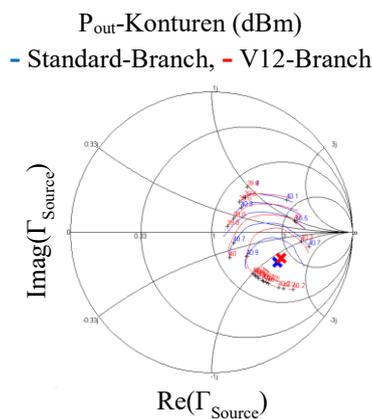


Abbildung 4.16: SP-Messung der Branch-Struktur mit dem Standard-CPW-Kombinerer und mit dem CPW-Kombinerer „V12“ bei Tuner-Stellung für maximale Ausgangsleistung und bei 10 GHz

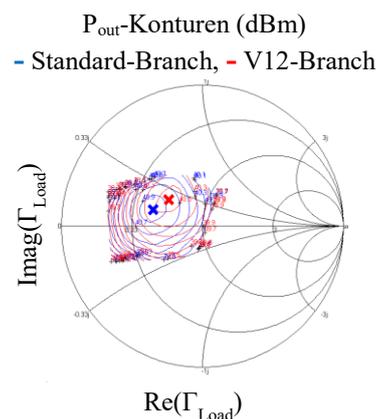


Abbildung 4.17: LP-Messung der Branch-Struktur mit dem Standard-CPW-Kombinerer und mit dem CPW-Kombinerer „V12“ bei Tuner-Stellung für maximale Ausgangsleistung und bei 10 GHz

Da die beiden Alternativen Kombinerer-Strukturen aus der Abbildung 4.7 und 4.8 an der T-Junction nur am unsymmetrischen Tor eine Luftbrückenunterführung aufweisen und keine Luftbrückenunterführungen nach der Aufspaltung auf die zwei symmetrischen Tore, werden als nächster Schritt diese Strukturen mit vollständigen Luftbrückenunterführungen

simuliert. Diese beiden modifizierten Strukturen sind zusammen mit dem Standard-CPW-Kombinierer und dem bisher besten Kombinierer in den Abbildung 4.18 bis 4.21 dargestellt.

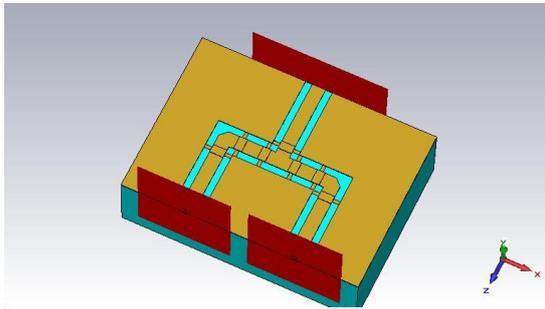


Abbildung 4.18: Standard-CPW-Kombinierer in der CST-Darstellung ( $12 \times 10 \text{ mm}^2$ )

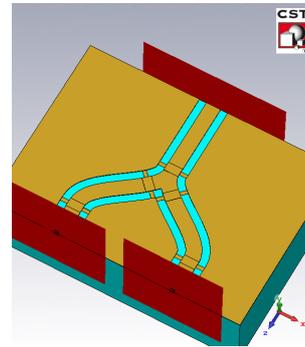


Abbildung 4.19: CPW-Kombinierer "V07a" in der CST-Darstellung ( $12 \times 10 \text{ mm}^2$ )

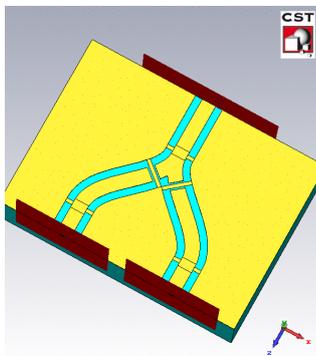


Abbildung 4.20: CPW-Kombinierer "V06a" in der CST-Darstellung ( $12 \times 11 \text{ mm}^2$ )

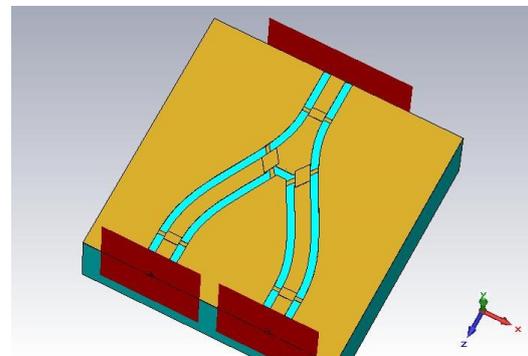


Abbildung 4.21: CPW-Kombinierer "V12" in der CST-Darstellung ( $12 \times 14 \text{ mm}^2$ )

Die beiden neuen als V06a und V07a bezeichneten Varianten sind auch als Zwischenversion beim Übergang vom Standard-CPW-Kombinierer zum V12-Kombinierer zu verstehen. Dabei wird der Winkel der Aufspaltung von Version V07 über V06 bis V12 immer spitzwinkliger. Diese beiden zusätzlichen Strukturen wurden entworfen, um die Auswirkungen der Winkelstellung und damit einhergehend die längeren symmetrischen Zuleitungen auf die ohmschen Verluste zu untersuchen und eventuell zwischen den Abbildung 4.5 bis 4.10 ein Optimum zu finden. Analog zu diesen Kombinierer-Versionen wurden auch für die neuen Strukturen V07a und V06a EM-Simulationen durchgeführt und aus diesen S-Parametersätze generiert. Mit diesen S-Parametersätzen werden nachfolgend mit gleichen realen Impedanzabschlüssen wie die vorherigen Kombinierer die Kombinierer V07a und V06a im Schaltungssimulator ADS simuliert. Die ermittelten Einfügedämpfungen sind in Tabelle 4.2 aufgelistet. In dieser Tabelle sind auch zum besseren Vergleich u. a. die Einfügedämpfungen des MS-Kombinierers, des Standard-CPW-Kombinierers und des V12-Kombinierers, des hinsichtlich Leitungsverluste bis dato besten Kombinierers, eingetragen. Beide Varianten liefern sowohl ein- als auch ausgangsseitig niedrigere Verluste als der bisher beste Kombinierer V12.

Tabelle 4.2: Simulierte Einfügedämpfungen der Kombinierer-Varianten für den Fall als Verteiler und als Kombinierer

Name	Einfügedämpfung als Verteiler (dB)	Einfügedämpfung als Kombinierer (dB)
Mikrostreifenkombinierer	0,53	0,13
Standard-CPW-Kombinierer	1,28	0,38
CPW-Kombinierer V07	1,19	0,32
CPW-Kombinierer V07a	1,00	0,28
CPW-Kombinierer V06	1,13	0,31
CPW-Kombinierer V06a	0,97	0,27
CPW-Kombinierer V12	1,00	0,30

Es ist auch sichtbar, dass die Verluste beim Übergang vom Standard-CPW-Kombinierer über die V07a- und V06a-Kombinierer zum V12-Kombinierer bei V06a ein Minimum erreichen und dann bei V12 wieder zunehmen. Die vor den Simulationen aufgestellte Vermutung, dass mit dem V12-Kombinierer nicht der optimale Kombinierer gefunden wurde, hat sich damit bewahrheitet. Der V06a-Kombinierer liefert die besten Ergebnisse hinsichtlich ohmscher Verluste. Die Unterschiede der Verluste zwischen den Kombinierern V07a, V06a und V12 sind zwar mit Größenordnungen der zweiten Nachkommastelle deutlich unter den Messtoleranzen, dennoch sind diese Resultate von praktischer Relevanz. Wie zu den Chipfotos des Branches mit Standard-CPW-Kombinierer und des Branches mit V12-Kombinierers aus den Abbildung 4.12 und 4.13 angegeben, hat der neuartige Branch eine größere Chipfläche als der klassische und wird daher eine größere Chipfläche einer auf ihr basierenden Verstärkerschaltung zur Folge haben. Das führt zwangsläufig zu höheren Kosten und eventuell höheren ohmschen Dämpfungen des OMN infolge von längeren Leitungen. In der Abbildung 4.22 ist eine mit dem V06a-Kombinierer entworfene Branch-Struktur zu sehen. Diese Struktur weist kompaktere Abmessungen auf, wird bereits intrinsisch geringfügig geringere Leitungsverluste haben und ermöglicht kompaktere Verstärkerschaltung. Letzteres führt dann zu günstigeren Chips und auch zu OMN mit geringeren Einfügedämpfungen [8].

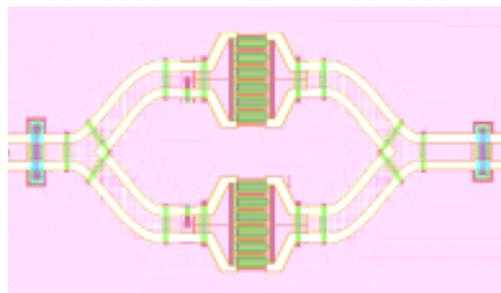


Abbildung 4.22: Layout-Ansicht einer mit dem V06a-Kombinierer entworfene Branch-Struktur

In diesem Abschnitt wurden erfolgreich Kombinerer- und Verteiler-Strukturen für die CPW-GaN-MMIC-Technologie am FBH, basierend auf EM-Simulationen, in Hinsicht geringerer ohmscher Leitungsverluste optimiert. Damit wurde das Ziel, die Nachteile der CPW-Technologie in Form von höheren ohmschen Verlusten gegenüber der MS-Technologie zu reduzieren, mit dem Ansatz über modifizierte CPW-Diskontinuitäten erfüllt. Ein mit der neuartigen CPW-Branch-Struktur entworfener Leistungsverstärker-MMIC sollte gegenüber der mit der klassischen CPW-Branch-Struktur entworfenen Variante bessere Kenngrößen aufweisen, allerdings weiterhin schlechtere als die der MS-Version.

## 4.2 Interdigitale CPW als alternative CPW-Variante

Wie in Kapitel 3 gezeigt, hat die sonst vorteilhaftere CPW-Leitung infolge ihrer ohmschen Leitungsverluste gegenüber der Mikrostreifenleitung den großen Nachteil, dass mit ihr bei gleicher zugrundeliegender Halbleitertechnologie nur Verstärkerschaltungen mit schlechteren Verstärkerkenngrößen realisierbar sind. Außerdem sind infolge von Herstellungsgrenzen der jeweiligen Technologie der kleinste zuverlässig realisierbare Leitungsschlitz und damit der einstellbare Wellenwiderstandsbereich mit der klassischen CPW-Variante zu niedrigeren Widerstandswerten hin begrenzt. Auch machen sich dann Herstellungstoleranzen verstärkt bemerkbar und die Leitungsdämpfung steigt [40]. Darüber hinaus hat die klassische CPW den Nachteil, dass die Stromverteilung transversal zur Ausbreitungsrichtung auf dem Signalleiter zur Leitungsmitte abnimmt. Dies hat bei der Speisung eines Transistors den Nachteil, dass die inneren Transistorzellen ein HF-Signal mit geringerem Strompegel sehen, deswegen suboptimal arbeiten und nicht die möglichen Leistungskenngrößen liefern werden, die sie theoretisch bei homogener Stromversorgung hätten liefern können.

Die Motivationen, alternative CPW-Strukturen zu untersuchen, können deswegen mit den folgenden Stichpunkten beschrieben werden:

- Nachfrage nach alternativen CPW-Strukturen mit geringeren ohmschen Leitungsverlusten.
- Nachfrage nach alternativen CPW-Strukturen mit größerem einstellbarem Wellenwiderstandsbereich zu niedrigen Werten hin.
- Nachfrage nach alternativen CPW-Strukturen mit geringerer Abhängigkeit von den Prozesstoleranzen bei niedrigen Wellenwiderstandswerten.
- Nachfrage nach alternativen CPW-Strukturen, die eine homogenere transversale Stromverteilung auf dem Signalleiter aufweisen und so eine homogenere Speisung von Transistorstrukturen ermöglichen

Zu diesem Zweck wird im Folgenden das Konzept der Interdigit bzw. Multi Finger CPWs (IPCWs, deutsch: Zwischenfinger- bzw. Mehrfinger CPWs) als potentielle Lösung näher untersucht. Diese Art von CPW wurde 1998 zum ersten Mal von Thompson und Rogers als vielversprechende Alternative für die klassische CPW vorgestellt [45]. Unter dieser speziellen Form der CPW-Leitung werden CPWs verstanden, bei denen zwischen den beiden lateralen großen Masseflächen statt nur eines Signalleiters mehrere äquidistant zueinander verlegt werden und diese immer beidseitig von Masseflächen umgeben sind, d. h. zwischen den Signalleitern befinden sich ebenso äquidistant angeordnete Masseleiter. Alle Signalleiter sind mittels transversal zur Wellenausbreitungsrichtung aufgespannter Luftbrücken bzw. Unterleitungen miteinander verbunden, ebenso sind alle Masseflächen über Luftbrücken bzw. Unterleitungen miteinander verbunden. In der Abbildung 4.23 links ist der Querschnitt einer ICPW mit allen wichtigen Geometrien zu sehen und rechts die gleiche Leitung aus der isometrischen Perspektive mit einer möglichen Realisierung der Luftbrücken zur Verbindung jeweils der Signalleiter bzw. der Masseflächen untereinander.

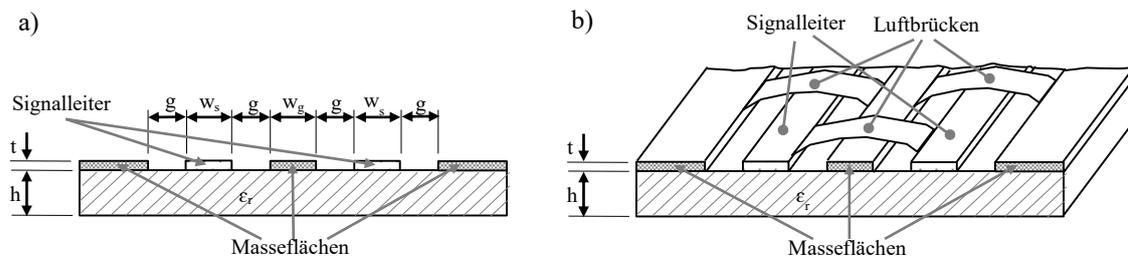


Abbildung 4.23: Geometrie der Interdigit-CPW (2-fache ICPW) in zwei Darstellungsvarianten

Bei der dargestellten Leitung handelt es sich um eine sogenannte 2-fach ICPW. Abhängig von der Anzahl  $n$  der Signalleiter wird die Leitung als  $n$ -fache ICPW bezeichnet. Dabei stellt die klassische CPW mit  $n=1$  als einfache ICPW einen Sonderfall der ICPW dar. Eine  $n$ -fache ICPW kann in einer ersten Näherung als eine Parallelschaltung von  $n$  klassischen CPWs mit dem Leitungsschlitz  $g$ , der Leitungsbreite  $w$  und einem Einheitswellenwiderstand  $Z_{LE}$  betrachtet werden. Der resultierende Wellenwiderstand der  $n$ -fachen ICPW ist nach dieser ersten Näherung dann mit  $Z_L = Z_{LE}/n$  eine Funktion der Signalleiteranzahl  $n$ . Damit entspricht die Maßnahme der Wellenwiderstandsbereichserweiterung der ICPW der gleichen Maßnahme, die beim Übergang von Streifenleitungskoppler zum Lange-Koppler zum Einsatz kommt [46].

Die ICPW wurde von Thompson und Rogers mit den folgenden drei Vorteilen eingeführt [45]:

1. Leitungen mit kleinerem Wellenwiderstand bei gleicher Leitungsbreite und gleicher minimaler Gesamtgröße realisierbar
2. Geringere ohmsche Verluste bei hohen Frequenzen möglich

3. Schnelleres Absinken der ohmschen Verluste bei Vergrößerung der Leitungsdicke möglich

### 4.2.1 Untersuchung der ohmschen Leitungsverluste der ICPW

Da primär der zweite Punkt für die Anforderungen der vorliegenden Arbeit von Interesse ist, wird die ICPW als mögliche Lösung zur Verbesserung der klassischen CPW ausgewählt und näher untersucht.

Zur Untersuchung der ohmschen Verluste dieser innovativen CPW-Struktur werden im Folgenden ICPW-Strukturen EM-simuliert und anhand der erhaltenen Simulationsergebnisse ihre Eigenschaften analytisch ermittelt. Zu diesem Zweck werden eine 2-fache, eine 4-fache und 8-fache CPW mit identischem Gesamtmaßstab, d. h. identischem Abstand zwischen den äußeren Masseflächen, im EM-Simulator aufgebaut. Die aufgebauten ICPWs sind in der Abbildung 4.24 dargestellt.

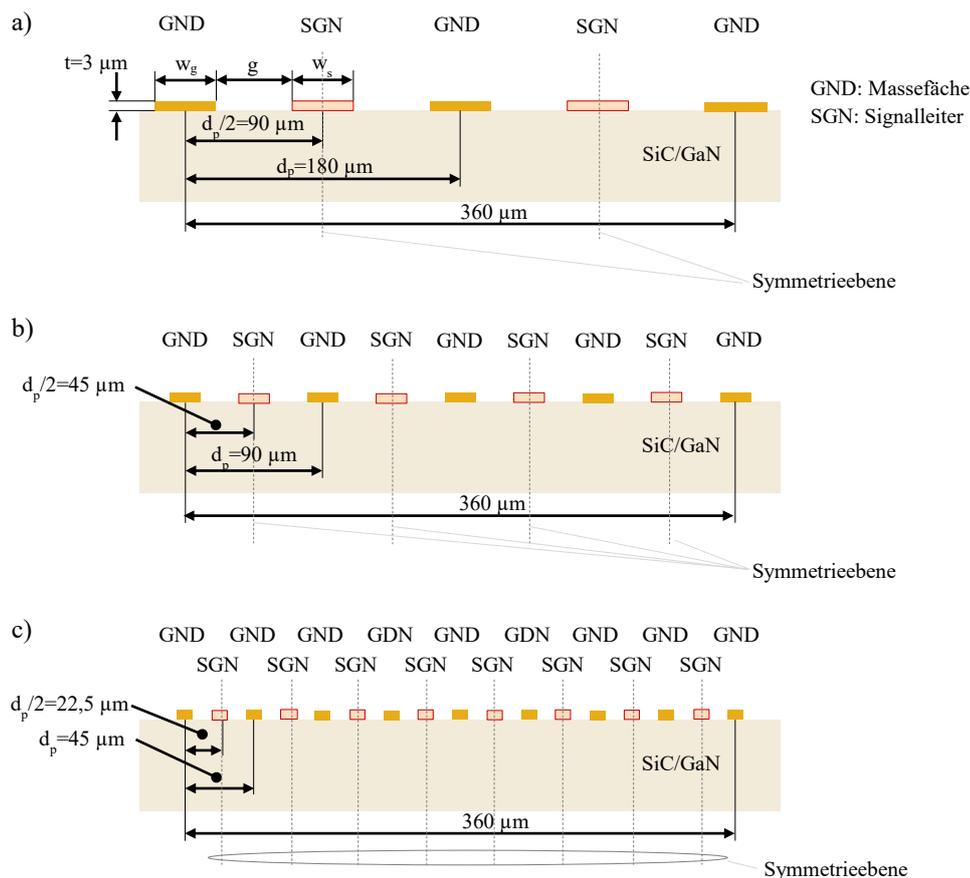


Abbildung 4.24: Geometrien einer a) 2-fachen, einer b) 4-fachen und einer c) 8-fachen CPW mit  $w_s=w_g$  und einer einheitlichen Gesamtbreite von  $360 \mu\text{m}$

Um die Rechenzeit der EM-Simulationen zu reduzieren, werden bei allen drei ICPW-Varianten die Symmetrieebenen, die sich bei den Feldbildern der Quasi-TEM-Wellen

ergeben und in der Abbildung 4.24 teilweise eingezeichnet sind, verwendet und so nur die in den Abbildung 4.25 und 4.26 dargestellten Leitungsquerschnitte zwischen der Mitte einer Signalleitung bis zur Mitte einer Masseleitung simuliert.

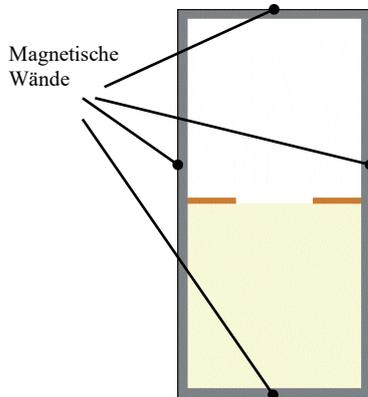


Abbildung 4.25: Leitungsgrundzelle der 2-fachen ICPW mit eingezeichneten magnetischen Wänden

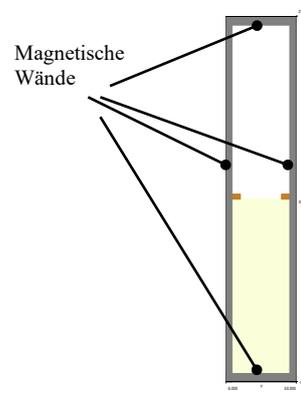


Abbildung 4.26: Leitungsgrundzelle der 4-fachen ICPW mit eingezeichneten magnetischen Wänden

In diesen Abbildungen ist die Grundzelle der jeweiligen ICPW-Variante zu sehen. Bei beiden Grundzellen sind die Symmetrieebenen durch magnetische Wände ersetzt wurden. Ebenso sind die Decken und Böden der Grundzellen durch magnetische Wände beschrieben. Diese Simulation wird dann für alle drei ICPW-Varianten für mehrere Wellenimpedanzwerte im Bereich 20 bis 200  $\Omega$  wiederholt. Hierbei werden der Einfachheit halber die Signalleiter-  $w_s$  und die Masseleiterbreite  $w_g$  gleichgesetzt und die gewünschten Wellenwiderstandswerte durch  $w_g=w_s$  eingestellt. Das Diagramm in Abbildung 4.27 zeigt für alle drei ICPW-Varianten die  $w_g=w_s$ - $\text{Re}\{Z_L\}$ -Kurven.

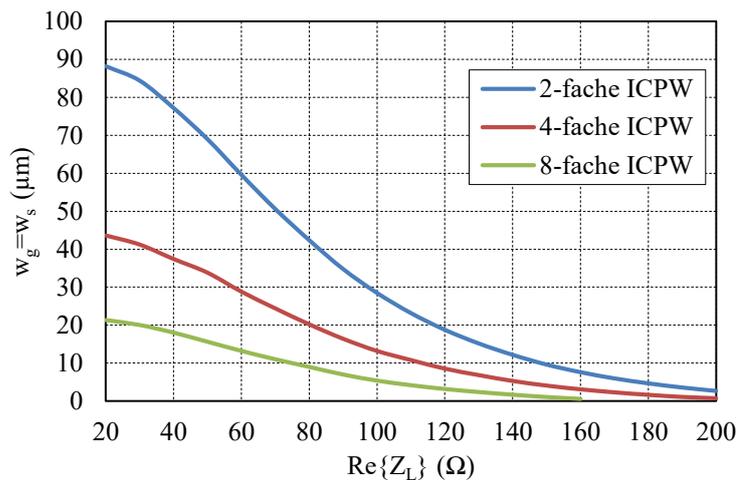


Abbildung 4.27: Aus EM-Simulationen extrahierte  $w_s$ - $\text{Re}\{Z_L\}$ -Kurven für die 2-fache (cpw2), 4-fache (cpw4) und 8-fache (cpw8) ICPW mit  $w_s=w_g$  und einer einheitlichen Gesamtbreite von 360  $\mu\text{m}$ , aufgebaut mit der FBH GaN-MMIC-Technologie

In der Tabelle 4.3 sind die erforderlichen Leitungs- und Schlitzbreiten aller drei ICPW-Varianten für einige aussagekräftige Widerstandswerte aufgelistet.

Tabelle 4.3: Aus EM-Simulationen extrahierte Abmessungen für bestimmte  $\text{Re}\{Z_L\}$ -Werte Kurven für die 2-fache, 4-fache und 8-fache ICPW mit  $w_s=w_g$  und einer einheitlichen Gesamtbreite von  $360\ \mu\text{m}$ , aufgebaut mit der FBH GaN-MMIC-Technologie

$\text{Re}\{Z_L\}$ ( $\Omega$ )	2-fach ICPW		4-fach ICPW		8-fach ICPW	
	$w_s=w_g$ ( $\mu\text{m}$ )	$g$ ( $\mu\text{m}$ )	$w_s=w_g$ ( $\mu\text{m}$ )	$g$ ( $\mu\text{m}$ )	$w_s=w_g$ ( $\mu\text{m}$ )	$g$ ( $\mu\text{m}$ )
20	88,2	1,8	43,6	1,4	21,3	1,2
30	84,4	5,6	41,2	3,8	20	2,5
40	77,2	12,8	37,4	7,6	18	4,5
50	69	21	33,8	11,2	15,6	6,9
60	59,6	30,4	28,8	16,2	13,2	9,3
70	50,6	39,4	24,4	20,6	11	11,5
80	42,2	47,6	20,2	24,8	9	13,5
100	28,5	61,5	13,2	31,8	5,4	17,1
120	18,8	71,2	8,54	36,46	3,2	19,3
170	6	84	2,3	42,7	-	-

Wie bereits in der Einleitung dieses Teilabschnitts beschrieben, gehorchen die Werte in der Tabelle etwa der Regel  $Z_L=Z_{LE}/n$  mit Signalleiteranzahl  $n=1\dots N$ . Eine 8-fache ICPW mit einem Wellenwiderstand von  $50\ \Omega$  erfordert einen  $w_g=w_s=15,6\ \mu\text{m}$ , während eine 4-fache ICPW  $w_g=w_s=33,8\ \mu\text{m}$  und eine 2-fache ICPW  $w_g=w_s=69\ \mu\text{m}$  erfordern. Jenes Abmessungspaar  $w_s=w_g$  und  $g$  in der Tabelle, bei denen eine Größe außerhalb des Herstellungsbereiches der hausinternen Technologie liegt, sind mit hellgrau gekennzeichnet. Aus den getätigten EM-Simulationen für alle drei ICPW-Varianten werden auch die ohmschen Verluste in Abhängigkeit des Wellenwellenwiderstandes und der Frequenz extrahiert und in einem Diagrammen in Abbildung 4.28 als Funktion der Wellenimpedanz und der Frequenz dargestellt.

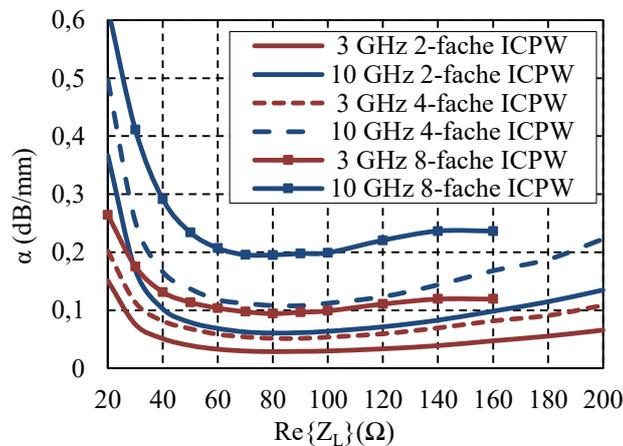


Abbildung 4.28: Aus EM-Simulationen extrahierte  $\alpha$ - $\text{Re}\{Z_L\}$ -Kurven für die 2-fache, 4-fache und 8-fache ICPW mit  $w_s=w_g$  und einer einheitlichen Gesamtbreite von  $360\ \mu\text{m}$ , aufgebaut mit der FBH GaN-MMIC-Technologie für 3 und 10 GHz

Aus diesem Diagramm ist ersichtlich, dass die Verluste aller drei ICPW-Varianten für alle Wellenimpedanzwerte mit steigender Frequenz nahezu linear zunehmen, während bei fester Frequenz aber mit steigender Wellenimpedanz erst exponentiell abnehmen, im Bereich 70 bis 80  $\Omega$  ihr Minimum haben und anschließend steigen. Die 2-fache ICPW liefert auch gegenüber der 4- und der 8-fachen ICPW bei der gleichen Frequenz und dem gleichen Wellenimpedanzwert weitaus geringere Verluste. Die Verlustverläufe bei der für diese Arbeit vordergründigen Arbeitsfrequenz von 10 GHz sind im Diagramm mittels dickgedruckten Kurven kenntlich gemacht. Für die Verlustbetrachtung sind in diesem Diagramm für alle drei ICPW-Varianten für die 10 GHz die  $\alpha$ - $Z_L$ -Kurven gemeinsam mit der Kurve der klassischen einfachen CPW in Abbildung 4.29 dargestellt. Aus den Kurven dieser Abbildung wird deutlich, dass alle drei ICPW-Varianten um den relevanten Wellenimpedanzbereich von 50  $\Omega$  und darunter deutlich höhere ohmsche Verluste aufweisen als die klassische CPW. Erst ab dem Wellenimpedanzwert von 70  $\Omega$  zeigt die 2-fache ICPW geringere Verluste als die einfache CPW. Die 4-fache und die 8-fache ICPW zeigen hingegen im untersuchten Wellenimpedanzbereich durchweg erheblich höhere Leitungsverluste.

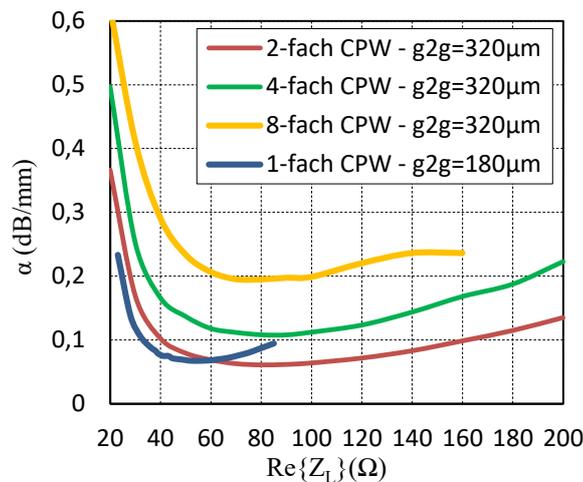


Abbildung 4.29: Aus EM-Simulationen extrahierte  $\alpha$ - $Re\{Z_L\}$ -Kurven für die 2-fache, 4-fache und 8-fache ICPW mit  $w_s=w_g$  und einer einheitlichen Gesamtbreite von 360  $\mu\text{m}$ , aufgebaut mit der FBH GaN-MMIC-Technologie für 10 GHz. Zusätzlich ist die  $\alpha$ - $Re\{Z_L\}$ -Kurven der FBH-Standard-CPW bei 10 GHz.

Diese Untersuchungen an den ICPWs eröffnen also entgegen den Erwartungen keine eindeutige Möglichkeit zur Reduzierung der Leistungsverluste der CPW. Die höheren ICPW-Varianten oberhalb der 2-fachen Version zeigen eindeutig höhere ohmsche Verluste. Die Intention, weshalb die ICPW mit einer Gesamtbreite von 360  $\mu\text{m}$  untersucht wurde, obwohl die Standard-CPW eine Gesamtbreite von 180  $\mu\text{m}$  (bzw. Abstand der Masseflächen zueinander von 160  $\mu\text{m}$ ) aufweist, ist der, dass eine 4- und 8-fache ICPW mit einer Gesamtbreite von 180  $\mu\text{m}$  nur in einem eingeschränkten Wertebereich tatsächlich realisierbar wäre, da sich unrealistische Leitungs- und Schlitzbreiten kleiner als 1  $\mu\text{m}$  ergäben.

## 4.2.2 Untersuchung der HF-Stromverteilung der ICPW

Im Kapitel 3 wurde die transversal zur Ausbreitungsrichtung der CPW entstehende Stromverteilung bei der Quasi-TEM-Welle erläutert. Demnach konzentrieren sich die HF-Ströme am Leitungsschlitz und fallen in Richtung Metallflächen exponentiell ab. Solch eine HF-Stromverteilung könnte am Transistor für eine inhomogene Aussteuerung der einzelnen Transistorzellen sorgen. Deshalb wurde untersucht, in wieweit eine homogenere HF-Stromverteilung auf dem Signalleiter eine bessere Ausnutzung der Leistungsfähigkeit der Transistoren bewirkt. Die ICPW ist aufgrund ihres Aufbaus mit mehreren Signalleitern prädestiniert dafür.

Diese Untersuchung der grundsätzlichen HF-Stromverteilung einer ICPW wird im Folgenden an einer möglichst einfach gehaltenen Struktur durchgeführt. Als Technologie für den Aufbau wird wieder die hausinterne GaN-MMIC-Technologie verwendet. Die Struktur wird in einem EM-Simulator (CST) analysiert und ist in Abbildung 4.30 zu sehen.

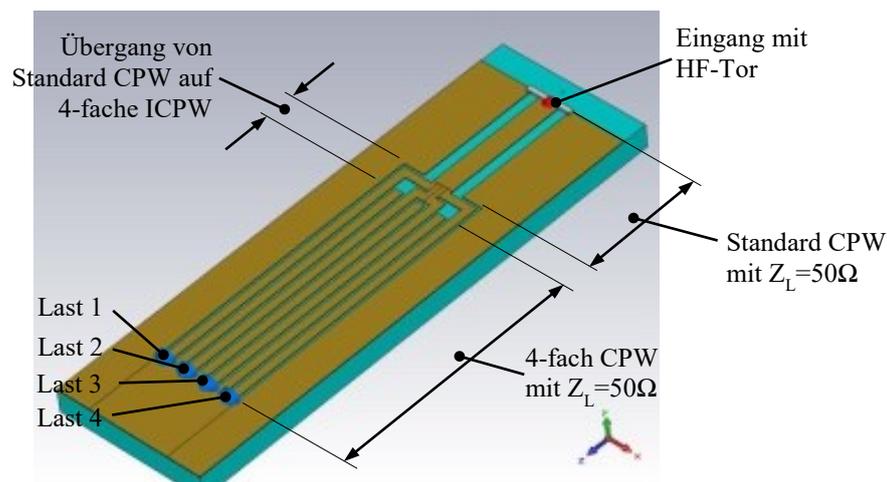


Abbildung 4.30: Simulationsaufbau eines CPW-Übergangs (Struktur V01) einer Standard-CPW auf eine 4-fache IPCW zur Untersuchung der Stromverteilungen auf einer ICPW ohne Luftbrücken.

Dabei besteht die Struktur am Anfang aus einer 40-80-40-CPW-Leitung (präferierte 50  $\Omega$ -Leistungsgeometrie der FBH X-Band GaN-MMICs mit  $w=80 \mu\text{m}$  und  $g=40 \mu\text{m}$ ) die symmetrisch in eine 4-fache auf 50  $\Omega$  abgestimmte ICPW Leitung übergeht. Die Struktur wird an dem an der Standard-CPW gelegenen Eingang mit einem HF-Tor versehen und über dieses Tor mit einem HF-Signal gespeist. Am anderen Ende der Struktur sind alle Signalleitungen der 4-fachen ICPW mit jeweils einer Last, der ein Widerstandwert von 10  $\Omega$  zugeordnet ist, abgeschlossen. Dabei ist der Widerstandswert von 10  $\Omega$  mit der Intention gewählt, dass er etwa dem Wertebereich der Ausgangsimpedanzen der Transistorgrundzellen (Abbildung 2.15) der in dieser Arbeit eingesetzten Transistoren entspricht. Nun werden am Eingangstor die Struktur mit einem HF-Signal einer bestimmten Frequenz gespeist und über die Widerstände die sich ergebenden Ströme abgelesen. In dieser

1. Struktur wird bewusst sowohl auf Verbindungsbrücken zwischen den Signalleitern als auch auf Verbindungsbrücken zwischen den Masseleitern und den Masseflächen verzichtet. Die resultierenden Stromverläufe auf den beiden inneren und beiden äußeren Signalleitern über der Frequenz sind im Diagramm in Abbildung 4.31 abgebildet. Die Kurven in Abbildung 4.31 zeigen eine inhomogene Stromverteilung die mit steigender Frequenz immer stärker inhomogen wird. Auch ist zu sehen, dass infolge der Symmetrie die Ströme auf den Leitern 1 und 4 bzw. den Leitern 2 und 3 identisch sind.

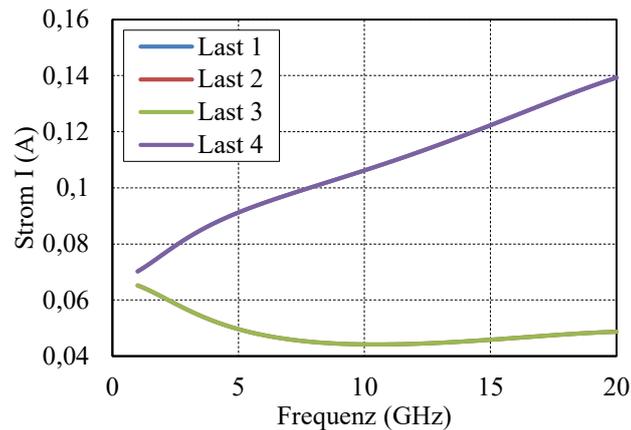


Abbildung 4.31: Stromverteilungen auf den unterschiedlichen Lasten bei der EM-simulierten Struktur V01

Nachdem diese unrealistische Struktur V01 den Worst Case darstellt, wird diese Struktur zum Vergleich in sechs unterschiedlichen Konstellationen mit Verbindungsbrücken für die Signalleiter bzw. Masseleiter versehen aufgebaut und die vorherige Simulation an diesen Strukturen wiederholt. Die im EM-Simulator aufgebauten Strukturen V02 bis V05 sind in der linken Spalte der nachfolgenden Abbildungen und die dazugehörigen Stromverteilungen in der rechten Spalte der nachfolgenden Abbildungen zu sehen.

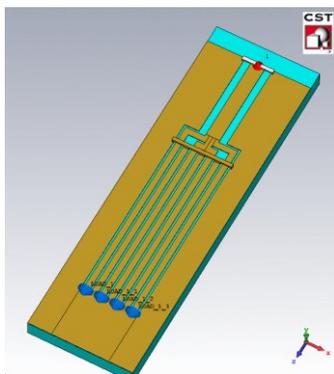


Abbildung 4.32: Simulationsaufbau eines CPW-Übergangs (Struktur V02)

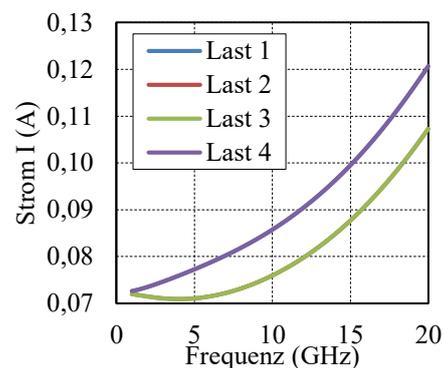


Abbildung 4.33: Stromverteilungen auf den unterschiedlichen Lasten der simulierten Struktur V02

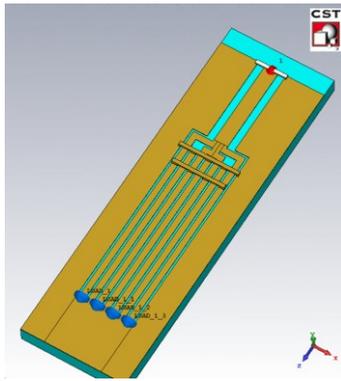


Abbildung 4.34: Simulationsaufbau eines CPW-Übergangs (Struktur V03)

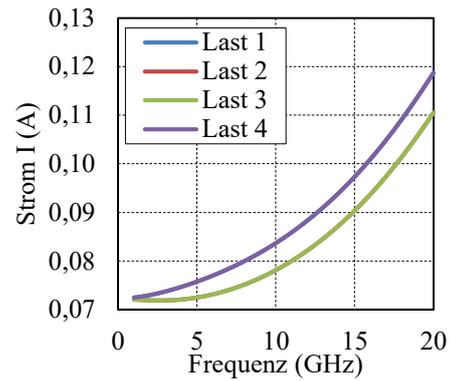


Abbildung 4.35: Stromverteilungen auf den unterschiedlichen Lasten der simulierten Struktur V03

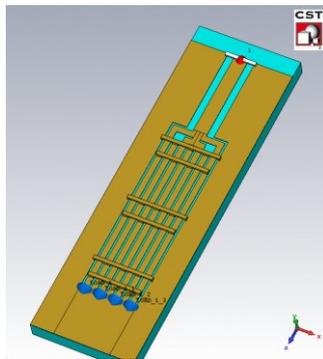


Abbildung 4.36: Simulationsaufbau eines CPW-Übergangs (Struktur V04)

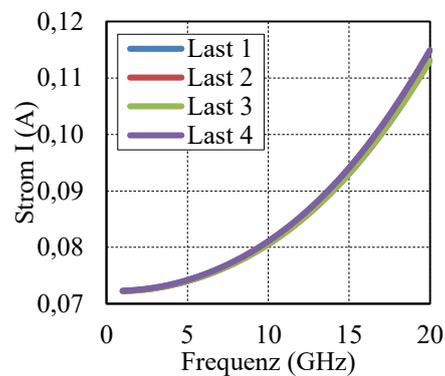


Abbildung 4.37: Stromverteilungen auf den unterschiedlichen Lasten der simulierten Struktur V04

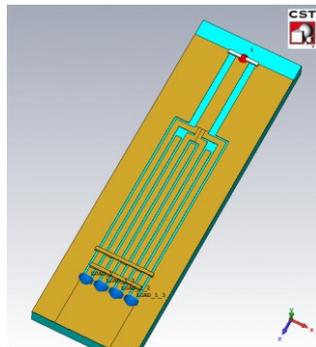


Abbildung 4.38: Simulationsaufbau eines CPW-Übergangs (Struktur V05)

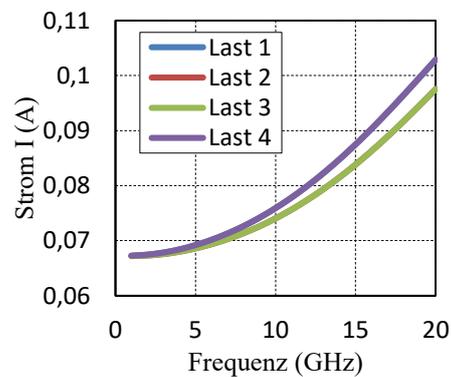


Abbildung 4.39: Stromverteilungen auf den unterschiedlichen Lasten der simulierten Struktur V05

Aufgrund der weiter oben im Rahmen der Struktur V01 angesprochenen transversalen Leitungssymmetrie sind in den Diagrammen nur die Stromverteilung auf den Leitern 1 und 2 abgebildet. Der Einsatz von Verbindungsbrücken zeigt in allen Konstellationen deutlich homogenere Stromverteilungen als im Fall V01. Zusammenfassend lässt sich zu der Untersuchung zur HF-Stromverteilung der ICPW sagen, dass hier eine homogenere Stromverteilung realisierbar wäre als mit der klassischen CPW.

### 4.2.3 Fazit

Insgesamt liefern die Untersuchungen an der IPCW nicht die erhofften Verbesserungen. Bei Wellenwiderständen oberhalb von  $70 \Omega$  liefert nur die 2-fache ICPW mit einem g2g-Abstand von  $360 \mu\text{m}$  geringere Leitungsverluste als die klassische Variante. Allerdings muss so eine ICPW in der Schaltung mehrfach mit normalen CPWs kombiniert werden, bringt zusätzliche Verluste mit sich und macht so die relative geringen Verbesserungen schnell zunichte. In Hinsicht der Stromverteilung bieten die ICPW gegenüber der klassischen CPW zwar eine höhere Homogenität, allerdings ist dieser Effekt gegenläufig zu den steigenden Leitungsverlusten. Allein die Sensitivität bei niedrigen Wellenwiderständen gegenüber Prozesstoleranzen lässt sich mit den ICPW entschärfen, allerdings ist diese Eigenschaft für sich alleine für die vorliegende Arbeit von untergeordneter Bedeutung.

## 4.3 Untersuchung von HEMTs mit neuartiger Peripherie und inhomogenen Gate-Fingerlängen

In diesem Teilabschnitt werden die Auswirkungen von unterschiedlichen Transistorzuleitungen bzw. die Zusammensetzung des HEMTs aus inhomogenen Transistorgrundzellen auf die HF-Leistungsfähigkeit der HEMTs empirisch untersucht. Die unterschiedlichen Modifikationen an der Transistorzuleitung werden dabei einerseits mit der Intention entworfen, die HF-Stromverteilung zu verbessern. Andererseits ist beabsichtigt, mit den alternativen Zuleitungsvarianten die nicht optimal angepassten Ein- und Ausgangsimpedanzen der einzelnen Transistorzellen zu verbessern und so die HF-Leistungsfähigkeit der HEMTs besser auszuschöpfen.

In der Abbildung 2.16 ist der Aufbau eines HEMTs der Größe  $12 \times 12 \mu\text{m}$  zu sehen. Dieser Transistor besitzt die Standard-Aufbauform der am FBH hergestellten GaN-HEMTs. Die CPW spreizt sich in der Abbildung an der Eingangsseite des HEMTs zu den Anschlüssen der Gate-Finger dreieckförmig auf und verbindet die identischen Transistorgrundzellen eingangsseitig. Ausgangsseitig geschieht das gleiche in umgekehrter Reihenfolge mit den Drain-Anschlüssen der Transistorgrundzellen. Diese Form der Transistorzuleitung wird am FBH als Taper bezeichnet [16]. Wenn zu dieser Transistorzuleitung ein Ersatzschaltbild (ESB) generiert wird, dann ergibt sich das in Abbildung 2.17 gezeichnete ESB des vorgestellten HEMTs der Größe  $12 \times 125 \mu\text{m}$ . Aus Symmetriegründen beschränkt sich das ESB auf die obere Hälfte des HEMTs. Aus diesem ESB ist ersichtlich, dass die Strecken des Tapers zu den jeweiligen Gate-Fingern über die zwölf Induktivitäten  $L_{G1}$  bis  $L_{G12}$  modelliert werden. Ausgangsseitig haben zwei Gate-Finger immer ein gemeinsames Drain, weshalb auch insgesamt sechs Induktivitäten  $L_{D1}$  bis  $L_{D6}$  modelliert werden. Dieses ESB entspricht der anschaulichen Betrachtung, dass die Strecke vom Taperanfang bis zu den

Transistorzellen bei den äußeren Zellen länger ist als zu den inneren. Dies verhält sich sowohl gate- als drain-seitig so. Bei den Source-Anschlüssen verhält es sich anschaulich genau andersherum. Die Strecke und damit die entsprechende Induktivität sind zu den inneren Zellen dabei größer als zu den äußeren.

Aufbauend auf diesem Ersatzschaltbild und aus den Erkenntnissen daraus werden im Folgenden vier Transistorstrukturen mit alternativen Transistorzuleitungen prozessiert, messtechnisch charakterisiert und anschließend ihre Messresultate gegenübergestellt. Dabei unterscheiden sich zwei der Transistorstrukturen nur über ihre Zuleitungen und haben ansonsten die gleiche Gesamt-Gate-Weite  $w_{gg}$  und die gleiche Zusammensetzung aus Gate-Fingeranzahl und Fingerlänge. Die zwei anderen Transistorstrukturen unterscheiden sich zwar auch über ihre Zuleitungen und haben ebenfalls das gleiche  $w_{gg}$  und gleiche Gate-Fingeranzahl, weisen aber darüber hinaus unterschiedliche Gate-Finger-Längen auf. Die entworfenen Transistorstrukturen sind in den Abbildung 4.40 bis 4.49 gemeinsam mit dem Standard HEMT sowohl in der Layout-Ansicht als auch als Chipfoto zu sehen.

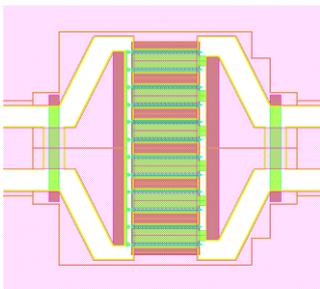


Abbildung 4.40: Layout-Ansicht des Standard-HEMTs

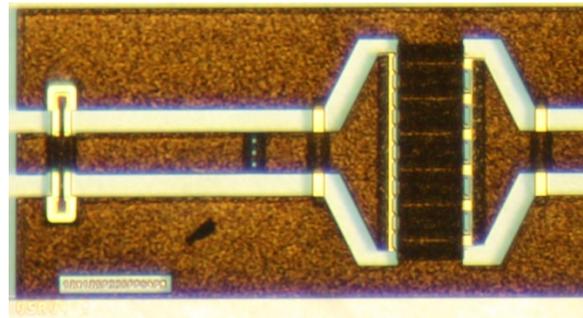


Abbildung 4.41: Chipfoto des Standard-HEMTs mit Voranpassung

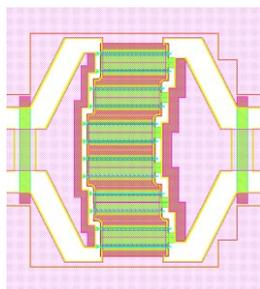


Abbildung 4.42: Layout-Ansicht der Transistorstruktur V02

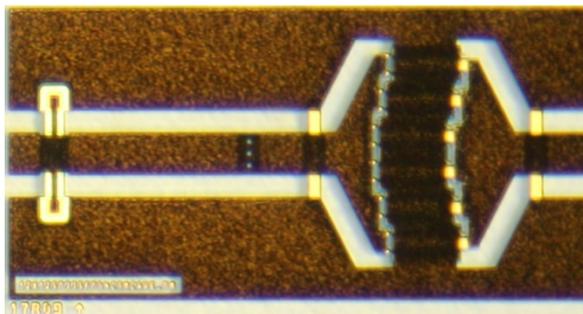


Abbildung 4.43: Chipfoto der Transistorstruktur V02 mit Voranpassung

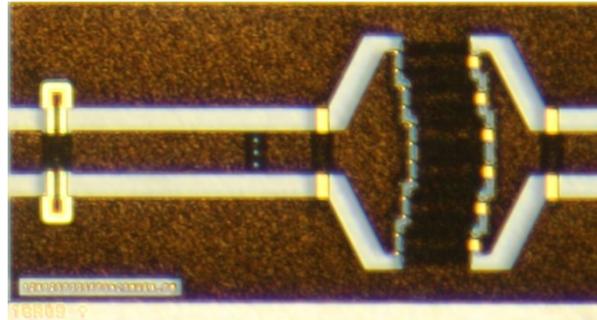
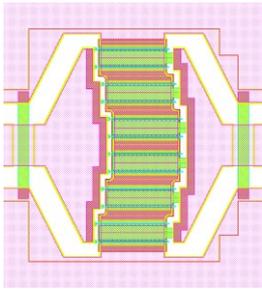


Abbildung 4.44: Layout-Ansicht der Transistorstruktur V03  
Abbildung 4.45: Chipfoto der Transistorstruktur V03 mit Voranpassung

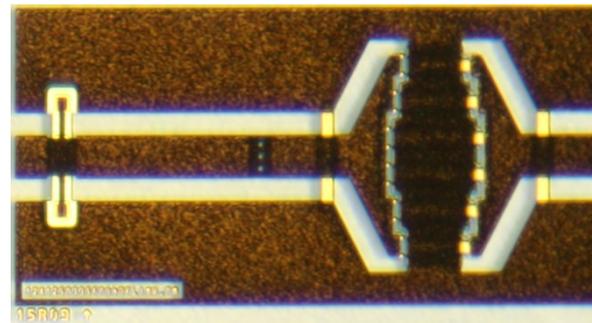
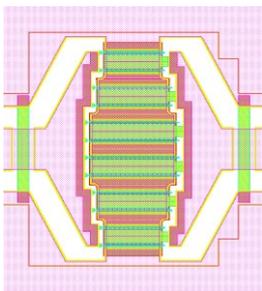


Abbildung 4.46: Layout-Ansicht der Transistorstruktur V04  
Abbildung 4.47: Chipfoto der Transistorstruktur V04 mit Voranpassung

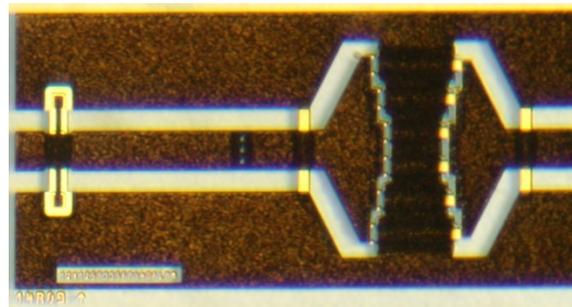
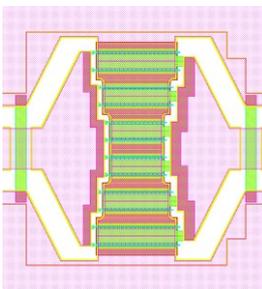


Abbildung 4.48: Layout-Ansicht der Transistorstruktur V05  
Abbildung 4.49: Chipfoto der Transistorstruktur V05 mit Voranpassung

Um eine gute Basis für die Vergleichbarkeit zu haben, sind alle Strukturen Ableitungen des 12x125\_p33\_spf04 HEMTs, weisen das gleiche  $w_{gg}$  von 1,5 mm und gleichen Pitch auf und wurden auf dem gleichen Wafer prozessiert. Die Strukturen wurden mit einer Voranpassung prozessiert, um sie entsprechend den Ausführungen in Teilabschnitt 2.2.1 mit dem LP-Messplatz bis in die Sättigung messen zu können und sind deshalb in den Abbildungen der rechten Seite immer mit einer Voranpassung zu sehen. Die Layout-Ansichten der Strukturen in den Abbildungen der linken Seite beschränken sich hingegen nur auf die Transistoren. Die Strukturen V02 und V03 wurden mit der Intention entwickelt, eine gleichmäßigere Zuleitung zu den Transistorzellen zu erzielen. Da dies bei gleichbleibender Gate-Fingeranzahl- und gleichbleibender und über alle Finger identische Fingerlänge nicht auf beiden Zuleitungen möglich ist, wurde bei der Version V02 die gleichmäßigere Zuleitung gate-seitig und in der Version V03 drain-seitig realisiert. Um sowohl ein- als auch

ausgangsseitig Zuleitungen mit gleichmäßigeren Abständen zu den Gate-Anschlüssen der Transistorzellen realisieren zu können, wurde die Version V05 entworfen. Da diese gleichzeitige Verwendung von Zuleitungen mit gleichmäßigeren Abständen nur mit Transistorgrundzellen mit unterschiedlicher Gate-Länge möglich ist, haben die inneren Transistorgrundzellen kürzere Gate-Finger als die äußeren. Die Abstufungen der Fingerlängen wurden dabei so gewählt, dass die Gesamt-Gate-Weite  $w_{gg}$  wieder 1,5 mm beträgt und damit vergleichbar mit den anderen Strukturen ist. Die Version V04 hingegen stellt den inversen Fall dar - mit Transistorzellen mit kürzerer Fingerlänge außen und längeren innen. Die beiden Versionen V04 und V05 weisen durch die Transistorzellen mit unterschiedlichen Fingerlängen auch unterschiedliche Ein- und Ausgangsimpedanzen der Transistorzellen auf. Damit könnte u. U. eine Möglichkeit untersucht werden, der sub-optimalen Anpassung der Transistorgrundzellen des Standard-HEMTs entsprechend des Ersatzschaltbildes aus der Abbildung 2.17 mit den unterschiedlichen Ein- und Ausgangsimpedanzen der Transistorzellen mit inhomogenen Fingerlängen entgegenzuwirken.

An allen aufgebauten Transistorstrukturen einschließlich der Struktur mit dem Standard-HEMT wurden LP-/SP-Messungen bei 10 GHz durchgeführt und mit den ermittelten Tunerstellungen für  $P_{out,max}$  bzw. maximale PAE cw-Leistungsmessungen durchgeführt und gegenübergestellt. Bis auf die V03 zeigen alle anderen Strukturen keine Verbesserungen gegenüber der Struktur mit Standard-HEMT, sondern entweder gleichwertige oder schlechtere Ergebnisse. In den Abbildung 4.50 und 4.51 sind die Ergebnisse der Leistungsmessung der Struktur V03 und der Struktur mit dem Standard-HEMT im „deep Class AB“-Betrieb mit  $U_D=40$  V, Tunerstellungen für maximale PAE und  $P_{out,max}$  bei 10 GHz gegenübergestellt.

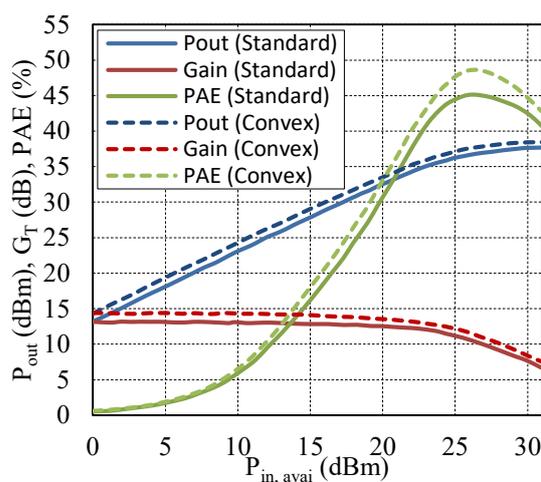


Abbildung 4.50: cw-Leistungsmessung der Standard HEMT-Struktur und der Struktur V03 auf dem gleichen Wafer, bei „deep Class AB“-Betrieb mit  $U_D=40$  V, Tunerstellung für maximale PAE und bei 10 GHz

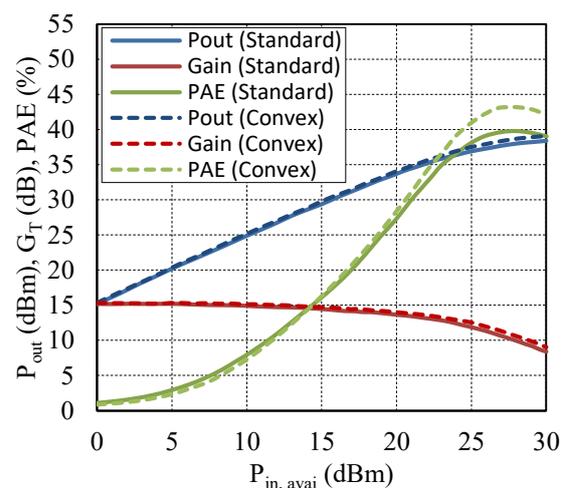


Abbildung 4.51: cw-Leistungsmessung der Standard HEMT-Struktur und der Struktur V03 auf dem gleichen Wafer, bei „deep Class AB“-Betrieb mit  $U_D=40$  V, Tunerstellung für  $P_{out,max}$  und bei 10 GHz

In beiden Fällen liefert die Transistorstruktur V03 eine Verbesserung in der  $PAE$  um etwa 3 % und in der  $P_{out,max}$  um etwa 0,6 dB. Diese Verbesserungen konnten mit kleinen Schwankungen auch bei den anderen Arbeitspunkten und auf zwei Messmustern reproduziert werden.

In den Abbildung 4.52 und 4.53 sind zudem die zu den cw-Leistungsmessungen der zugehörigen  $P_{out}$ -Konturen, die aus LP- und aus den SP-Messungen bei 10 GHz gewonnen wurden, für beide Transistorstrukturen gemeinsam in Smith-Diagrammen aufgetragen. Obwohl die cw-Leistungsmessungen beider Transistorstrukturen sich unterschieden, entsprechen sich ihre dazugehörigen aus den LP- und SP-Messungen gewonnenen  $P_{out}$ -Kontouren für alle Konstellationen erstaunlich genau. Die Werte zu den Kontourlinien gleicher Werte geben allerdings die Verbesserung wieder, die auch die cw-Leistungsmessungen ergeben.

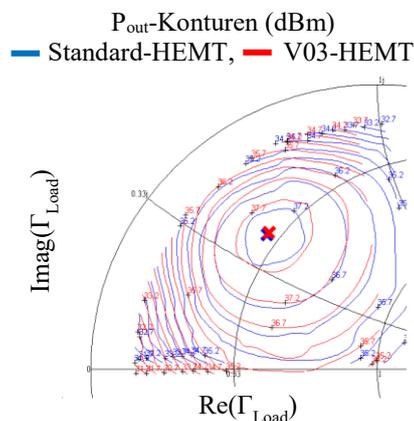


Abbildung 4.52:  $P_{out}$ -Konturen aus den LP-Messungen der Standard HEMT-Struktur (blau) und der Struktur V03 (rot) auf dem gleichen Wafer, bei „deep Class AB“-Betrieb mit  $U_D=40$  V, Tunerstellung für maximale  $PAE$  und bei 10 GHz

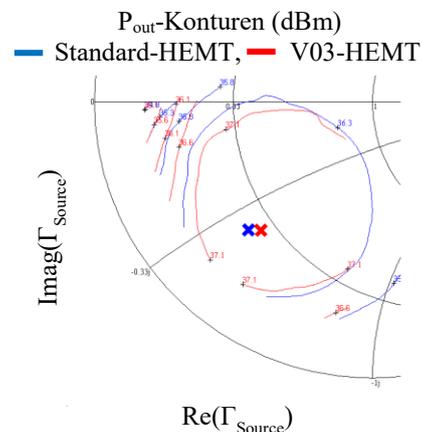


Abbildung 4.53:  $P_{out}$ -Konturen aus den SP-Messungen der Standard HEMT-Struktur (blau) und der Struktur V03 auf dem gleichen Wafer, bei „deep Class AB“-Betrieb mit  $U_D=40$  V, Tunerstellung für maximale  $PAE$  und bei 10 GHz

In diesem Abschnitt konnte durch empirische Untersuchung eine Transistorzuleitungsvariante gefunden werden, die für die verwendete Technologie und für den Einsatz im X-Band eine Verbesserung hinsichtlich der relevanten Parameter  $P_{out,max}$ , maximale  $PAE$  und  $G_T$  lieferte. Das Prinzip besteht darin, dass die zentralen Finger im Layout gegenüber den äußeren zum Ausgang hin verschoben werden, so dass sie eine kürzere Ausgangs- und eine längere Eingangsverbindung aufweisen. Die anderen Varianten ergaben interessanterweise keine Verbesserungen.

## 5 X-Band GaN-MMIC-Leistungsverstärker

Dieses Kapitel widmet sich dem Entwurf von monolithischen GaN-Leistungsverstärkern für das X-Band. Es werden die Entwürfe von vier aufeinander aufbauenden Verstärker-MMICs und die dadurch erzielten Verbesserungen hinsichtlich der relevanten Leistungsverstärkerkenngrößen besprochen. Bei allen vier Verstärkern ist es die Vorgabe, bei der X-Band-Mittenfrequenz (10 GHz) mindestens ein  $P_{out,max}$  von 10 W, ein  $G_T$  von 20 dB und eine maximale  $PAE$  von 30 % zu erzielen. Alle vorgestellten Verstärker haben gemein, dass sie als zweistufige Schaltung bestehend aus Treiber- und Endstufe konzipiert, mit der FBH GaN-MMIC-Technologie prozessiert und anschließend messtechnisch charakterisiert werden. Den Anfang der vorgestellten Verstärker macht der als PA10D bezeichnete Verstärker. An ihm wird der allgemeine Entwurfsalgorithmus erörtert, der auch bei den aufbauenden Verstärkern zum Einsatz kommt. Anschließend folgen die als PA10G und PA10I bezeichneten MMICs. Bei diesen Verstärkern werden zum Teil aufbauend auf den Erkenntnissen aus Kapitel 3, in dem die theoretische Steigerung von Leistungsverstärkerkenngrößen wie  $P_{out,max}$ ,  $G_T$  und  $PAE$  infolge Leitungsgeometrieoptimierung behandelt wurden, stufenweise Optimierungen hinsichtlich der genannten Verstärkerparametern erzielt. Darüber hinaus kommen bei ihnen HEMTs mit source-verbundenen Feldplatten, erhöhter Drain-Spannung und hocheffizientere Verstärkerklassen zum Einsatz. Auch wird eine kurze Untersuchung der Auswirkungen der Verhältnisse der Gesamt-Gate-Weite der Treiberstufe zu der Endstufe auf die Verstärkerkenngrößen der Gesamtschaltung geliefert. Dieser Punkt ergänzt damit die theoretischen Verstärkerbetrachtungen aus Kapitel 3.

### 5.1 Entwurfsalgorithmus

Der Entwurfsalgorithmus eines Leistungsverstärkers beginnt bei vorgegebener MMIC-Technologie mit der Auswahl der Gesamt-Gate-Weite der Endstufe  $w_{gg,FS}$  und der Verstärkerstufenanzahl. Diese zwei Freiheitsgrade müssen entsprechend der gesetzten Spezifikationen bzgl.  $P_{out,max}$ ,  $G_T$  und  $PAE$  geeignet ausgewählt werden und bedingen sich gegenseitig. Das geforderte  $P_{out,max}$  wird dabei durch die Wahl der  $w_{gg,FS}$  erfüllt. Sofern die Verstärkung der gewählten Transistoren bereits die geforderte Gesamtverstärkung erfüllt, sind zusätzliche Treiberstufen obsolet. Ansonsten muss die Schaltung solange mit einer oder mehreren Treiberstufen ergänzt werden, bis die erzielte Gesamtverstärkung der spezifizierten Verstärkung entspricht und mit etwas Reserve darüber liegt. Bei all diesen Erläuterungen wird natürlich die Voraussetzung getroffen, dass die Spezifikationen für die vorgegebene Technologie derart gesetzt sind, dass sie mit ihr auch theoretisch realisierbar

sind. Diese Art der Vorüberlegungen beim Verstärkerentwurf wird an der Leistungslevel- und Verstärkungsbilanzierung anhand des Blockschaltbildes eines zweistufigen Verstärkers aus Abbildung 5.1 deutlich. Entsprechend dieses Blockschaltbildes muss das  $w_{gg,FS}$  der Endstufe derart gewählt werden, dass die aus ihr gelieferte  $P_{out,max}$  abzüglich der Verluste des Ausgangsanpassnetzwerkes  $\alpha_{OMN}$  dem gewünschten Wert entspricht. Anschließend können unter Berücksichtigung der Anpassnetzwerkseinfügedämpfungen bzw. der Verstärkungen der Verstärkerstufen von rechts nach links die erforderlichen Leistungspegel an allen Zwischenstufen der Schaltung ermittelt werden. Auf diese Weise wird auch die erforderliche Gesamt-Gate-Weite der Treiberstufe  $w_{gg,DS}$  bestimmt. Die Summe aus Verstärkungen der Verstärkerstufen und der Einfügedämpfungen dienen zur Bestimmung der Gesamtverstärkung und geben Auskunft darüber, ob die Verstärkerstufenanzahl zur Erzielung der gewünschten Verstärkung ausreicht oder ob eine weitere Treiberstufe erforderlich ist. Für die Erzielung der  $PAE$ -Vorgaben muss hingegen die Betrachtungsweise aus Abschnitt 3.1 herangezogen werden.

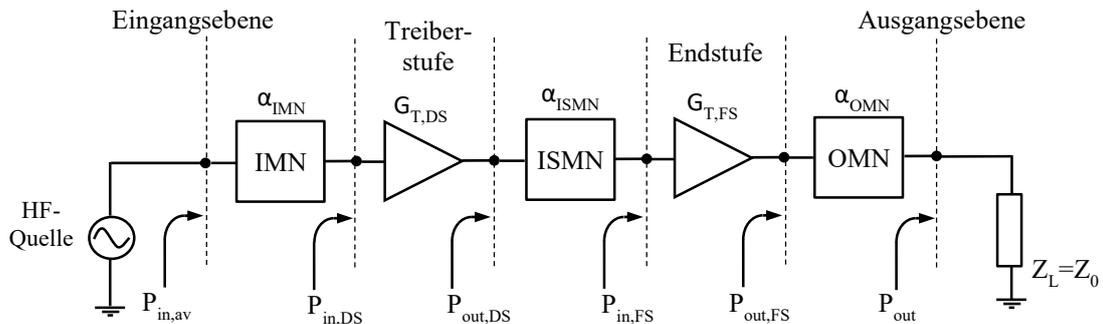


Abbildung 5.1: Leistungslevel- und Verstärkungsbilanzierung anhand des Blockschaltbildes eines zweistufigen Verstärkers

Nach der Auswahl der aktiven Bauelemente bzw. ihrer Größe und der Stufenanzahl der Verstärkerschaltung setzt sich der Entwurfsalgorithmus mit dem Entwurf der Anpassnetzwerke, bestehend aus Eingangs- IMN, Ausgangs- OMN und ggf. Zwischenanpassnetzwerken ISMN, fort und liefert den ersten Initialentwurf der Schaltung. Anschließend beginnt dann die Simulationsphase, die mittels Iterationen eine Optimierung der Schaltung erzielen soll. Die Simulationsphase besteht aus den Kleinsignal- und Großsignalsimulationen und einer Stabilitätsbetrachtung. Wenn die Simulationsergebnisse den Anforderungen genügen, wird der Entwurfsalgorithmus mit der Layout-Generierung der Schaltung abgeschlossen. Wenn die Simulationsergebnisse nicht den Anforderungen entsprechen, wird der Entwurfsalgorithmus mit geänderten Anpass- und Stabilitätsnetzwerken solange iteriert, bis die Simulationsergebnisse den Spezifikationen entsprechen. Abbildung 5.2 zeigt den beschriebenen Entwurfsalgorithmus als Ablaufplan. Der Entwurf der Gleichspannungsversorgung und Stabilitätsnetzwerke der Schaltungen werden dabei beim Anpassnetzwerkentwurf und der Stabilitätsbetrachtung behandelt. In dieser Abbildung

liefern die ersten beiden oberen Blöcke den Initialentwurf, während die Schleife mit den Simulationen den Optimierungszyklus zeigt.

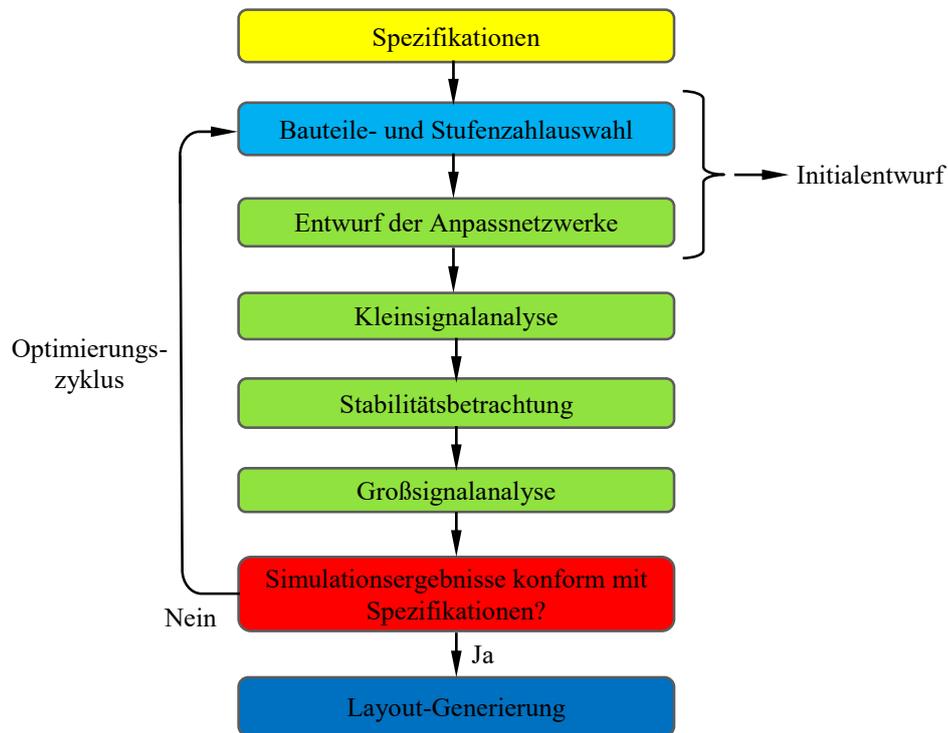


Abbildung 5.2: Ablaufplan des Entwurfsalgorithmus eines Leistungsverstärkers

## 5.2 Zweistufiger GaN-Leistungsverstärker-MMIC PA10D

Für den Verstärker PA10D werden für die Endstufe zwei HEMTs der Größe  $12 \times 125 \mu\text{m}$  (Abbildung 2.16) gewählt. Damit hat ein einzelner dieser HEMTs eine Gesamt-Gate-Weite  $w_{gg}$  von 1,5 mm und die für die Endstufe geplanten zwei HEMTs ein  $w_{gg,FS}$  von 3 mm. Für die HEMTs wird die Drain-Spannung  $U_d = 28 \text{ V}$  gewählt und der Drain-Strom  $I_{ds}$  über die Gate-Spannung  $U_{gs}$  derart eingestellt, dass er  $0,3 \cdot I_{ds,max}$  entspricht. Dieser als „Klasse AB“-Verstärker bezeichnete Betrieb liefert für einen gegebenen Transistor entsprechend den Ausführungen aus Abschnitt 2.1.2 die maximale Ausgangsleistung mit gleichzeitig relativ hoher Verstärkung [1]. Ein Exemplar des gleichen Transistors wird in gleicher Konstellation in der Endstufe eingesetzt. Dabei wird dieser Transistor mit einem Pitch (Transistorfingerabstand) von  $33 \mu\text{m}$  gewählt. Entsprechend der Untersuchung aus Teilabschnitt 2.4.1 ergeben sich dadurch kompaktere Transistoren, die das Parallelschalten der Endstufentransistoren auf eine deutliche kleinere Fläche reduzieren, so für geringere Leitungsverluste sorgen und auch die Abmessungen der Gesamtschaltung verkleinern.

Die Abbildung 5.3 zeigt ein detaillierteres Blockschaltbild der zweistufigen Verstärkerschaltung. In diesem ist zu sehen, dass die Endstufe als Parallelschaltung von zwei Transistoren und einem Ausgangsanpassnetzwerk besteht. Dieser im Rahmen der vorliegenden Arbeit als „Branch“ bezeichneten Parallelschaltung kommt eine wichtige Bedeutung zu, weshalb sie hier im Entwurfsalgorithmus gesondert betrachtet wird. Sie wird separat entworfen und dient als Basis für den weiteren Schaltungsentwurf. In der Abbildung 4.2a ist ein Chipfoto des für den Einsatz im Verstärker PA10D geplanten Branches zu sehen und in Abbildung 4.2b das dazugehörige Blockschaltbild mit zusätzlich involvierten passiven Bauteilen. Neben der Parallelschaltung der Transistoren enthält sie auch ein aus der Kapazität  $C_{FB}$  und dem Widerstand  $R_{FB}$  bestehendes Rückkoppelnetzwerk für die Stabilität der einzelnen Transistoren und, entsprechend [2], eine aus den beiden Widerständen  $R_O$  bestehende Maßnahme gegen eine mögliche Gegentaktinstabilität. Ferner befinden sich am Ein- und Ausgang der Parallelschaltung durch Kapazitäten gegen Masse Voranpassungen. Durch diese Maßnahme werden die Ein- und Ausgangs-reflexionsfaktoren der Einzeltransistoren im Branch in Richtung Zentrum des Smith-Diagramms hin transformiert. Dies sorgt einerseits dafür, dass die optimalen Source-Reflexionsfaktoren, die bei den Einzeltransistoren noch außerhalb des ansteuerbaren Bereichs der Tuner waren, jetzt deutlich in Richtung Diagrammzentrum abgebildet werden und andererseits durch die zentrale Lage des Source-Reflexionsfaktors eine Leistungsmessung des Branches bis in seine Sättigung erlauben [3].

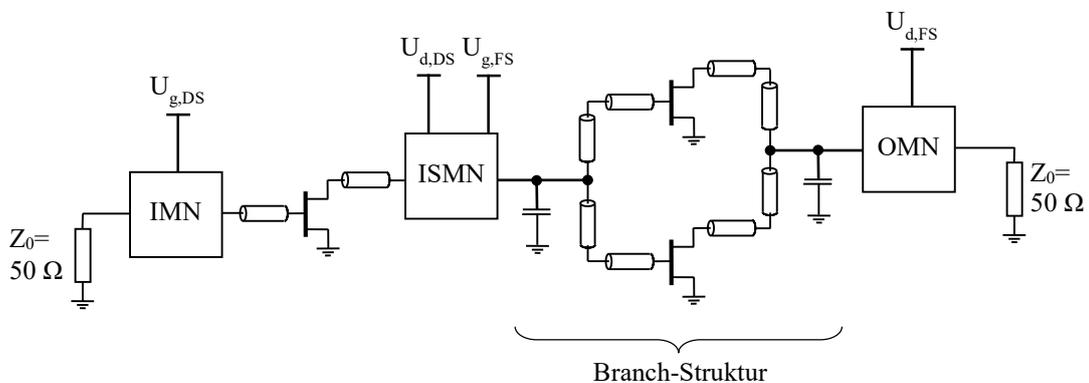


Abbildung 5.3: Blockschatbild der zweistufigen Verstärkerschaltung PA10D

Abbildung 5.4 zeigt diesen Source-Reflexionsfaktor des Branches zusammen mit denen des Einzeltransistors. Durch die Verschiebung des Source-Reflexionsfaktor in das Diagrammzentrum steigt der Dynamikbereich des LP-Messplatzes und erlaubt so die für die Aussteuerung des Branches notwendige  $P_{in,av}$ . (vgl. Abschnitt 2.2) Die ermittelten Messergebnisse des Branches zeigen nach dem Vergleich mit den Messungen der Einzeltransistoren eine gute Skalierung der maximalen Ausgangsleistung und eine nahezu Beibehaltung der Verstärkung  $G_T$  und der maximalen  $PAE$  [47]. Die leichten Einbrüche in allen drei Kenngrößen sind den Verteiler- und Kombinerer-Verlusten und der

ungleichmäßigen Massestromverteilung der Branchstruktur geschuldet (siehe Abschnitt 4.1). Mit diesem Branch als Basisbaustein für die Endstufe werden die fehlenden Anpassnetzwerke aus dem Blockschaltbild in Abbildung 5.3 entworfen. Anschließend wird die Schaltung einschließlich des Großsignaltransistormodells simuliert und durch mehrere Iterationen optimiert. Abbildung 5.5 zeigt die cw-Leistungsmessung des Branches.

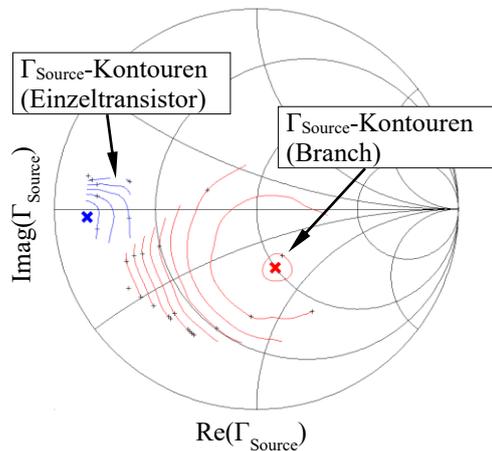


Abbildung 5.4: SP-Messung der Branchstruktur und des Einzeltransistors bei 10 GHz

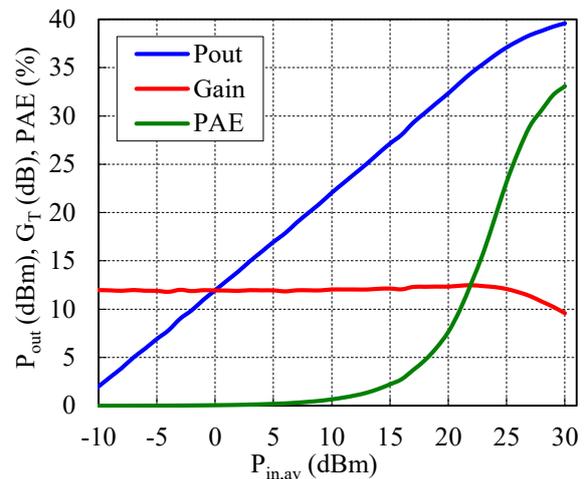


Abbildung 5.5: cw-Leistungsmessung des Branches für  $U_d=28\text{ V}$ ,  $I_d=0,3 \cdot I_{d,max}$  und bei 10 GHz

Die Abbildung 5.6 zeigt ein Chipfoto der entworfenen und anschließend prozessierten Schaltung PA10D.

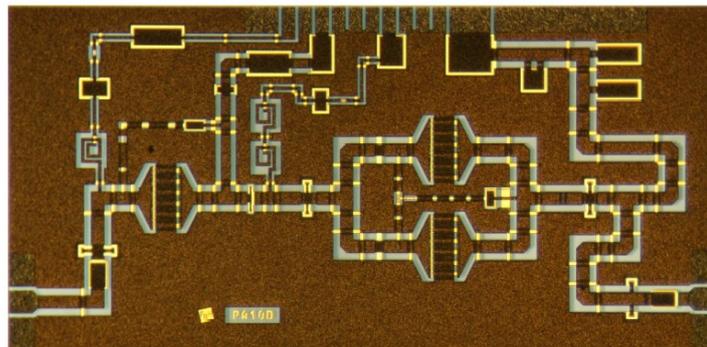


Abbildung 5.6: Chipfoto der Verstärkerschaltung PA10D

In der Abbildung ist der Einsatz des zuvor entworfenen Branches als Basisbaustein der Endstufe deutlich zu sehen. Das ISMN und das OMN wurden dabei so gestaltet, dass sie einen relativ großen Impedanzbereich am Ein- bzw. Ausgang der Transistoren in die unmittelbare Nähe des Zentrums des Smithdiagramms, d. h. beim OMN in die Nähe von  $50\ \Omega$ , transformieren. Dadurch wird gewährleistet, dass der Reflexionsfaktor trotz eventueller Schwankungen der Transistor-Reflexionsfaktoren oder infolge von Prozesstoleranzen noch ungefähr auf  $50\ \Omega$  transformiert wird. Abbildung 5.7 zeigt deswegen diesen Sachverhalt für das Ausgangsanpassnetzwerk, da, wie in Abschnitt 3.1 erläutert, das

OMN besonders entscheidend für das Verhalten der gesamten Verstärker-schaltung ist. Einige Kapazitäten in den Anpassnetzwerken werden dabei so konzipiert, dass deren Kapazitätswerte sich durch Abtrennen von Luftbrücken verändern lassen. Durch die Kapazitäten wird die Möglichkeit geschaffen, die Anpassnetzwerke nachträglich zu trimmen und so eventuelle Prozessschwankungen und Modellunsicherheiten auszugleichen. Auch wurde die DC-Zuleitung der Drain-Seite der Endstufe in Abbildung 5.6, die unter idealen Umständen als kurzgeschlossene  $\lambda/4$ -Leitung bei der Operationsfrequenz ausgelegt wird, hier aber deutlich kürzer an seinem DC-Anschluss mit mehreren in kurzen Abständen zueinander platzierten Bypass-Kapazitäten ausgestattet. Durch das Auftrennen dieser Luftbrücken kann die Länge dieser Stichleitung verändert und somit ein weiterer Freiheitsgrad bei der Feinanpassung der Schaltung ermöglicht werden.

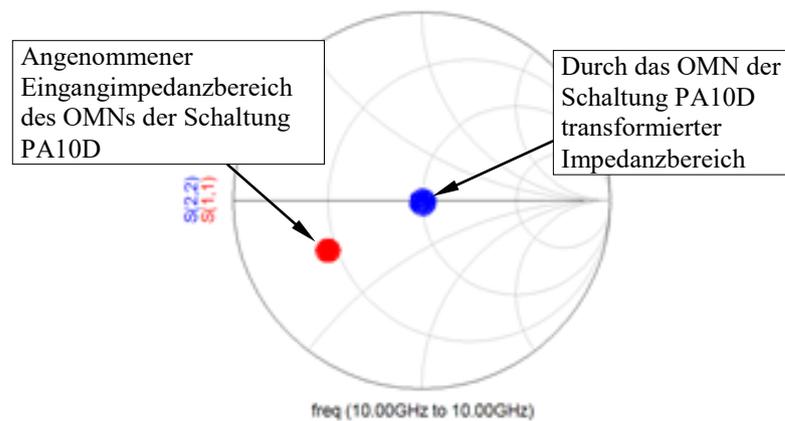


Abbildung 5.7: Transformation des angenommenen Eingangsimpedanzbereiches durch das Ausgangsanspassnetzwerk OMN der Schaltung PA10D bei 10 GHz

In der Abbildung 5.8 sind die gemessenen on-wafer S-Parameter des Verstärkers PA10D zu sehen. Wie erwünscht liegt das Maximum der Verstärkung  $S_{21}$  bei 10 GHz und hat einen Wert von etwa 20 dB. Das IMN hat seine Resonanz bei exakt 10 GHz, während das OMN entsprechend seiner zweistufigen Anpassung über 5 GHz ein  $S_{22}$  unter -10 dB liefert.

Die Abbildung 5.9 liefert die Ergebnisse einer on-wafer cw-Leistungsmessung des Verstärkers PA10D bei 10 GHz und in einer  $50 \Omega$ -Umgebung. Der Verstärker liefert ein  $P_{out,max}$  von etwa 38 dBm (9 W), ein  $G_T$  von 20 dB, etwa die gleiche Verstärkung aus der S-Parametermessung  $S_{21}$  bei 10 GHz, eine maximale Endstufen-Drain-Effizienz  $\eta_{D,FS}$  von 32 % und eine maximale Gesamt-PAE von 20 %. Damit wurden die gesetzten Spezifikationen nur in einem Punkt erreicht und bei zwei Punkten leicht verfehlt. Das  $P_{out,max}$  könnte durch ein besseres OMN noch erreicht werden, während das Verfehlen hinsichtlich PAE größtenteils technologiebedingt ist und schwieriger umzusetzen ist.

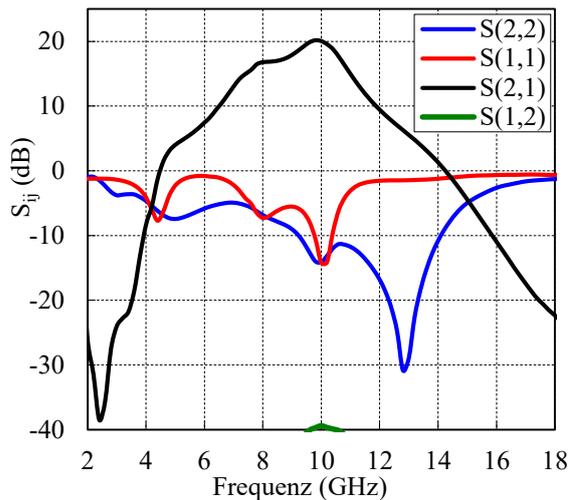


Abbildung 5.8: S-Parameter-Messergebnisse der Schaltung PA10D

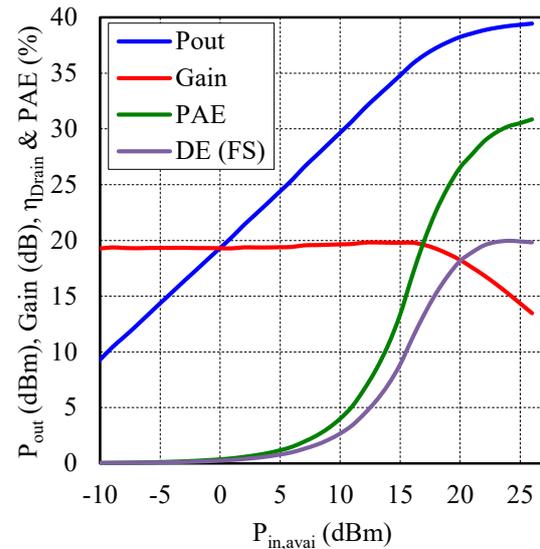


Abbildung 5.9: cw-Leistungsmessung der Schaltung PA10D bei 10 GHz

### 5.3 Zweistufiger GaN-Leistungsverstärker-MMIC PA10G

Nach den Ergebnissen der Verstärkerschaltung PA10D aus dem vorgehenden Abschnitt wird nun mit dem Ziel einer Verbesserung der Verstärker PA10G entworfen. Die Verbesserungen gegenüber PA10D sollen durch die folgenden Änderungen erzielt werden:

- Bessere Transistoren - durch Technologieverbesserung verfügbar:
  - Höhere Ausgangsleistung durch nun höhere mögliche Drain-Spannung  $U_d$
  - HEMTs mit source-kontaktierten Feldplatten (SKFP)
- Einsatz mit geeigneterem Transistorbetrieb: „deep ClassAB“ ( $0,1 \cdot I_{dsmax}$ ) statt „ClassAB“ ( $0,3 \cdot I_{dsmax}$ )
- Verlustärmere Anpassnetzwerke, insbesondere OMN, durch einstufige Realisierung

Nach der Herstellung der Schaltung PA10D waren in der hauseigenen MMIC-Technologie HEMTs mit verbesserten Eigenschaften verfügbar. Für den Entwurf von Leistungsverstärkern sind die wichtigsten Verbesserungen die nun höheren möglichen Durchbruchspannungen, die einen Transistorbetrieb mit höheren Drain-Spannungen  $U_d$  ermöglichen und der Einsatz von SKFP. Höhere  $U_d$  ermöglichen wiederum idealerweise höhere  $P_{out,max}$ , höhere  $G_T$ - und höhere PAE-Werte. Der Einsatz von SKFPs im HEMT sorgt, wie im Teilabschnitt 2.4.2 gezeigt, für eine zusätzliche Steigerung der genannten Kenngrößen. Ein weiteres Optimierungspotential gegenüber der Schaltung PA10D bietet die Einstellung der Betriebsart der Transistoren. Bei PA10G wurde mit  $I_{ds}=0,3 \cdot I_{dsmax}$  ein „Class AB“-Betrieb gewählt. Wie aus Abbildung 2.5 zu sehen ist, sinkt der  $P_{out,max}$ -Wert nur geringfügig, wenn

anstatt des „Class AB“-Betriebs ein „deep Class AB“-Betrieb mit  $I_{ds}=0,1 \cdot I_{dsmax}$  gewählt wird, während die  $PAE$  des Transistors erheblich gesteigert werden kann. Daher wird bei PA10G der „deep Class AB“-Betrieb mit  $I_{ds}=0,1 \cdot I_{dsmax}$  verwendet.

Entsprechend diesen zwei Verbesserungsmaßnahmen werden nun für den Einsatz in der Endstufe zwei HEMTs der Größe  $12 \times 125 \mu\text{m}$  mit SKFP mit  $U_d=40 \text{ V}$  und einem  $I_{ds}=0,1 \cdot I_{dsmax}$  gewählt. Im Vergleich zur Schaltung PA10D sind bei PA10G auch die Anpassnetzwerke und der Branch neu entworfen worden. Die ein- und ausgangsseitigen Voranpassungen beim Branch wurden entfernt oder von einer zweistufigen Voranpassung in eine einstufige reduziert. So wurden damit beim Branch die Verluste bei 10 GHz weiter reduziert. Das Ausgangsnetzwerk OMN wurde zugunsten geringerer Verluste einstufig dimensioniert. Die Abbildung 5.10 zeigt das Chipfoto der Schaltung PA10G.

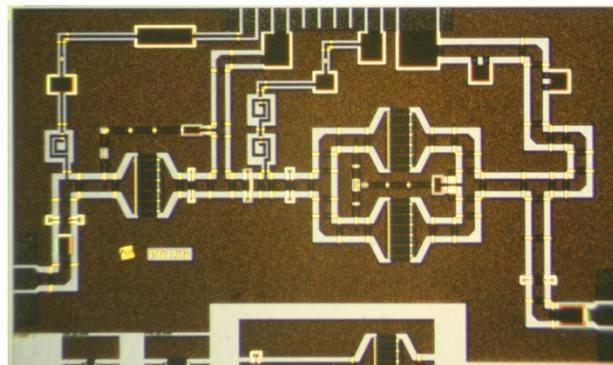


Abbildung 5.10: Chipfoto der Verstärkerschaltung PA10G

In der Abbildung 5.11 sind die Ergebnisse der S-Parameter- und in der Abbildung 5.12 der cw-Leistungsmessungen in einer  $50 \Omega$ -Umgebung zu sehen.

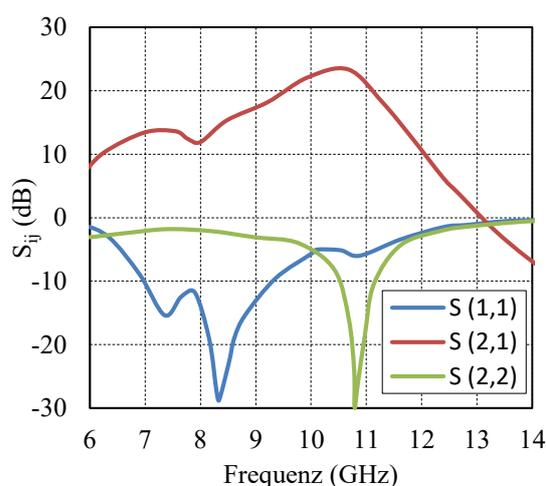


Abbildung 5.11: S-Parameter-Messung der Schaltung PA10G

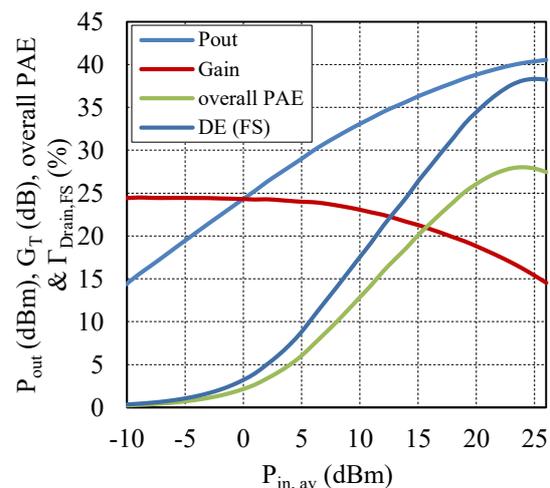


Abbildung 5.12: cw-Leistungsmessung der Schaltung PA10G bei 10 GHz

Die Schaltung liefert demnach bei 10 GHz ein  $S_{21}$  von 25 dB. Die Verstärkung ist über einen Bereich von 1 GHz noch oberhalb 20 dB. Die Ein- und Ausgangsreflektionen  $S_{11}$  und  $S_{22}$

sind im Vergleich zu den Werten für PA10D erwartungsgemäß schmalbandiger ausgefallen. Die Leistungsmessung bei 10 GHz aus Abbildung 5.12 liefert ein  $P_{out,max}$  von 11 W, eine maximales  $G_T$  von etwa 24 dB, eine maximale Endstufen-Drain-Effizienz  $\eta_{D,FS}$  von 37 % und eine maximale Gesamt-PAE von 28 %. Damit wurde bei Beibehaltung der eingesetzten Transistoren eine deutliche Verbesserung der relevanten Verstärker-kenngrößen erzielt.

## 5.4 Zweistufiger GaN-Leistungsverstärker-MMIC PA10I

Neben den erzielten Verbesserungen der Verstärker PA10G gegenüber PA10D wurde nach weiteren Optimierungsmöglichkeiten gesucht. Als Resultat wurde der Entwurf des Verstärkers PA10I aufgenommen.

Die Verbesserungen der Schaltung PA10I gegenüber PA10D werden durch eine Optimierung des Treiber-/Endstufen-Gate-Weiten-Verhältnisses (D2F-Ratio) umgesetzt. Das D2F-Ratio der Schaltungen PA10D und PA10G ist zu 1:2 gewählt. Wie die Verlustbetrachtung aus dem Abschnitt 3.1 zeigt, beeinflusst die Wahl der Treiberstufe die Eigenschaften der Gesamtschaltung besonders bezüglich der PAE. Anschaulich gesehen kann dieser Zusammenhang u. a. wie folgt betrachtet werden: Ein kleinerer Treiberstufentransistor verbraucht auch einen geringeren Drain-Strom, wodurch seine DC-Verluste geringer ausfallen und damit einer höheren Gesamt-PAE zugute kommen. Wie in [8] erörtert, kann auch trotz knappem  $P_{out,max}$  der Treiberstufe ein kleinerer Transistor verwendet werden, der das erforderliche  $P_{out,max}$  in seiner Kompression erreicht. Die Eigenschaften der Gesamtschaltung bleiben dann nahezu unverändert. Nach dieser Argumentation wird mit  $8 \times 125 \mu\text{m}$  deswegen ein anderer Standard-HEMT zum Einsatz in der Treiberstufe ausgewählt, der den beschriebenen Anforderungen genügt, wodurch sich ein D2F-Ratio von 1:3 ergibt. Nach der Wahl des Treiberstufentransistors wird der Schaltungsentwurf des Verstärkers PA10I aufgenommen. Dabei wird der Verstärker PA10G als Grundlage genommen und bis auf den Austausch des Treiberstufentransistors und damit zusammenhängenden Anpassungen des ISMNs und des IMNs alle übrigen Komponenten der Schaltung PA10G beibehalten. Für den Einsatz in der Treiberstufe wird ein  $8 \times 125 \mu\text{m}$  HEMT mit einem Pitch von  $50 \mu\text{m}$  gewählt, da dieser etwa die gleichen Dimensionen wie der ausgetauschte  $12 \times 125 \mu\text{m}$  HEMT mit Pitch  $33 \mu\text{m}$  besitzt und eine Variante mit  $33 \mu\text{m}$ -Pitch auch keine Vorteile bringen würde. Die Abbildung 5.13 zeigt ein Chipfoto des entworfenen und prozessierten Verstärkers PA10I. Ein Vergleich dieses Chipfotos mit dem der Schaltung PA10G aus Abbildung 5.10 zeigt nochmal die erwähnten Unterschiede beider Verstärkerschaltungen.

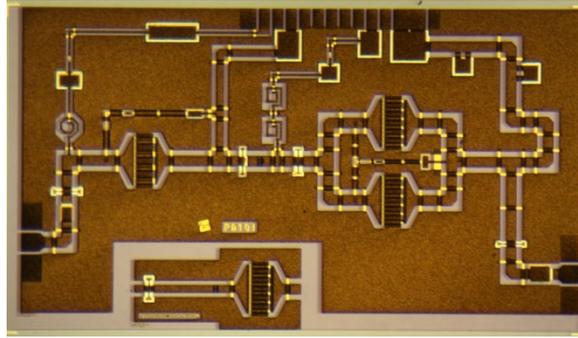


Abbildung 5.13: Chipfoto der Verstärkerschaltung PA10I

In der Abbildung 5.14 sind die Ergebnisse einer on-wafer S-Parametermessung der neuen Schaltung PA10I zu sehen, während die Abbildung 5.15 die cw-Leistungsmessungen des Verstärkers in einer  $50\ \Omega$ -Umgebung zeigt. Die S-Parametermessungen zeigen wieder durch die Reflexionsfaktoren  $S_{11}$  und  $S_{22}$  eine gute aber schmalbandige Anpassung um etwa 10 GHz und bei der gleichen Frequenz ein  $S_{21}$  von 26 dB. Damit wurde die Kleinsignalverstärkung der Schaltung PA10I gegenüber der Schaltung PA10D um etwa 2 dB gesteigert, während die Reflexionsfaktoren nahezu unverändert geblieben sind.

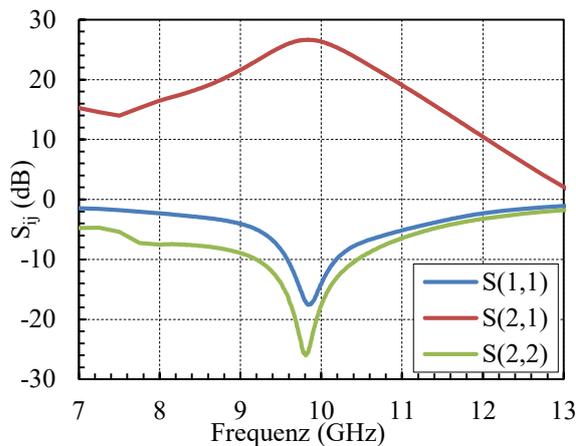


Abbildung 5.14: Gemessene S-Parameter der Schaltung PA10I

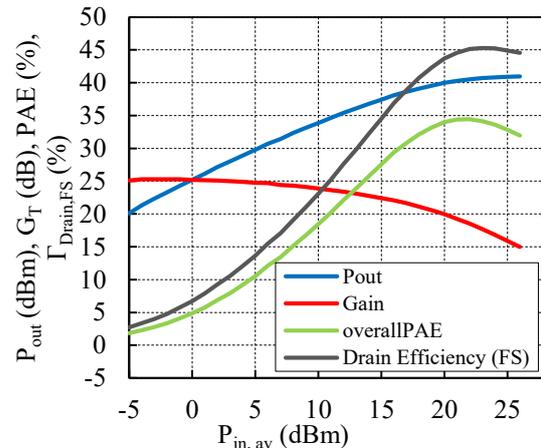


Abbildung 5.15: cw-Leistungsmessung der Schaltung PA10I bei 10 GHz

Die Betrachtung der cw-Leistungsmessungen offenbaren deutliche Verbesserungen gegenüber PA10G. So wurde die Endstufen-Drain-Effizienz  $\eta_{D,FS}$  von 37 % bei PA10G auf 45 % bei PA10I und die maximale Gesamt-PAE von 27 % bei PA10G auf 35 % bei PA10I gesteigert. Auch die Verstärkung zeigt mit 26 dB die Steigerung  $G_T$  um 2 dB, die bereits bei den S-Parametermessungen sichtbar wurde [48]. Darüber hinaus liefert der PA10I mit etwa 12 W auch etwas mehr Ausgangsleistung als der PA10G.

Die Abbildung 5.16 zeigt die cw-Leistungsmessungen bei 10 GHz aller drei entworfenen PAs in einer  $50\ \Omega$ -Umgebung im gleichen Diagramm. An ihr werden nochmal die durch die diversen Optimierungsmaßnahmen sukzessive erfolgten Schaltungsverbesserungen vor

Augen geführt. Bei gleichbleibenden Chipabmessungen konnten die relevanten Verstärkerparameter deutlich gesteigert werden.

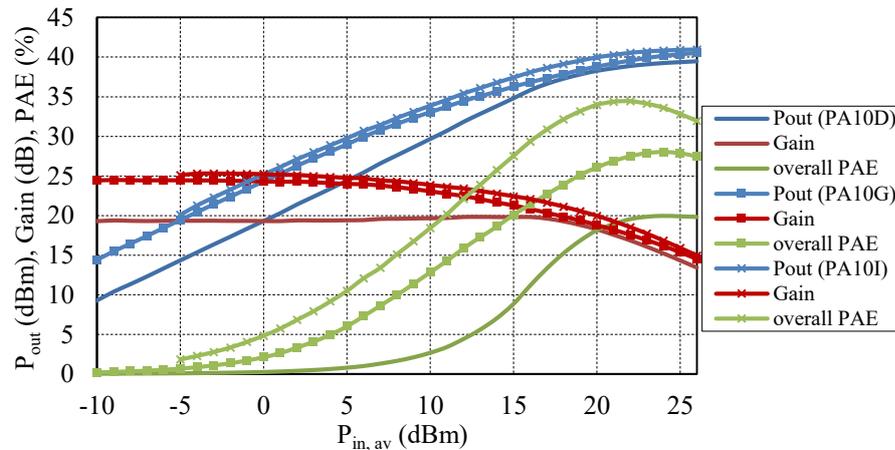


Abbildung 5.16: cw-Leistungsmessungen der Verstärkerschaltungen PA10D, PA10G und PA10I bei 10 GHz und einer 50  $\Omega$ -Umgebung.

## 5.5 Zweistufiger GaN-Leistungsverstärker-MMIC PA10N

Nach der weiteren deutlichen Schaltungsoptimierung beim Übergang vom Verstärker PA10D auf den Verstärker PA10I wird nun eine weitere Optimierungsmaßnahme unternommen und die resultierende Schaltung mit PA10N bezeichnet. Dabei wurde die nächste Verbesserungsstufe der Schaltung PA10N gegenüber PA10I durch die Optimierung des OMNs mit breiteren und damit verlustärmeren CPW-Leitungen erzielt. Bei den bisherigen Schaltungen wurden für das OMN CPW-Leitungen mit den Leitungsquerschnittsabmessungen von 40-80-40 verwendet, d.h. einer Schlitzweite von 40  $\mu\text{m}$  und einer Leiterbreite von 80  $\mu\text{m}$ . Für die Schaltung PA10N werden nun die Leitungsquerschnitte auf die Maße 50-100-50 erweitert, d.h. eine Schlitzweite von 50  $\mu\text{m}$  und eine Leiterbreite von 100  $\mu\text{m}$ . Der Hintergedanke für diesen Schritt ist der, dass, wie in Abbildung 3.9 gezeigt, breitere CPW-Leitungen geringere Verluste haben und deswegen ein Anpassnetzwerk mit dieser CPW-Leitung ebenfalls geringere Verluste zeigen kann. Eine Schaltung mit einem OMN mit geringeren Verlusten wiederum führt wie in Kapitel 3 und Abbildung 3.11 gezeigt zur Verbesserung der relevanten Leistungsverstärkerparameter. Die Änderung der Leitungsquerschnitte erfordert aber ein Redesign der als Branch bezeichneten Parallelschaltung der beiden 12x125  $\mu\text{m}$  HEMTs der Endstufe. Dabei wird eher die Drain-Seite des Branches verändert und die Gate-Seite aus dem Branch aus dem Verstärker PA10I beibehalten. Neben dieser Designänderung wird das OMN mit den neuen CPW-Abmessungen neu entworfen und ansonsten alle weiteren Komponenten, wie eingesetzte HEMTs und Anpassnetzwerke, und Arbeitspunkt-einstellungen der Schaltung PA10I beibehalten. Die simulierten Verluste des neuen OMN sind geringer als die des OMNs der

Schaltung PA10I. Folglich müsste die Schaltung PA10N eine Verbesserung gegenüber der Schaltung PA10I zeigen. Abbildung 5.17 zeigt das Chipfoto der prozessierten Verstärkerschaltung PA10N.

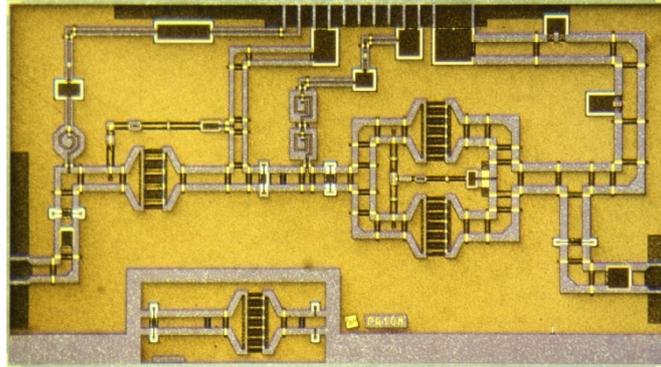


Abbildung 5.17: Chipfoto der Verstärkerschaltung PA10N

In Abbildung 5.18 sind cw-Leistungsmessungen des Verstärkers PA10N zusammen mit der Schaltung PA10I in einer  $50\ \Omega$ -Umgebung zu sehen. Dabei handelt es sich bei der Schaltung PA10I nicht um die Messung aus Abbildung 5.15, sondern um eine, bei der sich die Schaltung auf dem gleichen Wafer wie der PA10N befindet.

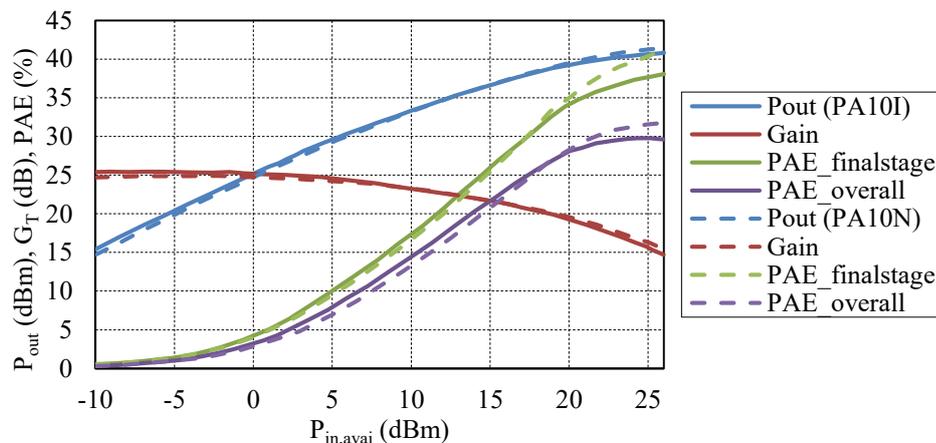


Abbildung 5.18: cw-Leistungsmessung der Schaltungen PA10I und PA10N auf dem gleichen Wafer und bei 10 GHz

Dieser Wafer lieferte infolge einer Prozessvariation geringere  $PAE$ -Werte, weshalb die Messungen der Schaltung PA10I auf dem neuen Wafer geringere Werte der Kenngrößen liefern als aus der in Abbildung 5.15 dargestellten Messung. Um die Verbesserungen der Schaltung PA10N gegenüber der Schaltung PA10I zu zeigen, müssen die Messungen aus der Abbildung 5.18 betrachtet werden. Hier liefert die Schaltung PA10N gegenüber PA10I leichte Verbesserungen in der maximalen  $PAE$  um etwa 3 %, in der Drain-Effizienz  $\eta_{D,FS}$  um 1,5 %, in der  $P_{out,max}$  um 0,6 dB. Obwohl lediglich die Leiterbreite der Leitungen im OMN vergrößert wurde, konnte somit eine leichte Steigerung aller relevanten

Verstärkerkenngrößen erzielt werden. Die erzielten Verbesserungen entsprechen in etwa den erwarteten Verbesserungen aus 3.1

Abschließend zu diesem Kapitel werden die drei vorgestellten X-Band GaN-MMIC-Leistungsverstärkern gemeinsam mit den in der State-of-the-Art-Betrachtung aufgelisteten Verstärkern aus Abschnitt 2.5 im gleichen Diagramm dargestellt.

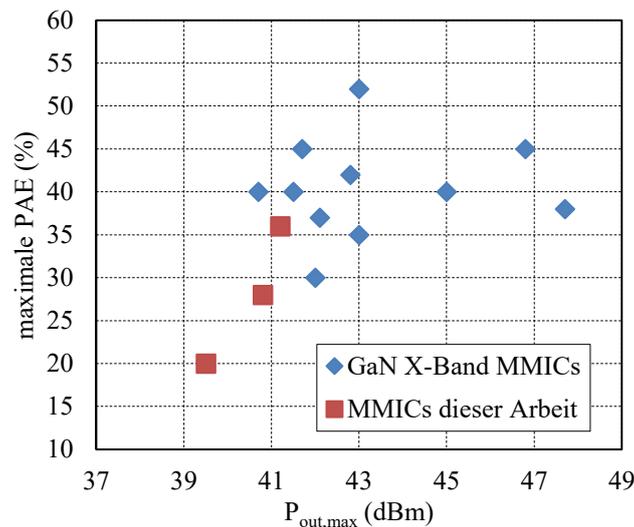


Abbildung 5.19: State-of-the-Art-Betrachtung einer Auswahl der in den letzten zehn Jahren veröffentlichten X-Band GaN-MMIC-Leistungsverstärker bei der im X-band gelegenen Arbeitsfrequenz und der drei in dieser Arbeit realisierten X-Band GaN-MMIC-Leistungsverstärker

Wenn nun für den differenzierten Vergleich der in dieser Arbeit realisierten Verstärker all die in Abschnitt 2.5 aufgezählten Punkte berücksichtigt werden, dann kann folgende Aussage gemacht werden: Mit einfachen Entwurfsmaßnahmen konnten mit einer koplanaren MMIC-GaN-Technologie Leistungsverstärker entworfen werden, die sich den Kenngrößen von vergleichbaren Leistungsverstärker mit Mikrostreifenleitungsausführung annähern. Mit weiteren Optimierungsansätzen für die koplanaren MMIC-GaN-Technologie, die im Kapitel 4 besprochen wurden, kann versucht werden, eine weitere Annäherung an die MMIC-GaN-Technologie mit Mikrostreifenleitungsausführungen zu realisieren.

Eine weitere offene Fragestellung wäre hier, welche PAE-Werte die entworfene Verstärkerschaltung PA10I liefern würde, wenn sie statt mit Koplanarleitungen mit Mikrostreifenleitungen entworfen wären. Hierfür kann in einer ersten Abschätzung die Herleitung in Abbildung 3.11 herangezogen werden. Demnach müsste ein mit Mikrostreifenleitung entworfener Verstärker eine PAE liefern die etwa 95% der PAE der Endstufentransistoren entspricht.

## 6 Nicht-Uniformer Verteilter Leistungsverstärker GaN-MMIC

Dieses Kapitel behandelt einen mit der koplanaren FBH GaN-MMIC-Technologie entworfenen nicht-uniformen verteilten Leistungsverstärker (englisch non-uniform Distributed Amplifier) für den Frequenzbereich 2 bis 12 GHz. Dieser auch als nicht-uniformer Wanderwellenverstärker (englisch: Travelling Wave Amplifier, Akronym TWA) bezeichnete Verstärkertyp ist eine Sonderform des uniformen Wanderwellenverstärkers. Diese Gattung von Verstärkern zeichnet sich durch eine erheblich größere Bandbreite mit ebenem Frequenzgang, einschließlich einer ebenso breitbandigen ein- und ausgangsseitigen Anpassung, als sie mit konzentrierten Leistungsverstärkern möglich ist, aus [2]. Während sich die normale uniforme Variante besonders durch ihre Breitbandigkeit mit gleichzeitig ebenem Frequenzgang auszeichnet, ist die nicht-uniforme Variante eine auf  $P_{out,max}$  bzw. auf maximale  $PAE$  optimierte Version des uniformen Verstärkers - dafür aber mit einer geringeren Breitbandigkeit und einem unebeneren Frequenzgang. Die große Bandbreite der TWAs wird erzielt, indem die Frequenzabhängigkeit der aktiven Elemente des Verstärkers, im Falle dieser Arbeit die der HEMTs, entsprechend dem in der Abbildung 6.1 dargestellten Blockschaltbild durch geeignete Beschaltung einer Reihe von identischen Verstärkerblöcken unter Verwendung von induktiven Leitungsstrukturen über einen großen Bereich kompensiert wird.

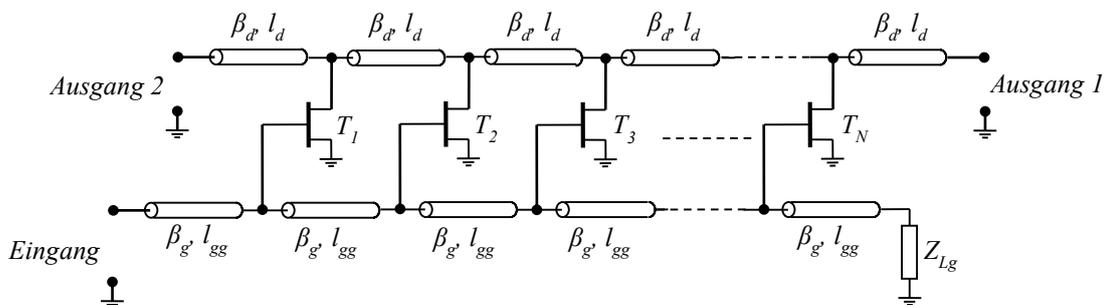


Abbildung 6.1: Blockschaltbild eines (uniformen) verteilten Verstärkers

Der vorgestellte nicht-uniforme verteilte Leistungsverstärker wird im Rahmen dieser Arbeit realisiert, um einerseits die Leistungsfähigkeit der GaN-MMIC-Technologie hinsichtlich hoher  $P_{out,max}$  bei hohen Frequenzen und gleichzeitig hoher Breitbandigkeit zu demonstrieren und andererseits die Verbesserung der Technologie durch den Übergang von HEMTs mit einer Gate-Längen  $l_g=0,5 \mu\text{m}$  auf HEMTs mit  $l_g=0,25 \mu\text{m}$  an einer konkreten Schaltung zu verifizieren. Da TWAs sowohl in der uniformen als auch in der nicht-uniformen Variante eine hohe Bandbreite aufweisen, zeigen sich hier besonders gut die Auswirkungen der Steigerung der Transitfrequenz  $f_T$  (Gleichung (2.8)) der HEMTs, infolge der genannten

$l_g$ -Halbierung. Ferner stellt das nicht-uniforme TWA-Konzept eine alternative Art, dar einen Leitungsverstärker zu entwerfen [2]. Im Rahmen der Diplomarbeit [49] wurde bereits mit der FBH GaN-MMIC-Technologie mit  $l_g=0,5 \mu\text{m}$  ein nicht-uniformer TWA entworfen und wird der in dieser Arbeit entworfenen Version mit identischen HEMTs als Vergleich dienen.

Im ersten Abschnitt dieses Kapitels wird das Konzept des uniformen verteilten Verstärkers vorgestellt. Auf diesen Erläuterungen aufbauend wird anschließend auch das Konzept der nicht-uniformen Variante vorgestellt und seine Unterschiede zur uniformen Variante hervorgehoben. Der zweite Abschnitt behandelt den Entwurf des nicht-uniformen Verstärkers mit der GaN-MMIC-Technologie mit  $l_g=0,25 \mu\text{m}$ . Im letzten Abschnitt werden die Messergebnisse des Verstärkers präsentiert, denen des nicht-uniformen TWAs GaN-MMIC-Technologie mit der  $l_g=0,5 \mu\text{m}$  aus [49] gegenübergestellt und abschließend die Verbesserungen der Technologie durch die  $l_g$ -Reduzierung von  $0,5$  auf  $0,25 \mu\text{m}$  bewertet.

## 6.1 Uniformer verteilter Verstärker

Die meisten Mikrowellenverstärker sind in ihrem Frequenzverhalten auf Schmalband-Betrieb ausgelegt. Dieser Umstand resultiert nicht nur daraus, dass sie auf maximale Leistungsfähigkeit bei einer bestimmten Arbeitsfrequenz hin entworfen werden. Ein zweiter wesentlicher Grund ist der Umstand, dass im üblichen Verstärkerentwurf zur Erzielung der gesetzten Spezifikationen reaktive Anpassnetzwerke verwendet werden, welche ein inherent schmalbandiges Frequenzverhalten aufweisen. Der Hauptgrund für den Schmalbandbetrieb ist durch die intrinsischen Eigenschaften der im Verstärker eingesetzten aktiven Elemente begründet. Das schmalbandige Frequenzverhalten von konventionellen Verstärkern kann, anders formuliert als geringes Verstärkung-Bandbreite-Produkt (englisch, Gain-bandwidth-Product, Akronym GBP) dieser Verstärker bezeichnet werden [2], [50], [51], [52]. Dieses Produkt kann mit gängigen Entwurfsmethoden nicht oder nur geringfügig gesteigert werden.

Die Funktionsweise des allgemeinen TWAs wird nun anhand des Illustrationsschemas aus Abbildung 6.2 erläutert. Wie aus den Abbildungen ersichtlich ist, zeichnet sich der TWA hauptsächlich dadurch aus, dass er die verwendeten FETs an ihren Gate- und ihren Drain-Anschlüssen mittels bestimmter an beiden Anschlusssträngen jeweils identischer Leitungsstücke miteinander verbindet. Im Blockschaltbild aus Abbildung 6.2a werden vier FETs durch ihre verlustfreien ( $R_i=R_{ds}=0 \Omega$ ) und unilateralen ( $C_{gd}=0 \text{ F}$ ) Kleinsignalersatzschaltbilder entsprechend Abbildung 6.2b und die Leitungsstrukturen entsprechend Abbildung 6.2c durch ideale Induktivitäten  $L_d$  und  $L_g$  ersetzt. Das aus diesen Substitutionen resultierende Blockschaltbild ist in Abbildung 6.2d zu sehen. In dieser Abbildung bilden die Induktivitäten  $L_g$  zusammen mit den Eingangskapazitäten  $C_{gs}$  eine an den Transistoreingängen verlaufende künstliche Leitung (Gate-Leitung) und entsprechend

die Ausgangskapazitäten  $C_{ds}$  und zusammen mit den Induktivitäten  $L_d$  eine an den Transistorausgängen verlaufende künstliche Leitung (Drain-Leitung). Beide künstliche Leitungen können mit den aus der Leitungstheorie bekannten Leitungskenngrößen Wellenwiderstand  $Z_L$ , Ausbreitungskonstante  $\gamma = \alpha + j\beta$  (bestehend aus der Dämpfungskonstante  $\alpha$  und der Phasenkonstante  $\beta$ ) und der Grenzfrequenz  $f_c$  beschrieben werden.

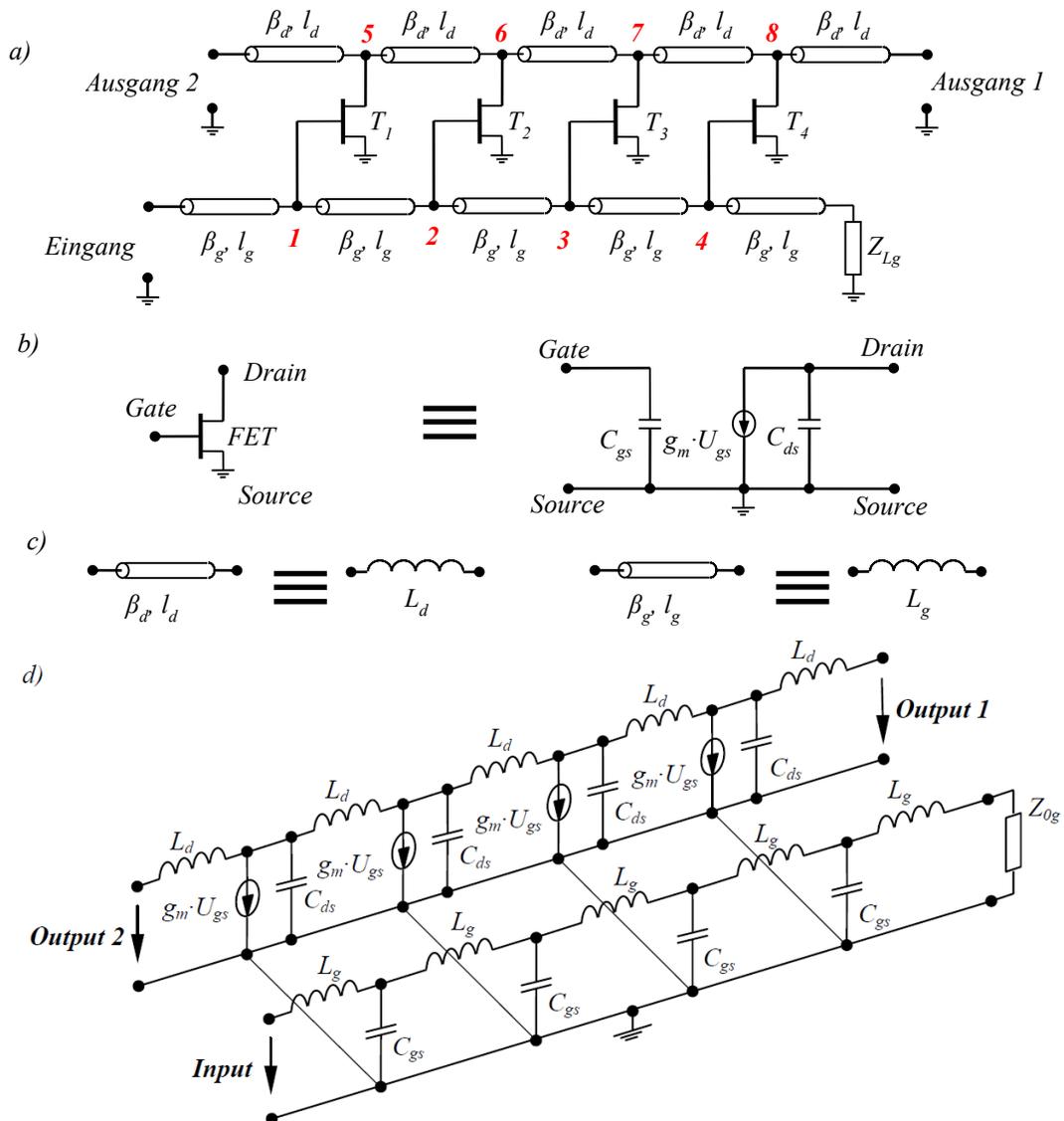


Abbildung 6.2: Illustration der Wirkungsweise des TWAs: a) Blockschaltbild eines vierstufigen TWAs, b) Substitution des FETs durch sein Ersatzschaltbild, c) Substitution der Leitungsstücke durch Induktivitäten d) Erstellung des Ersatzschaltbildes des TWAs

Die in Abbildung 6.2d dargestellte Verstärkertopologie lässt sich als eine aus zwei separaten aber miteinander unilateral verkoppelten künstlichen Leitungen bestehende Leitungstopologie mit einer unilateralen Verstärkung auffassen. Entsprechend der Leitungstheorie, in der eine Leitung, wie in Abbildung 3.5 gezeigt, als Kettenschaltung von Leitungselementarzellen mit infinitesimaler Ausdehnung in Wellenausbreitungsrichtung approximiert werden kann, ist es nach der Kettenleitertheorie unter bestimmten

Bedingungen auch möglich, durch eine Kettenschaltung von künstlichen Leitungselementarzellen, bestehend aus konzentrierten Elementen, eine künstliche Leitung zu entwerfen, die sich unter diesen bestimmten Bedingungen wie eine reale Leitung verhält [50], [53], [54]. Entsprechend der Leitungstheorie sind die Wellenwiderstände beider künstlichen Leitungen über die Formel des Wellenwiderstandes einer verlustfreien Leitung mit  $Z_L = \sqrt{L/C}$  gegeben. Da im vorliegenden Fall die Kapazität  $C$  dieser Formel für beide künstlichen Leitungen durch die Ein- und Ausgangskapazitäten  $C_{gs}$  und  $C_{ds}$  des FETs bereits vorgegeben ist, kann über die Wahl von  $L$ , d.h. über die Dimensionierung der Leitungsstrukturen, ein erwünschter Wellenwiderstandwert eingestellt werden. Üblicherweise wird für beide Leitungen durch eine Angleichung der Induktivitäten an die Transistorkapazitäten der in der Hochfrequenztechnik bekannte Standardwellenwiderstand von  $50 \Omega$  eingestellt. Durch diese Einstellung der Wellenwiderstände beider Leitungen ist der TWA bereits breitbandig angepasst und es erübrigt sich die Notwendigkeit zusätzlicher Anpassnetzwerke, sofern die Tore beider Leitungen mit  $50 \Omega$  abgeschlossen sind.

Durch geeignete Dimensionierung der Leitungslängen  $l_g$  und  $l_d$  und der Phasenkonstanten  $\beta_g$  und  $\beta_d$  der Leitungsstrukturen, die zwischen den Transistorein- und -ausgängen angeschlossen sind, ist es möglich, dass eine am TWA-Eingang eingespeiste Welle vom Punkt 1 über Punkt 5 nach Punkt 6 die identische Signallaufzeit benötigt wie die Welle, die den Weg von Punkt 1 über Punkt 2 nach Punkt 6 nimmt. Beide Wellen werden während dieses Signallaufs durch die FETs verstärkt und treffen im Punkt 6 überlagernd zusammen. Analog verhält es sich mit den Wellen die sich gate-seitig an den Punkten 2 bzw. 3 aufspalten und sich drain-seitig in Richtung des Ausgangs 1 an den Punkten 7 bzw. 8 konstruktiv überlagern. Diese konstruktive Überlagerung der Wellen in positiver Ausbreitungsrichtung wird durch die Gleichsetzung der Phasenkonstanten bzw. elektrischer Längen der Gate- und Drain-Leitung mit  $\beta_g \cdot l_g = \beta_d \cdot l_d$  gewährleistet [2]. Da beide Leitungen einen linearen Phasengang aufweisen, gilt die konstruktive Überlagerung in positiver Ausbreitungsrichtung theoretisch frequenzunabhängig. Eine Bandbreite-begrenzung des TWAs zu höheren Frequenzen legen die Grenzfrequenzen der beiden künstlichen Leitungen fest. Diese Leitungen weisen entsprechend ihres Ersatzbildes ein Tiefpassverhalten auf und haben näherungsweise die mit der Formel

$$f_c \approx \frac{1}{\pi \sqrt{L \cdot C}} \quad (6.1)$$

bestimmte die Grenzfrequenz. Diese Wellentransmissionen vom Eingang zum Ausgang 1 wird entsprechend der vorwärtsgehenden Richtung der Welle als Vorwärtsstärke  $G_{fwd}$  bezeichnet und analog wird auch eine Rückwärtsverstärkung  $G_{rev}$  definiert die die Wellentransmissionen vom Eingang zum Ausgang 2 wiedergibt. Diese rückwärtigen Wellen überlagern sich am Ausgang 2 überwiegend destruktiv und haben theoretisch nur bei

unmittelbarer Umgebung der DC-Frequenz und den Mehrfachen von  $\beta_g \cdot l_g = k \cdot \pi$  mit  $k=0, 1, 2, 3 \dots$  eine konstruktive Superposition, d. h. Verstärkung.

### 6.1.1 Analytische Beschreibung des uniformen TWAs

Eine analytische Beschreibung des uniformen TWAs mit einer beliebigen Stufenanzahl  $N$  entsprechend Abbildung 6.1, das sich auf belastete Gate- und Drain-Leitungen stützt und deren Herleitung in [2] und [50] zu finden ist, liefert bei ein- und ausgangsseitige Anpassung für die Vor- und Rückwärtsverstärkung die Formeln

$$G_{fwd} = \frac{g_m^2 Z_{0d} Z_{0g}}{4} \cdot N^2 \neq f(\omega) \quad (6.2)$$

$$G_{rev} = \frac{g_m^2 Z_{0d} Z_{0g}}{4} \cdot \left| \frac{\sin(N\beta_g l_g)}{\sin(\beta_g l_g)} \right|^2 \quad (6.3)$$

Die Synchronisation der Phasenverschiebungen eliminiert die Frequenzabhängigkeit des TWAs und liefert so eine theoretisch unendliche Bandbreite, die nur durch die mit Gleichung (6.1) beschriebenen Grenzfrequenzen der künstlichen Leitungen begrenzt wird. Aus der Gleichung (6.3) wird für die Rückwärtsverstärkung deutlich, dass diese im Gegensatz zur Vorwärtsverstärkung eine starke Frequenzabhängigkeit, die im Sinusargument  $\beta_g \cdot l_g$  integriert ist, aufweist. Wie im vorherigen Kapitel bereits erwähnt, löschen sich bei den meisten Frequenzen die Wellen am Ausgang gegenseitig aus bzw. schwächen sich ausreichend genug. Lediglich bei der DC-Frequenz und den Mehrfachen von  $\beta_g \cdot l_g = k \cdot \pi$  mit  $k=0, 1, 2, 3 \dots$  kommt eine konstruktive Superposition, d. h. Verstärkung, zustande. Da aber wie in [49] gezeigt, die Mehrfachen von  $\beta_g \cdot l_g = k \cdot \pi$  oberhalb der Grenzfrequenzen der künstlichen Leitungen liegen, hat die Rückwärtsverstärkung nur um die DC-Frequenz eine effektive Verstärkung. Die theoretisch beliebige Steigerung der Verstärkung bei einer theoretisch unendlichen Bandbreite des TWAs durch stetige Erhöhung der Stufenanzahl  $N$  ist nur für den idealen Fall der Annahme der Verlustlosigkeit geschuldet. Werden in der Gleichung (6.2) die Verluste berücksichtigt so sieht man einen gegenläufigen Trend zu der theoretisch unbegrenzten Verstärkungssteigerung bei unendlicher Bandbreite. Wie in [2] analytisch hergeleitet wird, konvergiert die Verstärkung ab einer bestimmten optimalen Stufenanzahl  $N_{opt}$  nämlich gegen Null.

## 6.2 Nicht-uniformer Verteilter Verstärker

Der im vorherigen Abschnitt beschriebene uniforme TWA ist zwar prädestiniert dafür, die Bandbreitanforderungen zu erfüllen, jedoch kann er nicht die Anforderungen nach hoher Ausgangsleistung und  $PAE$  decken. Für die breitbandige Ausgangsleistungsbegrenzung des uniformen TWAs ist vor allem der nichtoptimale Lastimpedanzabschluss der Transistoren verantwortlich [55]. Wie in Kapitel 2 ausführlich beschrieben gibt ein Leistungstransistor sein potentiell höchstes  $P_{out,max}$  nur unter der Bedingung ab, dass er mit seiner optimalen Lastimpedanz für  $P_{out,max}$  abgeschlossen wird. Diese Bedingung schließt sich beim uniformen TWA konzeptbedingt infolge der identischen Leitungsstücke zwischen den Transistorausgängen von vornherein selbst aus [55]. Der in diesem Abschnitt vorgestellte nicht-uniforme TWA kann hingegen konzeptbedingt erreichen, dass nahezu alle verwendeten Transistoren eine Last sehen, die ihrer optimalen Last für  $P_{out,max}$  nahekommt und folglich eine höhere Ausgangsleistung liefern als im uniformen Fall. Diese Optimierung hinsichtlich der Ausgangsleistung geht allerdings auf Kosten der Bandbreite und des ebenen Frequenzganges, kann aber trotzdem die notwendige Bandbreite bei der notwendigen Ausgangsleistung liefern [55]. Beim nicht-uniformen TWA wird das uniforme Konzept dahingehend geändert, dass die verwendeten TWAs eine Lastimpedanz sehen, die ihrer optimalen Lastimpedanz für  $P_{out,max}$  nahe kommt. Dieses Vorhaben wird hauptsächlich dadurch erzielt, dass man die drain-seitigen Leitungsstücke in Abbildung 6.1 ungleich, d. h. nicht-uniform dimensioniert. Wie in [50] und [55] erläutert, können auch gleichzeitig die gate-seitigen Leitungsstücke nicht-uniform ausgelegt werden oder die eingesetzten Transistoren unterschiedlich groß gewählt werden. Für die vorliegende Arbeit wird der nicht-uniforme TWA umgesetzt, der aus unterschiedlich dimensionierten drainseitigen Leitungsstücken entsteht, identische Transistoren beherbergt und auf den drainseitigen Dummy-Widerstand  $Z_{Ld}$  am Ausgang 2 verzichtet.

## 6.3 Entwurf des nicht-uniformen verteilten GaN-MMIC-Leistungsverstärkers

Aufbauend auf den Erläuterungen für das Initialdesign eines nicht-uniformen TWAs aus dem letzten Abschnitt und [56], [55] wurde ein entsprechendes GaN-MMIC ohne Dummy-Widerstand  $Z_{Ld}$  am Ausgang 2 realisiert und anschließend charakterisiert. Da der nicht-uniforme TWA u. a. mit der Intention entworfen wurde, um die Verbesserung der FBH-GaN-Technologie durch den Übergang von HEMTs mit einer Gate-Längen von  $0,5 \mu\text{m}$  auf ein HEMTs mit  $l_g=0,25 \mu\text{m}$  an einer konkreten Schaltung zu verifizieren, wurden Transistoren mit der gleichen Gate-Weite verwendet, die sich bereits im Rahmen der

Diplomarbeit [49] mit damals  $0.5\ \mu\text{m}$  Gate-Länge bewährt hatten. Durch diese Maßnahme können zudem beide nicht-uniformen TWAs besser miteinander verglichen werden.

Wie beim nicht-uniform TWA aus [49] ist auch hier die Spezifikation, einen Breitband-Leistungsverstärker zu realisieren, der die Frequenzbänder L- bis X-Band abdeckt (d. h. 1 GHz bis 12 GHz), über diesen gesamten Frequenzband eine Mindestverstärkung von 10 dB und durchschnittlich eine maximale Ausgangsleistung von 4 W aufweisen soll. Analog zum nicht-uniformen TWA aus [49] wurde dazu an einem GaN-HEMT mit  $4 \times 125\ \mu\text{m}$  Gate-Weite bei verschiedenen relevanten Frequenzen eine LP-Messung durchgeführt. Mit diesen ermittelten optimalen Lastimpedanzen wird ein erster Entwurf des TWAs für den weiterführenden rechnergestützten Schaltungsentwurf ermittelt und anschließend dieser numerisch optimiert. Beim Entwurf wird nur die Drain-Leitung nicht-uniform und die Gate-Leitung als uniform konzipiert. Analog den Verlustbetrachtungen aus Kapitel 3 kann die Gate-Leitung als Eingangsnetzwerk betrachtet werden. Wie aus Gleichung (3.3) ersichtlich ist, beeinflusst das Eingangsnetzwerk die Gesamtleistungsfähigkeit des Verstärkers nur minimal, weshalb die uniforme Auslegung der Gate-Leitung gerechtfertigt ist. Die Abbildung 6.3 zeigt ein Chipfoto des Leistungsverstärkers.

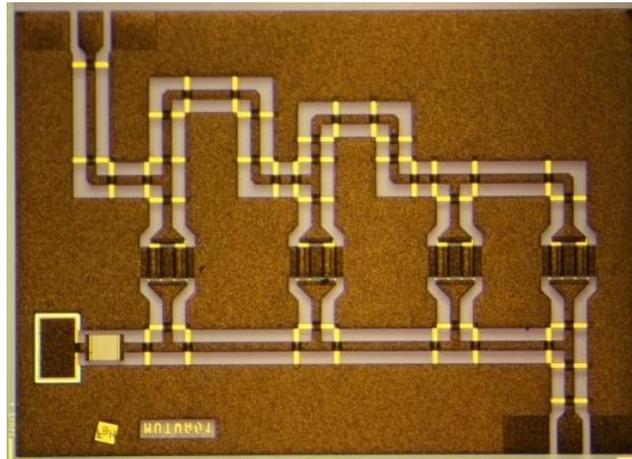


Abbildung 6.3: Chipfoto des nicht-uniformen verteilten Leistungsverstärkers (FBH GaN-MMIC-Technologie mit  $0.25\ \mu\text{m}$  Gate-Länge)

### 6.3.1 Messergebnisse und Diskussion

In Abbildung 6.4 sind die S-Parameter des nicht-uniformen TWAs aufgetragen und die Werte für Simulation und Messung verglichen [57].

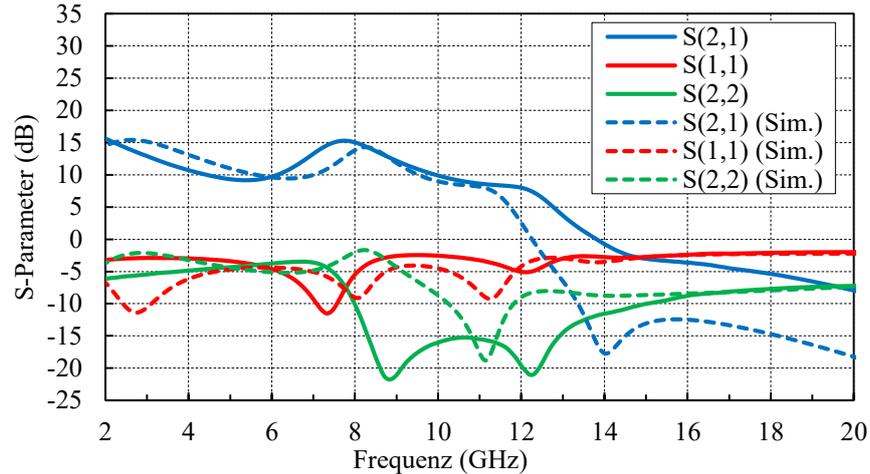


Abbildung 6.4: Gemessene und simulierte S-Parameter des nicht-uniformen verteilten Leistungsverstärkers. Messung: durchgezogene Linien, Simulation: gestrichelte Linien

Beide Kurvenscharen zeigen eine akzeptable Übereinstimmung, interessanterweise liefern die Messungen teilweise klar bessere Ergebnisse (bei  $S_{22}$  und  $S_{21}$ ). Im Resultat bleiben die Reflexionsfaktoren  $S_{11}$  und  $S_{22}$  nahezu im gesamten Frequenzbereich 2 bis 12 GHz unterhalb -5 dB, während die Verstärkung  $S_{21}$  über 10 dB und erst ab 10 GHz etwas darunter liegt. Entsprechend diesen Messergebnissen sind die gesetzten Spezifikation weitgehend erfüllt. Abbildung 6.5 ergänzt die Ergebnisse der cw-Leistungsmessungen bei den Frequenzen 2, 3 und 10 GHz.

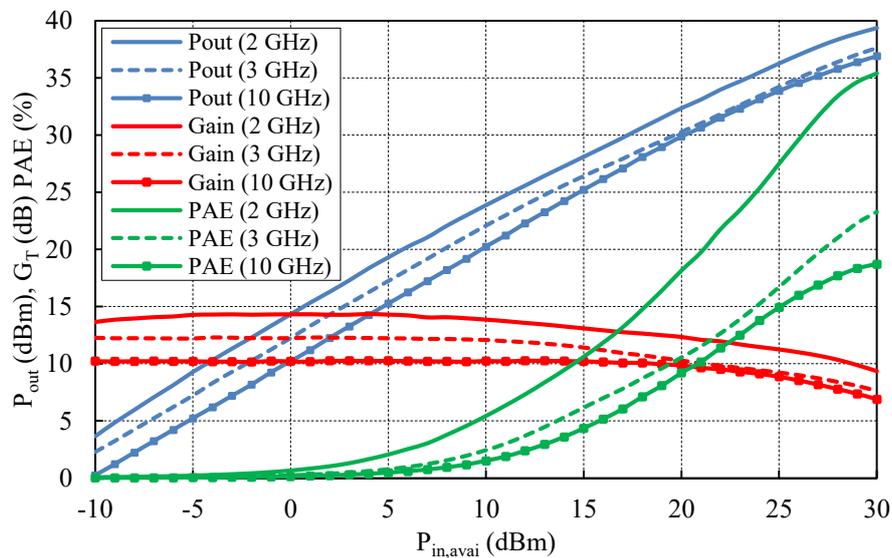


Abbildung 6.5: cw-Leistungsmessung des nicht-uniformen verteilten Leistungsverstärkers. Messungen bei 2GHz (durchgezogene Linien), 3 GHz (gestrichelt) und 10 GHz (Linien mit Quadraten)

### 6.3.2 Vergleich der nicht-uniformen TWAs mit 0,25 $\mu\text{m}$ und mit 0,5 $\mu\text{m}$ HEMTs

In der Abbildung 6.6 sind die gemessenen S-Parameter des nicht-uniformen TWAs mit 0,5  $\mu\text{m}$  Gate-Länge aus [49] zusammen mit denen im Rahmen der vorliegenden Arbeit realisierten nicht-uniformen TWA mit 0,25  $\mu\text{m}$ -Gate-Länge zu sehen. Der letztere TWA liefert über den gesamten Frequenzgang eine höhere Verstärkung und weist darüber hinaus ein Frequenzband bis 12 GHz auf, während der TWA mit 0,5  $\mu\text{m}$  nur bis 10 GHz reicht.

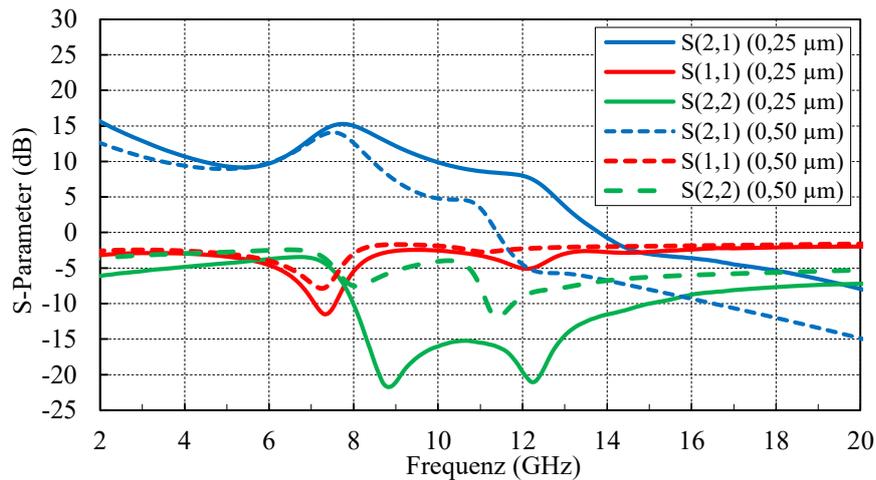


Abbildung 6.6: Gemessene S-Parameter des nicht-uniformen verteilten Leistungsverstärkers mit 0,25  $\mu\text{m}$  Gate-Länge (durchgezogene Linien) und der in [49] entwickelten Version mit 0,5  $\mu\text{m}$  Gate-Länge (gestrichelt).

Auch der Vergleich der Großsignalergebnisse entsprechend Abbildung 6.7 unterstreicht, dass der TWA mit  $l_g=0,25 \mu\text{m}$  dem TWA mit  $l_g=0,5 \mu\text{m}$  überlegen ist, trotz der Tatsache, dass beide TWAs exakt die gleichen Transistoren und die gleiche Stufenzahl haben.

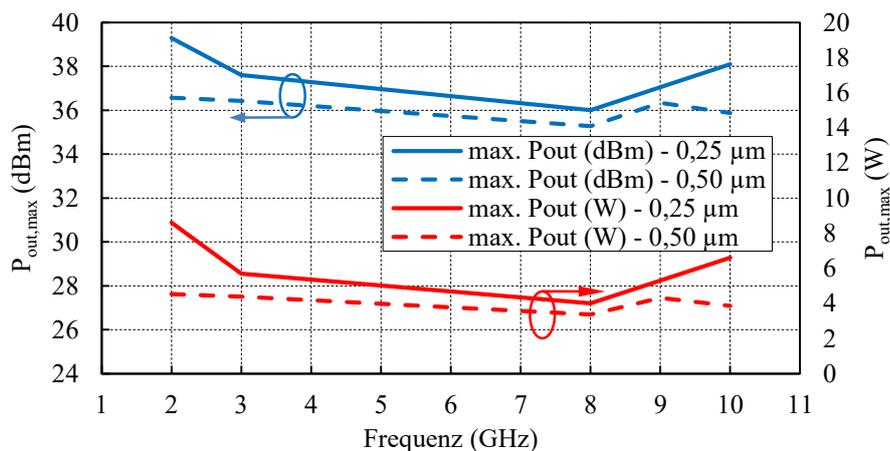


Abbildung 6.7: cw-Leistungsmessung des nicht-uniformen verteilten Leistungsverstärkers mit 0,25  $\mu\text{m}$  Gate-Länge (durchgezogene Linien) und der in [49] entwickelten Variante mit  $l_g=0,5 \mu\text{m}$  (gestrichelt) bei mehreren Frequenzen (in Sättigung)

Der neuere nicht-uniforme TWA mit der kürzeren Gate-Länge liefert nach diesem Vergleich teils über 2 dB mehr Ausgangsleistung. Dieses Ergebnis verifiziert die bereits im Abschnitt

2.4 an Einzeltransistoren gezeigte Verbesserung der FBH GaN-MMIC-Technologie durch den Übergang der Gate-Länge von 0,5 auf 0,25  $\mu\text{m}$ .

### 6.3.3 Benchmarking

Tabelle 6.1 vergleicht die Ergebnisse des hier realisierten nicht-uniformen TWA mit Werten aus der Literatur. Obwohl der TWA der vorliegenden Arbeit die zweitkleinste Chipfläche aufweist, überbietet er in einigen Parametern die meisten anderen Veröffentlichungen, den kleinsten TWA aus [58] sogar in allen aufgelisteten Parametern. In Puncto maximale Ausgangsleistung wird er zwar von der Veröffentlichung [59] überboten, dieser hat allerdings mit 15,3  $\text{mm}^2$  eine fast vierfach größere Chipfläche und auch deutlich größere Transistoren im Einsatz. Die Veröffentlichung [60] überbietet zwar in allen Parametern den vorgestellten Verstärker, besitzt aber mit  $l_g=0,1 \mu\text{m}$  auch die kleinste mit einer Gate-Länge.

Tabelle 6.1: Vergleich von GaN-MMIC verteilten Leistungsverstärkern

#	Process (GaN HEMT)	Freq. (GHz)	Kleinsignal Verstärkung (dB)	$P_{\text{sat}}$ (W)	PAE (%)	Chipfläche ( $\text{mm}^2$ )
[61]	0,2 $\mu\text{m}$	2-8	18-21	0,8-2	5-15	8
[58]	0,3 $\mu\text{m}$	3-8	12	3-6	10-30	3,5
[62]	0,25 $\mu\text{m}$	2-16	10-13	4,3-6,9	20-32	10
[59]	0,25 $\mu\text{m}$	2-18	10-14	6-16	10-40	15,3
[60]	0,10 $\mu\text{m}$	2-19	$20.5 \pm 1.5 \text{ dB}$	5,5-12	22-49	4,76
Diese Arbeit [57]	0,25 $\mu\text{m}$	2-12	9-14	5-5,8	5-35	4,3

## **7 Hybride Verstärkermodule mit X-Band GaN-MMIC-Leistungsverstärkern**

In diesem Kapitel kommt ein im vorherigen Kapitel vorgestellter GaN-X-Band-Leistungsverstärker-MMIC in verschiedenen hybrid-aufgebauten Verstärkermodule zum Einsatz. Damit soll einerseits die Leistungsfähigkeit der entwickelten MMICs in einer realen Umgebung demonstriert werden, andererseits steht damit auch ein Evaluierungsboard für die MMICs zur Verfügung. Im ersten Abschnitt wird zu diesem Zweck ein eigens für diese Arbeit entwickeltes flexibles Aufbaukonzept vorgestellt, welches modulare auf einheitlichen MMIC-Verstärkergrundbausteinen basierende Hybrid-module auch mit komplexeren Topologien ermöglicht. Nachdem im zweiten Abschnitt mit diesem modularen Aufbaukonzept ein einfacher Hybrid-aufbau als Evaluierungsboard für einen MMIC-PA realisiert wird, werden im dritten und letzten Abschnitt drei balancierte Leistungsverstärker aufgebaut.

### **7.1 Modulares Konzept für Hybrid-aufbauten**

Bis zu höheren Frequenzen und Leistungspegeln können Verstärkerschaltungen ohne weiteres vollständig in rein hybrider Bauweise realisiert werden. D. h., dass dazu üblicherweise diskrete Transistorchips auf einem gemeinsamen Board, welches Verbindungsleitungen in Streifenleitungsform zu den eingesetzten diskreten Bauteilen enthält, zusammen mit diskreten Bauelementen wie Induktivitäten, Kapazitäten etc. zu einer Schaltung zusammengefügt werden. Mit SMA-Steckern konfektioniert und einer Spannungsversorgung erweitert, sind sie weitestgehend autark für den Einsatz in einer realen Umgebung einsatzfähig. Diese Realisierungsform bringt allerdings mit steigender Frequenz immer schwerwiegendere Nachteile mit sich. Von diesen Nachteilen sind hier die vielen Verbindungsstellen in Form von Lötstellen und Bonddrahtverbindungen hervorzuheben. Diese Verbindungen weisen Parasitäten auf, die bei hohen Frequenzen einen Schaltungsentwurf immer unberechenbarer machen und dadurch erschweren. Hinzu kommt, dass die eingesetzten diskreten Transistoren bei hohen Frequenzen sehr niederohmige Ein- und Ausgangsimpedanzen besitzen. Dieser Effekt verschärft sich weiter beim für den Entwurf von Leistungsverstärkern notwendigen Einsatz von größeren und leistungsstärkeren Transistoren, da diese großen HEMTs mit steigender Größe immer niederohmigeren Torimpedanzen besitzen. Auch die in einigen diskreten Transistorchips involvierte Voranpassung liefert nur einen Kompromiss, da infolge des Bode-Fano-Kriteriums der Einsatzbereich des Transistors auf einen bestimmten Frequenzbereich eingeschränkt wird [2], [51], [52]. MMICs eignen sich hingegen besonders bei höheren Frequenzen als

Realisierungsmöglichkeit für Verstärkerschaltungen deutlich vorteilhafter gegenüber der hybriden Variante mit diskreten Transistorchips. Sie umgehen nämlich u. a. wegen ihrer intrinsisch auf  $50\ \Omega$  angepassten HF-Ein- und -Ausgänge und der nahezu vollständigen On-Chip-Realisierung ihres DC-Netzwerkes die durch den rein hybriden Aufbau entstehenden Parasitäten infolge von Bonddrähten und Lötstellen. Die Messungen der bisher entworfenen X-Band-MMICs aus Kapitel 5 wurden auf einem unvereinzelten Wafer an einem On-Wafer-Messplatz gemessen. Ein typischer GaN-Wafer am FBH ist in Abbildung 7.1 und einer der entworfenen X-Band-MMICs in solch einer Waferumgebung in Abbildung 7.2 zu sehen.

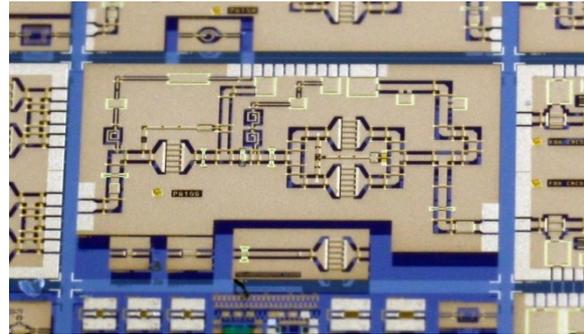
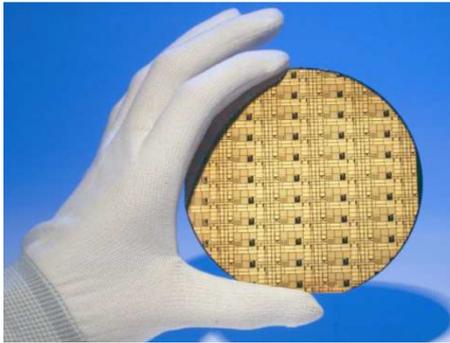


Abbildung 7.1: Ein prozessierter FBH GaN-Wafer    Abbildung 7.2: Ein entworfener X-Band GaN-MMIC-Leistungsverstärker

Nach dem entwickelten modularen Aufbaukonzept setzen sich die hybrid-aufgebauten Verstärkermodule aus mindestens einem Verstärkergrundbaustein, aus ein- und ausgangsseitig angeordneten HF-Zuleitungsplatinen, den SMA-Steckern und einem all diese Komponenten beherbergenden Kupferträger zusammen. Diese genannten Komponenten des Aufbaukonzeptes sind in Abbildung 7.3 in einer Explosionsdarstellung zu sehen.

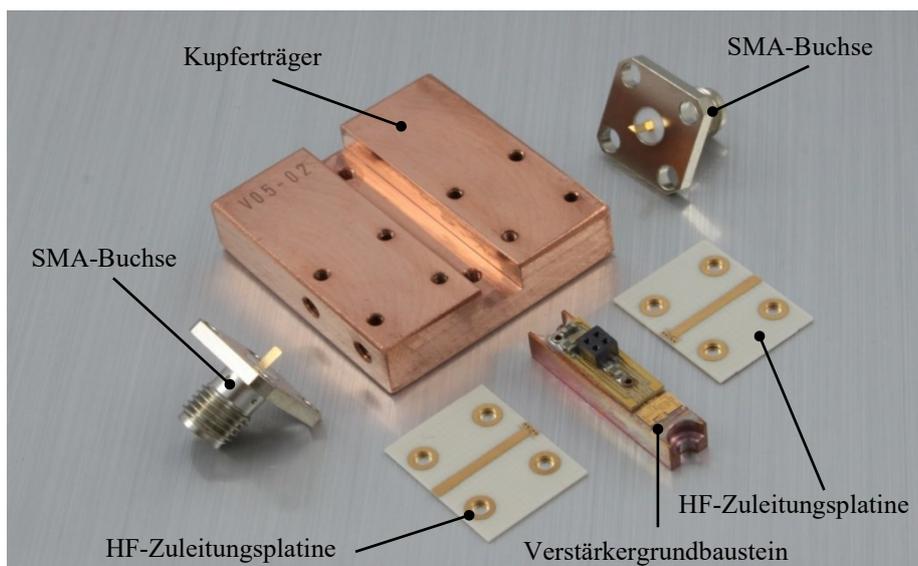


Abbildung 7.3: Explosionsdarstellung des modularen Aufbaukonzeptes

Durch das modulare Konzept sind die DC- und HF-Pfade außerhalb der MMICs voneinander getrennt und ermöglichen so eine unkomplizierte und flexible Gestaltung der HF-Leitungen. Auf diese Weise müssen die HF-Pfade der Aufbauten nur die HF-Ströme tragen und können mit geringeren Anforderungen konzipiert werden. Bei defekten oder schlecht tolerierten Einzelkomponenten kann beim betroffenen Aufbau ohne größere Demontage die jeweilige Komponente ausgetauscht werden.

Im Folgenden werden erst der als Verstärkergrundbaustein bezeichnete bestückte Kupferflansch und sein Entwurf beschrieben. Anschließend folgt die Beschreibung der HF-Zuleitungsplatinen. Da das Aufbaukonzept die koplanaren MMIC-PAs mit Zuleitungsplatinen in Mikrostreifenleitungen verbinden soll, muss ein Übergang zwischen diesen beiden Leitungsarten (kurz CPW-zu-MS-Übergang) entworfen und für das X-Band optimiert werden. Dieser Übergang wird gesondert noch vor den HF-Zuleitungsplatinen erläutert, da er in allen HF-Zuleitungsplatinen erforderlich ist. Für die Realisierung der ein- und ausgangsseitigen HF-Zuleitungsplatinen wird eine Mikrostreifenleitungstechnologie auf Rogers-Substrat vom Typ 4003C und der  $h=508 \mu\text{m}$  verwendet [63].

### 7.1.1 Verstärkergrundbaustein mit Kupferflansch, MMIC-PA und DC-Versorgungsplatine

Der Verstärkergrundbaustein bildet das Herzstück des vorgestellten Aufbaukonzeptes. Er soll einerseits den MMIC-PA und andererseits eine DC-Versorgungsplatine, bestehend aus einem Gleichspannungsanschluss und einem kleinen DC-Bypass-Netzwerk, beherbergen. Dieses Bypass-Netzwerk ist erforderlich, da das gesamte DC-Versorgungsnetzwerk nicht on-chip auf dem MMIC realisiert werden kann. Für die Stabilität des MMICs wird der DC-Versorgungspfad zu den aktiven Elementen durch eine Parallelschaltung von mit gegen Masse verbundenen Kapazitäten mit steigendem Kapazitätswert, sogenannten Bypass-Kapazitäten, versehen [8]. Aus Gründen von Realisierungsgrenzen der Technologie, es können nicht beliebig große Kapazitäten realisiert werden, bzw. Kostengründen, die Kosten steigen mit der Chipfläche, werden nur die kleineren Kapazitäten on-chip auf dem MMIC realisiert und die restlichen Bypass-Kapazitäten auf die hybride Seite ausgelagert. Ferner können so nebenbei auch diskrete Kapazitäten verwendet werden, die einen größeren ohmschen Anteil haben und somit die u. U. im Bypass-Netzwerk zusätzlich erforderlich werdenden Widerstände gleich mitbeherbergen können. Die zusätzlichen hybriden Verbindungen sind hier unbedenklicher, da mit dem Bypass-Netz im DC-Versorgungspfad niederfrequente Instabilitäten unterdrückt werden sollen und ihre Parasitäten bei diesen Frequenzen unkritisch sind [8].

Abbildung 7.4 zeigt von links nach rechts den Verstärkergrundbaustein in unterschiedlichen Stufen seiner Realisierung. Links ist der noch unbestückte Kupferflansch zu sehen. Er

enthält neben zwei Halbbohrungen an seinen Stirnflächen, die zu seiner Montage auf dem Kupferträger dienen, zwei Sacklochbohrungen für einen Höhenausgleich von abstehenden Via-Absätzen der DC-Versorgungsplatine und ein Podest. Das Podest dient zum Höhenausgleich zwischen DC-Versorgungsplatine, MMIC, bondbaren MIM-Kondensatoren (Bypass-Kondensatoren) sowie den HF-Zuleitungsplatinen aus Abbildung 7.3 und beherbergt auf seiner Oberseite zwei Stufen: Eine schmale und höher gelegene und eine tiefe großflächigere Stufe. Die obere Stufe soll hauptsächlich die bondbaren Kondensatoren beherbergen und ihren Höhenunterschied zum MMIC ausgleichen.

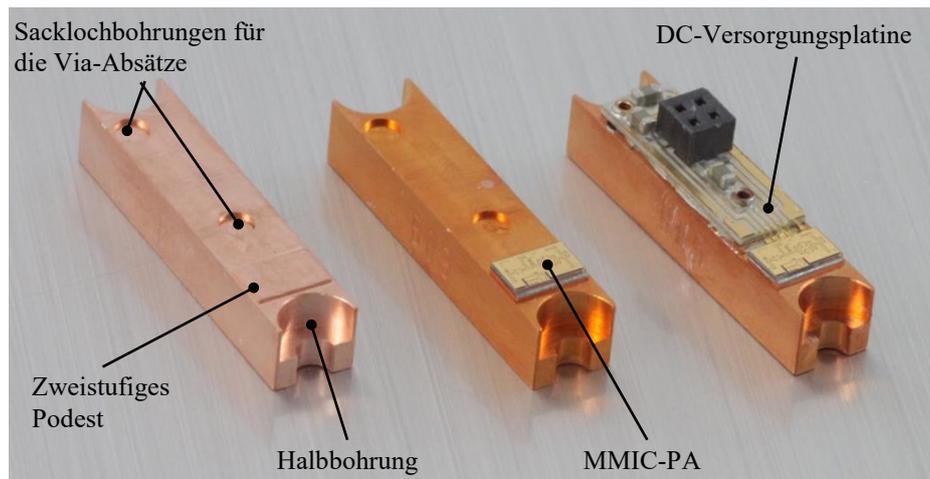


Abbildung 7.4: Verstärkergrundbaustein des entwickelten modularen Aufbaukonzeptes in drei Stufen seiner Realisierung

Die Verwendung der bondbaren MIM-Kapazitäten als erste externe Bypass-Kapazität und ihre Ausgliederung außerhalb der DC-Versorgungsplatine, die den übrigen Teil des Bypass-Netzwerkes beinhaltet, hat zwei Gründe: Der bondbare Kondensator besitzt große quadratische löt- und bondbare Elektroden und hat im Vergleich zu seinen Elektroden eine geringe Höhe. Dadurch wird einerseits gewährleistet, dass die erste Bypass-Kapazität außerhalb des MMICs mit kurzen Bonddrähten mit den DC-Pads des MMICs verbunden wird und so die Bonddraht-Induktivitäten gering hält. Andererseits kann man die Masseanbindung der Bypass-Kapazität ohne Umwege direkt auf dem Kupferflansch realisieren. Auf dem DC-Board platziert, müsste die Masseanbindung hingegen mit einem zusätzlichen Pad über ein dann notwendiges Via mit dem Kupferflansch verbunden werden. Abbildung 7.5 zeigt u. a. das Bondschema zwischen den bondbaren Kondensatoren, dem DC-Versorgungsboard und dem Verstärker-MMIC in zwei Vergrößerungsstufen. Da die zweistufige Verstärkerschaltung vier DC-Spannungen erfordert, sind auch vier bondbare erste Bypass-Kondensatoren für die vier DC-Pfade vorgesehen. Der mittlere Kupferflansch in der Abbildung 7.4 zeigt ihn mit einem auf seiner niedrigeren Podeststufe montierten MMIC-PA. Der rechte Flansch zeigt einen vollständig aufgebauten Verstärkergrundbaustein mit aufgebracht und entsprechend dem Bondschema aus der Abbildung 7.5 miteinander verbundenen MMIC, DC-Board und bondbaren Kapazitäten.

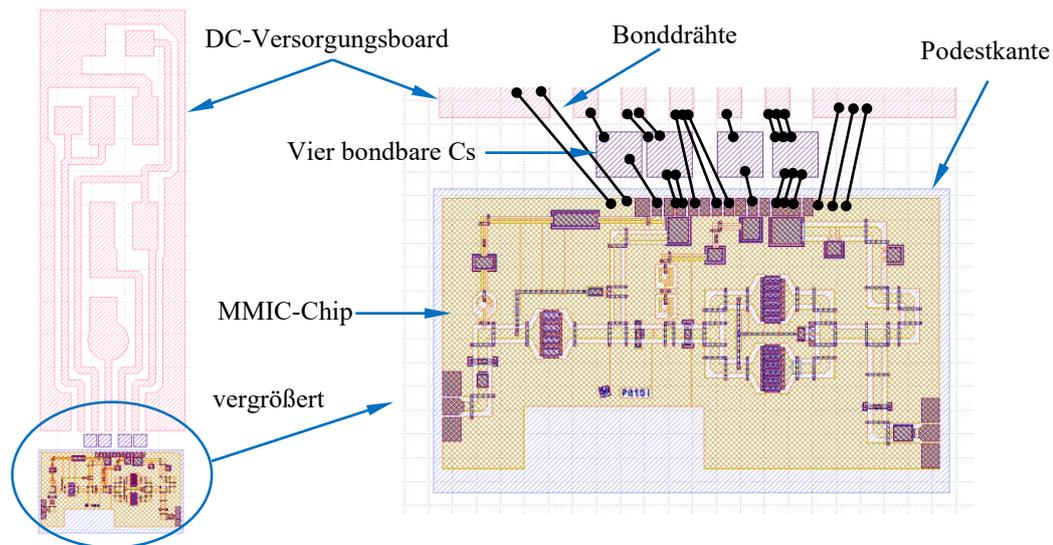


Abbildung 7.5: Layout-Ansicht des Verstärkergrundbausteins und vergrößerte Darstellung mit Bondschema zwischen dem MMIC und der DC-Versorgungsplatine

Das DC-Versorgungsboard beinhaltet neben dem übrigen Bypass-Netzwerk der Gleichspannungsversorgung noch einen 4-Pin-Stecker. Es wurde so konzipiert, dass beim eingesetzten MMIC-PA die Drain-Spannungen seiner Treiber- und Endstufe mit einer DC-Quelle gemeinsam gesteuert werden, während bei seinen beiden Gate-Spannungen bewusst die Möglichkeit bestehen soll, sie mit zwei DC-Quellen separat anzusteuern.

### 7.1.2 Koplanar-zu-Mikrostreifenleitungsübergang

Wie in der Explosionsdarstellung des hybriden Aufbaukonzeptes aus Abbildung 7.3 zu sehen ist, muss der mit Koplanarleitungen realisierte MMIC mit den mit Mikrostreifenleitungen entworfenen HF-Zuleitungen verbunden werden. Aus diesem Zweck sind Koplanar-zu-Mikrostreifenleitungsübergänge erforderlich. Da auch bei allen anderen mit dem vorgestellten Konzept realisierten Aufbauten dieser Übergang erforderlich sein wird, wird ein standardisierter Übergang für das X-Band optimiert. Der Übergang bringt aufbaubedingt sehr viele Parasitäten und Fehlanpassungen mit sich und kann mit einer suboptimalen Realisierung die Eigenschaften der Hybridbauten negativ beeinflussen. Da die MMICs in ihren HF-Toren weitestgehend standardisiert sind und GaN-Chipfläche kostbar ist, wird die Optimierung des Überganges auf der Board-Seite, also der MS-Seite, realisiert. Zur Optimierung wurde das EM-Simulationsprogramm CST verwendet.

Die Optimierung des Übergangs hinsichtlich seiner Transmissions- und Reflexionseigenschaften besteht aus mehreren zum Teil miteinander zusammenhängenden Teilaspekten. In der Abbildung 7.6 sind die Draufsichten von zwei möglichen Initial-Realisierungen dieses Überganges mit realen geometrischen Abmessungen der MMICs, der HF-Zuleitungen und der Bonddrahtverbindungen zu sehen. Abbildung 7.7 zeigt die gleichen

Konstellationen von ihren Seitenansichten. Auf der MS-Seite muss die auf einen Wellenwiderstand von  $50 \Omega$  ausgelegte Leitung (Leitungsbreite  $w = 1130 \mu\text{m}$ ) mittels eines Tapers auf eine Leiterbreite verengt werden, die in etwa der Breite des HF-Pads am Ende des Signalleiters ( $140 \mu\text{m}$ ) der CPW-Seite entspricht. Dieser Einbruch der Leitungsbreite auf der MS-Seite bewirkt, entsprechend den Erläuterungen zu der Mikrostreifenleitung aus Abschnitt 3.3, einem Wellenwiderstandssprung von mehreren  $10 \Omega$  und stellt eine Teilaufgabe der Übergangsoptimierung dar. Außerdem müssen auf der MS-Seite Durchkontaktierungen (Vias) zu ihrer rückseitigen Massemetallisierung vorgesehen werden, um oberseitig eine Verbindungsmöglichkeit zu den oberen CPW-Masseflächen zu ermöglichen. Die realisierbaren Durchkontaktierungen sind in ihren Abmessungen vom Platinen-Hersteller vorgegeben und können nur in ihrer Anzahl und ihrer Platzierung variiert werden. Der Übergang weist auf der CPW-Seite  $n=4$  Leitungen auf und ermöglicht damit  $n-1=3$  ausbreitungsfähige Moden [64], [2]. Diese sind der erwünschte CPW-Mode und die beiden unerwünschten Schlitzleitungs- und Parallelplattenmoden. Die Unterdrückung dieser beiden parasitären Moden stellt die Hauptaufgabe der Optimierung dar. Während die Schlitzleitungsmoden weitestgehend durch die CPW-seitige Luftbrücke vor dem HF-Pad eliminiert wird, wird die Parallelplattenmode dadurch unterdrückt, dass die oberen CPW-Masseflächen auf kürzestem Wege mit der unterseitigen Massefläche der MS-Seite verbunden werden. Das wird erreicht, indem Durchkontaktierungen auf der MS-Seite möglichst nah an den MMIC platziert und mit möglichst kurzen Bonddrähten beide Masseflächen miteinander verbunden werden.

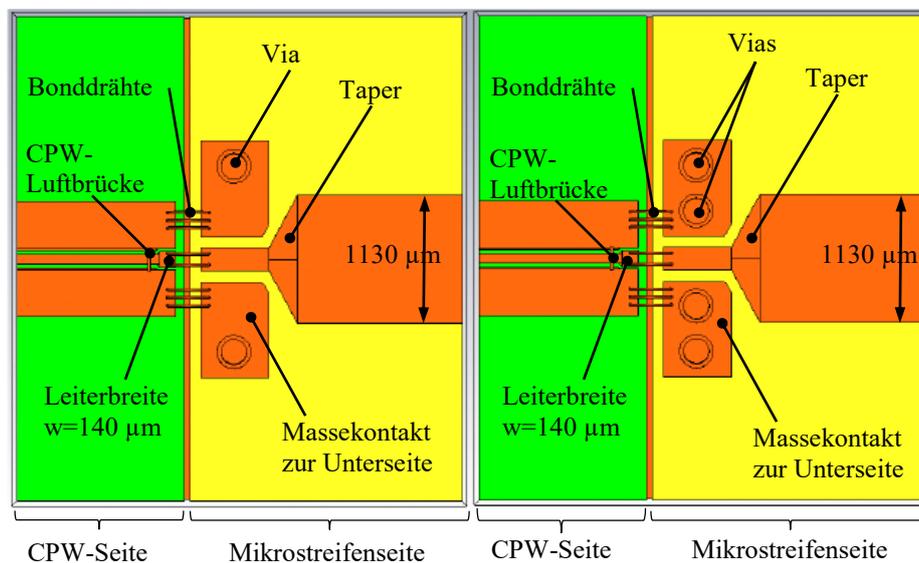


Abbildung 7.6: Draufsicht von zwei möglichen Initial-Entwürfen des CPW-zu-MS-Übergangs: links) Mit je einem Via je Massekontaktfläche der MS-Seite, rechts) Mit je zwei Via je Massekontaktfläche der MS-Seite

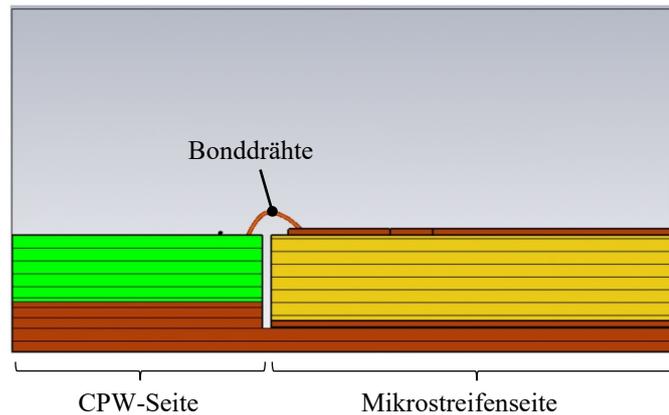


Abbildung 7.7: Seitenansicht der zwei möglichen Initial-Entwürfe des CPW-zu-MS-Übergangs

Die Realisierung in Abbildung 7.6 rechts stellt in dieser Hinsicht eine Optimierung der Realisierung links dar. Durch diese beiden Maßnahmen wird am CPW-zu-MS-Übergang die PP-Mode besser unterdrückt. Die Verengung des MS-Leiters zum Übergang hin ist auch deswegen notwendig, um die Kontaktflächen der Durchkontaktierungen möglichst direkt gegenüber den beiden oberseitigen CPW-Masseflächen zu platzieren. Anderenfalls müssten die Bonddrähte diagonal verlaufen und wären damit deutlich länger und induktiver. Die Einflüsse der Bonddrahtinduktivitäten und des Impedanzsprungs können für einen kleinen Frequenzbereich mittels einer zusätzlichen Kapazität kompensiert werden [43]. Wie in Abbildung 7.8 zu sehen ist, wird diese Kompensationskapazität in Form von zwei zueinander symmetrisch angeordneten offenen Stichelungen, die in Richtung Mikrostreifenleitung nach dem Taper platziert sind, am Signalleiter realisiert. Der Übergang in Abbildung 7.8 zeigt die optimierte Version des Übergangs.

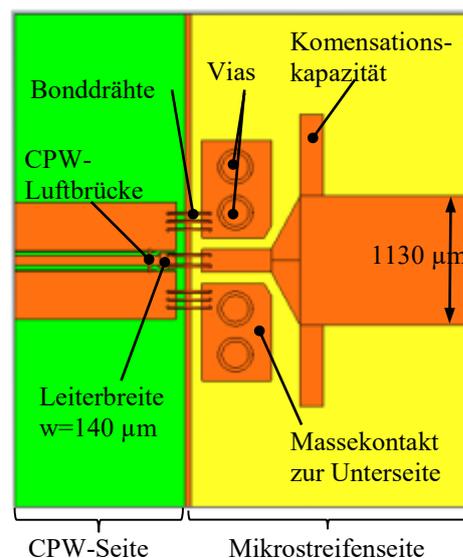


Abbildung 7.8: Draufsicht des optimierten CPW-zu-MS-Überganges und der Zuordnung der einzelnen Komponenten

In den Abbildung 7.9 bis 7.12 sind die simulierten S-Parameter der drei Übergänge aus der Abbildung 7.6 bis Abbildung 7.8 für alle drei Moden dargestellt.

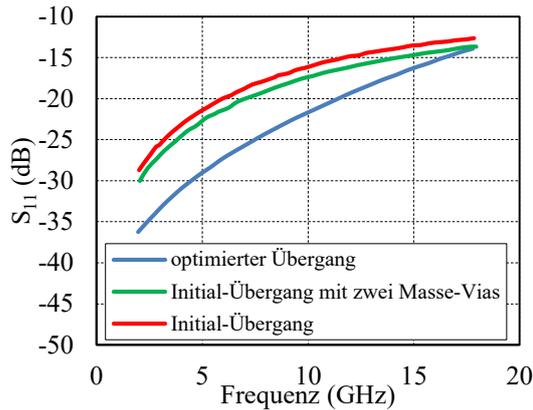


Abbildung 7.9: Simulierte  $S_{11}$ -Parameter aller drei CPW-zu-MS-Übergänge

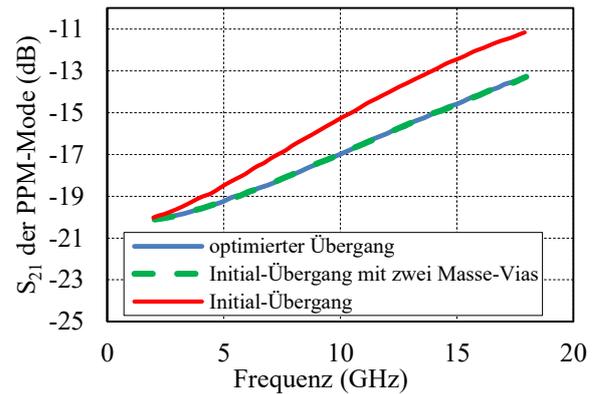


Abbildung 7.10: Simulierte  $S_{21}$ -Parameter der PPM-Mode aller drei CPW-zu-MS-Übergänge

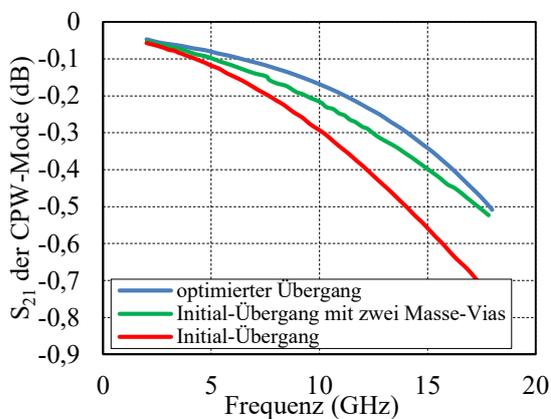


Abbildung 7.11: Simulierte  $S_{21}$ -Parameter der CPW-Mode aller drei CPW-zu-MS-Übergänge

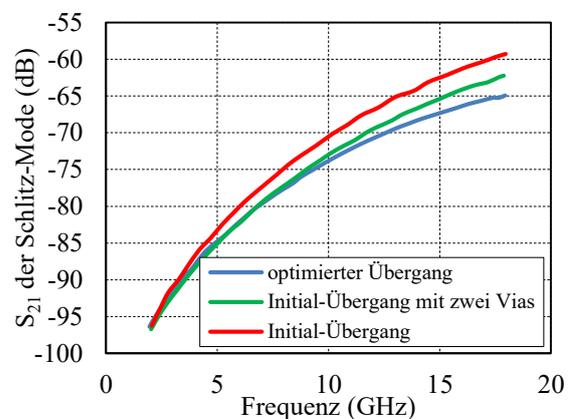


Abbildung 7.12: Simulierte  $S_{21}$ -Parameter der Schlitz-Mode aller drei CPW-zu-MS-Übergänge

Für die Eingangsreflexionen  $S_{11}$  des Übergangs und die Transmissionsfaktoren  $S_{21}$  des CPW-Modes stellen sowohl die Maßnahme mit Kompensationskapazität als auch die Maßnahmen mit nahe gelegenen Vias und kurzen Bonddrähten eine deutliche und stufenweise Verbesserung dar. Wie oben bereits erwähnt, bewirkt die Maßnahme mit den Kompensationsleitungen für den PPM-Mode (Parallel-Platten-Mode) keine zusätzliche Verbesserung des  $S_{21}$ , sehr wohl aber die Maßnahme mit nahe gelegenen Vias und kurzen Bonddrähten. Für die bereits ohne Optimierungsmaßnahme schon sehr schwache Schlitzleitungsmode bewirken beide Maßnahmen eine zusätzliche Verbesserung. Der Entwurf des vorgestellten MS-zu-CPW-Überganges wurde in einer Masterarbeit, die vom Autor der vorliegenden Arbeit betreut wurde, erarbeitet [65].

## 7.2 Hybrides Single-ended Leistungsverstärkermodul

In diesem Abschnitt wird ein single-ended Leistungsverstärkermodul vorgestellt, das auf einem im Abschnitt 5.4 beschriebenen X-Band MMIC-PA-Chip beruht und gemäß dem im vorherigen Abschnitt erläuterten hybriden Aufbaukonzept realisiert wurde. Seine

S-Parameter- und Großsignal-Leistungsmessungen werden gezeigt und mit den on-Wafer-Messungen des zugehörigen X-Band MMIC-PA-Chips (on-Wafer-Messung) verglichen. Das Verstärkermodul soll die Leistungsfähigkeit der koplanaren GaN-MMIC-Technologie und der entwickelten MMICs in einer realen Umgebung demonstrieren und zudem als Evaluierungsboard für die MMICs dienen.

Abbildung 7.13 zeigt das fertig aufgebaute und mit V05-01 bezeichnete Leistungsverstärkermodul, welches durch das Montieren der Komponenten aus der Explosionszeichnung aus Abbildung 7.3 entsteht. Dabei wird der zusammen mit einer Versorgungsplatine auf einem Kupferflansch montierte PA (Verstärkergrundbaustein aus Abschnitt 7.1.1) auf einen Kupferträger geschraubt und über den optimierten CPW-zu-MS-Übergang aus Abschnitt 7.1.2 mit ein- und ausgangsseitig platzierten HF-Zuleitungsplatinen mittels Bonddrähten verbunden. Diese Zuleitungsplatinen sind so gewählt, dass ihre 50  $\Omega$ -Leitungen etwa die Breite des Föhnchens der Koaxialstecker aufweisen und mit diesen mit minimalem Impedanzsprung verlötet werden können. Abbildung 7.14 zeigt das Modul auf einem Kühlblock montiert und mit einem Spannungsversorgungsnetzwerk verbunden. Das geregelte Versorgungsnetzwerk sorgt auch dafür, dass bei der Verstärkerschaltung erst die Spannung an den Gate-Anschlüssen angelegt werden, anschließend die an den Drain-Anschlüssen und so die korrekte Sequenzierung der Gleichspannungen eingehalten wird. Für den autarken Betrieb des Moduls ist das Versorgungsnetzwerk optional und soll eher das versehentliche Zerstören des PAs verhindern. Wie ein ebenfalls optional am Ausgang angebrachten Zirkulator würde er das Modul vor Beschädigungen schützen.

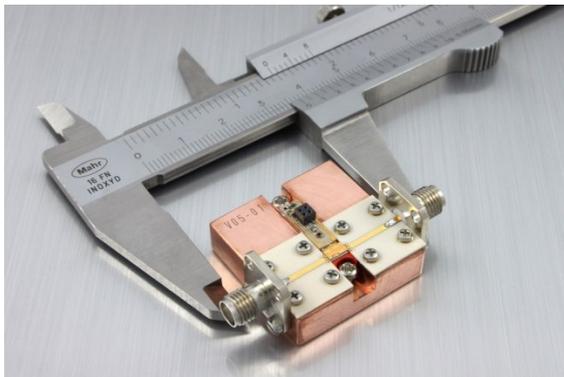


Abbildung 7.13: Foto des aufgebauten single-ended Leistungsverstärkermoduls

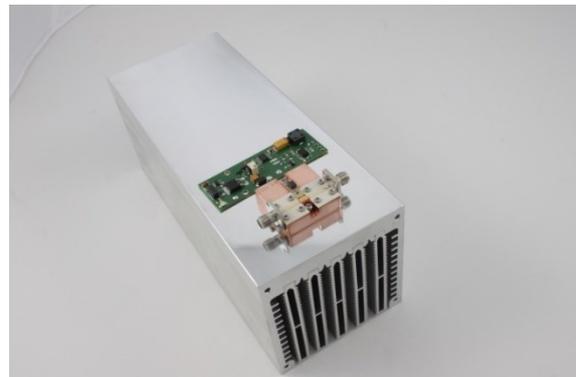


Abbildung 7.14: Foto des aufgebauten single-ended Leistungsverstärkermoduls mit Kühlblock und DC-Versorgungsnetzwerk

In Abbildung 7.15 sind die gemessenen S-Parameter des Verstärkermoduls V05-01 sehen. Die Abbildung 7.16 ergänzt die cw-Leistungsmessungen. In beiden Diagrammen sind auch die Ergebnissen des MMICs PA10I aus Abschnitt 5.4 zu sehen.

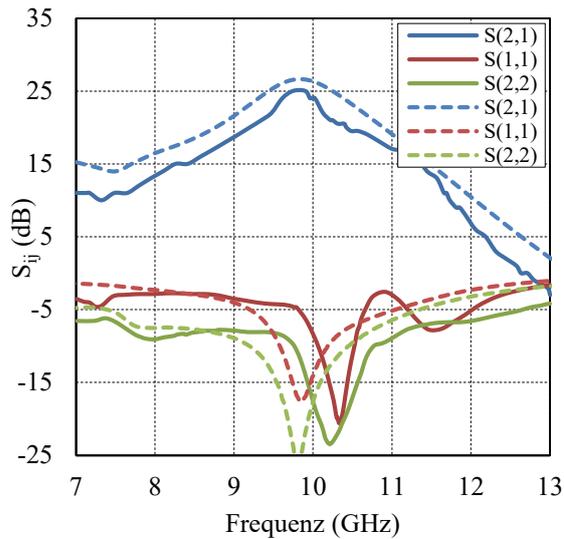


Abbildung 7.15: S-Parameter-Messung des single-ended Leistungsverstärker-Moduls (durchgezogene Linien) und des dazugehörigen MMICs (gestrichelte Linien)

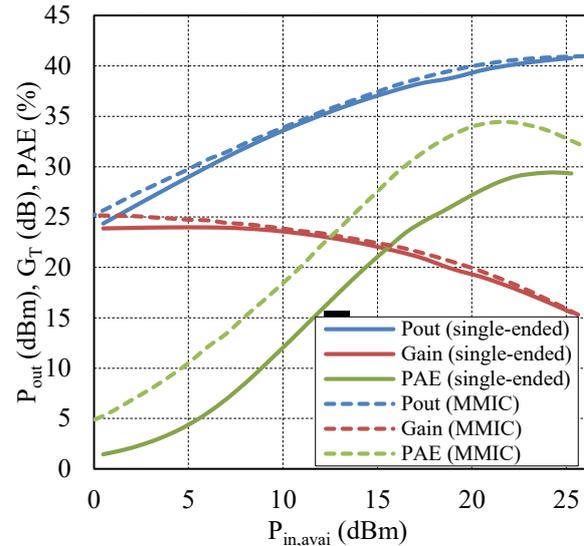


Abbildung 7.16: cw-Leistungsmessung des single-ended Leistungsverstärker-Moduls bei 10 GHz (durchgezogene Linien) und des dazugehörigen MMICs (gestrichelte Linien)

Das aufgebaute Verstärkermodul wurde mit exakt den gleichen Bias-Spannungen betrieben wie im on-Wafer-Fall. Der Vergleich der S-Parametermessungen zeigt, dass sich das Verhalten des PAs infolge des Aufbaus nur geringfügig ändert. Die Verstärkung in der Mitte des X-Bands ist um etwa 1 dB geringer als im on-Wafer-Fall. Die Großsignalleistungsmessungen liefern bezüglich  $P_{out,max}$  und  $G_T$  in etwa vergleichbare Ergebnisse, nur ist die  $PAE$  um etwa 5 % geringer. Damit wurde gezeigt, dass die on-Wafer Messergebnisse des PAs ohne große Degradierung auch im Modul erhalten bleiben. Darüber hinaus wurde durch den Aufbau demonstriert, dass die PAs in einer realen Umgebung autark eingesetzt werden können.

## 7.3 Hybride balancierte Leistungsverstärkermodule

Das im vorletzten Teilabschnitt vorgestellte modulare Aufbaukonzept wird in diesem Teilabschnitt dazu verwendet, um mit den vorhandenen MMIC-PA-Chips hybride balancierte Leistungsverstärker aufzubauen. Dazu wird zunächst kurz die Theorie zu diesem Verstärkertyp beschrieben, anschließend folgt ein Teil, der sich dem Entwurf der Leistungsverstärker widmet und schließlich werden die Messergebnisse der aufgebauten balancierten Leistungsverstärker präsentiert und diskutiert.

### 7.3.1 Theorie des balancierten Verstärkers

Der balancierte Verstärker wird zusammen mit dem im Kapitel 6 vorgestellten verteilten Verstärker von der Fachliteratur gerne als zwei mögliche Verstärkerkonzepte für einen

Breitbandverstärker aufgeführt [2], [66]. Die Eigenschaft seiner hohen Bandbreite wird nachfolgend erklärt. Die Abbildung 7.17 zeigt das Blockschaltbild des balancierten Leistungsverstärkers in seiner grundlegendsten Form.

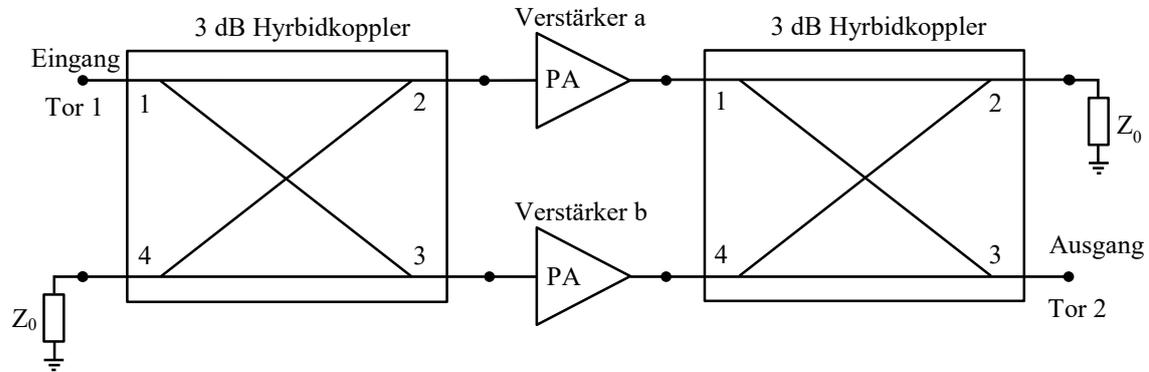


Abbildung 7.17: Blockschaltbild des balancierten Verstärkers

Dabei werden zwei identische Verstärkerstufen ein- und ausgangsseitig jeweils über zwei 90°-Hybridkoppler zu einem größeren Verstärker, dem balancierten Leistungsverstärker, verbunden. Ein Eingangstor des eingangsseitigen Hybridkopplers stellt dabei den Eingang des balancierten Leistungsverstärkers und ein Ausgangstor des ausgangsseitigen Hybridkopplers seinen Ausgang dar. Der Eingangskoppler dient in der Schaltung als Leistungsteiler und das ausgangsseitige Gegenstück als Leistungskombinierer. Die letzten unbelegten Tore der beiden Koppler werden mit 50  $\Omega$ -Widerständen terminiert. Ein am Tor 1 des Eingangskopplers eingespeistes Signal teilt sich gleichmäßig aber mit einer Phasenverschiebung von 90° auf die beiden Verstärkerstufeneingänge auf. Am Ausgangskoppler werden diese beiden Signale durch die Verstärkerstufen verstärkt an den Eingängen 1 und 4 eingespeist und treten am Tor 2 phasensynchron konstruktiv überlagert wieder aus. Andersherum überlagern sich die an den Verstärkerstufeneingängen infolge von Fehlanpassungen reflektierten Leistungen mit einer Phasendifferenz von 180° am Tor 1 destruktiv. Diese Auslöschung der Reflexionen führt zu einer Verbesserung der Eingangsimpedanzanpassung der als balancierter Verstärker bezeichneten Gesamtschaltung. Der gleiche Effekt stellt sich ausgangsseitig ein und führt auch hier zu einer Verbesserung der Impedanzanpassung [2]. Die beschriebenen Signalverläufe lassen sich besser mit Hilfe der Streuparameterformeln des balancierten Verstärkers, die aus dem Blockschaltbild aus Abbildung 7.17 hergeleitet wurden, erläutern. In dieser Schaltung beschreiben die Streuparameter  $S_{ija}$  und  $S_{ijb}$  der Verstärkerstufen a bzw. b. Für die Herleitung der Formeln sei auf [2], [66] verwiesen.

$$S_{11} = \frac{1}{2} \cdot |S_{11a} - S_{11b}| \quad (7.1)$$

$$S_{21} = \frac{1}{2} \cdot |S_{21a} + S_{21b}| \quad (7.2)$$

$$S_{12} = \frac{1}{2} \cdot |S_{12a} + S_{12b}| \quad (7.3)$$

$$S_{22} = \frac{1}{2} \cdot |S_{22a} - S_{22b}| \quad (7.4)$$

Aus den Gleichungen (7.1) und (7.4) wird deutlich, dass unter der Voraussetzung von identischen Verstärkerstufen a und b unabhängig ihrer Anpassung für die Gesamtschaltung sich für die Reflexionsfaktoren  $S_{11}=0$  und  $S_{22}=0$  ergibt. Aus den Formeln (7.2) und (7.3) folgt hingegen, dass sich für die Gesamtschaltung die Verstärkung  $S_{21}$  und die Rückwirkung  $S_{12}$  der einzelnen Verstärkerstufen ergeben. Die Verbesserung in der Breitbandigkeit beim balancierten Verstärker bezieht sich somit, neben der höheren Ausgangsleistung, auf sein Reflexionsverhalten [66]. So kann ein single-ended-Verstärker, der zwar auf Breitbandigkeit ausgelegt ist und infolgedessen eine schlechte Anpassung liefert, durch Einsatz im balancierten Verstärker weiter verbessert werden. Die präsentierten frequenzunabhängigen Gleichungen sind nur für den Gültigkeitsbereich der eingesetzten Koppler gültig. Deshalb bestimmt die Bandbreite der eingesetzten Koppler auch die Bandbreite der Gesamtschaltung.

Der balancierte Verstärker liefert folgende Vorteile [66]:

- Auf Breitbandigkeit, hohe  $PAE$  oder hohe  $P_{out}$  ausgelegte Einzelverstärker können entworfen und dann im balancierten Verstärker eingesetzt werden, ohne dabei Kompromisse in der Frequenzabhängigkeit ihrer Anpassung eingehen zu müssen.
- Theoretisch ist eine Verdoppelung der maximalen Ausgangsleistung möglich.
- Verbesserung der Stabilität.
- Einfache Kaskadierung mit anderen Verstärkereinheiten zu größeren Schaltungen, da jede Stufe durch die Koppler von den anderen Stufen isoliert ist.
- Beim Ausfall einer Verstärkerstufe arbeitet die Schaltung mit reduzierter Verstärkung und Ausgangsleistung weiter.

### 7.3.2 Entwurf der balancierten Leistungsverstärker

Der Entwurf der aufgebauten Balancierten Verstärker beschränkt sich im Wesentlichen auf den Entwurf der Koppler. Ansonsten werden die bereits im Teilabschnitt beschriebenen Verstärkergrundbausteine, bestehend aus Kupferflansch mit MMIC-PA und Versorgungsplatte, und das im Abschnitt 7.1 beschriebene Aufbaukonzept verwendet. Wie im vorherigen Teilabschnitt beschrieben, bestimmt im Wesentlichen die Bandbreite der eingesetzten  $90^\circ$ -Hybridkoppler die Bandbreite der aufgebauten Verstärker. Deswegen wurden im Rahmen einer Masterarbeit, die vom Autor betreut wurde, drei unterschiedliche

90°-Hybridkoppler mit jeweils unterschiedlichen Bandbreiten entworfen und mit diesen drei ansonsten baugleiche balancierte Verstärker aufgebaut [65]. Die drei dabei genutzten Richtkoppler sind der klassische Branchline-Koppler, der auf ihm basierender Doublebox- und der Branchline-Koppler mit offenen Stichleitungen. Die Abbildung 7.18 bis 7.20 zeigen die mit dem Simulationsprogramm CST analysierten Koppler.

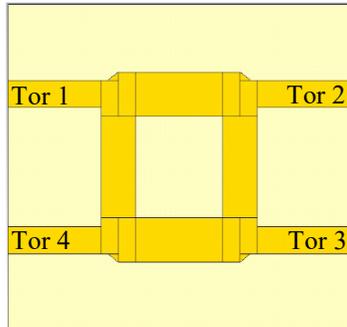


Abbildung 7.18: Layoutansicht des entworfenen Branchline-Kopplers

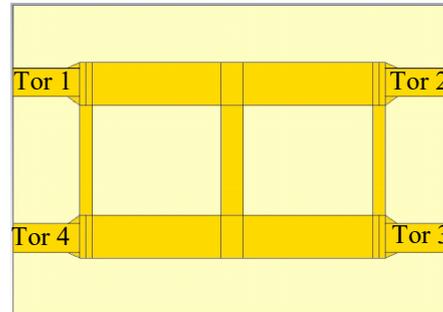


Abbildung 7.19: Layoutansicht des entworfenen Doublebox-Kopplers

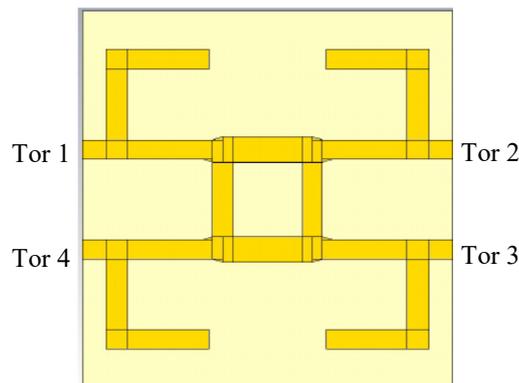


Abbildung 7.20: Layoutansicht des entworfenen Branchline-Kopplers mit offenen Stichleitungen

Während der Branchline-Koppler eine der einfachsten Realisierungsformen von Richtkopplern darstellt, sind die anderen beiden Kopplervarianten zur Erzielung von höheren Bandbreiten ausgelegt, erfordern aber größere Abmessungen und weisen damit einhergehend höhere Durchgangsdämpfungen auf. Die genauen Eigenschaften der drei Koppler und deren Entwurf ist in [67] näher erläutert. Nachdem mit Näherungsformeln die Abmessungen für einen Initialentwurf ermittelt wurden, wird mit diesem Initialentwurf als Basis im nächsten Schritt mittels CST eine Optimierung der Koppler durchgeführt. Anschließend werden die so entworfenen drei Koppler entsprechend ihrem späteren Einsatz im balancierten Verstärker durch die Koaxialstecker und die in Abschnitt 7.1.2 entwickelten Koplplanar-zu-Mikrostreifenleitung-Übergänge erweitert und in CST simuliert. Abbildung 7.21 zeigt diesen Simulationsaufbau für den entworfenen Branchline-Koppler. Die entsprechend dem Simulationsaufbau aus Abbildung 7.21 simulierten S-Parameter aller drei Koppler sind in Abbildung 7.22 bis 7.24 dargestellt.

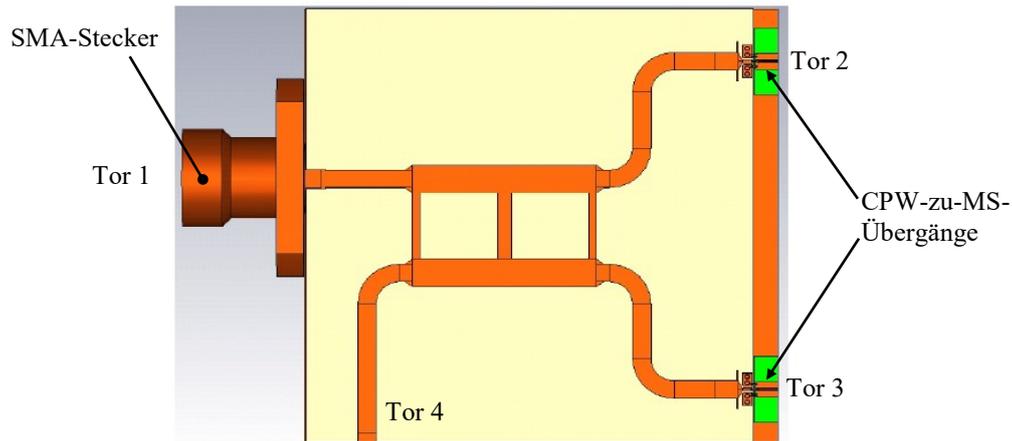


Abbildung 7.21: Schematic-Darstellung des entwickelten Doublebox-Kopplers mit SMA-Steckern und CPW-zu-MS-Übergängen und Verbindung mit der MMIC-Seite in dem Feldsimulationsprogramm CST.

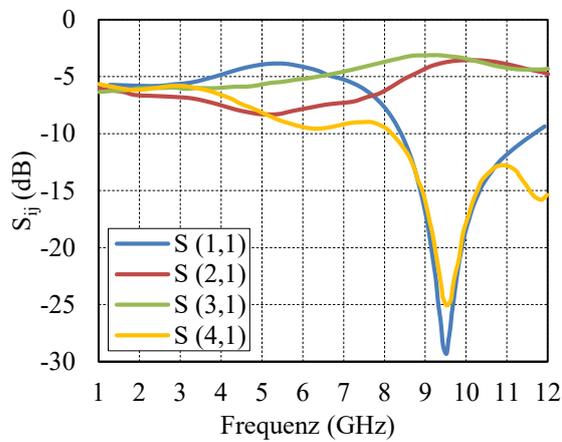


Abbildung 7.22: Simulierte S-Parameter des entworfenen Branchline-Kopplers einschließlich SMA-Steckern und CPW-zu-MS-Übergängen

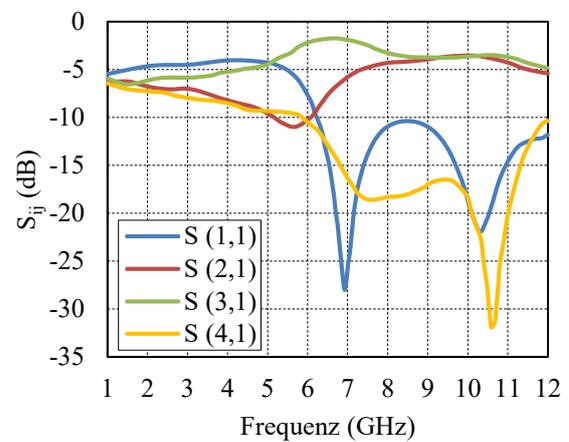


Abbildung 7.23: Simulierte S-Parameter des entworfenen Doublebox-Kopplers einschließlich SMA-Steckern und CPW-zu-MS-Übergängen

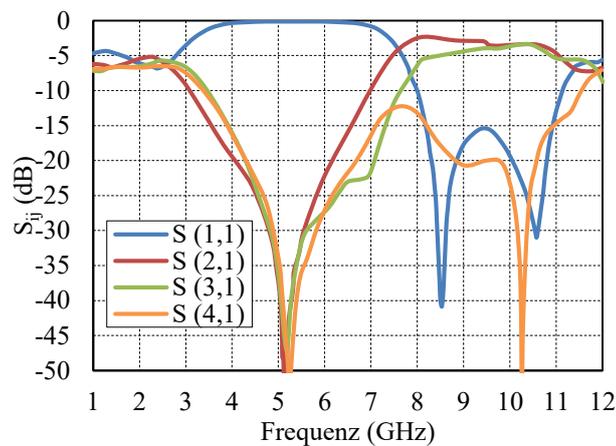


Abbildung 7.24: Simulierte S-Parameter des entworfenen Branchline-Kopplers mit offenen Stichleitungen einschließlich SMA-Steckern und CPW-zu-MS-Übergängen

In der Tabelle 7.1 sind neben den Koppler-Kenngrößen auch die Maße sowie die Verluste bei 10 GHz aufgelistet.

Tabelle 7.1: Abmessungen und Kenngrößen der entworfenen Koppler

Name des Kopplers	Branchline-Koppler	Doublebox-Koppler	Branchline-Koppler mit Stichleitungen
Abmessungen $h \times l$ (mm <sup>2</sup> )	27,7x33,5	28x33,5	32,3x33,5
Einfügedämpfungen $a$ @ 10GHz (dB)	0,51	0,62	0,64
Bandbreite $\Delta f$ (GHz)	1,2	2,1	1,4
Eingangsreflektion $a_R$ (dB)	18,8	19,6	20
Durchgangsdämpfung $a_T$ (dB)	3,5	3,5	3,6
Koppeldämpfung $a_C$ (dB)	3,6	3,6	3,7
Isolation $a_I$ (dB)	18,7	23,2	24

In der Tabelle sind außerdem die Bandbreiten der drei Koppler angegeben. Aus diesen Ergebnissen wird ersichtlich, dass die auf mehr Bandbreite ausgelegten Koppler die Vorgaben weitestgehend erfüllen. Während der Double-Box-Koppler mit 2,1 GHz fast eine doppelt so hohe Bandbreite aufweist wie der klassische Branchline-Koppler (Bandbreite=1,2 GHz), liefert der Branchline-Koppler mit offenen Stichleitungen mit seiner Bandbreite von 1,4 GHz nur eine geringfügig größere Bandbreite. In den Punkten Reflexionsfaktor und Isolation bei 10 GHz liefern die breitbandigen Koppler gegenüber dem Branchline Koppler nur geringe Verbesserungen. In der Tabelle 7.1 sind die Abmessungen der drei entwickelten Koppler inklusive der Zuleitungen zu Koaxialstecker, 50 $\Omega$ -Abschlusswiderstand und dem Mikrostreifenleitungsteil des CPW-zu-MS-Überganges zu den Verstärkerstufen aufgelistet. Wie zu erwarten war, hat der Branchline-Koppler die kompaktesten Abmessungen. Die anderen beiden Koppler sind zwar etwas größer, jedoch ist infolge der hybriden Realisierung das kein entscheidender Nachteil. Abbildung 7.25 und 7.26 zeigen die hybriden Verstärkermodule der balancierten Verstärker, die mit dem Branchline-Koppler und dem Doublebox-Koppler aufgebaut sind.

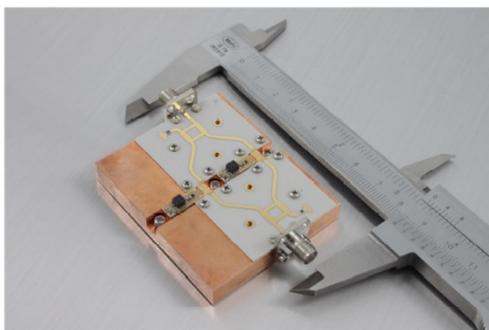


Abbildung 7.25: Foto des aufgebauten balancierten Leistungsverstärkers mit Branchline-Kopplern

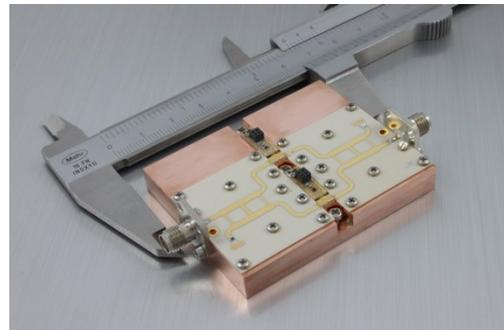


Abbildung 7.26: Foto des aufgebauten balancierten Leistungsverstärkers mit Doublebox-Kopplern

Die entworfenen Koppler wurden extern hergestellt und zusammen mit im Teilabschnitt 7.1.1 beschriebenen zwei Verstärkergrundbausteinen und den SMA-Steckern auf einem Kupferträger verschraubt anschließend miteinander verlötet bzw. gebondet.

An den als hybride Verstärkermodule aufgebauten balancierten Verstärkern wurden nun S-Parameter- und cw-Leistungsmessungen durchgeführt. Die Messergebnisse sind in den Abbildung 7.27 bis 7.32 dargestellt.

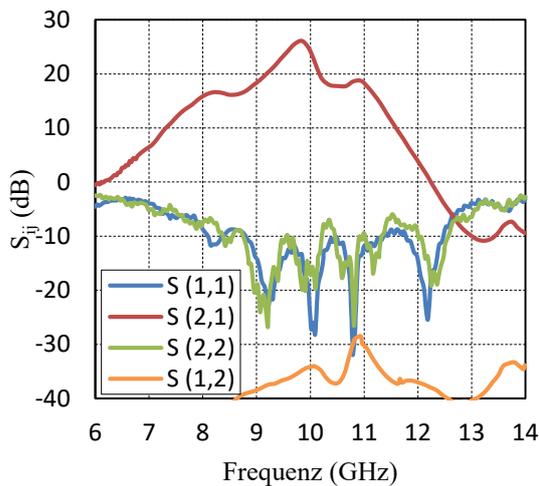


Abbildung 7.27: S-Parameter-Messung des balancierten Leistungsverstärkers mit Branchline-Kopplern

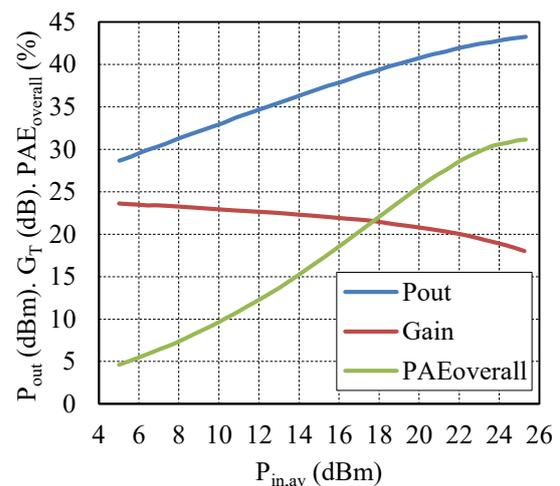


Abbildung 7.28: cw Leistungsmessung des balancierten Leistungsverstärkers mit Branchline-Kopplern bei 10 GHz

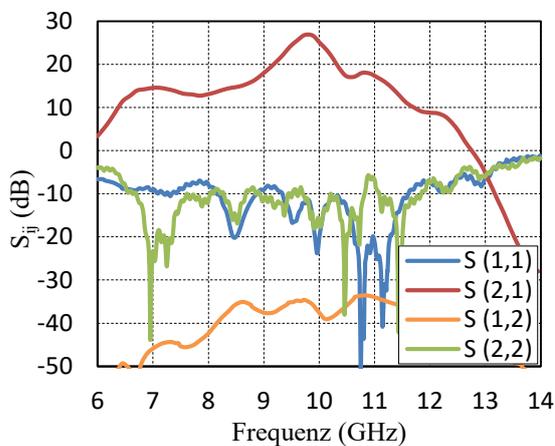


Abbildung 7.29: S-Parameter-Messung des balancierten Leistungsverstärkers mit Doublebox-Kopplern

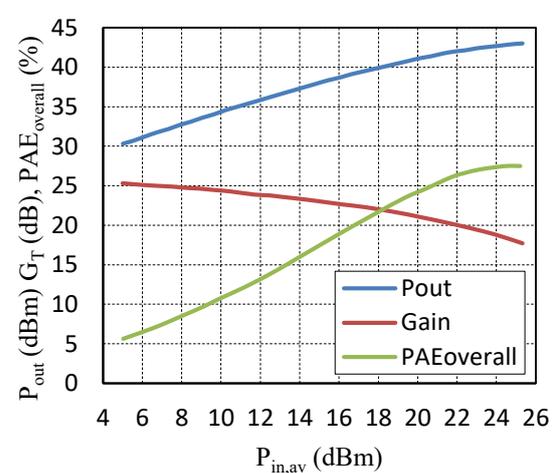


Abbildung 7.30: cw Leistungsmessung des balancierten Leistungsverstärkers mit Doublebox-Kopplern bei 10 GHz

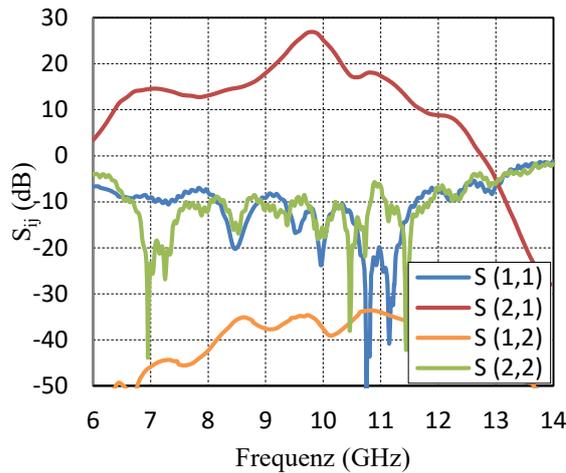


Abbildung 7.31: S-Parameter-Messung des balancierten Leistungsverstärkers mit Branchline-Kopplern und offenen Leitungen

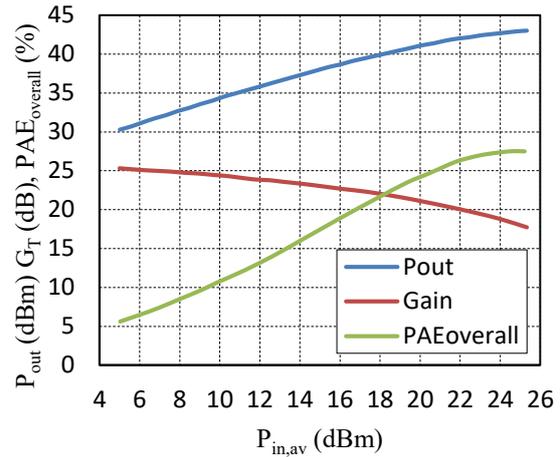


Abbildung 7.32: cw Leistungsmessung des balancierten Leistungsverstärkers mit Branchline-Kopplern und offenen Leitungen bei 10 GHz

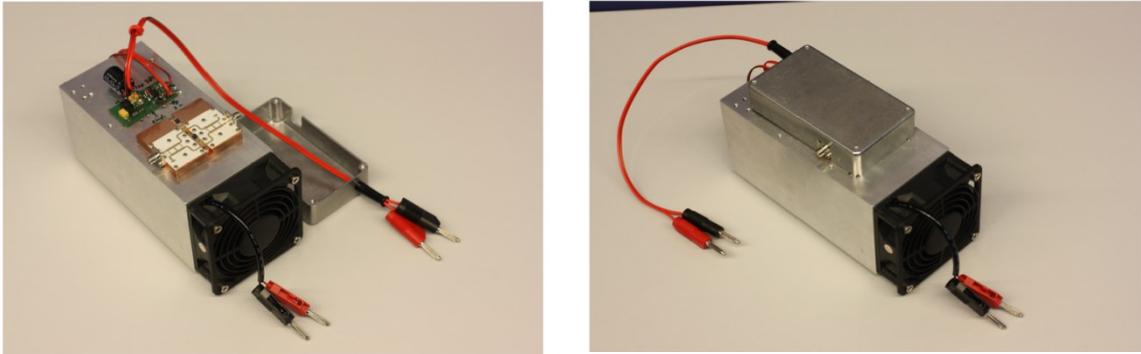
In der Tabelle 7.2 sind die gemessenen Verstärkerkenngrößen der drei Verstärkermodule aufgelistet. Demnach liefern alle drei Verstärker ein  $P_{out,max}$  zwischen 43,1 bis 43,4 dBm (20 bis 22 W). Der Verstärker mit Branchline-Kopplern liefert zwar die höchste  $P_{out,max}$  und die höchste maximale PAE, jedoch hat er mit 500 MHz die kleinste 3 dB-Bandbreite und mit 23,6 dB die geringste Kleinsignalverstärkung. Die beiden anderen Verstärker liefern zwar etwas größere 3 dB-Bandbreite und Kleinsignalverstärkungen, bleiben aber hinsichtlich maximale PAE und  $P_{out,max}$  etwas hinter dem Verstärker mit dem Branchline-Kopplern. Generell lässt sich sagen, dass alle drei aufgebauten Verstärkermodule in ihren gemessenen Kenngrößen etwa die gleichen Ergebnisse liefern.

Tabelle 7.2: Gemessene Verstärkerkenngrößen der aufgebauten Balancierten Verstärker mit den entworfenen Koppler

Name des Balancierten Verstärkers	Verstärkermodul mit Branchline-Koppler	Verstärkermodul mit Doublebox-Koppler	Verstärkermodul mit Branchline-Koppler mit Stichleitungen
Maximale Ausgangsleistung (dBm)	43,4	43,2	43,1
Kleinsignalverstärkung $G_T$ (dB)	23,6	25,3	25,4
Maximale PAE (%)	31	27,8	27,6
3 dB-Bandbreite (GHz)	0,55	0,7	0,6

Die Abbildung 7.33 zeigt ein für den autarken Einsatz im Messlabor präpariertes hybrides Verstärkermodul mit einem der entwickelten balancierten Verstärker. Der Kupferträger wurde dabei auf einen aktiven Kühlblock montiert und mit einer geregelten DC-Versorgungsplatine verbunden, der gleichen Versorgungsplatine, die auch beim single-ended-Verstärkermodul in der Abbildung 7.14 Einsatz fand. Die Platine sorgt für die korrekte Sequenzierung der notwendigen Spannungen für die Verstärkermodule beim Ein-

und Ausschalten und reduziert die erforderliche DC-Quellenanzahl von mehreren auf nur eine. Dieser Verstärker wird sowohl in der hausinternen Messtechnik eingesetzt als auch externen Projektpartnern zur Verfügung gestellt.



*Abbildung 7.33: Foto des aufgebauten balancierten Leistungsverstärkers mit Doublebox-Kopplern montiert auf einem Kühlblock und verbunden mit einem DC-Versorgungsnetzwerk (links: mit geöffnetem HF-Teil, rechts: geschlossen)*

## 8 Zusammenfassung und Ausblick

In der vorliegenden Arbeit werden koplanare monolithisch integrierte (MMIC) X-Band-Leistungsverstärker auf der Basis von GaN-Transistoren vorgestellt. Das Ziel ist, das Potential der koplanaren Variante im Vergleich zur gängigen Mikrostreifenleitungsversion zu klären und die Machbarkeit aufgebauter Verstärkermodule zu demonstrieren.

Dazu werden zunächst beide Varianten anhand der Leitungsdaten und eines konkreten Verstärkers verglichen. Mit diesem Fallbeispiel wird gezeigt, dass der nahezu identische Verstärker mit Mikrostreifenleitungen deutlich bessere Ergebnisse liefern würde, als mit Koplanarleitungen. So würde der gleiche Verstärker, mit Mikrostreifenleitung aufgebaut, eine um etwa 0,4 dB höhere maximale Ausgangsleistung  $P_{out,max}$ , eine um 1,7 dB höhere Verstärkung  $G_T$  und eine um etwa 8 % höhere Effizienz  $PAE$  führen. Dabei sind die Ursachen dieser besseren Ergebnisse der Mikrostreifenleitungs- gegenüber der koplanaren Variante hauptsächlich mit ihren niedrigeren ohmschen Verluste begründet

Als Resultat dieser Betrachtung wird nach Optimierungsmöglichkeiten der koplanaren GaN-MMIC-Technologie gesucht, die als Resultat den Entwurf von Leistungsverstärkern ermöglichen, die ein vergleichbares oder zumindest dem Verlustverhalten der GaN-MMIC-Technologie mit Mikrostreifenleitungen nahekommendes Verlustverhalten aufweisen.

Hierzu werden drei Ansätze verfolgt:

Der erste Ansatz zur Optimierung der CPW-Technologie (Technologie mit koplanaren Streifenleitungen) konzentriert sich auf die Leitungs-Diskontinuitäten in Form von Leitungsknicke (Bends) und -Verzweigungen (T-Junctions). Es werden an der einfachsten Form einer Parallelschaltung zweier Transistoren alternative Verteiler- und Kombinerer-Strukturen untersucht und als Teststrukturen realisiert und charakterisiert. Als Resultat dieser Untersuchung konnte eine alternative Verteiler- und Kombinerer-Struktur für die CPW-Technologie gefunden werden, die eine Verbesserung gegenüber der Standard-CPW-Variante darstellt. So liefert die Parallelschaltung der zwei Transistoren mit alternativen Verteiler- und Kombinerer gegenüber der Standard-Variante eine um etwa 0,7 dB höhere  $P_{out,max}$ , eine um etwa 3 % höhere  $PAE$  und ein um etwa 0,3 dB höheres  $G_T$ .

Als zweites wird versucht, alternative Ausführungen der CPW zu entwickeln, die geringere oder zumindest vergleichbare ohmsche Verluste aufweisen, wie die Mikrostreifenleitung und auch zusätzlich einen größeren Wertebereich an realisierbaren Wellenimpedanzen erlauben als die klassische CPW. Hierzu wurden sogenannte Interdigit CPWs (ICPW, aber auch Multidigit CPWs genannt) analysiert, mit Fokus auf den ohmschen Verlusten. Dieser

Ansatz der Koplanarleitungsoptimierung liefert zwar einige interessante Erkenntnisse mit praktischer Relevanz zur Thematik der ICPW, konnte aber keine CPW-Variante hervorbringen, die geringere Verluste aufweist und damit zu einer Verbesserung der koplanaren GaN-MMIC-Technologie beitragen kann.

Der dritte und letzte Optimierungsansatz zielt auf die Transistorzuleitung, auch Transistorperipherie genannt, ab. Hierzu werden mehrere Transistoren mit unterschiedlichen Zuleitungsvarianten prozessiert, gemessen und anschließend gegenübergestellt. Als Resultat dieser Untersuchungen konnte eine Zuleitungsvariante gefunden werden, bei der die Transistoren der koplanaren GaN-MMIC-Technologie gegenüber den mit den Standard-Zuleitungen eine um etwa 0,6 dB höhere  $P_{out,max}$ , eine um etwa 3 % höhere  $PAE$  und ein um etwa 1 dB höheres  $G_T$  aufweisen.

Neben diesen Optimierungsansätzen der CPW-Technologie wurden mit der gegebenen CPW-Technologie vier monolithisch integrierte (MMIC) X-Band-Leistungsverstärker realisiert die eine sukzessive Verbesserung zueinander darstellen. So konnte ein Leistungsverstärker-MMIC entworfen und aufgebaut werden, der eine Endstufen-Drain-Effizienz  $\eta_{D,FS}$  von 45 %, eine maximale Gesamt- $PAE$  von 37 %, eine Verstärkung  $G_T=26$  dB und eine maximale Ausgangsleistung von  $P_{out,max}=12$  W besitzt. Dadurch konnte ein koplanarer Leistungsverstärker-MMIC entworfen werden, der, wie in einer detaillierten State-of-the-Art-Betrachtung gezeigt, mit seinen Leistungsverstärkerkennwerten im Mittelfeld der gängigen und mit Mikrostreifenleitungen aufgebauten Leistungsverstärker-MMIC liegt.

Ein bekanntes Problem mit koplanaren Chips ist, dass diese beim Packaging zu unerwünschten Effekten wie parasitären Substratmoden oder ähnlichem führen können. Deshalb wurden die realisierten X-Band MMIC-Leistungsverstärker nicht allein on-wafer vermessen, sondern zu hybriden Verstärkermodulen mit klassischen Steckverbindern aufgebaut. Neben einem Modul als single-ended-Verstärker wurden auch balancierte Leistungsverstärker realisiert. Dazu wurde ein modulares Aufbaukonzept entwickelt. Die balancierten Verstärker erreichen ein  $P_{out,max}$  von etwa 22 W, ein  $G_T$  von etwa 24 dB und eine  $PAE$  von etwa 28 %. Das Modul als single-ended-Verstärker liefert eine  $P_{out,max}=11,5$  W, ein  $G_T$  von 25 dB und eine  $PAE$  von 30 %.

Als Ergänzung zu den genannten X-Band-Leistungsverstärkern wird noch eine Breitband-Version für den Frequenzbereich 2 bis 12 GHz vorgestellt, die auf dem Konzept des nicht-uniformen verteilten Verstärkers basiert, der State-of-the-Art-Werte erreicht. In einem Benchmarking mit anderen GaN-MMIC verteilten Leistungsverstärkern konnte gezeigt werden, dass der entworfene Verstärker, trotz der zweitkleinsten Chipfläche, konkurrenzfähige Werte erreicht.

Zusammenfassend lässt sich sagen, dass die Ergebnisse der vorliegenden Arbeit das Potential haben, die Defizite der koplanaren GaN-MMIC-Technologie gegenüber der Variante mit Mikrostreifenleitungen abzubauen und so mit ihr Verstärker zu entwickeln, die die Vorzüge der CPW-Technologie nutzen können und in ihren Leistungsdaten denen der Mikrostreifen-Variante näherkommen.

Die Untersuchung der Diskontinuitäten der CPW-Technologie in Form von Leitungsknicken (Bends) und -Verzweigungen (T-Junctions) hat gezeigt, dass hier weiteres Optimierungspotential vorhanden ist. Hier können weitere Optimierungsversuche bessere Ergebnisse bringen. Ebenso ist die Untersuchung von weiteren Transistorzuleitungen lohnenswert. Als nächsten Schritt kann eine Teststruktur, die die beiden gefundenen Optimierungslösungen aus den Untersuchungen zu den Diskontinuitäten und den Transistorzuleitungen kombiniert, sich als sinnvoll erweisen und als nächsten konsequenten Schritt eine gesamte Verstärkerschaltung folgern.

Darüber hinaus können die gefundenen Optimierungsansätze auch bei Anwendungen in den höheren Frequenzen von Bedeutung sein, da die Verbesserungen hauptsächlich auf die Kompensation von HF-Effekten zurückzuführen sind, die sich bei höheren Frequenzen weiter verschärfen werden. Deshalb ist auch eine Untersuchung in den oberen Frequenzbändern lohnenswert.

## Literaturverzeichnis

- [1] O. Zinke und H. Brunswig, Hochfrequenztechnik 2, 5. Auflage, Berlin, Heidelberg, New York: Springer-Verlag, 1999.
- [2] M. D. Pozar, Microwave Engineering, John Wiley & Sons Verlag, 2005.
- [3] M. Sato, K. Makiyama und K. Joshin, „GaN HEMT Technology for W-Band High Power Amplifiers,“ European Microwave Week 2017, Nuremberg, Germany, 2017.
- [4] J. Ferreira, J. Popovic, J. van Wyk und F. Pansier, „System Integration of GaN Technology,“ in *The International Power Electronics Conference*, Hiroshima, Japan, 2014.
- [5] K. Shinohara, „Challenges and Opportunities for the Advancement of Millimeter-Wave GaN Transistors,“ in *European Microwave Week*, Nürnberg, 2017.
- [6] G. D. Vendelin, A. M. Pavio und U. L. Rohde, Microwave Circuit Design Using Linear and Nonlinear Techniques, Wiley-Interscience, 2005.
- [7] S. Cripps, P. Wright, J. Lees, J. Benedikt und P. J. Tasker, „A Methodology for Realizing High Efficiency Class-J in a Linear and Broadband PA,“ *IEEE Transactions on Microwave Theory and Techniques*, Bd. 57, Nr. 12, pp. 3196-3204, 2009.
- [8] S. Cripps, RF Power Amplifiers for Wireless Communications, Norwood: Artech House, 2006.
- [9] H. L. Kraus, C. W. Bostian und F. H. Raab, Solid State Radio Engineering, New York: John Wiley & Son, 1980.
- [10] S. A. Maas, Nonlinear Microwave and RF Circuits, 2nd Edition, Norwood: Artech House, 2003.
- [11] F. L. G. Giannini, Nonlinear Microwave, West Sussex: John Wiley & Sons, 2004.

- [12] bsw TestSystems, *Datenblatt "Classic Load Pull, Hybrid Load Pull, Active Load Pull"*, German Microwave Conference 2013, Nürnberg: bsw TestSystems & Consulting, 2013.
- [13] J. Paviol, E. Kueckels und R. u. D. L. Varanasi, „PA Load Pull Error Limits using Delta Gt-Contours,“ in *IEEE Topical Workshop on Power Amplifiers for Wireless Communications*, San Diego, 2003.
- [14] E. Ersoy, O. Bengtsson und W. Heinrich, „Enhancing Dynamic Range and Accuracy of Load-Pull Measurements by Using Prematched Transistors,“ in *German Microwave Conference*, Nürnberg, 2015.
- [15] R. A. York, „Some Considerations for Optimal Efficiency and Low Noise in Large Power Combiners,“ *IEEE Transactions on Microwave Theory and Techniques*, pp. 1477-1482, August 2001.
- [16] H. Klockenhoff, *Optimiertes Design von Mikrowellen-Leistungstransistoren und Verstärkern im X-Band*, Berlin: Dissertation an der Technischen Universität Berlin, 2009.
- [17] M. Ohtomo, „Stability Analysis and Numerical Simulation of Multidevice Amplifiers,“ *IEEE Transactions on Microwave Theory and Techniques*, Bd. Volume: 41, Nr. 6, pp. 983-991, 1993.
- [18] A. Suárez und R. Quéré, *Stability Analysis of Nonlinear Microwave Circuits*, Norwood: Artech House, 2003.
- [19] Y. Ando, Y. Okamoto, H. Miyamoto, T. Nakayama und T. Inoue, „10-W/mm AlGa<sub>N</sub>-Ga<sub>N</sub> HFET with a Field Modulating Plate,“ *IEEE Electron Device Letters*, Bd. 24, Nr. 5, p. 289–291, Mai 2003.
- [20] U. Mishra, L. Shen, T. Kazior und Y. Wu, „GaN-Based RF Power Devices and Amplifiers,“ *Proceedings of the IEEE*, Bd. 96, Nr. 2, p. 287–305, Februar 2008.
- [21] Y. Wu, A. Saxler, M. Moore, R. Smith, S. Sheppard und P. Chavarkar, „30-W/mm Ga<sub>N</sub> HEMTs by Field Plate Optimization,“ *IEEE Electron Device Letters*, vol. 25, no. 3, p. 117–119, März 2004.

- [22] S. Piotrowicz, Z. Ouarch, E. Chartier und S. L. Delage, „43 W, 52 % PAE X-Band AlGaIn/GaN HEMTs MMIC amplifiers,“ in *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, Anaheim, CA, USA, 2010.
- [23] Y. S. Noh und I. B. Yom, „A 16 Watt X-band GaN High Power Amplifier MMIC for Phased Array Applications,“ in *IEEE International Conference on Microwave and Millimeter Wave Technology (ICMMT)*, Beijing, China, 2016.
- [24] H.-Q. Tao, W. Hong, B. Zhang und X.-M. Yu, „A Compact 60 W X-Band GaN HEMT Power Amplifier MMIC,“ *IEEE Microwave and Wireless Components Letters*, Bd. 27, Nr. 1, pp. 73-75, 2017.
- [25] O. Jardel, J. Mazeau, S. Piotrowicz, D. Caban-Chastas und E. Chartier, „GaN Power MMICs for X-Band T/R Modules,“ in *European Microwave Integrated Circuits Conference*, Paris, 2010.
- [26] S. Masuda und M. e. a. Yamada, „GaN Single-Chip Transceiver Frontend MMIC for X-Band Applications,“ in *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*, Montreal, QC, Canada, 2012.
- [27] M. Coffey, S. Schafer und Z. Popovic, „Two-Stage High-Efficiency X-Band GaN MMIC PA/Rectifier,“ in *IEEE MTT-S International Microwave Symposium*, Phoenix, 2015.
- [28] M. v. Heijningen, A. P. de Hek, F. E. van Vliet und S. Dellier, „Stability Analysis and Demonstration of an X-band GaN Power Amplifier MMIC,“ in *Microwave Integrated Circuits Conference (EuMIC)*, London, UK, 2016.
- [29] S. Piotrowicz, E. Morvan, S. Delage und e. al., „State of the Art 58 W, 38 % PAE X-Band AlGaIn/GaN HEMTs Microstrip MMIC Amplifiers,“ in *Compound Semiconductor Integrated Circuits Symposium, 2008. CSIC '08. IEEE*, Monterey, CA, USA, 2008.
- [30] D. Sardin, T. Reveyrand und Z. Popovic, „X-band 10W MMIC High-Gain Power Amplifier,“ in *European Microwave Integrated Circuit Conference (EuMIC), 2014 9th*, Rome, Italy, 2014.
- [31] D.-H. Shin, I.-B. Yom und D.-W. Kim, „X-Band GaN MMIC Power Amplifier for the SSPA of a SAR System,“ in *Radio-Frequency Integration Technology (RFIT), 2017 IEEE International Symposium on*, Seoul, South Korea, 2017.

- [32] D. Resca, A. Raffo, G. Vannini und e. al., „X-Band GaN Power Amplifier for Future Generation SAR Systems,“ *IEEE Microwave and Wireless Components Letters*, Bd. 24, Nr. 4, pp. 266-268, 2014.
- [33] S. Schafer, M. Litchfield, A. Zai, Z. Popovic und C. Campbell, „X-Band MMIC GaN Power Amplifiers Designed for High-Efficiency Supply-Modulated Transmitters,“ in *Microwave Symposium Digest (IMS), 2013 IEEE MTT-S International*, Seattle, WA, USA , 2014.
- [34] S. Schafer, M. Coffey und Z. Popovic, „X-Band Wireless Power Transfer with Two-Stage High-Efficiency GaN PA/ Rectifier,“ in *Wireless Power Transfer Conference (WPTC), 2015 IEEE*, Boulder, CO, USA , 2015.
- [35] R. Quay, F. van Raay und J. Kühn, „Efficient AlGaIn/GaN HEMT Power Amplifiers,“ in *Microwave Integrated Circuit Conference, 2008. EuMIC 2008. European*, Amsterdam, Netherlands, 2008.
- [36] J. Kuhn, F. van Raay, R. Quay, M. Thumm und e. al., „Design of highly-efficient GaN X-band-power-amplifier MMICs,“ in *IEEE MTT-S International Microwave Symposium Digest*, Boston, 2009.
- [37] F. van Raay, R. Quay und M. e. a. Schlechtweg, „A Coplanar X-Band AlGaIn/GaN Power Amplifier MMIC on s.i. SiC Substrate,“ *IEEE Microwave and Wireless Components Letters*, Bd. 15, Nr. 7, pp. 460-462, 2005.
- [38] H. Klockenhoff, R. Behtash, J. Wurfl, W. Heinrich und G. Trankle, „A Compact 16 Watt X-Band GaN-MMIC Power Amplifier,“ in *Microwave Symposium Digest, 2006. IEEE MTT-S International*, San Francisco, CA, USA, 2006.
- [39] H. Meinke und F. W. Gundlach, *Taschenbuch der Hochfrequenztechnik*, 5. Auflage, Berlin, Heidelberg, New York: Springer-Verlag, 1992.
- [40] R. K. Hoffmann, *Integrierte Mikrowellenschaltungen*, Berlin, Heidelberg, New York, Tokio: Springer-Verlag, 1983.
- [41] O. Zinke und H. Brunswig, *Hochfrequenztechnik 1*, 6. Auflage, Bd. 6. Auflage, Springer-Verlag, Hrsg., Berlin, Heidelberg, New York: Springer-Verlag, 1999.
- [42] W. Heinrich, *Beiträge zur Simulation monolithisch integrierter Höchsthfrequenzschaltungen*, Düsseldorf: VDI-Verlag, 1993.

- [43] K. Honjo, „Simple Circuit Synthesis Method for Microwave Class-F Ultra-High-Efficiency Amplifiers with Reactance-Compensation Circuits,“ *Solid-State Electronics* 44, 2000.
- [44] TriQuint, *Datenblatt TGF2953 zu "12 Watt Discrete Power GaN on SiC HEMT"*; *Datasheet: Rev A 10-22-14*, 2014.
- [45] D. A. Thompson und R. L. Rogers, „The Interdigital Coplanar Waveguide: A New Low-Impedance Micromachinable Planar Structure,“ *IEEE Microwave and Guided Wave Letter*, Bd. VOL. 8, Nr. NO. 7, pp. 257-259, 1998.
- [46] J. Lange, „Interdigitated stripline quadrature hybrid,“ *IEEE Transactions MTT-17*, Bd. 17 (12), pp. 1150-1151, 1969.
- [47] E. Ersoy, C. Meliani, S. Chevtchenko, P. Kurpas, M. Matalla und W. Heinrich, „A High-Gain X-Band GaN-MMIC Power Amplifier,“ in *German Microwave Conference*, Ilmenau, 2012.
- [48] E. Ersoy, S. Chevtchenko, P. Kurpas und W. Heinrich, „Potential of Coplanar X-band GaN-MMIC Power Amplifiers,“ *Frequenz*, Bd. 68, Nr. 9-10, pp. 415-419, 2014.
- [49] E. Ersoy, *Diplomarbeit "Multi-Band GaN-Mikrowellen-Leistungsverstärker mit kombiniert rechts- und linkshändigen Leitungen"*, Berlin: Technische Universität Berlin, 2008.
- [50] B. S. Virdee, A. S. Virdee und B. Y. Banyamin, *Broadband Microwave Amplifiers*, Boston und London: Artech House, 2004.
- [51] R. M. Fano, „Theoretical Limitations on the Broadband Matching of Arbitrary Impedances,“ *J. Franklin Institute*, Bd. 249, pp. 57-83, January 1950.
- [52] H. W. Bode, *Network Analysis and Feedback Amplifier Design*, New York City: Van Nostrand, 1945.
- [53] W. Bächtold, *Mikrowellentechnik*, Braunschweig: Vieweg Verlag, 2002.
- [54] C. Caloz und T. Itoh, *Electromagnetic Metamaterials: Theory and Microwave*, John Wiley & Sons, 2006.

- [55] C. e. a. Duperrier, „New Design Method of Uniform and Nonuniform Distributed Power Amplifiers,“ *IEEE Transactions on Microwave Theory and Techniques*, Bd. 49, Nr. 12, pp. 2494-2500, December 2001.
- [56] M. Campovecchio, B. L. Bras, M. Lajugie und J. Obregon, „Optimum design of distributed power-FET amplifiers. Application to a 2-18 GHz MMIC module exhibiting improved power performances,“ in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium*, San Diego, 1994.
- [57] E. Ersoy, S. Chevtchenko, P. Kurpas und W. Heinrich, „A Compact GaN-MMIC Non-Uniform Distributed Power Amplifier for 2 to 12 GHz,“ in *German Microwave Conference*, Aachen, 2014.
- [58] B. M. Green, V. Tilak, S. Lee, H. Kim, J. A. Smart, K. J. Webb, J. R. Shealy, Eastman und L. F., „High-power broadband AlGaIn/GaN HEMT MMICs on SiC substrates,“ in *MTT-S International Microwave Symposium Digest*, Phoenix, 2001.
- [59] C. Campbell, C. Lee, V. Williams, M. Y. Kao, H. Q. Tserng und P. Saunier, „A wideband power amplifier MMIC utilizing GaN on SiC HEMT technology,“ *IEEE Compound Semicond. Integr. Circuits Symp.*, p. 1–4, 12–15 Oktober 2008.
- [60] H. Wu, X. Liao, Q. Lin, Y. Hua, C. Wang, Y. Cheng und L. Hu, „A Compact Ultrabroadband Stacked Traveling-Wave GaN on Si Power Amplifier,“ *IEEE Transactions on Microwave Theory and Techniques*, Bd. 66, Nr. 7, pp. 3306 - 3314, 2018.
- [61] R. Santhakumar, B. Thibeault, M. Higashiwaki, S. Keller und Z. Chen, „Two-Stage High-Gain High-Power Distributed Amplifier Using Dual-Gate GaN HEMTs,“ *IEEE Transactions on Microwave Theory and Techniques*, Bd. 59, Nr. 8, pp. 2059-2063, 2011 2011.
- [62] J. Gassmann, P. Watson, L. Kehias und G. Henry, „Wideband, highefficiency GaN power amplifiers utilizing a non-uniform distributed topology,“ *IEEE MTT-S Int. Microw. Symp. Dig.*, p. 615–618, 3.-8. Juni 2007.
- [63] Rogers, *Datenblatt Rogers-Subtrat Typ 4003C*.

- 
- [64] K. Petermann, *Vorlesungsskript "Hochfrequenz 1"*, Berlin: Technischen Universität Berlin, 2003.
- [65] T. Nguyen-Xuan, *Masterarbeit "Balancierter GaN-X-Band Leistungsverstärker"*, Berlin: Technische Universität Berlin, 2014.
- [66] M. Thumm, *Vorlesungsskript "Hoch- und Höchstfrequenz-Halbleiterschaltungen an der Universität Karlsruhe"*, Karlsruhe: Karlsruher Institut für Technologie, 2006.
- [67] E. H. Fooks und R. A. Zakarevicius, *Microwave Engineering using Microstrip Circuits*, New York: Prentice Hall, 1990.

# Abkürzungsverzeichnis

Abkürzung	Bedeutung
ADS	Advanced Design System; Simulationssoftware der Firma Keysight
AESA	Active Electronically Scanned Array
AlGaN	Aluminiumgalliumnitrid
APAR	Active Phased Array Radar
cw	continous wave; Kontinuierliche Welle bzw. kontinuierliches Signal
CPW	Coplanar Wave Guide; Koplenerleitung
D2F-Ratio	Treiber-/Endstufen-Gate-Weiten-Verhältnisses
DS	Driver Stage; Treiberstufe
DUT	Device Under Test
FP	Feldplatte
FBH	Ferdinand-Braun-Institut für Höchstfrequenztechnik
FS	Final Stage; Endstufe
GaAs	Galliumarsenid
GaN	Galliumnitrid
GBP	Gain-bandwidth-Product; Verstärkung-Bandbreite-Produkt
GND	Ground, Massefläche
HEMT	High-Electron-Mobility Transistor
HF	Hochfrequenz
IMN	Input Matching Network, Eingangsanpassnetzwerk
IPCW	Interdigit-CPW; Zwischenfinger- bzw. Mehrfinger CPW
ISMN	Interstage Matching Network, Zwischenanpassnetzwerk
LP/SP	Load- und Source-Pull
MMIC	Monolithic Microwave Integrated Circuit; monolithisch integrierten Mikrowellenschaltkreisen
MS	Mikrostreifen bzw. Mikrostreifenleitung
OMN	Output Matching Network, Ausgangsanpassnetzwerk
PA	Power Amplifier; Leistungsverstärker
PAE	Power Added Efficiency, Leistungsaddierte Effizienz
PM	Prematching; Voranpassung
PPM	Parallel-Platten-Mode
SKFP	Source-kontaktierte Feldplatte
SGN	Signal bzw. Signalleiter
SiC	Siliciumcarbid
TEM	Transverse Electromagnetic
TWA	Travelling Wave Amplifier; Wanderwellenverstärker

## Liste der wichtigsten Formelzeichen

Formelzeichen	Bedeutung
$\alpha, \alpha_{OMN}$	Dämpfungskonstante, Einfügedämpfungen bzw. Verluste
$a_I, a_C, a_R, a_T$	Isolation, Koppeldämpfung, Eingangsreflektion, Durchgangsdämpfung
$\beta, \beta_d, \beta_g$	Phasenkonstante, Phasenkonstante der Drain- oder Gate-Leitung
$\beta_0$	Phasenkonstante der luftgefüllten Leitung ( $\epsilon_r=1$ )
$C_{FB}$	Rückkoppelkapazität
$C_{gs}, C_{gd}, C_{ds}$	Gate-Source-, Gate-Drain-, Drain-Source-Kapazität
$\Delta G_T$	Abweichung zwischen dem transducer power Gain $G_{TS}$ und dem im LP-Messsystem gemessenen transducer Gain $G_T$
$\epsilon_r, \epsilon_{r,eff}$	Relative Dielektrizitätskonstante ; effektive relative Dielektrizitätskonstante für ein homogenes Ersatzmedium
$f_0$	Betriebsfrequenz
$f_c, f_g$	Grenzfrequenz
$f_T$	Transitfrequenz $ H_{21}(f_T) ^2=1$
$g_m$	Steilheit
$G_{fwd}, G_{rev}$	Vorwärts- bzw. Rückwärtsverstärkung der TWA
$G_P$	Power Gain ; Klemmenleistungsgewinn
$G_T$	Transducer Power Gain; Übertragungsleistungsverstärkung
$G_{T,sys}, G_{Ti}, G_{Tp}$	$G_T$ eines Systems (Verstärkers), eines Transistors bzw. eines Vorverstärkers
$\Gamma_{opt}, \Gamma_{L,opt}, \Gamma_{S,opt}$	Optimaler Source- oder Load-Reflektionsfaktor bzgl. $P_{out}$ oder $PAE$
$I_{DS}, I_{GS}$	Drain-, Gate-Source-Strom
$I_{DS,max}$	Maximaler Drain-Source-Strom
$I_Q$	Quiescent Current; Ruhestrom
$L_d, L_g$	Drain- oder Gate-Induktivität
$L_i, L_{ismn}, L_o$	Einfügedämpfungen der IMS, ISMN und OMN
$l_g$	Gate-Länge
$l_d, l_{gg}$	Leitungslänge der Drain- oder Gate-Leitung
$\lambda$	Wellenlänge
$\eta_D, \eta_{D,FS}$	Drain-Effizienz, Drain-Effizienz der Endstufe
$N_{opt}$	optimalen Stufenanzahl des TWAs
$p$	Pitch, Abstand der Transistorfinger zueinander
$P_{1dB}$	Ausgangsleistung am 1 dB-Kompressionspunkt
$P_{3dB}$	Ausgangsleistung am 3 dB-Kompressionspunkt
$P_{DC}, P_{DC}$	Gleichspannungsleistung, Gleichspannungsleistung eines Transistors
$P_{in}, P_{it}$	Eingangsleistung, Eingangsleistung eines Transistors
$P_{in,av}$	Verfügbare Eingangsleistung

---

$P_{out}, P_o, P_{ot}$	Ausgangsleistung, Eingangsleistung eines Transistors
$P_{out,max}$	Maximale Ausgangsleistung
$P_{ref}$	Reflektierten Leistung
$P_{sat}$	Sättigungs- bzw. Sättigungsausgangsleistung
$PAE$	Power Added Efficiency; Leistungsaddierten Effizienz
$PAE_{sys}, PAE_t,$ $PAE_p$	$PAE$ eines Systems (Verstärkers), eines Transistors bzw. eines Vorverstärkers
$R_{FB}, R_o$	Rückkoppelwiderstand; Odd-Mode-Widerstand (Gegentaktwiderstand)
$R_{ds}, R_i$	Drain-Source-Widerstand, Innenwiderstand
$\theta$	Conduction Angle; Stromflusswinkel
$t_{SG}, t_{SD}, t_{FPS}$	Source-Gate-, Source-Drain-Abstand, Felplattenüberstand
$U_d$	Drain-Spannung
$w_g, w_{gg}, w_{gg,DS},$ $w_{gg,FS}$	Gate-, Gesamt-Gate-Weite, Gesamt-Gate-Weite der Treiberstufe bzw. der Endstufe;
$w_g, w_s$	Masseleiter- und Signalleiterbreite
$Z_{opt}, Z_{L,opt}, Z_{S,opt}$	Optimaler Source- oder Loadimpedanz bzgl. $P_{out}$ , oder $PAE$
$Z_L, Z_{LE}$	Wellenwiderstand oder Lastimpedanz; Einheitswellenwiderstand
$Z_{L0}$	Leitungswellenwiderstand der luftgefüllten Leitung ( $\epsilon_r=0$ )

---