

**Designgenerierung analoger Schaltungen unter der  
Verwendung einer Templatemethode am Beispiel eines  
Pipeline A/D-Wandlers**

vorgelegt von

**Diplom-Physiker Stephan Thiel  
aus Oranienburg**

**von der Fakultät IV - Elektrotechnik und Informatik  
der Technischen Universität Berlin  
zur Erlangung des akademischen Grades**

**Doktor der Ingenieurwissenschaften  
- Dr.-Ing. -**

**genehmigte Dissertation**

Promotionsausschuss:

Vorsitzender: Prof. Dr.-Ing. Ben Juurlink

Gutachter: Prof. Dr.-Ing. Heinrich Klar

Gutachterin: Prof. Dr. rer.-nat. Doris Schmitt-Landsiedel

Gutachter: Prof. Dr.-Ing. Roland Thewes

Tag der wissenschaftlichen Aussprache: 13.04.2012

**Berlin 2012**

**D 83**



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Motivation . . . . .	2
1.2	Beitrag . . . . .	3
<b>2</b>	<b>A/D-Wandler</b>	<b>5</b>
2.1	Grundlagen . . . . .	5
2.2	Bewertungsmaßstäbe . . . . .	6
2.2.1	Die Gesamtheit der harmonischen Störungen . . . . .	6
2.2.2	Das Signal-Rausch-Verhältnis . . . . .	7
2.2.3	Signal zu Rausch- und Störungsverhältnis . . . . .	10
2.2.4	Der dynamische Bereich . . . . .	10
2.2.5	Spurious Free Dynamic Range (SFDR) . . . . .	11
2.2.6	Figure of Merit (FOM) . . . . .	12
2.3	A/D-Wandler Architekturen . . . . .	13
2.3.1	Der Vollparallelwandler . . . . .	13
2.3.2	Der Zwei-Schritt-A/D-Wandler . . . . .	15
2.3.3	Der Pipeline A/D-Wandler . . . . .	16
2.3.4	Der Parallel-Pipeline A/D-Wandler . . . . .	17
2.3.5	Kalibrierung . . . . .	18
2.4	Fundamentale Limitierungen für A/D-Wandler . . . . .	18
2.4.1	Das thermische Rauschen des Nachlauf- und Halteprozesses . . . . .	18
2.4.2	Abtastzeitungenauigkeit . . . . .	24
<b>3</b>	<b>Der Pipeline A/D-Wandler</b>	<b>26</b>
3.1	Allgemeine Struktur . . . . .	26
3.2	Realisierungsvarianten . . . . .	29
3.2.1	Der 1.5-Bit pro Stufe Pipeline A/D-Wandler . . . . .	29
3.2.2	Die 2.5 Bit Pipeline Stufe . . . . .	31
3.3	Unterelemente des Pipeline A/D-Wandlers . . . . .	35
3.3.1	Der Taktphasengenerator . . . . .	35

3.3.2	Switched-Capacitor Schaltungen . . . . .	36
3.3.3	Der Komparator . . . . .	62
3.4	Auswirkung der Fehlerquellen . . . . .	62
3.4.1	Finite offene Schleifenverstärkung . . . . .	62
3.4.2	Kapazitätsmissverhältnis . . . . .	65
3.4.3	Einschwingfehler . . . . .	67
3.4.4	Kombinierte Fehler . . . . .	68
3.4.5	Thermisches Rauschen, Jitter und Quantisierungsrauschen . . . . .	70
3.4.6	Einige XSPICE-Gesamtsystems Simulationen . . . . .	70
<b>4</b>	<b>Systemsimulation</b>	<b>74</b>
4.1	Zeitkontinuierliche Makromodelle . . . . .	76
4.2	Quasizeitkontinuierliche Systemsimulation mit CPPSIM . . . . .	79
4.3	Ereignisorientierte Simulation . . . . .	81
4.3.1	Modellierung des zeitdiskreten SC-Verstärkers . . . . .	83
4.3.2	Simulation komplexer Systeme im Zeitdiskreten . . . . .	91
<b>5</b>	<b>Analoge Schaltungen und deren Synthese</b>	<b>97</b>
5.1	Einleitung . . . . .	97
5.2	Numerische Hilfsmittel und Modelle . . . . .	97
5.2.1	Optimierung . . . . .	98
5.2.2	Transistormodell . . . . .	99
5.3	Gleichlauffehler . . . . .	102
5.3.1	Gleichlauf von Transistoren . . . . .	102
5.3.2	Gleichlauf von Kapazitäten . . . . .	103
5.4	Operationsverstärker . . . . .	103
5.4.1	Gain-Boosting . . . . .	106
5.4.2	Entwurfzentrierung des Operationsverstärkers (OPV) . . . . .	109
5.4.3	Gleichtaktregelung . . . . .	113
5.5	Schalter . . . . .	115
5.5.1	Dimensionierung der Schalter . . . . .	121
5.6	Komparatoren . . . . .	122
<b>6</b>	<b>State of the Art der Schaltungssynthese</b>	<b>125</b>
6.1	Einleitung . . . . .	125
6.2	Der Analog- und Mixed-Signal-Designprozess . . . . .	125
6.2.1	Globales Systemkonzept und Systempartitionierung . . . . .	126
6.2.2	Funktionalblockfragmentierung und Dimensionierung . . . . .	127
6.2.3	Zelldimensionierung . . . . .	127
6.2.4	Zelllayouterstellung . . . . .	129

6.2.5	System- und Funktionalblocklayouterstellung . . . . .	130
<b>7</b>	<b>Synthesekonzept</b>	<b>132</b>
7.1	Beispielsynthese . . . . .	137
<b>8</b>	<b>Layoutgenerierung</b>	<b>143</b>
8.1	Templatemethode . . . . .	143
8.1.1	Programmiertes Layout . . . . .	144
<b>9</b>	<b>Implementierung der Prototypen</b>	<b>158</b>
9.1	Taktgenerierung . . . . .	158
9.2	Die Operationsverstärker . . . . .	159
9.3	Der Komparator . . . . .	162
9.4	Schalter . . . . .	163
9.5	Das Abtast- und Halteglied . . . . .	164
9.6	Die 1.5 Bit Pipeline Stufe . . . . .	165
9.7	Referenzstromverteilung . . . . .	167
9.8	Die digitale Ausgangsworterstellung . . . . .	167
9.9	Chipfotos . . . . .	170
9.10	Weiterführung . . . . .	171
<b>10</b>	<b>Experimenteller Aufbau und Ergebnisse</b>	<b>178</b>
<b>11</b>	<b>Zusammenfassung und Ausblick</b>	<b>186</b>
<b>A</b>	<b>Schichten</b>	<b>188</b>
<b>B</b>	<b>Transistoren</b>	<b>189</b>
<b>C</b>	<b>Simulatorvergleich am Beispiel eines OPV</b>	<b>190</b>
<b>D</b>	<b>Hilfsbetrachtungen</b>	<b>194</b>
D.1	Kohärente FFT . . . . .	194
<b>E</b>	<b>Die Programme</b>	<b>195</b>
<b>F</b>	<b>Layoutmodule</b>	<b>199</b>
F.1	Analog Layout-Module . . . . .	199
F.2	Digitalelemente . . . . .	200

# Abbildungsverzeichnis

1.1	Konzeptskizzen für mögliche analoge Eingangspfade von Kommunikationssystemen . . . . .	2
2.1	DNL und INL eines 3 Bit A/D-Wandlers . . . . .	7
2.2	FFT eines mit N-Punkten abgetasteten Signals . . . . .	8
2.3	SINAD in Abhängigkeit von der Eingangssignalamplitude . . .	11
2.4	Der Flash A/D-Wandler . . . . .	14
2.5	Der Two-Step A/D-Wandler . . . . .	15
2.6	Der Pipeline A/D-Wandler . . . . .	16
2.7	Der Parallel Pipeline A/D-Wandler . . . . .	17
2.8	Schalter-Kapazitätskombination . . . . .	19
2.9	Darstellung der äquivalenten Rauschbandbreite des $R_{sw}C$ -Tiefpasses . . . . .	20
2.10	Rauschsignale in einem Nachlauf- und Halteglied . . . . .	20
2.11	SINAD über Eingangsfrequenz für unterschiedliche Jitterwerte	24
3.1	Prinzipzeichnung des differentiellen 1Bit pro Stufe Pipeline A/D-Wandlers ohne zugehörige Taktphasen . . . . .	27
3.2	Differentielles Ausgangssignal der 1Bit Pipeline Stufe in Abhängigkeit vom differentiellen Eingangssignal . . . . .	28
3.3	Differentielles Ausgangssignal der 1.5 Bit Pipeline Stufe in Abhängigkeit vom differentiellen Eingangssignal . . . . .	29
3.4	Prinzipskizze der Realisierung eines Single-Ended 1.5Bit-MDACs	30
3.5	Prinzipskizze der Realisierung eines Single-Ended 2.5 Bit-MDACs	33
3.6	Differentielles Ausgangssignal der 2.5 Bit Pipeline Stufe in Abhängigkeit vom differentiellen Eingangssignal . . . . .	34
3.7	Taktgenerator . . . . .	35
3.8	Taktgenerator Ausgangssignal . . . . .	36
3.9	Single-ended SC-Verstärker Variante 1 . . . . .	37
3.10	Single-ended SC-Verstärker Variante 2 . . . . .	38
3.11	Single-ended SC-Verstärker in der Transition von $\phi_1$ und $\phi_2$ .	38

3.12	Äquivalente Kleinsignalbeschreibung einer einstufigen Verstärkerstufe mit Rückkopplung in den Phasen . . . . .	40
3.13	Verfahren zur Abtastung des Offsets auf die Eingangskapazität zu beiden Taktphasen (a) $\phi_1$ und b) $\phi_2$ ) . . . . .	41
3.14	Kleinsignaläquivalent einer SC-Verstärkerstufe in der Phase $\phi_2$	44
3.15	Rauschquellen einer SC-Verstärkerstufe in beiden Phasen . . .	46
3.16	Rauschen des SC-Verstärkers im Zeitbereich . . . . .	47
3.17	Rauschsignalprozessierung . . . . .	48
3.18	Rauschkleinsignalmodell eines einstufigen Verstärkers . . . . .	50
3.19	Abtast- und Halteglied ohne Zurücksetzphase . . . . .	53
3.20	Simulation des Abtast- und Halteglied nach Abb. 3.19 . . .	54
3.21	Abtast- und Halteglieder mit Zurücksetzphase . . . . .	56
3.22	Simulation des Abtast- und Halteglied nach Abb. 3.21 . . .	57
3.23	Verstärker mit konstanter Verstärkung, realisiert mit geschalteten Kapazitäten . . . . .	58
3.24	Zurücksetzschalter mit verringerter Kopplungskapazität . . . .	59
3.25	ENOB in Abhängigkeit von $A_0$ aller Operationsverstärker für einen 10Bit Pipeline A/D-Wandler mit einem Feedback-Faktor von 0.4 . . . . .	63
3.26	ENOB in Abhängigkeit von $A_0$ aller Operationsverstärker für einen 12Bit Pipeline A/D-Wandler mit einem Feedback-Faktor von 0.4 . . . . .	64
3.27	50 XSPICE-Monte-Carlo-Simulationen-WC-SINAD über den Kapazitätsgleichlauffehler . . . . .	67
3.28	FFT von den XSPICE-Monte-Carlo-Simulationen mit einer Standardabweichung von 0.1% für das Kapazitätsmissverhältnis	72
3.29	Histogramm von der ENOB über XSPICE-Monte-Carlo-Simulationen mit einer Standardabweichung von 0.013% für das Kapazitätsmissverhältnis . . . . .	73
4.1	Makromodellierung der Pole bei einem Operationsverstärker .	77
4.2	Illustration der Slewrate . . . . .	77
4.3	Makromodellierung der Slewrate . . . . .	78
4.4	Makromodellierung des differentiellen Ausgangs . . . . .	79
4.5	Prinzipskizze der Makromodellierung des Operationsverstärkers/OTAs . . . . .	79
4.6	CPPSIM-Simulation eines Abtast- und Halteglied nach Abb. 3.19 . . . . .	82
4.7	Taktregime . . . . .	84
4.8	Kleinsignalbetrachtung der zweistufigen Verstärkerstufe mit Rückkopplung . . . . .	86
4.9	Einschwingen eines zweipoligen Verstärkers . . . . .	89

4.10	Pipeline A/D-Wandler auf Systemebene . . . . .	92
4.11	Pipeline Stufe a), b) die 1.5-Bit XSPICE-Implementation und c) deren Parametersatz . . . . .	93
4.12	XSPICE-Simulation eines 12-Bit Pipeline A/D-Wandlers mit 1.5 Bit pro Stufe . . . . .	94
4.13	XSPICE-Simulation eines 12-Bit Pipeline A/D-Wandlers mit 1.5Bit pro Stufe . . . . .	95
4.14	XSPICE-Implementation eines 12-Bit Pipeline A/D-Wandlers	96
5.1	Illustration der Funktion „dim_wideswingcurrentmirror“ . . .	99
5.2	NMOS Transistor- $v_{th,n}$ -, $\lambda_n$ - und $k_n$ -Langkanalapproximationen für eine 90nm-CMOS-Technologie . . . . .	101
5.3	Einstufige Verstärker a) Folded-Cascode b) Telescopic-Cascode	104
5.4	Biasing für einen Folded-Cascode-OTA . . . . .	104
5.5	Zweistufiger Operationsverstärker mit Millerkompensation und Class-A-Ausgangsstufe . . . . .	105
5.6	Zweistufiger Operationsverstärker mit NMC-Kompensation und Class-A-Ausgangsstufe . . . . .	105
5.7	Prinzipskizze für das Gain-Boosting-Verfahren . . . . .	107
5.8	Bode-Diagramm für das Gain-Boosting-Verfahren . . . . .	108
5.9	AC- und Transientsimulation (Abtast- und Halteglied nach Abb. 3.21a) eines Gain-Boosted-Folded Cascode OTAs . . . . .	109
5.10	Einschwingfehler bei einer SC-Verstärkerstufe mit $G=2$ . . . . .	110
5.11	Cornervariation der Leerlaufverstärkung des OPV . . . . .	112
5.12	Cornervariation des Phasemargins bei $f=1$ des OPV . . . . .	113
5.13	Cornervariation des Transitfrequenz $f_T$ bei $f=1$ des OPV . . .	113
5.14	SC-Gleichtaktregelung gültig in $\phi_2$ . . . . .	114
5.15	SC-Gleichtaktregelung gültig in $\phi_1$ und $\phi_2$ . . . . .	115
5.16	Linearer CMOS-Schalter in einer $0.13\mu m$ CMOS-Technologie .	116
5.17	Schalter mit dem Eingangssignal folgender Gate-Spannung . .	116
5.18	Gate-Spannungserhöhung a) und Ausgangsleitwert b) beim GB-Schalter . . . . .	117
5.19	Testkonfiguration für die Linearität von Schaltern . . . . .	118
5.20	512-Punkt-FFT des Ausgangssignals der Schalter mit einem Sinuseingangssignal . . . . .	119
5.21	Gleichtakt-Sprung durch die Kanalladung des GB-Schalters ohne a) und mit b) Dummy-Schalter . . . . .	120
5.22	GB-Schalter mit Dummy-Schaltern . . . . .	121
5.23	Dynamischer Komparator mit Eingangstufe im Triodenbereich	123
5.24	Verbesserter dynamischer Komparator . . . . .	124

6.1	Der Analog- und Mixed-Signal Design-Prozess . . . . .	126
7.1	Der Syntheseprozess . . . . .	133
7.2	Unvollständige A/D-Wandler-Klassenhierarchie . . . . .	135
7.3	Unvollständige Opamp/OTA-Klassenhierarchie . . . . .	136
7.4	Ein Systemreferenzdesign eines 10Bit 100MSPS 1.5Bit pro Stufe Pipeline A/D-Wandlers . . . . .	139
7.5	Referenzdesign einer der ersten SC-Verstärkerstufen mit Adierpfad auf Funktionalblockebene . . . . .	140
8.1	Relative Platzierung innerhalb des Layoutgenerators . . . . .	145
8.2	Layout eines Transistors a)NMOS und b) PMOS . . . . .	145
8.3	Layout von Kapazitäten und Widerständen . . . . .	146
8.4	Layout eines 2D-Common-Centroid angeordneten NMOS-Transistorpaares . . . . .	147
8.5	Layout verschiedener 1D-Common-Centroid angeordneter NMOS-Transistorpaare mit Randdummies . . . . .	148
8.6	Schematische Zeichnung eines NMOS-Transistorpaares mit Randdummies und Abstandsdummies . . . . .	149
8.7	OCR-Layout eines in einem Streifen oder in zwei Streifen angeordneten PMOS-Common-Source-Transistorpaares mit Randdummies . . . . .	150
8.8	Layoutorganisation der SC-Elemente . . . . .	151
8.9	Analoge Standardzellen in der Schematischen Zeichnung a) und im Layout b) . . . . .	152
8.10	Layout eines Digitalblockes . . . . .	154
8.11	Schematische Zeichnung für die Synthese einer SC-MDAC-Verstärkerstufe mit dem Editor ICSchem . . . . .	155
8.12	Schematische Zeichnung und Layout einer vorprogrammierten einfachen Single-Ended-OTA-Stufe . . . . .	156
8.13	Schematische Zeichnung (a) und Layout (b und c) von zwei vorprogrammierten Versionen eines CMOS-Schalters mit Dummy-Schaltern . . . . .	157
9.1	Taktgenerator für beide Prototypen und dessen generiertes Layout . . . . .	159
9.2	Zweistufer Operationsverstärker für das Abtast- und Halteglied und die erste MX2-Stufe des ersten Prototypen . . . . .	160
9.3	Telescopic OTA für die hinteren MX2-Stufen des ersten Prototypen und dessen Bias-Schaltung . . . . .	161

9.4	OTA für das Abtast- und Halteglied und die ersten MX2-Stufen des zweiten Prototypen . . . . .	162
9.5	Gain-Boosting-Hilfsverstärker für die a) NMOS- und b) PMOS-Kaskode . . . . .	163
9.6	OTA für die hinteren MX2-Stufen des zweiten Prototypen . . . . .	164
9.7	CMFB-Schaltung . . . . .	165
9.8	SC-artiger Komparator des Sub-A/D-Wandlers des zweiten Prototypen . . . . .	165
9.9	Vorverstärker a) und dynamischer Komparator b) . . . . .	166
9.10	Implementierung des Gate-Boosted-Schalters . . . . .	167
9.11	Implementierung der CMOS-Schalter mit Dummies a) und mit veringertes Kopplungskapazität b) . . . . .	168
9.12	Implementierung des Abtast- und Haltegliedes . . . . .	169
9.13	Implementierung der Pipeline Stufe . . . . .	169
9.14	Implementierung des Zwischenstufenverstärkers . . . . .	170
9.15	Implementierung des Sub-A/D-D/A-Wandler-Elementes . . . . .	171
9.16	Hauptstromspiegel . . . . .	171
9.17	Finaler Addierer . . . . .	172
9.18	Digitale Pipeline . . . . .	173
9.19	Chipfoto des ersten Prototypen . . . . .	174
9.20	Chipfoto des zweiten Prototypen . . . . .	174
9.21	Einfacher Operationsverstärker für das S&H des dritten Designs	175
9.22	Operationsverstärker für die ersten SC-Verstärkerstufen des dritten Designs . . . . .	175
9.23	Transient-Simulation des Operationsverstärkers nach Abb. 9.22 in einem SC-Integrator . . . . .	176
9.24	Zwei MX2-Stufen mit Opamp Sharing . . . . .	177
10.1	Platinenebenen der A/D-Wandler-Prototypen-Meßplatine . . . . .	179
10.2	50 $\Omega$ -Anpassung und Wandlung von Single- zu Differential-Ended mit einem Transformator . . . . .	179
10.3	50 $\Omega$ -Anpassung und Wandlung von Single- zu Differential-Ended mit einer aktiven Schaltung . . . . .	180
10.4	Takteingang mit 50 $\Omega$ -Anpassung . . . . .	180
10.5	Beschaltung des A/D-Wandlers und Referenzstromerzeugung . . . . .	181
10.6	a) Referenzspannungserzeugung und b) Betriebsspannungsanschlüsse . . . . .	182
10.7	FFT einer Messung am 10Bit-Prototypen mit einem 5MHz $1.5V_{pp}$ -Sinussignal und einer Abtastrate von 40MS/s . . . . .	183
10.8	FFT einer Messung am 12Bit-Prototypen mit einem 3.965MHz $1.5V_{pp}$ -Sinussignal und einer Abtastrate von 40MS/s . . . . .	184

10.9 SFDR und SINAD über die Eingangsamplitude in  $dB_{FS}$  . . . 184

A.1 In Layoutdarstellungen verwendete Schichten . . . . . 188

B.1 Gebräuchliche integrierte MOS-Transistorbauelemente . . . . . 189

C.1 Beispiel eines zweistufigen Operationsverstärkers in einer 130nm  
CMOS-Technologie . . . . . 192

C.2 Invertierende Verstärkerstruktur zur Bestimmung des THD . . 193

C.3 MX2-Struktur in der Haltephase zur Bestimmung des Rauschens 193

F.1 Verschiedenste Module mit NMOS Transistoren . . . . . 199

F.2 Verschiedene gekoppelte Stufen mit NMOS Transistoren 200

F.3 Ein D-Flipflop mit asynchronem Reset (active low) . . . . . 200

# Tabellenverzeichnis

3.1	Kennwerte des Abtast- und Haltegliedes ohne Zurücksetzphase	55
3.2	Parameter zweier Abtast- und Halteglieder mit Zurücksetzphase	55
3.3	Parameter zweier SC-Verstärker . . . . .	59
3.4	Nötige Kapazität für das Abtast- und Halteglied . . . . .	61
3.5	Nötige Kapazität für die erste SC-Verstärkerstufe . . . . .	61
3.6	$f_T$ -Anforderungen für verschiedene Abtastraten . . . . .	68
3.7	XSPICE-Parametersatz des Abtast- und Halte-Gliedes für einen 12 Bit 1.5 Bit pro Stufe Pipeline A/D-Wandler . . . . .	71
3.8	XSPICE-Parametersatz der ersten Pipeline Stufe für einen 12 Bit 1.5 Bit pro Stufe Pipeline A/D-Wandler . . . . .	71
4.1	Rechenzeit für die Systemsimulation eines DT-MASH-2-1 Sigma- Delta-Modulators mit $f_S = 64 \frac{MS}{s}$ und $2^{13} + 1000$ Abtastzeit- punkten auf einem Intel Core2Duo 1.8GHz Prozessor . . . . .	75
4.2	Phasenrand( $\Phi_M$ ) eines zweipoligen Systems in Abhängigkeit vom Rückkopplungsfaktor(f) und des Phasenrandes des Vor- wärtsgliedes ( $\Phi_D$ ) mit $A_0 = 80dB$ in einer f=1 Konfiguration	90
5.1	Beispiele der Hilfsfunktionen mit Spice-Simulationsdimensionie- rung und lokaler Optimierung . . . . .	98
5.2	Beispiele von Approximationshilfsfunktionen . . . . .	102
5.3	Transistorgleichlauffehler-Parameter für verschiedene Techno- logien . . . . .	103
5.4	Transitfrequenz( $f_T$ ) eines zweipoligen Verstärkers in einer Ver- stärkerstufe (x2) in Abhängigkeit vom Rückkopplungsfaktor(f) und des Phasenabstandes zu $-180^\circ$ ( $\Phi_D$ ) für eine effektive Auflösung von 10 und 12 Bit . . . . .	111
5.5	GB-Schalter-Dimensionierung nach Abb. 5.17 von einer $0.25\mu$ - Technologie zu einer $0.13\mu$ -Technologie . . . . .	122
5.6	Skalierung eines dynamischen 1:1-Komparators nach Abb. 5.24 von einer $0.25\mu$ -Technologie zu einer $0.13\mu$ -Technologie . . . . .	124

6.1	Vergleich von Zelldimensionierungsprogrammen . . . . .	128
7.1	$v_{DS,sat}$ -Wahl für unterschiedliche Technologien . . . . .	141
10.1	Kennwerte des 10 Bit A/D-Wandlers . . . . .	181
10.2	Kennwerte des 12 Bit A/D-Wandlers . . . . .	183
10.3	A/D-Wandler Vergleich . . . . .	185
C.1	Simulatorenvergleich . . . . .	190

# Abkürzungen und Symbole

## Abkürzungen

ADC	Analog to Digital Converter - A/D-Wandler
CAD	Computer Aided Design - Computer unterstützter Entwurf
CDS	Correlated Double Sampling - korrelierte Doppelabtastung
CM	Common Mode - Gleichtaktspannung
CMFB	Common Mode Feedback - Gleichtaktregelung
CMOS	Complementary Metal Oxide Semiconductor Technologie mit NMOS- und PMOS-Transistoren
CPPSIM	Simulator auf der Basis der Programmiersprache C++
CT	Continous Time - zeitkontinuierlich
CT-CMFB	zeitkontinuierliche Gleichtaktregelung
DAC	Digital to Analog Converter - D/A-Wandler
DR	Dynamic Range - dynamischer Bereich
DT	Discrete Time - zeitdiskret
DOR	Data output rate - Datenausgangsrate
ENOB	Effective Number of Bits - effektive Auflösung
FAN-OUT	Treiberfähigkeit (Anzahl der Gatter gleicher Art, die getrieben werden können)
FC-OTA	Folded-Cascode-OTA - Verstärker mit gefalteter Kaskode
FFT	Fast Fourier Transformation
FOM	Figure of Merit - Maß für die Performance
GB	Gate Boosted - Mit Gate-Spannungserhöhung
IS	Integrierter Schaltkreis
IOS	Input Offset Storage - Offsetkompensationsmethode
LSB	Least Significant Bit - niederwertigstes Bit
MC	Monte-Carlo
M(C)	Miller-Compensation
MDAC	Multiplizierender D/A-Wandler
NMC(C)	Nested-Miller-Cascode-Compensation

MOS	Metal Oxide Semiconductor Technologie mit ursprünglich Metalloxidfeld- effekttransistoren (Derzeit werden andere Oxide (z.B. $SiO_2$ ) und Polysilizium als Gate-Material verwendet.)
MSB	Most Significant Bit - höchstwertiges Bit
MX2	SC-Verstärkerstufe mit der Verstärkung 2
MXk	SC-Verstärkerstufe mit der Verstärkung k
NMOS/PMOS	n-Kanal bzw. p-Kanal Metalloxid feldeffekttransistor
OCR	Overcellrouting - Verdrahtung über den Transistoren
OOS	Output Offset Storage
OPV	Operationsverstärker
OTA	Operational Transconductance Amplifier Transkonduktanzverstärker - Hoher Ausgangswiderstand
PFD	Phasen-Frequenz-Detektor
PSD	Spektrale Rauschleistungsdichte gesehen an 1 Ohm und in 1Hz Bandbreite
PSRR	Power Supply Rejection Ratio
RSD	Redundant Sign Digits
S&H	Abtast- und Halteglied
SC-CMFB	Gleichtaktregelung mit geschalteten Kapazitäten (zeitdiskret)
SFDR	Spurious Free Dynamic Range
SC	Switched Capacitor - geschaltete Kapazitäten
SI	Switched Current - geschaltete Ströme
SoC	System on Chip
SR	Slew Rate - Spannungsänderungsrate beim nichtlinearen Einschwingen
SNR	Signal to Noise Ratio
$SNR_q$	Signal to Quantisation Noise Ratio
SINAD	Signal to Noise and Distortion Ratio
Tcl/Tk	Tool command language and Toolkit eine Skriptprogrammiersprache
TC-OTA	Telescopic-Cascode-OTA
THD	Total Harmonic Distortion
VCO	spannungsgesteuerter Oszillator
WC	Worst Case - Schlimmster Fall

## Symbole

$A_0$	Leerlaufverstärkung
$g_{DS}$	$1/r_0$ Ausgangsleitwert des Transistors
$r_0$	Ausgangswiderstand des Transistors
$g_m$	Transkonduktanz des Transistors
$\lambda_n$	Kanallängenmodulationsfaktor des N-Kanal MOS-Transistors
$\lambda_p$	Kanallängenmodulationsfaktor des P-Kanal MOS-Transistors
$f_{0dB}, f_T$	Frequenz, bei der die Verstärkung 1 ist (offene Schleife)
$f_{0dB}^{CL}, f_T^{CL}$	Frequenz, bei der die Verstärkung 1 ist (geschlossene Schleife)
$\omega_{0dB}, \omega_T$	Kreisfrequenz, bei der die Verstärkung 1 ist (offene Schleife)
$\omega_{0dB}^{CL}, \omega_T^{CL}$	Kreisfrequenz, bei der die Verstärkung 1 ist (geschlossene Schleife)
$r_0$	Drain-Source-Kleinsignalwiderstand
$T$	absolute Temperatur
$T_s$	Abtastperiode
$v_{th,n}$	Schwellspannung des N-Kanal MOS-Transistors
$v_{th,p}$	Schwellspannung des P-Kanal MOS-Transistors
$\mathbf{f}$	Rückkopplungsfaktor
$V_{DD}$	Betriebsspannung und Betriebsspannungsknoten
$V_{gnd}$	Masse
$V_{cm}$	Common-Mode-Spannung
$\phi_D$	Phasenreserve für einen Verstärker mit einer nicht dargestellten Rückkopplung mit $\mathbf{f} = 1$
$\phi_M$	Phasenreserve des betrachteten Systems
$S_i(f)$	Spektrale Rauschleistungsdichte bezogen auf den Eingang
$S_o(f)$	Spektrale Rauschleistungsdichte bezogen auf den Ausgang
$\mathbb{N}$	Natürliche Zahlen
$\mathbb{Z}$	Ganze Zahlen

## Danksagung

Diese Arbeit entstand während meiner Arbeit als wissenschaftlicher Mitarbeiter an der Technischen Universität Berlin. An dieser Stelle möchte ich den vielen Menschen danken, deren Unterstützung mir während dieser Arbeit zuteil wurde.

Mein Dank gilt zuallererst meinem Doktorvater Herrn Prof. Dr.-Ing. Heinrich Klar für die Anleitung, die Betreuung, die produktiven fachlichen Diskussionen, das entgegengebrachte Vertrauen und damit auch für die Möglichkeit, diese Arbeit zu erstellen. Ich danke ihm herzlich dafür. Für die Übernahme des Zweitgutachtens danke ich Frau Prof. Schmitt-Landsiedel. Für die Übernahme des Drittgutachtens danke ich Herrn Prof. Thewes.

Meinen ehemaligen Mitarbeitern am Institut für Mikroelektronik, den Kollegen Andreas Ishak Loza, Nahit Ay, Carsten Hermann, Nasser Mehrtasch, Tim Schönauer, Yin Yi, Jan Hoffman, Norman Dodel, Dietmar Jung, Eugenio Di Gioia, Heik Hellmich, danke ich herzlich für die vielen interessanten Fachdiskussionen.

Meinen ehemaligen Diplomanden Yin Yi, Anthony Fallu und meinem Kollegen Nahit Ay danke ich an dieser Stelle noch einmal besonders für ihre Anregungen in vielen Teilbereichen und ihre Unterstützung. Die Erstellung des Digitalteils des ersten Prototypen und der Messplatinen erfolgte in Kooperation mit Nahit Ay.

Den Mitarbeitern des Instituts, namentlich Werner Eschenberg, Rene Hartmann, Winfried Naumann, Uwe Voss und Frau C. Pfothner, danke ich für den administrativen, technischen und organisatorischen Rahmen.

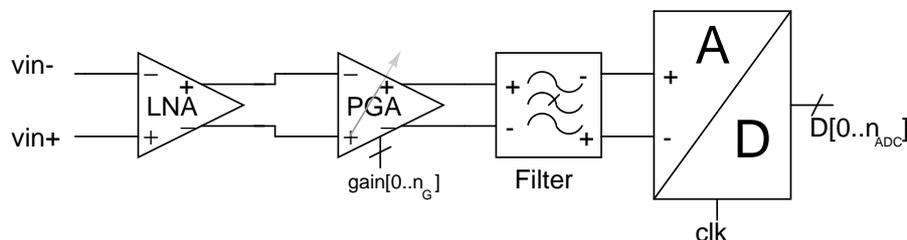
Letztendlich will ich mich an dieser Stelle außerordentlich bei meiner Familie für ihren Rückhalt, ihre Unterstützung, ihre Geduld und ihr grenzenloses Verständnis bedanken. Aber ich muss mich auch bei meinen Kindern Jannes und Ronja für die Zeiten entschuldigen, in denen meine Aufmerksamkeit fast ausschließlich dieser Arbeit galt.

# Kapitel 1

## Einleitung

Der stetige Anstieg der Komplexität integrierter Schaltungen, verursacht durch Fortschritte in der Prozesstechnologie, verlangt die Anwendung von Design-Automatisierungsprogrammen. Während diese Programme im Digitalbereich weit verbreitet eingesetzt werden, werden adäquate Programme im Design analoger integrierter Schaltungen noch nicht im gleichem Maße eingesetzt. Ein Grund für die geringe Verbreitung sind die vielen Freiheitsgrade, Rand- und Nebenbedingungen im Design und die speziellen Anforderungen im Layout (z.B. *Gleichlauf*). Im Fall des Designs eines Mixed-Signal-Systems stellt somit das Design des analogen Anteils zumeist einen Flaschenhals dar. Gemeinsam mit anderen Gründen, wie z.B. den oftmals idealeren Eigenschaften der digitalen Äquivalente, führt auch dieser Flaschenhals dazu, dass Systemelemente, die vormals analog realisiert wurden, nun digital ("The world is going digital.") implementiert werden. Ein Beispiel hierfür ist die digitale Signalprozessierung. Die reale Welt liefert jedoch analoge Signale, so muss in entsprechenden Systemen zumindest ein Analog/Digital-Wandler im System integriert werden. In Abbildung 1.1 sind stark vereinfachte Konzeptskizzen möglicher analoger Eingangspfade von Kommunikations- und Datenübertragungssystemen (z.B. TV 10-12Bit bei 50-100MS/s) dargestellt. Es ist ersichtlich, welche analogen Blöcke dafür erstellt werden müssen. In dieser Arbeit wird der Pipeline A/D-Wandler (siehe Kap. 3) behandelt. Dieser kommt besonders bei mittleren Auflösungen (8-16Bit) und Abtastraten von  $5-200 \frac{MS}{s}$ , die in diesem Falle den Datenausgangsraten entsprechen, zum Einsatz. Im unteren Datenausgangsratenbereich überschneidet sich das Einsatzgebiet mit dem der  $\Sigma\Delta$ -A/D-Wandler mit geringer Überabtastrate (OSR-Over-Sampling-Ratio). Es verringern sich jedoch viele der positiven Eigenschaften, wie z.B. Jitterunempfindlichkeit und die geringen Anforderungen an das thermische Rauschen der Komponenten, mit geringerer OSR. Zusätzlich ist bei Datenkommunikationssystemen der Signal-Rausch-Abstand (SNR) oft

a)



b)

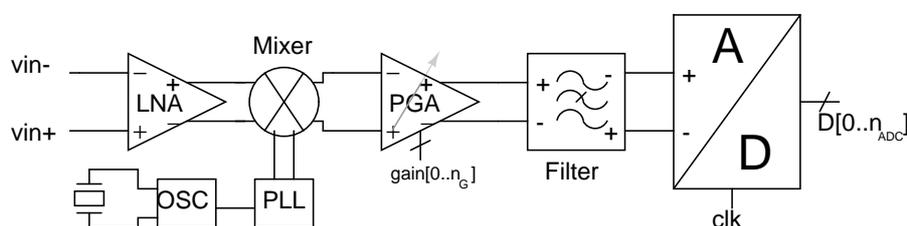


Abbildung 1.1: Konzeptskizzen für mögliche analoge Eingangspfade von Kommunikationssystemen

von geringerer Bedeutung als der störtonfreie Bereich (SFDR-„spurious free dynamic range“) oder die Gesamtheit der Harmonischen (THD-„total harmonic distortion“). Gerade bei Pipeline A/D-Wandlern lassen sich durch Korrekturmethode gute SFDR- und THD-Werte erreichen. So hat z.B. beim 1.5-Bit-pro-Stufe Pipeline A/D-Wandler das Kapazitätsmissverhältnis den größten Einfluss auf das SFDR. Dieser Fehler lässt sich jedoch durch Mittelung im Analogen oder algorithmisch im Digitalen mindern.

Generell werden somit analoge Bestandteile bestehen bleiben. Deshalb müssen jedoch verstärkt Design-Automatisierungsprogramme für das Analogdesign zum Einsatz kommen, um bei immer komplexeren Systemen nicht für den Markt zu spät zu sein.

## 1.1 Motivation

Aufgrund der oben beschriebenen immer höheren Packungsdichten kann es sich trotz steigender Masken- und Chipkosten lohnen, zu moderneren Technologien zu wechseln. Weitere Gründe für einen Redesignzwang sind der Preis-

verfall und die erwartete höhere Funktionalität einer neuen Generation des kundenspezifischen Schaltkreises. Im ungünstigsten Fall muss, wegen neuer Nebenbedingungen, ein Systemredesign ausgeführt werden.

Alle diese Redesigngründe führen dazu, dass der Flaschenhals erneut durchlaufen werden muss. Die ständig wachsende nutzbare Rechnerleistung macht es möglich, nun gesamte analoge Systeme in einer realistischen Zeit zu simulieren und zu generieren. Ein Synthesystem für mehr oder minder fest definierte Blöcke (hier Templates oder Schablonen) bedeutet eine erhebliche Reduzierung der Entwurfs- und Layouterstellungzeit. Insbesondere der hier behandelte Pipeline A/D-Wandler besteht aus gut definierten festen Blöcken, deren Anforderungen man i.d.R. ebenfalls gut algorithmisch bestimmen kann.

## 1.2 Beitrag

Viele analoge (Unter-)Systeme lassen sich in Blöcke (z.B. Switched-Capacitor-Verstärker und Switched-Capacitor Integratoren) und die wiederum in Schaltungselemente (z.B. Schalter, Operationsverstärker und Kapazitätsfelder) unterteilen, deren Dimensionierungsparameter auf der Bauelementsebene teilweise analytisch aus den nötigen Eigenschaftswerten (z.B. Verstärkung und Einschwingzeit) in Kombination mit den Technologieparametern (z.B.  $c_{ox}$ ,  $k_n$ ,  $k_p$ ,  $V_{th,n}$  und  $V_{th,p}$ ) bestimmt werden können. Die so bestimmten Dimensionierungsparameter können auch als Startpunkt einer nichtlinearen Optimierung, der aus SPICE-Simulation bestimmten Kostenfunktion, dienen. Eine derartige Unterteilung führt zu einer Reduktion der Komplexität des Gesamtproblems.

Diese Arbeit soll einen Beitrag dazu leisten, den Entwurf von der Systemsimulationsebene bis zum Layout analoger Schaltungen (hier insbesondere Pipeline- und DT- $\Sigma\Delta$ -A/D-Wandler) zu beschleunigen. Es wurde unter anderem ein offenes Programmiersystem in die Interpreterprogrammiersprache TCL/TK [67] integriert, in dem diese Blöcke auf verschiedenen Ebenen beschrieben und simuliert werden können. Die Systemsimulationsmodelle wurden mit den entsprechenden Fehlerquellen, die dementsprechend möglichst akkurat nachgebildet werden müssen, in einen SPICE-Simulator [25] integriert, um ebenfalls Kosimulation mit Schaltungen auf der Bauelementsebene zu erlauben. Eine weitere Implementation erfolgte im CPPSim-Simulator [71]. Eine Beschreibung von der Systemebene bis zum Layout, unter der Verwendung eines Expertenauswahlsystems für unterschiedliche Schaltungsstrukturen, ermöglicht eine Art Systemsynthese. Dieser Syntheseweg eignet sich insbesondere für die Klassen der Switched-Capacitor- und Switched-

Current-Schaltungen (SC und SI).

Dieses System wurde für die Realisierung eines Pipeline-A/D-Wandlers entwickelt, daher wurden zur Evaluierung des Systems diese Analog/Digital-Wandler als Testvehikel gewählt. Diese A/D-Wandler lassen sich aus SC-Schaltungen und wenigen anderen Zusatzblöcken aufbauen. Im Rahmen der vorliegenden Doktorarbeit wurden zwei Pipeline A/D-Wandler erstellt und getestet.

# Kapitel 2

## A/D-Wandler

Analog-Digital-Wandler stellen eine wichtige Schnittstelle dar, die die oft unumgehbar analoge Signalwelt mit der digitalen Signalwelt verbindet. Da jedoch der Marktanteil für digitale Schaltungen und Systeme wesentlich größer als der für analoge Schaltungen und Systeme ist, muss der Analogschaltungsentwickler mit dem vom digitalen Teilsystem kommenden Rahmenbedingungen (z.B. reine MOS-Technologie, Bauelemente mit schlechtem Gleichlauf und niedrige Betriebsspannungen) umgehen können, da die Senkung der Kosten den Hauptantriebsfaktor [46] für die Entwicklung von integrierten Schaltungen darstellt und der Digitalteil oftmals den Hauptanteil des Gesamtsystems ausmacht.

In diesem Kapitel wird insbesondere auf Nyquist-A/D-Wandler eingegangen, da Pipeline A/D-Wandler dazu gehören.

Das Nyquist Theorem [47] besagt, dass zur Rekonstruktion eines bandlimitierten Signals ( $-f_{max} < f < f_{max}$ ) nur eine Abtastrate von  $f_{S,min} = 2 \cdot f_{max}$  nötig ist. Nyquist-A/D-Wandler arbeiten nahe an dieser Grenze (d.h. i.d.R. gibt es kein Überabtasten und keine Rauschformung).

### 2.1 Grundlagen

Ein A/D-Wandler ordnet einem kontinuierlichen Signalwert einen Digitalwert zu. Die Auflösung eines A/D-Wandlers ist ein Maß dafür wieviele mögliche Einordnungen (Quantisierungsstufen) existieren, während die effektive Auflösung der Anzahl der unterschiedlich beobachtbaren Einordnungen entspricht. In vielen Fällen wird versucht den kontinuierlichen Signalwert  $v_{Signal}$  durch eine Bitreihe  $\{B_1 \dots B_N\}$  derart darzustellen, dass gilt [91]:

$$v_{Signal} = \sum_{i=1}^N B_i 2^{i-1} v_{LSB} + v_x.$$

Dabei ist  $v_{LSB}$  die gewählte Quantisierungsschrittweite und  $v_x$  die Abweichung der Darstellung vom Signalwert. Es handelt sich hierbei um einen linearen A/D-Wandler. Für eine Bewertung von A/D-Wandlern bedarf es gewisser Kennwerte, die die Leistungsfähigkeit widerspiegeln und dem Systemdesigner erläutern, in welchen Bereichen der spezielle A/D-Wandler eingesetzt werden kann. Von den in der wissenschaftlichen Literatur verwendeten Kennwerten werden im Folgenden nur die Wesentlichsten dargestellt.

## 2.2 Bewertungsmaßstäbe

Ist bei A/D-Wandlern eine lineare Übertragungscharakteristik gefordert, so lassen sich zwei Kenngrößen [91] definieren: Die differentielle Nichtlinearität (DNL: Differential Nonlinearity) bezeichnet die Abweichung der Quantisierungsschrittweite (siehe Abb. 2.1) von der nominellen Schrittweite  $v_{LSB}$  in  $v_{LSB}$ . Die integrale Nichtlinearität (INL: Integral Nonlinearity) beschreibt die Abweichung der lokalen Kennlinie von der globalen Kennlinie in  $v_{LSB}$ . Existiert kein Offset- und Verstärkungsfehler des Gesamtprofils, so ist der INL-Fehlerwert vom  $i$ -ten Quantisierungscode

$$INL_i = \sum_{j=0}^i DNL_j. \quad (2.1)$$

Es gibt jedoch auch dynamische Kennwerte, wie das Signal zu Rauschverhältnis (SNR: signal to noise ratio), den störtonfreien Bereich (SFDR: spurious free dynamic range) und das Signal zu Rausch- und Störungsverhältnis (SINAD oder SNDR: signal to noise and distortion ratio), die sich aus der FFT mit einem reinen Sinuseingangssignal bestimmen lassen (siehe Abb. 2.2) und für Datenübertragungssysteme von hoher Bedeutung sind.

### 2.2.1 Die Gesamtheit der harmonischen Störungen

Ein Maß für die Nichtlinearität eines A/D-Wandler-Systems kann das THD sein [91] und ist durch das Verhältnis der akkumulierten Leistung in den  $N_{harm}$  betrachteten Harmonischen zur Fundamentalen definiert. Harmonische entstehen in nichtlinearen Systemen. Wenn eine kohärente FFT (Abb. 2.2) betrachtet wird, so lässt sich die THD folgendermaßen berechnen:

$$THD[dB] = 20 \log_{10} \sqrt{\frac{\sum_{l=2}^{N_{harm}+1} A_{sig}^2(l \cdot f_{fund})}{A_{fund}^2}}. \quad (2.2)$$

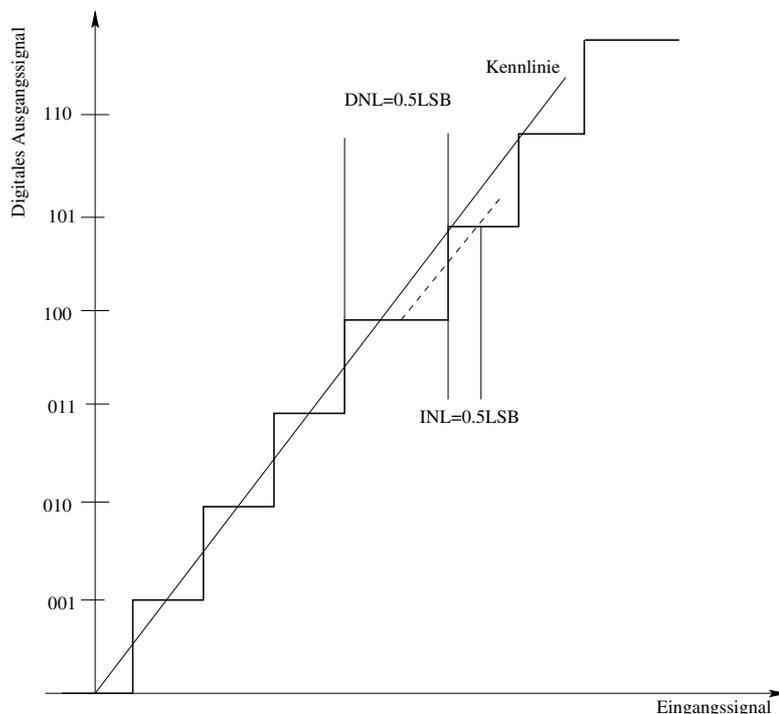


Abbildung 2.1: DNL und INL eines 3 Bit A/D-Wandlers

### 2.2.2 Das Signal-Rausch-Verhältnis

Das Signal-Rausch-Verhältnis (SNR: Signal to Noise Ratio)[91] ist für A/D-Wandler definiert als das Verhältnis zwischen der Signalleistung (Fundamentale) und der gesamten Rauschleistung in der Signalbandbreite (Nyquist-A/D-Wandler:  $f_b = \frac{f_s}{2}$ ). In der Regel wird für die Überprüfung ein reines Sinussignal als Eingangssignal verwendet. Die FFT-Abtastfrequenz ist bei Pipeline A/D-Wandlern gleich der tatsächlichen Abtastfrequenz und der Datenausgangsrate des A/D-Wandlers.

Da sich die Signalleistung und die Rauschleistung dann über denselben Faktor in ihre Effektivwerte überführen lassen, ergibt sich:

$$SNR[dB] = 20 \log_{10} \frac{\|v_{fund}\|_2}{\|v_{noise}\|_2} = 10 \cdot \log_{10} \frac{A_{fund}}{\sqrt{\sum_{k=1}^{N/2} A_{noise,k}^2}}. \quad (2.3)$$

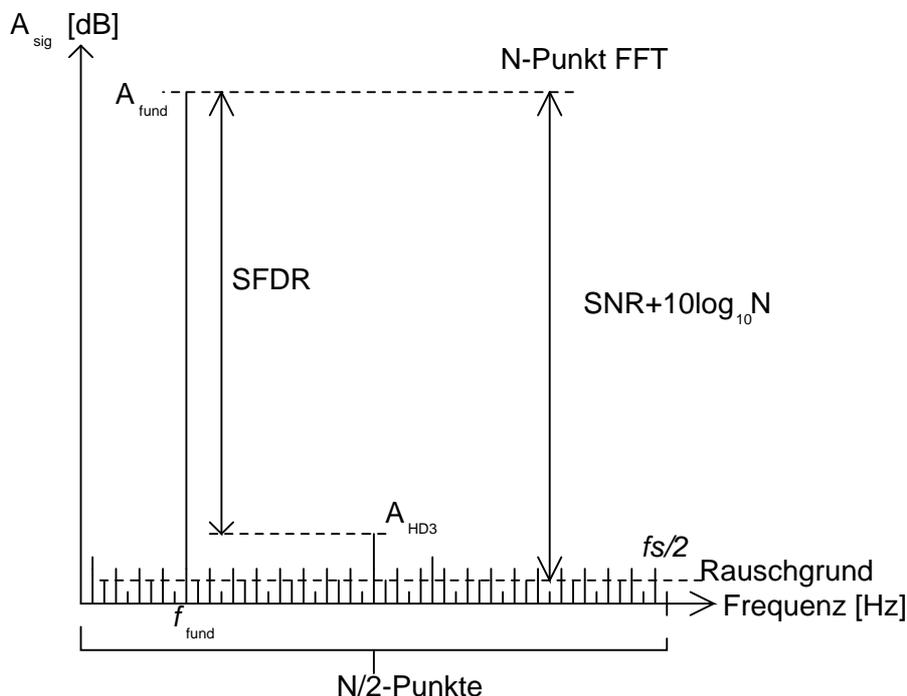


Abbildung 2.2: FFT eines mit N-Punkten abgetasteten Signals

Das SNR kann aus einem N-Punkt-FFT-Spektrum  $A(f)$  folgendermaßen bestimmt werden:

$$SNR[dB] = A_{fund}[dB] - \overline{A_{Rauschen}}[dB] - 10 \cdot \log_{10}N. \quad (2.4)$$

Der Rauschgrund ( $\overline{A_{Rauschen}}[dB]$ ) wird durch eine höhere Anzahl von Abtastwerten um  $10 \cdot \log_{10}N$  abgesenkt, da mit N Abtastwerten die Signalenergie um einen Faktor von  $N^2$  und die Rauschenergie um einen Faktor von N erhöht wird. Im Allgemeinen ist es schwierig, den Rauschgrund (Abb. 2.2) oder den Rauschanteil ( $A_{noise,i}$ ) der FFT-Werte ( $A_{sig,i}$ ) numerisch zu bestimmen, da das Rauschen nicht von den Störungen, und bei nicht kohärenter FFT auch nicht von Leistungsanteilen in den Harmonischen und der Fundamentalen, unterschieden werden kann.

Bei der Verwendung einer hohen Punktzahl in einer kohärenten FFT und unter der Annahme, dass die Harmonischen die Hauptstörer sind, ist der Fehler auf das SNR durch eine Herausnahme von  $N_{harm}$ -Harmonischen ver-

nachlässigbar. Es ergibt sich:

$$SNR[dB] \approx 20 \cdot \log_{10} \left( \frac{A_{fund}}{\sqrt{\underbrace{-\sum_{l=1}^{N_{harm}+1} A_{sig}(l \cdot f_{fund})^2 + \sum_{k=1}^{N/2} A_{sig,k}^2}_{A_{sum}} + \frac{(N_{harm}+1)A_{sum}}{\frac{N}{2} - N_{harm} - 1}}} \right). \quad (2.5)$$

Mit dem später noch definierten SINAD ergibt sich:

$$SNR[dB] \approx 10 \cdot \log_{10} \left( 10^{\frac{-SINAD[dB]}{10}} - 10^{\frac{THD[dB]}{10}} \right). \quad (2.6)$$

### Quantisierungsrauschen

Unter der Annahme, es gäbe keine zusätzlichen Rausch- und Störquellen, macht ein n-Bit A/D-Wandler beim Quantisierungsprozess (Bestimmung der Bitwerte  $\{B_1 \dots B_N\}$ ) dennoch einen Quantisierungsfehler ( $v_{Signal} = \sum_{i=1}^N B_i 2^{i-1} v_{LSB} + v_q$ ).

Dieser Quantisierungsfehler  $v_q$  liegt innerhalb von  $\left[-\frac{v_{LSB}}{2}, \frac{v_{LSB}}{2}\right]$ . Nimmt man innerhalb dieses Bereiches eine Gleichverteilung ( $f_q(v) = const. = \frac{1}{v_{LSB}}$  ansonsten  $f_q = 0$  für  $v_q < -\frac{v_{LSB}}{2} \wedge v_q > \frac{v_{LSB}}{2} \Rightarrow \int_{-\infty}^{\infty} f_q(v) \cdot dv = 1$ ) des Quantisierungsfehlers  $v_q$  an, so ist:

$$\|v_q\|_2 = \sqrt{\int_{-\infty}^{\infty} v^2 \cdot f_q(v) \cdot dv} = \sqrt{\frac{1}{v_{LSB}} \int_{-\frac{v_{LSB}}{2}}^{\frac{v_{LSB}}{2}} v^2 dv} = \frac{v_{LSB}}{\sqrt{12}}.$$

Ein typisches Eingangssignal ist ein Sinussignal. Dessen Effektivwert ist für eine Vollauschlagsamplitude:

$$\|v_{signal}\|_2 = \frac{v_{LSB} \cdot (2^N - 1)}{2\sqrt{2}}.$$

Das SNR ergibt sich damit zu:

$$SNR_q[dB] = 20 \log_{10} \left( \frac{\|v_{signal}\|_2}{\|v_q\|_2} \right) \approx 6.02dB \cdot N + 1.76dB. \quad (2.7)$$

Das obige  $SNR_q(N)$  ist das bestmögliche SNR für einen N-Bit-A/D-Wandler und kann somit dazu dienen, die *effektive Auflösung*  $N_{eff}$  für A/D-Wandler mit Rauschen und Störungen zu berechnen.

### 2.2.3 Signal zu Rausch- und Störungsverhältnis

Das Signal zu Rausch- und Störungsverhältnis ist bei Vollaussteuerung  $A_{FS}$  äquivalent zur effektiven Auflösung ( $N_{\text{eff}}$  oder ENOB) und entspricht somit der tatsächlichen Auflösung. Das SINAD kombiniert sämtliche Degradationseinflüsse der unterschiedlichsten Quellen, wie das Rauschen, die Quantisierungsfehler und die Nichtlinearitätseffekte.

Für A/D-Wandler kann das SINAD eine Funktion der Eingangssignalamplitude, der Abtastrate und der Eingangsfrequenz sein:

$$N_{\text{eff}} \approx \frac{\text{SINAD}[dB] - 1.76dB + 20\log_{10}\left(\frac{A_{FS}}{A_{fund}}\right)}{6.02dB}. \quad (2.8)$$

Untersucht man das Testelement mit einem Eingangssinussignalton ( $x_i(t = i \cdot T_{\text{samp}})$ ) der Signalfrequenz ( $f_{\text{fund}}$ ) mit  $N$  Abtastzeitpunkten und kohärent zur Abtastfrequenz ( $f_{\text{samp}} = \frac{1}{T_{\text{samp}}}$ ), dann lässt sich das SINAD auch aus der FFT ( $A_{\text{sig},k}(f = \frac{k}{N \cdot T_{\text{samp}}})$ ) des Ausgangs ( $y_i(t = i \cdot T_{\text{samp}})$ ) einfach berechnen.

$$\text{SINAD}[dB] \approx 20 \cdot \log_{10} \left( \frac{A_{fund}}{\sqrt{-A_{fund}^2 + \underbrace{\sum_{k=1}^{N/2} A_{sig,k}^2}_{A_{sum}} + \frac{A_{sum}}{\frac{N}{2}-1}}} \right) \quad (2.9)$$

### 2.2.4 Der dynamische Bereich

Der Dynamische Bereich (DR: Dynamic Range) ist definiert als das Verhältnis zwischen der größten und der kleinsten sinnvollen Ausgangssignalleistung [91]. Im Kontext von A/D-Wandlern ergibt sich eine etwas andere Definition. Hier ist der DR der Eingangsamplitudenbereich, für den sinnvolle Digitalwerte bestimmt werden können. Ein  $N$ -Bit-A/D-Wandler hat einen dynamischen Bereich von:

$$DR[dB] = 20 \log_{10} (2^N - 1) dB. \quad (2.10)$$

Da das minimal detektierbare Signal bei einem SNR von 0dB liegt, entspricht der DR dem SNR bei maximalen Eingangssignal, vorausgesetzt die Rauschleistung verändert sich nicht mit steigendem Eingangssignal.

### 2.2.5 Spurious Free Dynamic Range (SFDR)

Der störungsfreie dynamische Bereich (SFDR) ist folgendermaßen definiert: Man erhöhe die Eingangsamplitude bis die Störer (Abb.2.3) aus dem Rauschen gerade erst herauskommen. Den Abstand von der Fundamentalen zum Störer (in dB) nennt man SFDR.

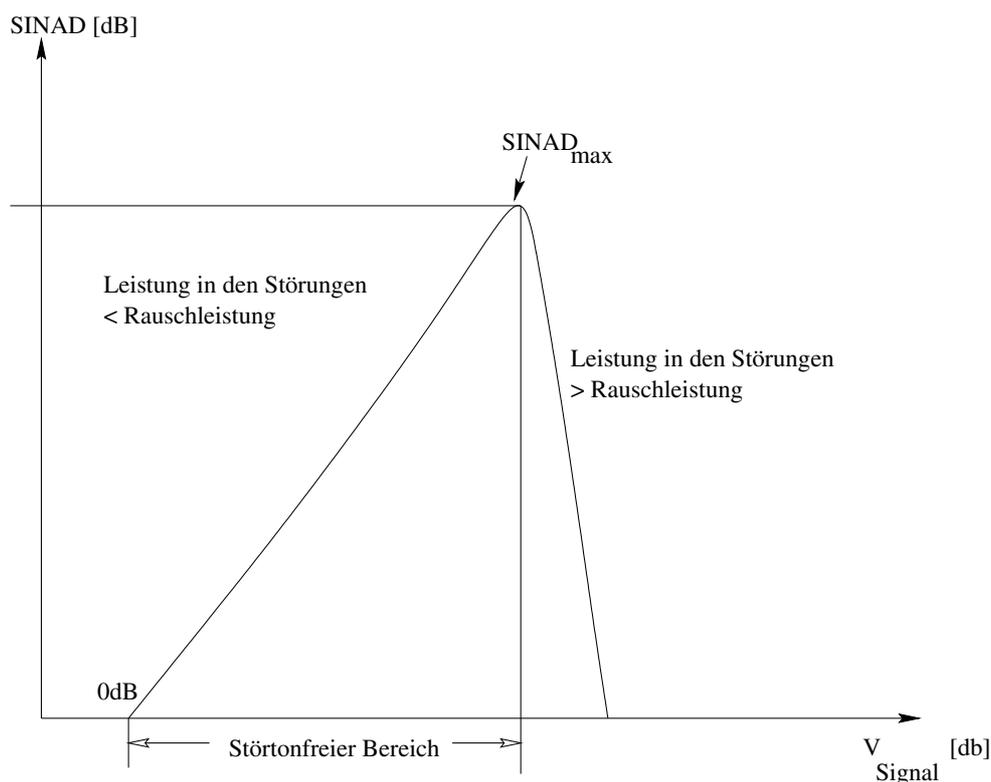


Abbildung 2.3: SINAD in Abhängigkeit von der Eingangssignalamplitude

Im Allgemeinen verwendet man jedoch die viel einfachere Berechnung über den Abstand der Fundamentalen zum höchsten (Abb. 2.2) Störer.

Wollte man einen SFDR auflösen, so muss man den Rauschgrund absenken. Dies kann man durch mehr Abtastzeitpunkte  $N = 2^n$  (Absenkung:  $10 \cdot \log_{10}(N = 2^n)$ ) realisieren.

$$\|SNR_q[dB] + SFDR[dB]\| \geq 10 \cdot \log_{10} 2^n \quad (2.11)$$

$$n > \frac{\|SNR_q[dB] + SFDR[dB]\|}{10 \cdot \log_{10} 2} \quad (2.12)$$

Somit sind  $2^n$ -Abtastzeitpunkte ( $n \in \mathbb{N}$ ) notwendig. Nimmt man einen 12 Bit A/D-Wandler an, so sind 64 Abtastzeitpunkte nötig, um einen SFDR < 90dB aufzulösen. Existiert in der Simulation thermisches Rauschen, dann sind entsprechend mehr Abtastzeitpunkte nötig und in der Gl. 2.12 muss der  $SNR_q$ -Wert durch den  $SNR$ -Wert ersetzt werden.

### 2.2.6 Figure of Merit (FOM)

Das „Figure of Merit“ ist in der Literatur für Nyquist-A/D-Wandler mittels der Verlustleistung  $P_{sup}$ , der Abtastrate  $f_S$  und der effektiven Auflösung ENOB definiert [91]:

$$FOM = \frac{P_{sup}}{f_S \cdot 2^{ENOB}}. \quad (2.13)$$

Wenn verschiedene Architekturen für das spezielle A/D-Wandler-Design möglich sind, kann dieser Wert als Entscheidungshilfe dienen. In vielen Datenübertragungssystemen ist der SFDR oft von wesentlich höherer Bedeutung, als das SNR. Es könnte daher sinnvoll sein, das FOM umzudefinieren:

$$FOM_{SFDR} = \frac{P_{sup}}{f_S \cdot 10^{\frac{SFDR[dB]}{20}}}. \quad (2.14)$$

Nach [1] gilt für rauschdominierte Pipeline A/D-Wandler mit einer maximalen Signalamplitude  $\alpha \cdot V_{DD}$  ( $V_{DD}$ : Betriebsspannung,  $f_S$ : Abtastrate und  $\alpha$ : fraktionaler Anteil der Signalamplitude an der Betriebsspannung), dass

$$P_{sup} \propto K_B \cdot T \cdot DR \cdot \left( \frac{v_{ds,sat}}{\alpha^2 V_{DD}} \right) \cdot f_S \quad (2.15)$$

ist. Hier wird der Tatsache vorgegriffen, dass Pipeline A/D-Wandler i.d.R. eine Kette von Verstärkern mit geschalteten Kapazitäten (SC-Verstärker) enthalten. Wählt man die Drain-Source-Sättigungsspannung ( $v_{DS,sat}$ ) nach Tab. 7.1, so bleibt  $P_{sup}$  bei gleicher Architektur und gleicher maximaler Signalamplitude mit geringerer Betriebsspannung nahezu konstant oder steigt leicht an. Dies sollte auch für das FOM gelten. Jedoch sinkt der FOM nach [91] mit verbesserten Technologien und Architekturen alle 10 Jahre um den Faktor 10. Dies liegt zum Teil daran, dass die meisten Pipeline A/D-Wandler nicht rauschdominiert sind. Ist bei dem zu erstellenden Pipeline A/D-Wandler-Design das Kapazitätsmissverhältnis (siehe Kap. 3.4.2) dominierend, dann sollte eine neue Abschätzung durchgeführt werden. Dies soll hier mittels Langkanalapproximationen erfolgen. Mit dem Verbrauchstrom  $I_{sup}$  gilt:

$$P_{sup} = I_{sup} \cdot V_{DD}. \quad (2.16)$$

Nimmt man an, man hätte in dem Design nur einstufige Verstärker mit den Lastkapazitäten  $C_L$  und der Eingangstranskonduktanz  $g_m$ , dann ist

$$I_{sup} \propto g_m \cdot \underbrace{(v_{GS} - v_{th,n/p})}_{v_{DS,sat}} \quad (2.17)$$

und

$$f_S \propto \frac{g_m}{C_L}. \quad (2.18)$$

Dann gilt mit der Wahl einer Drain-Source-Sättigungsspannung (Tab. 7.1) von  $v_{DS,sat} = \frac{V_{DD}}{k}$

$$P_{sup} \propto \frac{f_S \cdot C_L \cdot V_{DD}}{k}. \quad (2.19)$$

In diesem Falle sinkt die Verlustleistung und das FOM (gleiches zu erzielendes ENOB, gleiches  $k$  und gleiche Abtastrate  $f_S$ ) linear mit der Betriebsspannung. Dabei wird angenommen, dass die Lastkapazitäten  $C_L$  durch die Abtastkapazitäten der nächsten Stufe gebildet werden. Zudem wird angenommen, dass die Kapazitätsgleichlaufkonstante (z.B. für quadratische Kapazitäten:  $\frac{\Delta C}{C}|_{1pF}$ ) über Technologien nahezu konstant bleibt und daher gleichgroße Kapazitäten gewählt werden müssen. Dies macht ein Vergleich von Pipeline A/D-Wandlern (über Technologien hinweg) problematisch, wenn man das FOM zur Architekturwahl heranziehen wollte.

## 2.3 A/D-Wandler Architekturen

In diesem Unterkapitel wird der Weg zum Pipeline A/D-Wandler über andere A/D-Wandlerverfahren [91] dargestellt und plausibel gemacht, warum das gewählte Verfahren, im Hinblick auf die avisierte Anwendung, sinnvoll erscheint. Sukzessive-Approximations- und Oversampling-A/D-Wandler scheinen für schnelle A/D-Wandler nicht die geeigneten Verfahren zu sein, da sie für eine Wandlung mehrere Taktzyklen benötigen. Es sei jedoch erwähnt, dass es in den letzten Jahren gelang, mit Oversampling-A/D-Wandlern in ehemals von Nyquist-A/D-Wandlern beherrschte Gebiete [31, 32] vorzudringen.

### 2.3.1 Der Vollparallelwandler

Der Vollparallel-A/D-Wandler (Flash-ADC) ist aus  $2^N - 1$  Komparatoren und Referenzspannungsstellen aufgebaut. Jede Referenzspannungsstelle wird somit direkt mit dem Eingangssignal  $V_{in}$  verglichen. Das Ergebnis ist ein sogenannter Thermometercode, der dann über einen Enkoder in ein Binärwort

umgewandelt wird. Der Encoder hat eine Gatterkomplexität in der Größenordnung von  $2^N$ .

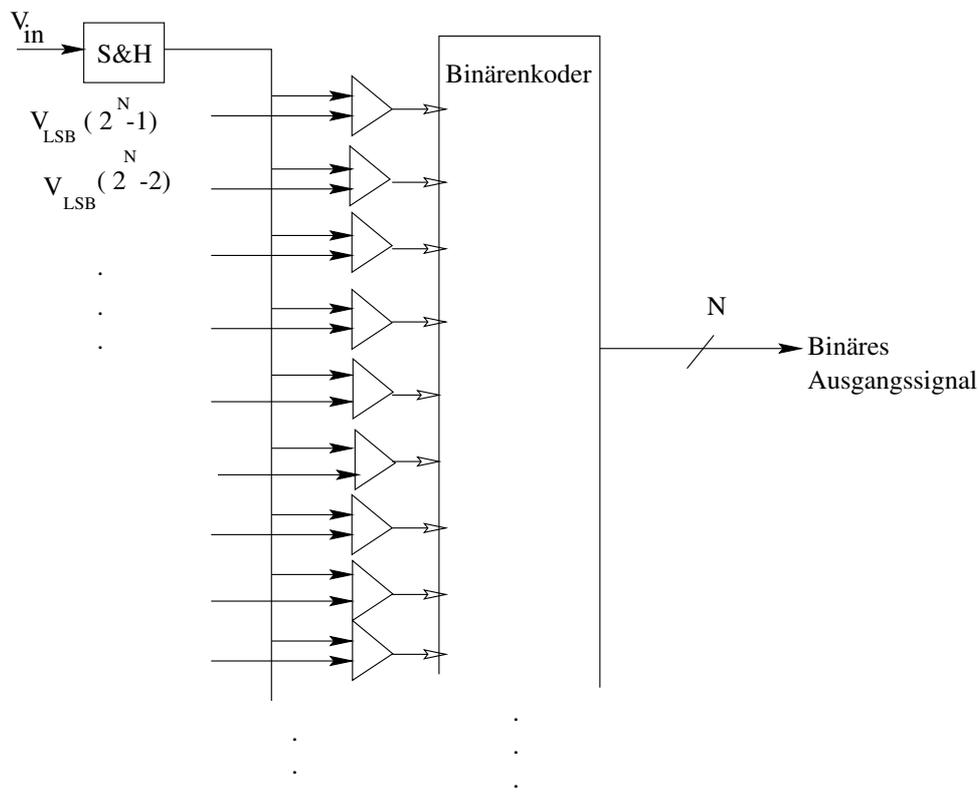


Abbildung 2.4: Der Flash A/D-Wandler

Bei hohen Auflösungen wird somit schnell eine Komplexität erreicht, die eine Realisierung im Vollparallelverfahren unwirtschaftlich in Chipfläche und Verlustleistung macht. Das Eingangsabtast- und Halteglied wird zudem mit dem  $(2^N - 1)$ -fachen der Komparatoreingangskapazität belastet. Für den Takt besteht, neben der hohen kapazitiven Belastung, ebenfalls das Problem der fehlerfreien Verteilung, so dass die Entscheidungszeitpunkte für alle Komparatoren die gleichen sind. Auch darf kein Komparator einen Offset oder eine Entscheidungsungenauigkeit haben, die größer als  $\frac{1}{2}v_{LSB}$  ist. Damit werden sehr hohe Anforderungen an die Komparatoren und an das Referenzspannungsnetzwerk gestellt. Letztendlich scheint es sinnvoll, nach einem A/D-Wandler Verfahren zu suchen, dessen Komplexität linear mit der Auflösung wächst.

### 2.3.2 Der Zwei-Schritt-A/D-Wandler

Bei dem Zwei-Schritt-A/D-Wandler (Two-Step-ADC) vollzieht sich die A/D-Wandlung in folgenden Schritten:

1. Grobwandlung für die  $N_1$  höherwertigen Bits und Digital-Analog- Wandlung des Digitalwertes. Dieser Analogwert wird vom Eingangssignal subtrahiert und entspricht dem Analogwert für den A/D-Wandler der unteren  $N_2$  Bits.
2. Feinwandlung für die  $N_2$  unteren Bits und Zusammenführung der Digitalworte.

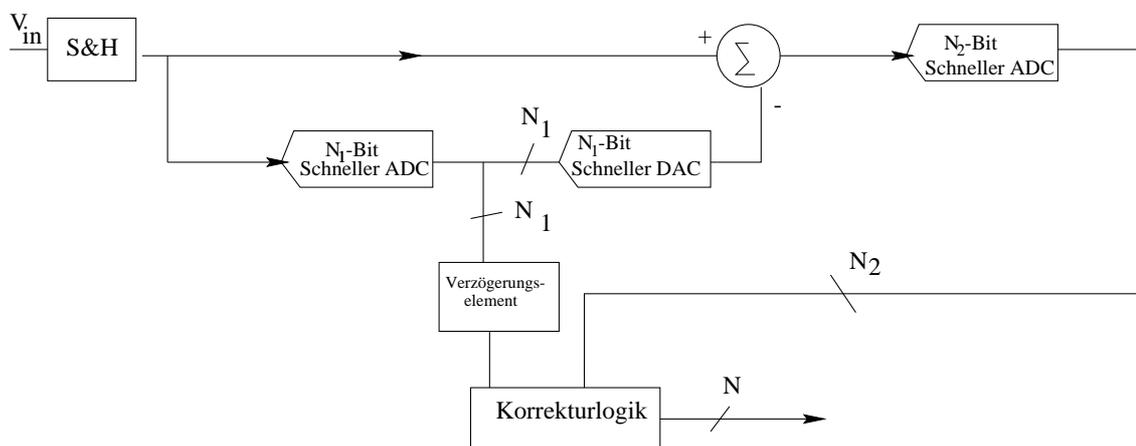


Abbildung 2.5: Der Two-Step A/D-Wandler

Bei diesem Verfahren reduziert sich die Anzahl der Komparatoren auf  $2^{N_1} + 2^{N_2} - 2$ . Jedoch erfolgt eine neue Messung erst nach der Feinwandlung. Eine Umgehung dieser Einschränkung ist möglich, wenn man die Subtraktion mit einem SC-Verstärker realisiert, der ja auch eine Zwischenspeicherfunktion ausübt und wenn man ein Register (digitaler Zwischenspeicher) zwischen den Grob-A/D-Wandler und den D/A-Wandler schaltet. Die Zeit zwischen der Abtastung und dem gültigen digitalen Ausgangswort (Latenzzeit) beträgt somit zwei Zyklen, aber die Wandlungsrate ist  $\frac{1}{t_{zyklus}}$ . Unter Unterbereichs-A/D-Wandler (Subranging) fallen all jene A/D-Wandler, die die Gesamtwandlung auf mehrere Schritte aufteilen.

### 2.3.3 Der Pipeline A/D-Wandler

Beim Pipeline A/D-Wandler wird das Zwei-Schritt-Verfahren verallgemeinert. Mit einem ausgangsseitigen Verstärker (Residue Amplifier) kann die nachfolgende Stufe identisch gestaltet werden.

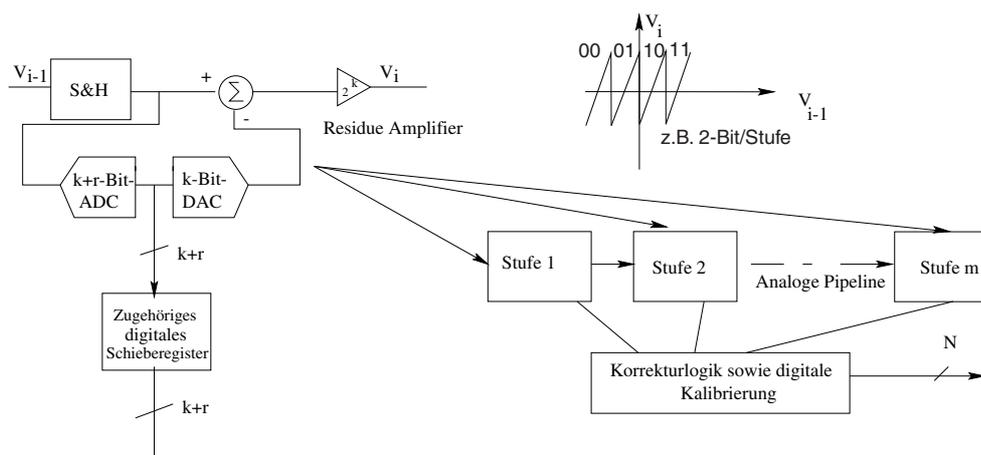


Abbildung 2.6: Der Pipeline A/D-Wandler  
(r: Anzahl der Redundanzbits z.B. 0.5)

Der Flächenaufwand lässt sich nicht leicht abschätzen, da für Mehrbit-Stufen eine größere Fläche für die Sub-A/D-Wandler und Sub-D/A-Wandler aufgewendet werden muss und bei Einbit-Stufen eine höhere Anzahl an Operationsverstärkern vorhanden ist. Haben die Komparatoren der Stufen keine Offset-Fehler und die Verstärker keine Verstärkungsfehler, dann kann der Pipeline A/D-Wandler ohne Korrekturlogik aufgebaut werden und das digitale Schieberegister verzögert das digitale Stufenausgangssignal, so dass das Gesamtausgangswort zum entsprechenden Abtastzeitpunkt zusammengeführt wird. Für das höchstwertige Bit (MSB: Most Significant Bit) wird laut Literatur (z.B. [21]) ein  $N-1$ -Bit-Schieberegister benötigt. Die Latenzzeit wäre somit  $(N - 1)t_{Zyklus}$ . In dieser Arbeit wird jedoch gezeigt, dass die halbe Latenzzeit ausreicht und somit das MSB nur mit einem  $\frac{N}{2} - 1$ -Stufen langen Schieberegister verzögert werden muss.

An dieser Stelle sei noch erwähnt, dass bei einer CMOS-Realisierung der Komparatoren der Offset sehr hoch ist, daher muss jede Stufe bei der Quantisierung (z.B. 0.5 Bit) die andere überlappen. Diese Redundanz (r Bits)

ermöglicht es, mit einer einfachen Korrekturlogik den Quantisierungswert zu bestimmen.

Auf diesen Typus von A/D-Wandlern wird in Kapitel 3 genauer eingegangen.

### 2.3.4 Der Parallel-Pipeline A/D-Wandler

Mit dem Parallel-Pipelined-A/D-Wandler sollte es gelingen auf Kosten der Chipfläche, die Wandlungsrate weiter zu erhöhen. Die theoretische Wandlungsrate ist proportional der Anzahl  $n$  der parallelgeschalteten Wandler (Kanäle).

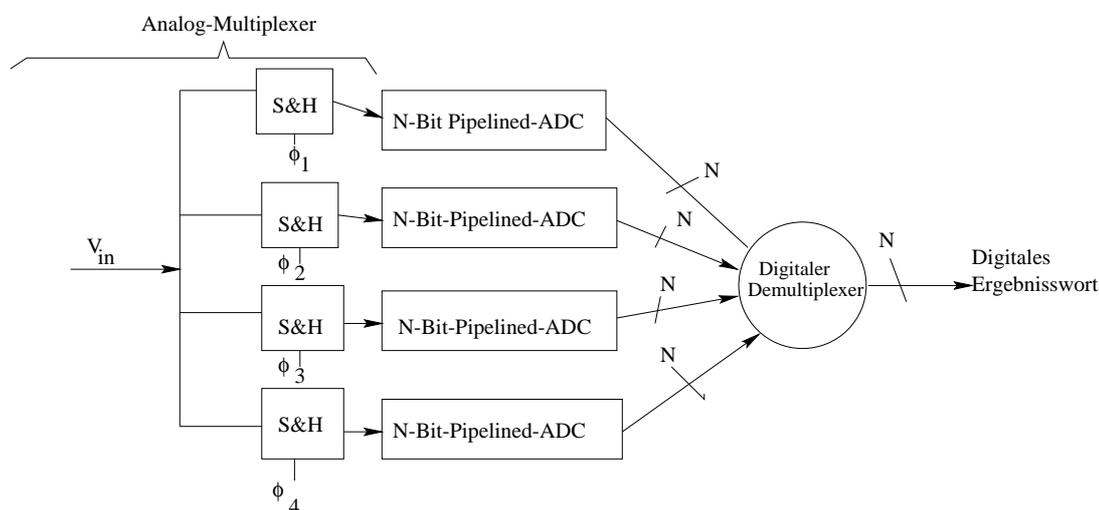


Abbildung 2.7: Der Parallel Pipeline A/D-Wandler

Die Auflösung des Gesamtsystems leidet besonders bei hohen Wandlungsraten an Kanalfelanpassungen, die das SFDR reduzieren. Ein besonderes Problem stellt die Verteilung des Taktes dar. Durch Taktverteilungsfehler ist eine Annahme eines äquidistant abgetasteten Signals nicht mehr gegeben, während bei der digitalen Rekonstruktion weiterhin davon ausgegangen wird. Eine Folge davon sind Störtöne. Dieser Taktverteilungsfehler kann jedoch reduziert werden, wenn das Eingangssignal (Frequenz  $f_{in}$ ) über ein Sample-and-Hold-Glied dem System zugeführt wird, da dann die Übergabe des abgetasteten Signals innerhalb einer Abtastperiode ( $T_s$  und  $f_s = \frac{1}{T_s}$ ) des eingangsseitigen Sample-and-Hold-Gliedes geschehen kann. Die Abtastfrequenz des eingangsseitigen Sample-and-Hold-Gliedes muss dann aber um die Anzahl der parallelgeschalteten Kanäle höher als die eines Kanals sein. Besitzen

die Kanäle unterschiedliche Übertragungsfunktionen (Offset und Gain), so entsteht am digitalen Ausgang das sogenannte “fixed pattern noise”. Also entstehen bei einem Offset-Missverhältnis im Frequenzbereich Störtöne um  $\frac{kf_s}{n}$  ( $k = 1 \dots n$ ) und bei einem Gain-Missverhältnis um  $\frac{kf_s}{n} \pm f_{in}$  ( $k = 1 \dots n$ ).

### 2.3.5 Kalibrierung

Mittels Kalibrierung kann es gelingen, die Auflösung eines A/D-Wandlers zu steigern. Die Kalibrierung kann hierfür im Analogen und/oder im Digitalen Bereich erfolgen. Die Herangehensweise wird durch die Art der Fehler bestimmt. Mögliche Fehler können deterministischer oder stochastischer Natur (Rauschen) sein. Für deterministische Fehler muss der funktionelle Zusammenhang zwischen dem Fehler und dem Systemzustand ermittelt werden. Dieser funktionelle Zusammenhang ergibt zugleich die möglichen Korrekturverfahren und die Fehlerquellen können dann entweder in der digitalen Domäne [44, 43, 61] oder in der analogen Domäne [18] korrigiert oder gemindert werden. Stochastische Fehler lassen sich über eine Mittelung und Rausch-Filterung senken. Diese Verfahren senken jedoch die mögliche Datenausgangsrate.

## 2.4 Fundamentale Limitierungen für A/D-Wandler

In diesem Kapitel werden einige grundlegende Ursachen für eine Auflösungsbegrenzung von A/D-Wandlern beschrieben.

### 2.4.1 Das thermische Rauschen des Nachlauf- und Halteprozesses

In den hier untersuchten A/D-Wandlern kommen häufig Schalter-C-Kombinationen vor. Die spektrale Rauschleistungsdichte gesehen an 1 Ohm bei 1Hz Bandbreite (PSD) und die total integrierte Rauschspannung zum Quadrat des zyklisch stationären Nachlauf- und Halteprozesses soll an dieser Stelle nur für das thermische Rauschen des Schalterwiderstandes berechnet werden, da der 1/f-Rauschanteil gering ist.

Die PSD des Schalterwiderstandes  $R_{SW}$  (An-Fall) ist

$$S_0 := S_{R_{SW}} = 4 \cdot k_B \cdot T \cdot R_{SW}. \quad (2.20)$$

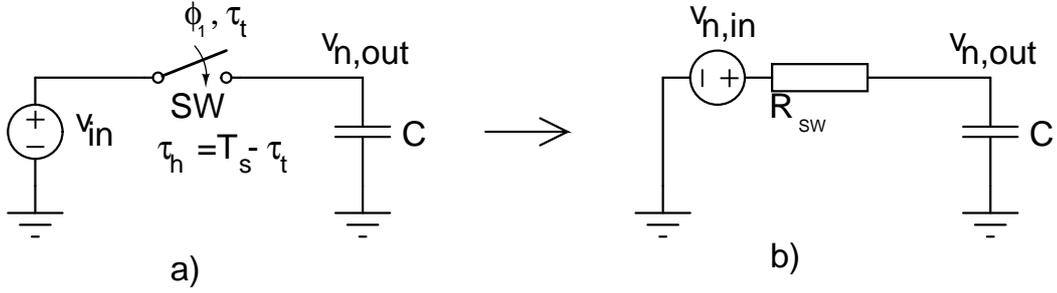


Abbildung 2.8: Schalter-Kapazitätskombination  
 a) Abtastschaltung und b) Rauschersatzschaltung mit rauschfreiem Widerstand und Rauschersatzspannungsquelle

Die total integrierte Rauschspannung zum Quadrat des obigen RC-Tiefpasses im An-Fall ( $\phi_1$ ) ist

$$\overline{v_{RC,tot}^2} = \int_0^\infty S_{R_{sw}} \|H(j\omega)\|^2 \cdot df. \quad (2.21)$$

Die Übertragungsfunktion während  $\phi_1$  ist

$$H(j\omega) = \frac{1}{1 + j\omega R_{sw} C}. \quad (2.22)$$

Damit lässt sich die total integrierte Rauschspannung zum Quadrat darstellen zu

$$\overline{v_{RC,tot}^2} = \int_0^\infty \frac{4 \cdot k_B \cdot T \cdot R_{sw}}{\underbrace{(2\pi R_{sw} C)^2 \left( \frac{1}{(2\pi R_{sw} C)^2} + f^2 \right)}_{S_{RC}(f)}} df. \quad (2.23)$$

Mit

$$\int_a^b \frac{dg}{v^2 + g^2} = \frac{1}{v} \left( \tan^{-1}\left(\frac{g \cdot b}{v}\right) - \tan^{-1}\left(\frac{g \cdot a}{v}\right) \right) \quad (2.24)$$

gilt:

$$\overline{v_{RC,tot}^2} = \frac{2 \cdot k_B \cdot T}{\pi \cdot C} \underbrace{\left( \tan^{-1}(\infty) - \tan^{-1}(0) \right)}_{\frac{\pi}{2}} = \frac{k_B \cdot T}{C}. \quad (2.25)$$

Im Folgenden wird der Schalter zyklisch mit der Abtastrate  $f_s = \frac{1}{T_s} = \frac{1}{\tau_t + \tau_h}$  an- (Nachlaufphase:  $\tau_t$ ) und ausgeschaltet (Haltephase:  $\tau_h$ ).

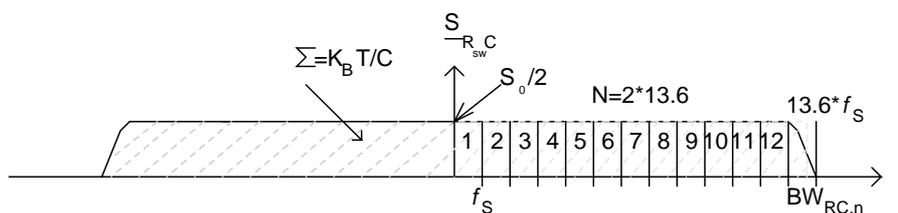


Abbildung 2.9: Darstellung der äquivalenten Rauschbandbreite des  $R_{sw}C$ -Tiefpasses

Das Rauschen am Ausgang des obigen Nachlauf- und Haltegliedes kann in zwei orthogonale Komponenten unterteilt werden [38]. Die folgende Rechnung ist weitgehend aus [51] und [32] entlehnt. Jedoch wird hier nicht auf die in [32] behandelten Spezialfälle (z.B.  $f_s > BW_{RC_n}$ ) eingegangen, da diese in dieser Arbeit nicht existieren (Nyquist-A/D-Wandler) und für das Rauschen in der Regel das Abtasttheorem verletzt wird.

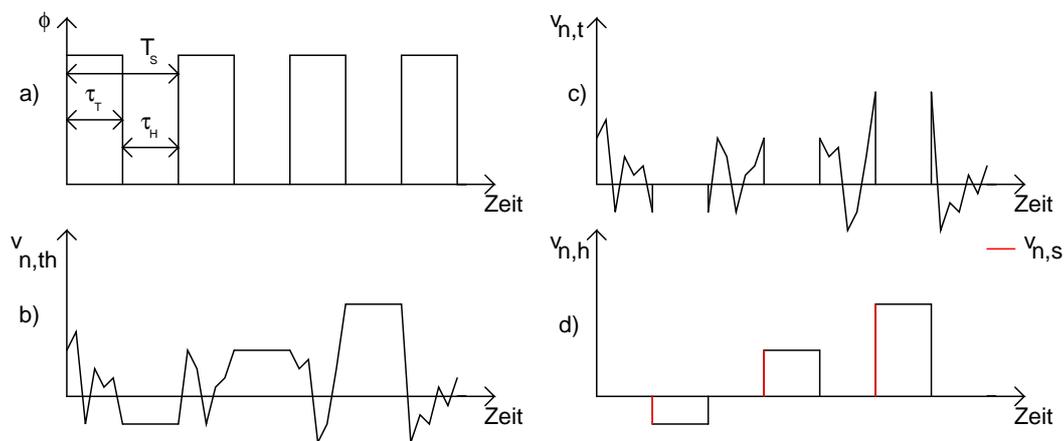


Abbildung 2.10: Rauschsignale in einem Nachlauf- und Halteglied  
 a) Abtasttakt, b) Nachlauf- und Haltesignal, c) Nachlaufsignal und d) Haltesignal

Die Pulsfunktionen seien über

$$g_t = \begin{cases} 1, & nT_s - \tau_t < t < nT_s \\ 0, & \text{sonst} \end{cases} \quad (2.26)$$

und

$$g_h = \begin{cases} 1, & nT_s < t < nT_s + \tau_h \\ 0, & \text{sonst} \end{cases} \quad (2.27)$$

definiert. Damit gilt:

$$v_{n,out}(t) = v_{n,t}(t) + v_{n,h}(t), \quad (2.28)$$

$$v_{n,t}(t) = v_{n,out}(t) \cdot g_t, \quad (2.29)$$

und

$$v_{n,h}(t) = v_{n,s}(t) \otimes g_h. \quad (2.30)$$

Im Folgenden gelte:

$$\text{sinc}(x) := \begin{cases} \frac{\sin(\pi x)}{\pi x} & , x \neq 0 \\ 1 & , x = 0 \end{cases} \quad (2.31)$$

und

$$\delta(x) := \begin{cases} 0 & , x \neq 0 \\ 1 & , x = 0. \end{cases} \quad (2.32)$$

In [51] wird nun mit einem zeitlichen Mittelwert für die Nachlaufphase weitergerechnet

$$S_t(f) = \frac{\tau_t}{T_s} \cdot \underbrace{\frac{4 \cdot k_B \cdot T \cdot R_{SW}}{1 + (2\pi \cdot R_{SW} C f)^2}}_{S_{R_{SW}}(f)}, \quad (2.33)$$

während [32] sich auf Gl. 2.29 bezieht.

Eine Multiplikation im Zeitbereich ist eine Faltung der beidseitigen spektralen Leistungsdichten im Frequenzbereich, also gilt:

$$\underline{S}_t(f) = \underline{S}_{RC_{SW}}(f) \otimes \underline{S}_{g_t}(f) = \left(\frac{\tau_T}{T_s}\right)^2 \sum_{n=-\infty}^{\infty} \text{sinc}^2(n f_s \tau_T) \frac{1}{2} S_{RC_{SW}}(f - n \cdot f_s). \quad (2.34)$$

Da das Argument der sinc-Funktion immer noch von n abhängt, werden höhere Bänder stark gedämpft. Nach [33, 47] kann man, wenn das Abtasttheorem

deutlich verletzt wird ( $BW_n > 10f_s$ ), folgende Näherungen machen

$$\sum_{n=-\infty}^{\infty} \text{sinc}^2(nf_s\tau_T) \underline{S}_{RC_{SW}}(f - n \cdot f_s) \approx \sum_{n=-\frac{BW_{RC,n}}{f_s}}^{\frac{BW_{RC,n}}{f_s}} \underline{S}_{RC_{SW}}(f) \cdot \text{sinc}^2(nf_s\tau_T), \quad (2.35)$$

$$\sum_{n=-\frac{BW_{RC,n}}{f_s}}^{\frac{BW_{RC,n}}{f_s}} \underline{S}_{RC_{SW}}(f) \cdot \text{sinc}^2(nf_s\tau_T) \approx \frac{T_s}{\tau_t} \underline{S}_{RC_{SW}}(f). \quad (2.36)$$

Setzt man die Näherung in Gl. 2.36 in Gl. 2.34 ein, erhält man wiederum Gl. 2.33.

Betrachtet man nun die Haltephase, so ist diese zusammengesetzt aus dem Abtastprozess  $v_{n,s}(t) = \sum_{l=-\infty}^{\infty} \int_{-\infty}^{\infty} v_{n,out}(t) \cdot \delta(t - \tau_t - l \cdot T_s) dt$  ( $l \in \mathcal{Z}$ ) am Ende der Nachlaufphase und dem Halten mit der Länge der Haltephase  $\tau_t$ . Der Abtastprozess produziert Replica (Aliasing) in Intervallen von  $f_s$ . Die beidseitige PSD nach dem Abtastprozess ist

$$\underline{S}_s(f) = \sum_{k=-\infty}^{\infty} \frac{1}{2} \cdot S_{RC}(f - k \cdot f_s). \quad (2.37)$$

Die effektive Rauschbandbreite des  $R_{SW}C$ -Tiefpasses ( $\frac{\pi}{2}f_g$ ) ist

$$BW_{RC,n} = \frac{\pi}{2} \frac{1}{2\pi \cdot R_{SW}C} = \frac{1}{4 \cdot R_{SW}C}. \quad (2.38)$$

Die Anzahl der sich überlappenden Rauschrechtecke ( $BW_{RC,n} \geq f_s$ ) ist

$$N = 2 \cdot \frac{BW_{RC,n}}{f_s}. \quad (2.39)$$

Dies ergibt:

$$\underline{S}_s(f) = \sum_{k=-\frac{N}{2}}^{\frac{N}{2}-1} 2k_B R_{SW}C = 2k_B R_{SW}C \cdot N = \frac{k_B T}{f_s C}. \quad (2.40)$$

Die PSD in einem Seitenband ist  $S_s(f) = \frac{2k_B T}{f_s C}$ . Interessanterweise ist die total integrierte Rauschspannung zum Quadrat des abgetasteten Signals

$$\overline{v_{n,s,tot}^2} = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} \frac{k_B T}{f_s C} \cdot df = \frac{k_B T}{C} \quad (2.41)$$

die total integrierte Rauschspannung zum Quadrat des  $R_{SW}C$ -Tiefpasses. Der Abtastprozess faltet die total integrierte Rauschleistung vollständig ins Basisband.

Das Rauschsignal in der Haltephase ist die Faltung vom abgetasteten Signal  $v_{n,s}(t)$  und der Funktion  $g_h(t)$ .

$$v_{n,h}(t) = v_{n,s}(t) \otimes g_h(t) \quad (2.42)$$

Eine Faltung im Zeitbereich ist über die Fouriertransformation eine Multiplikation im Frequenzbereich. Bekannt ist, dass die fouriertransformierte des Pulszuges im Frequenzbereich ist [47]:

$$g_h(t) \mapsto G_h(f) = \frac{\tau_h}{T_s} \text{sinc}(f\tau_h). \quad (2.43)$$

Also gilt ebenso

$$S_h(f) = S_s(f) \cdot G_h^2(f) = \left(\frac{\tau_h}{T_s}\right)^2 \text{sinc}^2(f\tau_h) \frac{2k_B T}{f_s C}. \quad (2.44)$$

Die einseitige PSD am Ausgang des Nachlauf- und Halteglieders ist die Summe beider Anteile, da diese nicht korreliert sind. Es gilt somit

$$S_{th}(f) = S_t(f) + S_h(f) = \frac{\tau_t}{T_s} \cdot \frac{4 \cdot k_B \cdot T \cdot R_{SW}}{1 + (2\pi \cdot R_{SW} C f)^2} + \left(\frac{\tau_h}{T_s}\right)^2 \text{sinc}^2(f\tau_h) \frac{2k_B T}{f_s C}. \quad (2.45)$$

Dies ist in Übereinstimmung mit [33, 32, 60].

Wenn sich das gesamte Rauschen heruntermischet, berechnet sich die total integrierte Rauschspannung zum Quadrat am Ausgang zu

$$\overline{v_{n,out,tot}^2} = \int_0^\infty S_{th}(f) df \approx \frac{\tau_t}{T_s} \frac{k_B T}{C} + \frac{\tau_h}{T_s} \frac{k_B T}{C} \approx \frac{k_B T}{C}, \quad (2.46)$$

da gilt [10]:

$$\int_0^\infty \text{sinc}^2(a \cdot x) \cdot dx = \frac{1}{2 \cdot |a|}. \quad (2.47)$$

Nach diesem Rauschmodell kann man mit Gl. 2.45 das Rauschen der Nachlaufphase vernachlässigen, da hier nur der Rauschanteil des Basisbandes auftritt, während in der Haltephase das Rauschen ins Basisband heruntergespiegelt wird. Die einseitige PSD ist somit

$$S_{th}(f) \approx \left(\frac{\tau_h}{T_s}\right)^2 \text{sinc}^2(f\tau_h) \frac{2k_B T}{f_s C} = 2 \cdot \left(\frac{\tau_h}{T_s}\right)^2 \text{sinc}^2(f\tau_h) \cdot \frac{\overline{v_{RC,tot}^2}}{f_s}. \quad (2.48)$$

### 2.4.2 Abtastzeitungenauigkeit

Schwanken die Abtastzeitpunkte  $t_i$  im Mittel mit einem Wert  $\tau$ , so sind der tatsächliche Wert  $v_{signal}(t_i)$  und der Abtastmesswert  $\langle v_{signal} \rangle_{t=t_i}$  auch unter Vernachlässigung aller anderen Fehlerursachen verschieden.

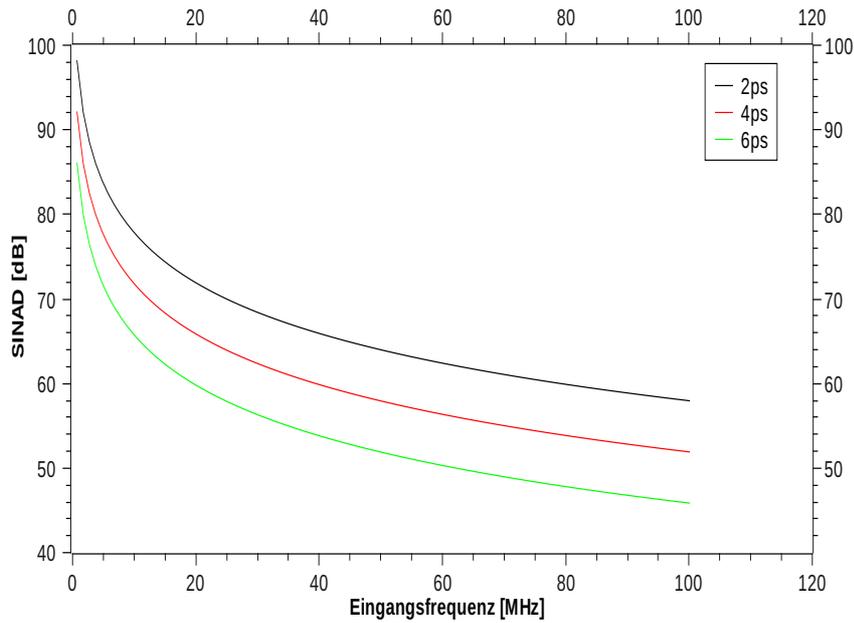


Abbildung 2.11: SINAD über Eingangsfrequenz für unterschiedliche Jitterwerte

Dies wirkt sich jedoch nur als Fehler aus, wenn zwischen Abtastung und Rekonstruktion oder Auswertung, die Information über die tatsächlichen Abtastzeitpunkte verloren geht, wie es jedoch in der Regel der Fall ist. Es ergibt sich eine mittlere Rauschleistung von:

$$P_j = \lim_{n \rightarrow \infty} \frac{1}{n} \sum_{i=1}^n \overline{(v_{signal}(t_i) - \langle v_{signal}(t) \rangle_{t=t_i})^2}. \quad (2.49)$$

Tastet man ein Sinussignal der Amplitude  $A$  und der Kreisfrequenz  $\varpi = 2\pi f$  ab, so berechnet sich diese Rauschleistung zu:

$$P_j = \lim_{n \rightarrow \infty} \frac{A^2}{n} \sum_{i=1}^n \overline{(\sin(\varpi(t_i + \tau)) - \sin(\varpi t_i))^2} \quad (2.50)$$

$$P_j = \lim_{n \rightarrow \infty} \frac{A^2}{n} \sum_{i=1}^n \overline{(1 - \cos(\varpi\tau)) \cdot (1 + \cos(2\varpi t_i + \varpi\tau))}. \quad (2.51)$$

Im zeitlichen Mittel verschwinden die Summanden, die weitestens von  $t_i$  abhängig sind:

$$P_j = A^2 (1 - \cos(\varpi\tau)) \approx \frac{A^2 \varpi^2 \tau^2}{2} (\varpi\tau \ll 1).$$

Das SNR berechnet sich somit zu:

$$SNR_j = 10 \log_{10} \left( \frac{A^2}{2} \cdot \frac{2}{(A\varpi\tau)^2} \right) = -20 \log_{10}(\varpi\tau). \quad (2.52)$$

Das für eine gewisse Auflösung  $N$  zulässige Abtastzeitpunktsschwanken  $\tau$  ist:

$$\tau = \frac{2}{\varpi \cdot (2^N - 1) \sqrt{6}} = \frac{1}{\pi f \cdot (2^N - 1) \sqrt{6}}. \quad (2.53)$$

Für hohe Eingangssignalfrequenzen existieren sehr hohe Jitteranforderungen an die Taktquelle. In dieser Arbeit wird das nicht weiter thematisiert, da es getrennt betrachtet werden kann. Im Folgenden wird von einer Taktquelle mit niedrigem Jitter ausgegangen.

# Kapitel 3

## Der Pipeline A/D-Wandler

In diesem Kapitel wird auf die Klasse der Pipeline A/D-Wandler näher eingegangen. Insbesondere sollen hier die Anforderungen an die Bauelemente bestimmt werden. Am Anfang wird die Struktur beschrieben, dann auf die Unterelemente eingegangen und letztendlich wird der Einfluss der Unterelementsfehlerquellen auf den Pipeline-A/D Wandler analysiert. Für die Analyse werden auch die Systemsimulationswerkzeuge herangezogen. Auf dieser Analyse basiert letztendlich die Synthese des Wandlers. In dieser Arbeit wurden zwei 1.5-Bit pro Stufe Pipeline A/D Wandler implementiert, da sich diese Topologie für eine Layout- und Schaltungssynthese besonders gut eignet. Der 1.5-Bit pro Stufe Pipeline A/D-Wandler ist zudem ein guter Ansatzpunkt für Pipeline-A/D-Wandler [18, 1, 89] mit hoher Performanz. Er bietet vielfältige Möglichkeiten, um Korrekturverfahren wie z.B. die Kapazitätsmittelung zu implementieren [18].

Die einfache Layoutsynthese fußt darauf, dass sich der Sub-D/A-Wandler und die Verstärkerstufe mit geschalteten Kapazitäten (SC-Verstärker) allein über eine Operationsverstärker-Schalter-Kapazitätskombination darstellen lassen und somit vollständig über einen S(witched)C(apacitor)-Generator realisiert werden können [57]. In diesem Kapitel wird auf das Kap. 3.3.2, in dem SC-Schaltungen beschrieben werden, vorgegriffen.

### 3.1 Allgemeine Struktur

Allgemein ist der Pipeline A/D-Wandler ein Vielschrittverfahren mit Zwischenspeicherung, um weiterhin eine Wandlung pro Taktschritt zu vollführen. Die Zwischenspeicherungsfunktion, die Addition und die Verstärkung (\*2) wird hier durch einen Verstärker mit geschalteten Kapazitäten (SC-Verstärker: siehe Kap. 3.3.2) realisiert und als MDAC (Multiplizierender

D/A-Wandler) bezeichnet. Die Operationen werden durch die (multiple) Addition/Subtraktion von Ladungspaketen realisiert. Durch die Verwendung eines Mehrschrittverfahrens erhöht sich mit der Anzahl der Schritte auch die Latenzzeit, das heißt, die Zeit von der Abtastung bis zum Zeitpunkt zu dem der zugehörige Digitalwert am Ausgang zur Verfügung steht. Die Abbildung 2.6 zeigt die allgemeine Struktur eines Pipeline A/D-Wandlers. Im Folgenden wird jedoch dem Pipeline A/D-Wandler ein Abtast- und Halteglied vorgeschaltet, um den Komparatoren der ersten Stufe die Dynamik des Eingangssignals zu nehmen. Um das Prinzip des Pipeline A/D-Wandlers zu verdeutlichen, wird auf den 1 Bit Pipeline-A/D-Wandler nach Abbildung 3.1 eingegangen.

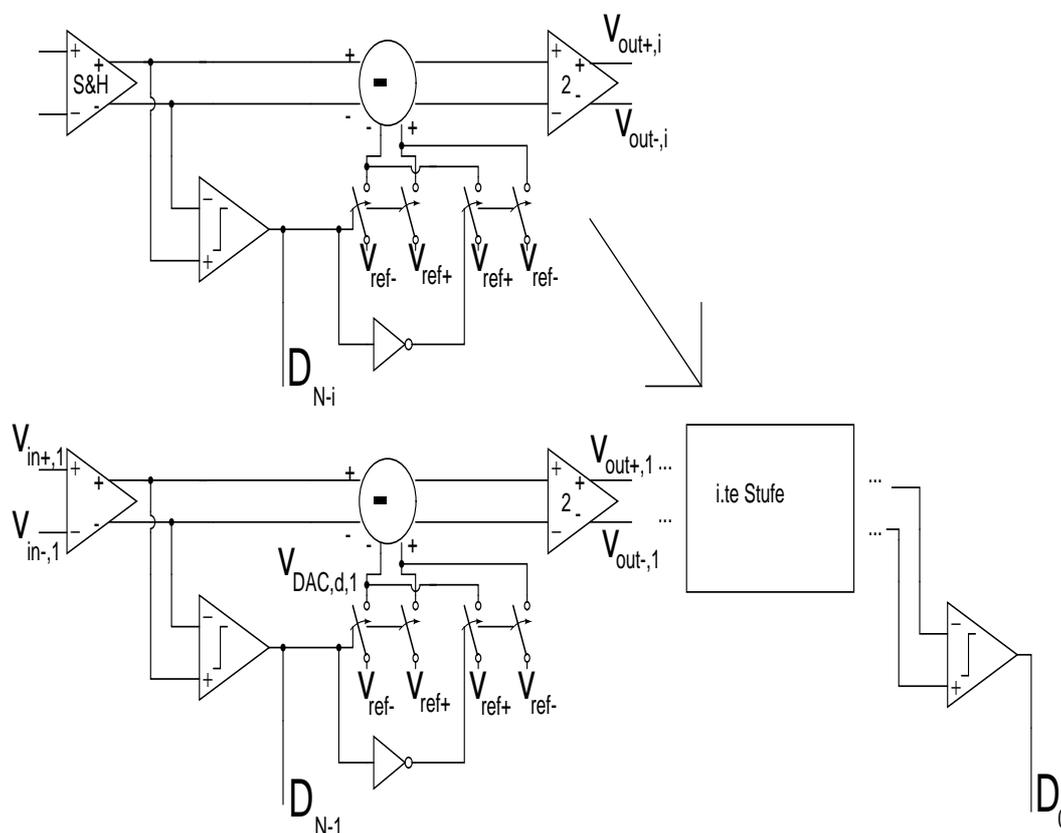


Abbildung 3.1: Prinzipzeichnung des differentiellen 1Bit pro Stufe Pipeline A/D-Wandlers ohne zugehörige Taktphasen

Jede Stufe besitzt eine Ausgangskennlinie nach Abbildung 3.2. Im Folgenden

gelte  $v_{out,d,i} = v_{out+,i} - v_{out-,i}$ ,  $v_{ref,d} = v_{ref+} - v_{ref-}$  und  $v_{in,d,i} = v_{in+,i} - v_{in-,i}$ . Also gilt für die  $i$ -te Stufe

$$v_{out,d,i} = \left( v_{in,d,i} - \left( \frac{2 \cdot D_{N-i} - 1}{2} \right) V_{ref,d} \right) \cdot 2. \quad (3.1)$$

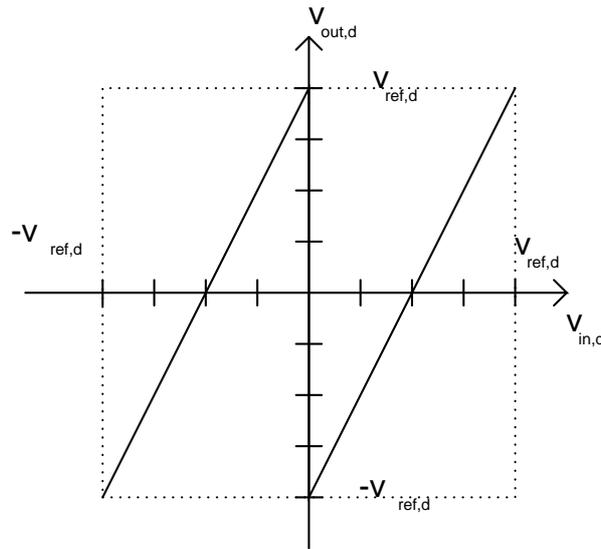


Abbildung 3.2: Differentielles Ausgangssignal der 1Bit Pipeline Stufe in Abhängigkeit vom differentiellen Eingangssignal

Ein Eingangssignal zwischen  $-v_{ref,d}$  und  $v_{ref,d}$  lässt sich über

$$v_{in,d} = \left( \sum_{i=1}^N \left( \frac{D_{N-i}}{2^i} \right) - \frac{1}{2} \right) \cdot v_{ref,d} + v_x \quad (3.2)$$

darstellen. Dies ist jedoch nichts anderes als die Quantisierung des Eingangssignals.

Bei einer idealen Pipelinestufe ist die maximal darstellbare Eingangsspannung gleich der maximalen Stufenausgangsspannung, also  $v_{out,d,max} := v_{in,d,max}$ . In Anwesenheit von Offsets und Verstärkungsfehlern ändert sich der darstellbare Eingangsbereich, oder es entstehen Bitfehler (Missing Codes). Insbesondere der Komparatoroffset muss kleiner als  $\frac{v_{LSB}}{2}$  sein. Um diese Anforderung zu reduzieren, wird im Folgenden der 1.5-Bit pro Stufe Pipeline A/D-Wandler betrachtet.

## 3.2 Realisierungsvarianten

### 3.2.1 Der 1.5-Bit pro Stufe Pipeline A/D-Wandler

Der Hardware-Unterschied der 1.5 Bit Pipeline Stufe zur 1 Bit Pipeline Stufe besteht, wenn man diese in der SC-Schaltungstechnik realisiert, in einem zusätzlichen Komparator, zwei zusätzlichen Schaltern und einigen wenigen Logik-Gattern.

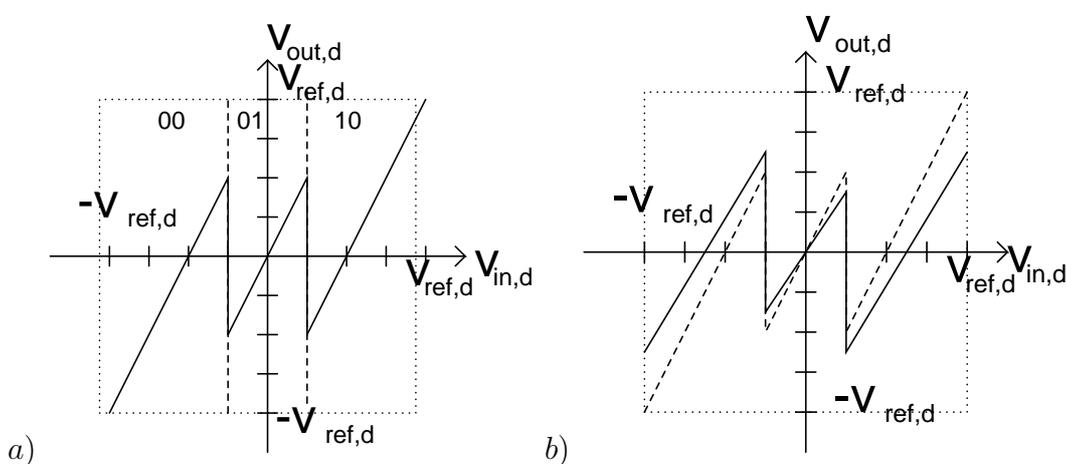


Abbildung 3.3: Differenzielles Ausgangssignal der 1.5 Bit Pipeline Stufe in Abhängigkeit vom differentiellen Eingangssignal

- a) Ideale Kennlinie und b) Kennlinie mit Verstärkungsfehler ( $G < 2$ , durchgezogene Linie)

Die beiden Komparatoren werden auf die Schwellen  $-\frac{v_{ref,d}}{4}$  und  $+\frac{v_{ref,d}}{4}$  gestellt und stellen somit einen Fensterkomparator dar. Der tolerierbare Komparatoroffsetfehler ist damit auf  $\pm \frac{v_{ref,d}}{4}$  erhöht worden. Ist das Eingangssignal in diesem Fenster, gibt der Sub-D/A-Wandler differentiell 0V wieder. Dafür sind zwei zusätzliche Schalter nötig, die auf  $V_{CM}$  gelegt werden.  $V_{CM}$  ist ein Potential, dass in der Regel auf  $(v_{ref+} + v_{ref-})/2$  gelegt wird. Die Implementierung ist in Abb. 9.15 dargestellt.

In Abbildung 3.3 ist zu erkennen, dass in diesem Fall vermieden wird, dass bei einem Verstärkungsfehler der Darstellungsbereich an den Schwellen unter- oder überschritten wird. Im Folgenden sei angenommen, dass die zweifache Verstärkung (Zwischenstufenverstärker), die Subtraktion und die S&H-Funktion (inhärent) durch eine Schaltung nach Abb. 3.23a oder Abb. 9.14

zeitdiskret realisiert werden. Dann gilt unter weiterer Vernachlässigung der Taktphasen ( $C_{S,i} = C_{F,i}$ )

$$v_{out,d,i} = \left(1 + \frac{C_{S,i}}{C_{F,i}}\right) \cdot v_{in,d,i} - \frac{C_{S,i}}{C_{F,i}} v_{ref,d}, \text{ wenn } v_{in,d,i} > \frac{v_{ref,d}}{4} \implies d_i = 2$$

$$v_{out,d,i} = \left(1 + \frac{C_{S,i}}{C_{F,i}}\right) \cdot v_{in,d,i}, \text{ wenn } -\frac{v_{ref,d}}{4} \leq v_{in,d,i} \leq \frac{v_{ref,d}}{4} \implies d_i = 1$$

$$v_{out,d,i} = \left(1 + \frac{C_{S,i}}{C_{F,i}}\right) \cdot v_{in,d,i} + \frac{C_{S,i}}{C_{F,i}} v_{ref,d}, \text{ wenn } v_{in,d,i} < -\frac{v_{ref,d}}{4} \implies d_i = 0.$$

Eine prinzipielle Realisierung dieser Übertragungsfunktion ist in Abb. 3.4 dargestellt.

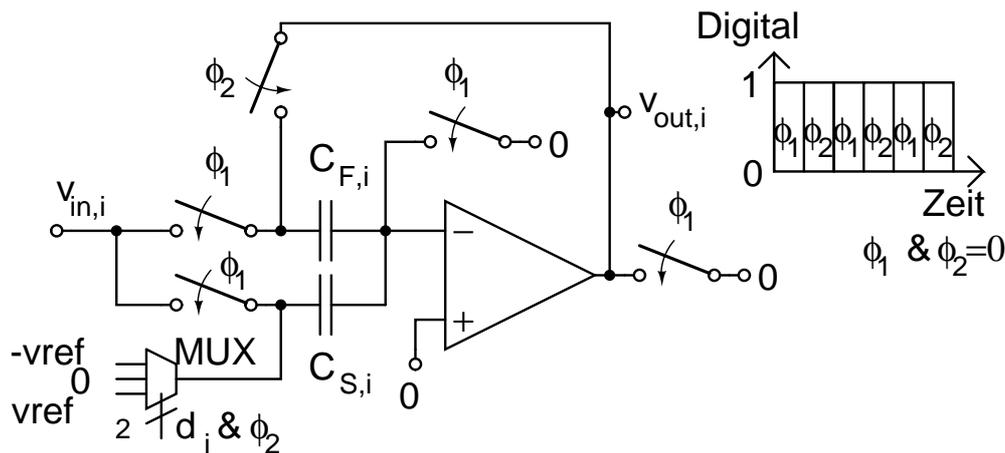


Abbildung 3.4: Prinzipskizze der Realisierung eines Single-Ended 1.5Bit-MDACs

In Realität wird die Schaltung voll differentiell realisiert. In Abb. 3.4 ist ebenfalls zu erkennen, dass in Phase  $\phi_1$  das Eingangssignal abgetastet (Abtastphase-, „sampling phase“) wird und in Phase  $\phi_2$  prozessiert (Verstärkungsphase-, „amplification phase“) wird. Desweiteren sei erwähnt, dass die nachfolgende Stufe die globalen Taktphasen  $\{\phi_1, \dots, \phi_2, \dots\}$  mit  $\{\phi_2, \dots, \phi_1, \dots\}$  tauschen muss, da sie ja nur in der Haltephase der betrachteten Stufe abtasten kann.

### Digitale Fehlerkorrektur mit Redundanz

Werden die Ausgangsbits aller Stufen zeitlich zusammengeführt, dann ist für einen N-Bit Pipeline A/D-Wandler der Analogwert in  $2 \cdot N$  Bit enkodiert. Nur durch einen Korrekturalgorithmus erhält man das N-Bit-Ausgangswort. Diese Enkodierung nennt man RSD-Enkodierung (Redundant Sign Digits) [21, 19].

Der Algorithmus ist

$$d_{out} < N - 1, 0 > = \sum_{i=1}^N 2^{N-i-1} d_i. \quad (3.3)$$

Für einen 10 Bit-A/D-Wandler kann man dies in der Zeit (in y unterteilt) und in digitaler Ordnung darstellen.

$d_{1,1}$	$d_{1,0}$	×	×	×	×	×	×	×	×	×
0	$d_{2,1}$	$d_{2,0}$	×	×	×	×	×	×	×	×
×	×	$d_{3,1}$	$d_{3,0}$	×	×	×	×	×	×	×
×	×	×	$d_{4,1}$	$d_{4,0}$	×	×	×	×	×	×
×	×	×	×	$d_{5,1}$	$d_{5,0}$	×	×	×	×	×
×	×	×	×	×	$d_{6,1}$	$d_{6,0}$	×	×	×	×
×	×	×	×	×	×	$d_{7,1}$	$d_{7,0}$	×	×	×
×	×	×	×	×	×	×	$d_{8,1}$	$d_{8,0}$	×	×
×	×	×	×	×	×	×	×	$d_{9,1}$	$d_{9,0}$	×
×	×	×	×	×	×	×	×	×	$d_{10,1}$	$d_{10,0}$
$d_{out,9}$	$d_{out,8}$	$d_{out,7}$	$d_{out,6}$	$d_{out,5}$	$d_{out,4}$	$d_{out,3}$	$d_{out,2}$	$d_{out,1}$	$d_{out,0}$	$c_i$

Auf den Diagonalen sind die zwei 10Bit-Wörter zu erkennen, die addiert werden müssen. Es ist somit für einen 10Bit-Pipeline-A/D-Wandler, neben dem digitalen Schieberegister, nur ein 10Bit-Volladdierer mit Carry-In nötig. Hier soll erwähnt werden, dass die N-1-te-Stufe mit der N-ten-Stufe kombiniert werden kann und man einen Zwischenstufenvertärker sparen kann. Die Schwellen der Komparatoren liegen dann bei  $-\frac{v_{ref,d}}{2}$ ,  $-\frac{v_{ref,d}}{4}$ , 0,  $\frac{v_{ref,d}}{4}$  und  $\frac{v_{ref,d}}{2}$ .

### 3.2.2 Die 2.5 Bit Pipeline Stufe

Die 2.5 Bit Pipeline Stufe lässt sich einfach in den 1.5 Bit pro Stufe Pipeline A/D-Wandler einfügen. Eine Implementierung einer 2.5 Bit Pipeline Stufe kann sinnvoll sein, um den Einfluss des Kapazitätsmissverhältnisses, wenn der Zwischenstufenverstärker über einen Verstärker mit geschalteten Kapazitäten realisiert wird, zu mindern. Nach [19] führt dies auch zu einer

geringeren Verlustleistung. In der Regel wird die 2.5 Bit Pipeline Stufe in den ersten Stufen des Pipeline A/D-Wandlers eingesetzt. Es verringert sich auch die Anforderung an die offene Schleifenverstärkung (Gl. 3.73) des Operationsverstärkers, jedoch bleibt diese so hoch, dass dies im Allgemeinen nicht zu einem Architekturwechsel führen würde. Die Anforderungen an das Kapazitätsmissverhältnis sinken nach Gl. 3.83 und 3.85 um den Faktor  $\sqrt{2}$ . Dies würde, wenn dies der dominierende Fehler ist, zu einer SINAD-Erhöhung um 3dB führen. Der Rückkopplungsfaktor ist jedoch ca. um den Faktor 0.5 kleiner, was aber teilweise durch das kleinere  $C_S + C_F$  der nächsten Stufe (geringere Rausch- und Kapazitätsmissverhältnisanforderungen an die nächste Stufe [19]) aufgefangen wird. Nichtsdestotrotz ist die geschlossene Schleifenbandbreite bei der Verwendung desselben Operationsverstärkers kleiner als im Falle der 1.5 Bit Pipeline Stufe. Da der Rest-Pipeline A/D-Wandler um ein Bit kleiner ist, sind die Anforderungen an die Einschwingkonstante ebenfalls geringer. Die Realisierung über SC-Verstärker erfolgt ebenso durch eine Schaltung nach Abb. 3.23a. Es wird die Kapazität  $C_S$  in drei Teile aufgeteilt.

Im Folgenden gelte  $C_{S,1,i} = C_{S,2,i} = C_{S,3,i} = C_{F,i}$ .

$$v_{out,d,i} = \left(1 + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}}\right) \cdot v_{in,d,i} - \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}} v_{ref,d},$$

$$\text{wenn } v_{in,d,i} > \frac{5 \cdot v_{ref,d}}{8} \implies d_i = 6$$

$$v_{out,d,i} = \left(1 + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}}\right) \cdot v_{in,d,i} - \frac{C_{S,1,i} + C_{S,2,i}}{C_{F,i}} v_{ref,d},$$

$$\text{wenn } \frac{5 \cdot v_{ref,d}}{8} > v_{in,d,i} > \frac{3 \cdot v_{ref,d}}{8} \implies d_i = 5$$

$$v_{out,d,i} = \left(1 + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}}\right) \cdot v_{in,d,i} - \frac{C_{S,1,i}}{C_{F,i}} v_{ref,d},$$

$$\text{wenn } \frac{3 \cdot v_{ref,d}}{8} > v_{in,d,i} > \frac{1 \cdot v_{ref,d}}{8} \implies d_i = 4$$

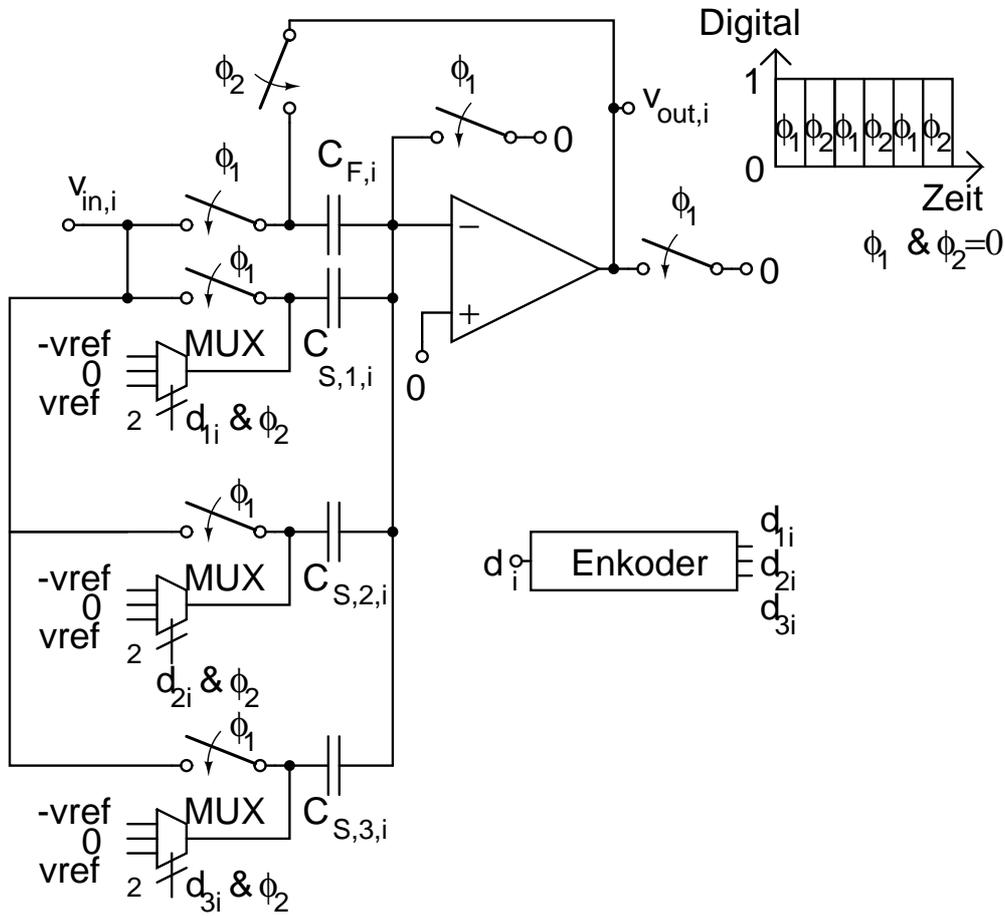


Abbildung 3.5: Prinzipskizze der Realisierung eines Single-Ended 2.5 Bit-MDACs

$$v_{out,d,i} = \left( 1 + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}} \right) \cdot v_{in,d,i},$$

$$\text{wenn } \frac{1 \cdot v_{ref,d}}{8} > v_{in,d,i} > \frac{-1 \cdot v_{ref,d}}{8} \implies d_i = 3$$

$$v_{out,d,i} = \left( 1 + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}} \right) \cdot v_{in,d,i} + \frac{C_{S,1,i}}{C_{F,i}} v_{ref,d},$$

$$\text{wenn } \frac{-1 \cdot v_{ref,d}}{8} > v_{in,d,i} > \frac{-3 \cdot v_{ref,d}}{8} \implies d_i = 2$$

$$v_{out,d,i} = \left( 1 + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}} \right) \cdot v_{in,d,i} + \frac{C_{S,1,i} + C_{S,2,i}}{C_{F,i}} v_{ref,d},$$

$$\text{wenn } \frac{-3 \cdot v_{ref,d}}{8} > v_{in,d,i} > \frac{-5 \cdot v_{ref,d}}{8} \implies d_i = 1$$

$$v_{out,d,i} = \left( 1 + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}} \right) \cdot v_{in,d,i} + \frac{C_{S,1,i} + C_{S,2,i} + C_{S,3,i}}{C_{F,i}} v_{ref,d},$$

$$\text{wenn } v_{in,d,i} < \frac{-5 \cdot v_{ref,d}}{8} \implies d_i = 0$$

Eine prinzipielle Realisierung dieser Übertragungsfunktion ist in Abb. 3.5 dargestellt.

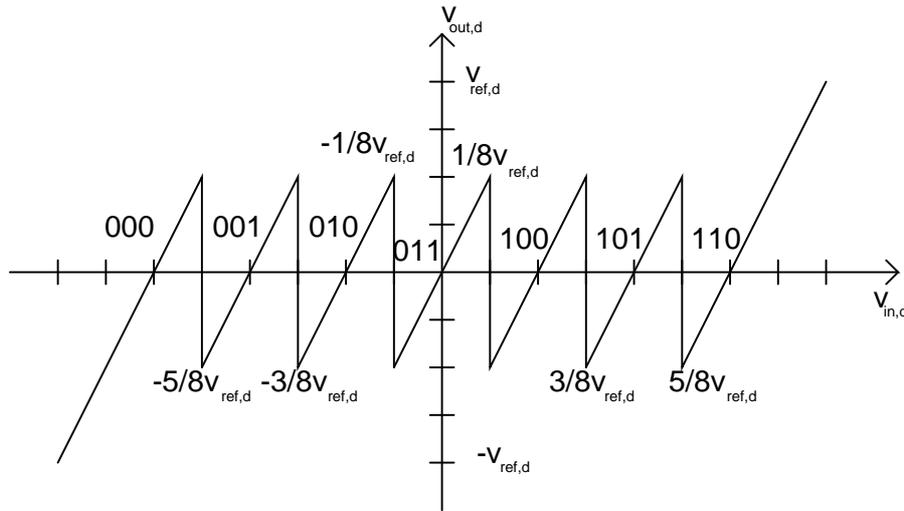


Abbildung 3.6: Differenzielles Ausgangssignal der 2.5 Bit Pipeline Stufe in Abhängigkeit vom differentiellen Eingangssignal

In Realität wird die Schaltung volldifferentiell realisiert. Man erkennt (siehe Abb. 3.6), dass nun 6 Schwellen (6 Komparatoren auf  $\frac{-5 \cdot v_{ref,d}}{8}$ ,  $\frac{-3 \cdot v_{ref,d}}{8}$ ,  $\frac{-1 \cdot v_{ref,d}}{8}$ ,  $\frac{1 \cdot v_{ref,d}}{8}$ ,  $\frac{3 \cdot v_{ref,d}}{8}$  und  $\frac{5 \cdot v_{ref,d}}{8}$ ) existieren, und dass für die D/A-Wandler-Operation (ein differentieller Spannungsmultiplexer pro  $C_{S,p/m,i}$ -Paar (siehe Abb. 9.15) mit den Spannungen  $-v_{ref,d}, 0, v_{ref,d}$ ) zusätzliche Schalter benötigt werden. Der Komparatoroffset darf  $\pm \frac{v_{ref,d}}{8}$  betragen.

### 3.3 Unterelemente des Pipeline A/D-Wandlers

In diesem Abschnitt werden die „analogen“ Unterelemente des Pipeline A/D-Wandlers beschrieben, die Einfluss auf die Auflösung des Pipeline A/D-Wandlers haben können. Die hier realisierten Pipeline A/D-Wandler bestehen aus einem Taktphasengenerator, einem Abtast- und Halteglied, einer Reihe von MDACs (analoge Pipeline mit SC-Verstärkern), einem finalen Sub-A/D-Wandler (Komparatoren) und einer digitalen Fehlerkorrektur (digitale Pipeline und digitale Ausgangswortbildung).

#### 3.3.1 Der Taktphasengenerator

Der Taktphasengenerator (z.B. nach Abb. 3.7) erzeugt aus einem Takt den für die Switched-Capacitor Schaltungen notwendigen nichtüberlappenden Zweiphasentakt ( $\phi_1$  und  $\phi_2$ ), die vorgelagerten Abschaltphasen ( $\phi'_1$  und  $\phi'_2$ ) und eventuell die dazu invertierten Phasen [38].

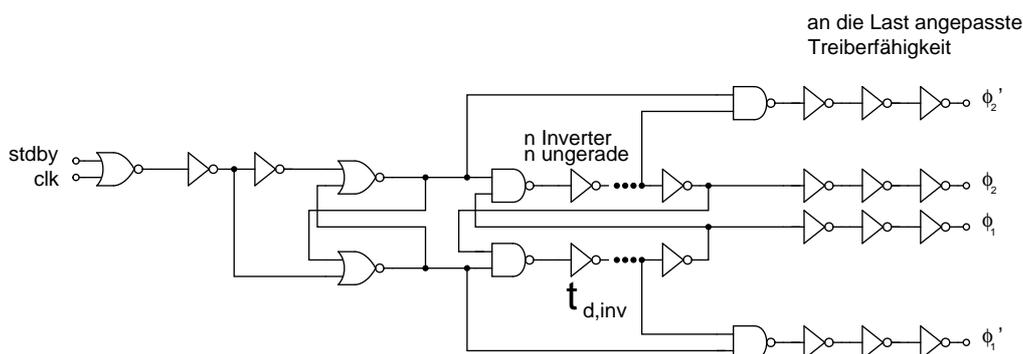


Abbildung 3.7: Taktgenerator

Der Taktphasengenerator nach Abb. 3.7 ist eine modifizierte Version eines Taktphasengenerators nach [2]. Mit der Anzahl  $n$  der Inverter (Laufzeitverzögerung  $t_{d,inv}$ ) und sinkender Treiberfähigkeit dieser erhöht sich die Nichtüberlappungszeit  $t_{non,ov} \approx n \cdot t_{d,inv}$ . Der Vorteil obiger Schaltung im Gegensatz zu denen in [21, 19] besteht darin, dass die steigende Flanke der vorgelagerten Phasen nahezu identisch mit den nichtvorgelagerten Phasen ist.

Im hier vorgestellten Pipeline A/D-Wandler wird von Stufe zu Stufe die Abtastphase ( $\phi_1$ ) mit der Haltephase ( $\phi_2$ ) getauscht, da von der folgenden Stufe das gehaltene Signal abgetastet wird.

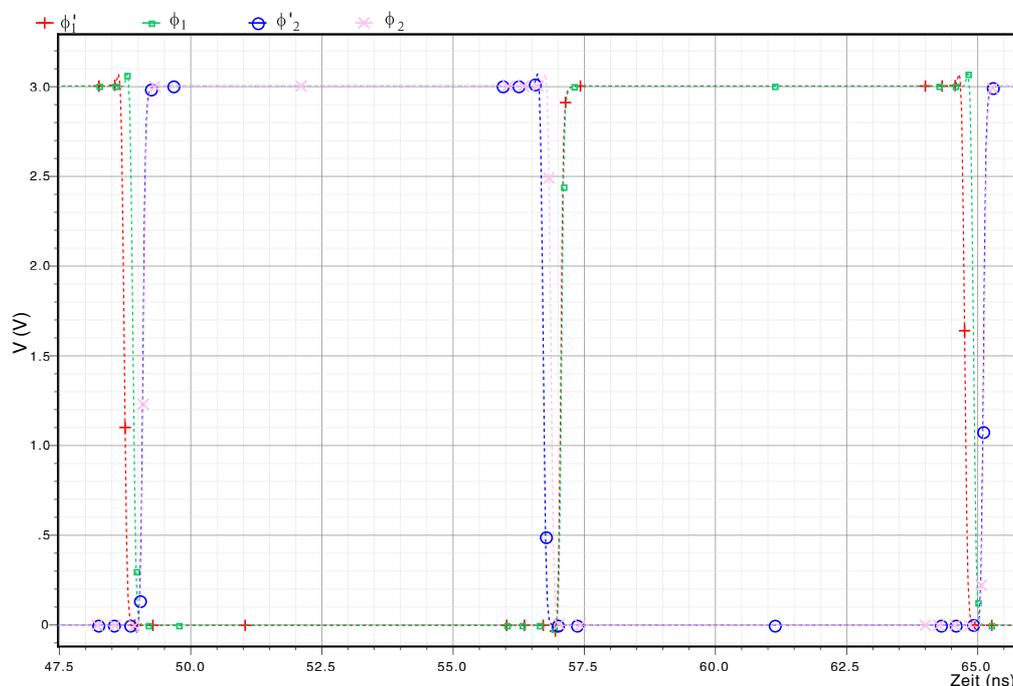


Abbildung 3.8: Taktgenerator Ausgangssignal

Somit wird mit dem hier vorgestellten Taktphasengenerator die Abtastphase und die Haltephase der nachfolgenden Stufe nicht zusätzlich (siehe Abb. 3.8) reduziert.

### 3.3.2 Switched-Capacitor Schaltungen

Schaltungen in der SC-Technik spielen in dieser Arbeit eine besondere Rolle, da das Testvehikel, der Pipeline A/D-Wandler, sich nahezu vollständig in dieser Technik realisieren lässt. In der Regel wird hier das sogenannte Bottom-Plate-Sampling [39, 2] angewandt. Dadurch werden viele Fehler des Top-Plate-Samplings zur ersten Ordnung eliminiert, wenn die parasitären Kapazitäten im Wesentlichen an der Bottom-Plate hängen. Wenn man in Abb. 3.9 und in Abb. 3.10 bis zum Ende der Phase  $\phi_1$  auf  $C_S$  (und eventuell auch  $C_F$ ) den Eingangswert abtastet und die Topplate vorher ( $\phi_1'$ ) abtrennt, dann ist die Ladung dort konserviert und danach unabhängig von dem weite-

ren Verlauf der Eingangsspannung sowie von der parasitären Kapazität. Der Schalter zwischen dem Eingang und dem Ausgang des Operationsverstärkers implementiert das Input-Offset-Sampling [78] und stellt eine Offsetkompensationsmethode dar.

### Fehlerbetrachtungen

In diesem Abschnitt werden die Fehlerquellen anhand der „Single-Ended-Versionen“ der voll differentiellen Schaltungen untersucht. Die Ergebnisse lassen sich leicht übertragen.

### Endliche offene Schleifenverstärkung des Operationsverstärkers/OTAs und Einschwingfehler

Dieser Abschnitt dient dazu, die einzelnen Fehlerquellen zu separieren und die relativen Fehler durch eine endliche offene Schleifenverstärkung des Operationsverstärkers/OTAs ( $\epsilon_{A_0}$ ) und unvollständiges Einschwingen  $\epsilon_\tau$  zu bestimmen.

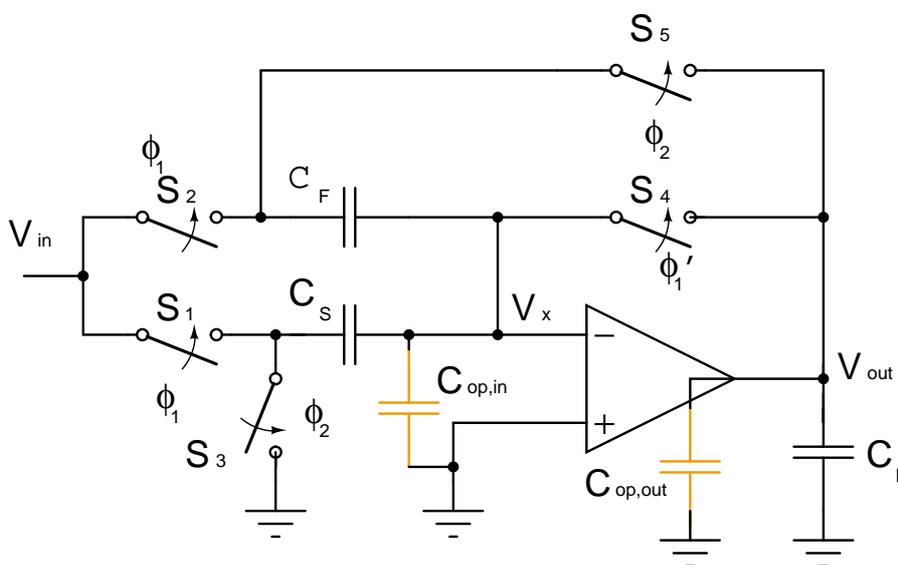


Abbildung 3.9: Single-ended SC-Verstärker Variante 1  
(vereinfachte Schaltung zur Berechnung)

Für die ausgangsseitig nicht differentiellen Varianten (Abb. 3.9 und Abb. 3.10) [54, 21, 19] eines zurückgekoppelten Verstärkers in geschalteter Kapazitätstechnik wird nun auf die obengenannten Fehlerquellen eingegangen.

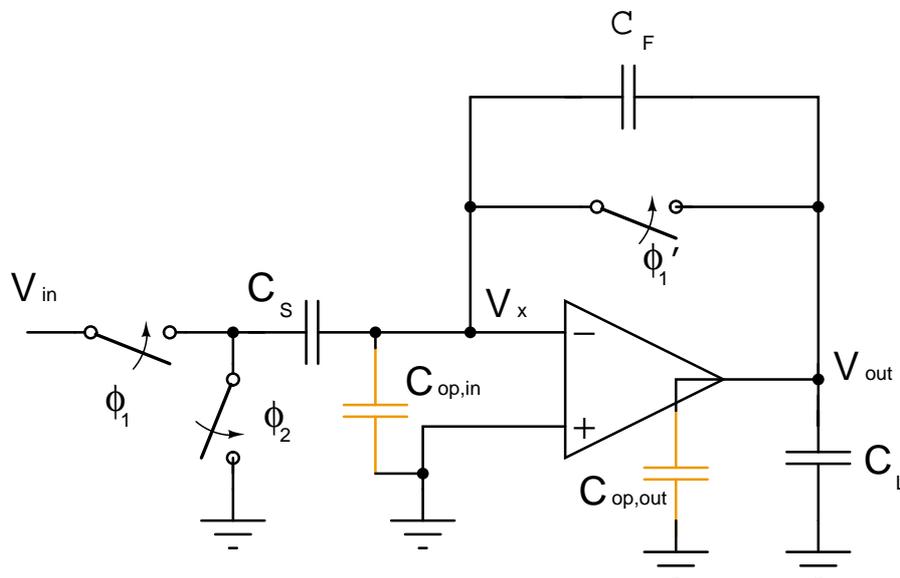


Abbildung 3.10: Single-ended SC-Verstärker Variante 2 (vereinfachte Schaltung zur Berechnung)

Die verwendeten differentiellen Varianten lassen sich dann leicht ableiten.

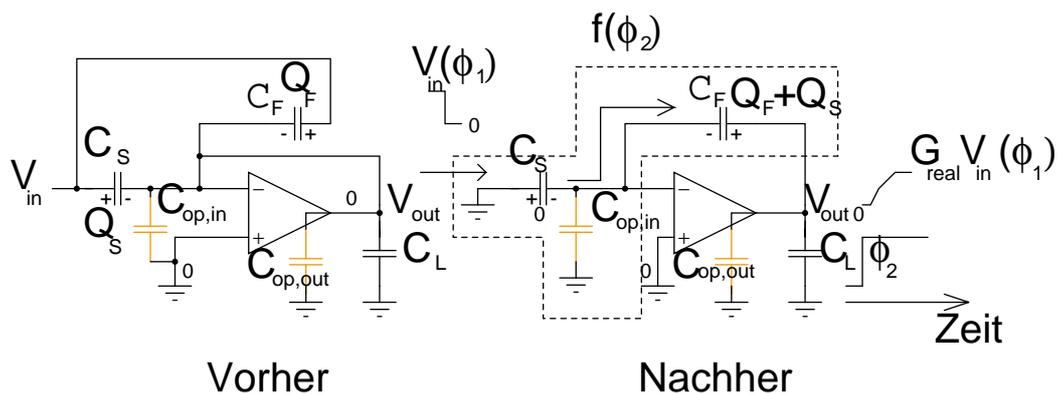


Abbildung 3.11: Single-ended SC-Verstärker in der Transition von  $\phi_1$  und  $\phi_2$

In der Phase  $\phi_1$  ( $(n - 1) T_S$ ) wird in Abb. 3.9 das Eingangssignal auf  $C_S + C_F$

und in 3.10 auf  $C_S$  geladen und in der Phase  $\phi_2$  ( $(n - \frac{1}{2})T_S$ ) auf  $C_F$  transferiert. Dies ist in Abb. 3.11 dargestellt. Somit ist die nichtfehlerbehaftete Spannungsverstärkung für eine Schaltung nach Abb. 3.9 gleich  $G_C = G_{ideal} = 1 + \frac{C_S}{C_F}$  und für eine Schaltung nach Abb. 3.10 gleich  $G_C = G_{ideal} = \frac{C_S}{C_F}$ . Das dynamische Verhalten, welches insbesondere in der Transition (Abb. 3.11) von  $\phi_1$  zu  $\phi_2$  interessant ist, muss mittels der Kleinsignalübertragungsfunktion des zeitkontinuierlichen Systems ( $\mathbf{f}(\phi_2)$ ) in  $\phi_2$  beschrieben werden, da die Sprungantwort in  $\phi_2$  (Transfer der Spiegelladung) stattfindet. Der Rückkopplungsfaktor während  $\phi_2$  ist durch den kapazitiven Teiler in Abb. 3.11 gegeben:

$$\mathbf{f}(\phi_2) = \frac{\frac{1}{s(C_S + C_{op,in})}}{\frac{1}{s(C_S + C_{op,in})} + \frac{1}{sC_F}} = \frac{C_F}{C_F + C_S + C_{op,in}}. \quad (3.4)$$

Da der Operationsverstärker in  $\phi_1$  in der Spannungfolger-Konfiguration ist, ist  $\mathbf{f}(\phi_1) = 1$ .

Betrachtet man nun einen einpoligen Verstärker ( $A_0(s) = \frac{1}{1 + \frac{s}{\omega_1}}$ ) mit der Lastkapazität  $C_L$  und den gesamten Sperrschicht- und parasitären Kapazitäten (auch die Bottom-Plate-Kapazitäten der jeweiligen angehängten Kapazitäten nach Masse)  $C_{op,out}$  am Ausgang, so ergibt sich eine Einschwingzeitkonstante  $\tau$ . Im Folgenden sei das Eingangssignal  $X(s)$  so definiert, dass es äquivalent zum tatsächlichen Spannungssprunges über die äquivalente Abtastkapazität  $C_S + C_F$  ist (Charge Sharing:  $X(s) = V_{in}(s)$  für  $C_{op,in} = 0$ ).

Somit gilt:

$$X(s) = \frac{C_S + C_F}{C_S + C_F + C_{op,in}} \cdot V_{in}(s) \quad (3.5)$$

$$\mathcal{G}(s) = \frac{V_{out}(s)}{X(s)} = \frac{A_0(s)}{1 + \mathbf{f} \cdot A_0(s)} = \frac{\frac{A_0}{1 + \mathbf{f} \cdot A_0}}{1 + \frac{s}{\omega_1 \cdot (1 + \mathbf{f} \cdot A_0)}} \quad (3.6)$$

$$\mathcal{G}(s) = \frac{\frac{\frac{1}{\mathbf{f}}}{1 + \frac{1}{\mathbf{f} \cdot A_0}}}{1 + \frac{s}{\omega_1 \cdot (1 + \mathbf{f} \cdot A_0)}}. \quad (3.7)$$

Man erkennt, dass die geschlossene Schleifenverstärkung näherungsweise  $\frac{1}{\mathbf{f}}$  (Abweichung:  $\frac{1}{1 + \frac{1}{\mathbf{f} \cdot A_0}}$ ) ist und das System einem Einpolsystem mit der verschobenen Polfrequenz

$$\omega'_1 = \omega_1 \cdot (1 + \mathbf{f} \cdot A_0) \quad (3.8)$$

entspricht. Die pseudostatische Spannungsverstärkung des Systems bezüglich  $V_{in}$  ist:

$$G_{real} = \frac{1}{f} \cdot \frac{C_S + C_F}{C_S + C_F + C_{op,in}} \cdot \frac{1}{1 + \frac{1}{f \cdot A_0}} = \left(1 + \frac{C_S}{C_F}\right) \cdot \frac{1}{1 + \frac{1}{f \cdot A_0}}. \quad (3.9)$$

Im Folgenden soll zudem der Einfluss des Offsets, der endlichen Bandbreite des Vorwärtsgliedes und der endlichen offenen Schleifenverstärkung  $A_0$  des Operationsverstärkers in einem SC-Verstärker nach Abbildung 3.9 in einer Pipeline Stufe unter Verwendung des Input-Offset-Samplings (IOS) [78] untersucht werden. Dazu wird ein anderer Ansatz verwendet, mit den Ladungen gerechnet und wiederum für den Operationsverstärker/OTA (Abb. 3.12) ein einpoliges ( $f_1 = \frac{\omega_1}{2 \cdot \pi}$ ) Verhalten ( $A_0(s) = \frac{A_0}{1 + \frac{s}{\omega_1}}$ ) mit der offenen Schleifenverstärkung  $A_0$  angenommen.

Der in einem Pipeline-A/D-Wandler verwendete SC-Verstärker besitzt zudem noch einen zusätzlichen Additionseingang. Hierfür wird in Abb. 3.9 und Abb. 3.10 in  $\phi_2$  die Bottomplate der Abtastkapazität  $C_S$  nicht gegen Masse sondern gegen ein Sub-D/A-Wandler-Potential geladen.

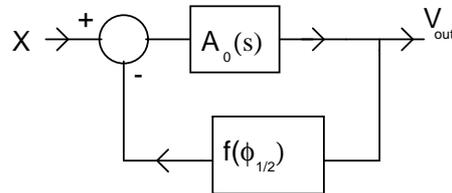


Abbildung 3.12: Äquivalente Kleinsignalbeschreibung einer einstufigen Verstärkerstufe mit Rückkopplung in den Phasen

IOS wird hier vorgezogen, da der Operationsverstärker nie eine offene Rückkopplung hat, wie das bei dem Output-Offset-Sampling (OOS) [78] der Fall wäre. Beim OOS wird der Eingang in  $\phi_1'$  auf Masse gezogen, während der Rückkopplungsschalter aus der Schaltung entfernt wird. Insbesondere bei hoch-verstärkenden Operationsverstärkern/OTAs könnte eine offene Rückkopplung problematisch sein.

Für die Betrachtung wird die Ladungsbilanz [79] aufgestellt und in beiden Phasen gleichgesetzt. Der Digitalwert  $d \in Z$  hängt von der jeweiligen Sub-A/D-D/A-Wandler-Realisation ab.

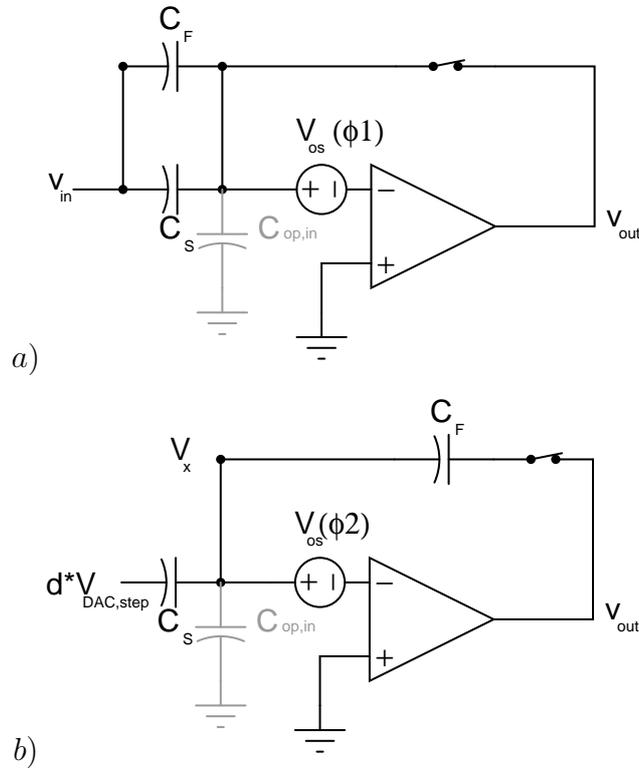


Abbildung 3.13: Verfahren zur Abtastung des Offsets auf die Eingangskapazität zu beiden Taktphasen (a)  $\phi_1$  und b)  $\phi_2$

In der Phase  $\phi_1$  wird das Eingangssignal  $v_{in} := v_{in}(\phi_1)$  abgetastet

$$q_1 = (v_{out}(\phi_1) - v_{in}(\phi_1)) \cdot (C_S + C_F) + v_{out}(\phi_1) \cdot C_{op,in} \quad (3.10)$$

und in der Phase  $\phi_2$  transferiert

$$\begin{aligned} q_2 = & (v_x(\phi_2) - d \cdot v_{ref}) \cdot C_S + v_x(\phi_2) \cdot C_{op,in} \\ & + (v_x(\phi_2) - v_{out}(\phi_2)) \cdot C_F. \end{aligned} \quad (3.11)$$

Es ist

$$v_{out}(\phi_1) = v_{os}(\phi_1) \cdot \frac{A_0}{1 + A_0} \quad (3.12)$$

und

$$v_{out}(\phi_2) = -\frac{A_0}{1 + \frac{s}{\omega_1}} \cdot (v_x(\phi_2) - v_{os}(\phi_2)). \quad (3.13)$$

Somit gilt:

$$v_x(\phi_2) = -\frac{v_{out}(\phi_2)}{A_0} \cdot \left(1 + \frac{s}{\omega_1}\right) + v_{os}(\phi_2). \quad (3.14)$$

Aufgrund der Ladungserhaltung gilt:

$$q_1 = q_2. \quad (3.15)$$

Nun wird Gl. 3.13 und Gl. 3.14 in Gl. 3.15 eingesetzt und nach  $v_{out} := v_{out}(\phi_2)$  aufgelöst.

$$v_{out} = \left[ v_{in} \left( \frac{C_S + C_F}{C_F} \right) - d \cdot v_{DAC,step} \cdot \frac{C_S}{C_F} + \left( v_{os}(\phi_2) - v_{os}(\phi_1) \left( \frac{A_0}{1 + A_0} \right) \right) \frac{1}{\mathbf{f}} \right] \cdot \frac{1}{1 + \left(1 + \frac{s}{\omega_1}\right) \cdot \frac{C_S + C_F + C_{op,in}}{A_0 \cdot C_F}}. \quad (3.16)$$

Der Offset ist in nicht-geschalteten Systemen von der Biasingsituation und von den Gateflächen abhängig. Im Folgendem werden dynamische Fehler-effekte, wie die Chargeinjektion vernachlässigt, die jedoch sehr gut in einer transienten Schaltungssimulation beobachtbar sind. Dann ist  $v_{os} = v_{os}(\phi_1) = v_{os}(\phi_2)$ . Mit  $\mathbf{f}(\phi_2) = \frac{C_F}{C_S + C_F + C_{op,in}}$  kann man obige Gleichung zu

$$v_{out} = \left[ v_{in} \left( \frac{C_S + C_F}{C_F} \right) - d \cdot v_{DAC,step} \cdot \frac{C_S}{C_F} + v_{os} \cdot \left(1 - \left( \frac{A_0}{1 + A_0} \right) \right) \frac{1}{\mathbf{f}} \right] \cdot \frac{1}{1 + \left(1 + \frac{s}{\omega_1}\right) \cdot \frac{1}{A_0 \cdot \mathbf{f}}} \quad (3.17)$$

umformen.

Nun wird noch der pseudostatische und der frequenzabhängige Anteil separiert.

$$v_{out} = \left[ v_{in} \left( \frac{C_S + C_F}{C_F} \right) - d \cdot v_{DAC,step} \cdot \frac{C_S}{C_F} + v_{os} \cdot \left(1 - \left( \frac{A_0}{1 + A_0} \right) \right) \frac{1}{\mathbf{f}} \right] \cdot \frac{1}{\left(1 + \frac{s}{\omega_1 \cdot (1 + \mathbf{f} \cdot A_0)}\right)} \cdot \frac{1}{1 + \left(\frac{1}{\mathbf{f} \cdot A_0}\right)} \quad (3.18)$$

Da nach Taylorreihenentwicklung für  $\|x\| < 1$

$$(1 + x)^{-1} = 1 - x + x^2 - x^3 + \dots \quad (3.19)$$

gilt, kann man mit  $x = \frac{1}{A_0 \cdot \mathbf{f}}$  folgende Näherungen:

$$1 - \epsilon_{A_0} := \frac{1}{1 + \frac{1}{A_0 \cdot \mathbf{f}}} \approx 1 - \frac{1}{A_0 \cdot \mathbf{f}}, \quad (3.20)$$

$$\epsilon_{A_0} \approx \frac{1}{A_0 \cdot f} \quad (3.21)$$

und

$$v_{out}(\phi_2) \approx \left( \left( v_{in} \cdot \frac{C_S + C_F}{C_F} - d \cdot v_{DAC,step} \cdot \frac{C_S}{C_F} \right) \cdot \left( 1 - \frac{1}{A_0 \cdot f(\phi_2)} \right) + v_{os} \cdot \frac{1}{A_0 \cdot f(\phi_2)} \right) \cdot \frac{1}{\left( 1 + \frac{s}{\omega_1 \cdot (1 + f \cdot A_0)} \right)} \quad (3.22)$$

aufstellen. Hat der Operationsverstärker eine sehr hohe Leerlaufverstärkung  $A_0$ , dann wird der Offsetfehler nulliert. Ein weiterer positiver Nebeneffekt dieser „Offset-Cancellation“-Methode ist, dass das 1/f-Rauschen, wenn die Abtastfrequenz deutlich über der Eckfrequenz des 1/f-Rauschens liegt, ebenfalls gemindert wird. Die reale pseudostatische Spannungsverstärkung wird unter der Vernachlässigung des Restoffsets und mit  $d=0$  abgeschätzt.

- Variante nach Abb. 3.9

$$G_{real} \approx \left( 1 + \frac{C_S}{C_F} \right) \cdot \left( 1 - \frac{1}{f \cdot A_0} \right) \quad (3.23)$$

Für die Variante nach Abb. 3.10 muss nur die Ladung  $q_1$  angepasst werden, da anstatt auf  $C_S + C_F$  nur auf  $C_S$  abgetastet wird. Die Rechnung ist äquivalent, daher lässt sich leicht einsehen, dass Folgendes gilt:

- Variante nach Abb. 3.10

$$G_{real} \approx \left( \frac{C_S}{C_F} \right) \cdot \left( 1 - \frac{1}{f \cdot A_0} \right). \quad (3.24)$$

Die Ergebnisse sind identisch mit der obigen Rechnung. Auch hier ist das System offensichtlich ein Einpolsystem mit einer verschobenen Polfrequenz von

$$\omega'_1 = \omega_1 \cdot (1 + f \cdot A_0). \quad (3.25)$$

In Abb. 3.14 ist das Kleinsignaläquivalent der betrachteten SC-Verstärkerstufe in der Phase  $\phi_2$  zu sehen. Der verwendete Verstärker besitzt eine Eingangstranskonduktanz  $g_m$ , einen Ausgangswiderstand  $r_0$  und eine parasitäre Ausgangskapazität  $C_{op,out}$ .

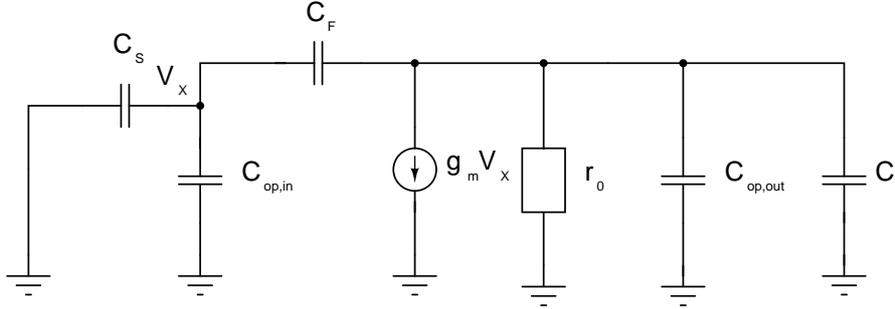


Abbildung 3.14: Kleinsignaläquivalent einer SC-Verstärkerstufe in der Phase  $\phi_2$

Im Folgenden sei  $C_{L,tot}$  die gesamte am Ausgang gesehene Lastkapazität, während  $C_L$  die explizit am Ausgang angehängte Lastkapazität ist. Die totale Lastkapazität  $C_{L,tot}$  ergibt sich aus der Summe der Kapazitäten  $C_L$ ,  $C_{op,out}$  und der Serienschaltung von  $C_S + C_{op,in}$  und  $C_F$ .

$$C_{L,tot} = C_L + C_{op,out} + \frac{C_F \cdot (C_S + C_{op,in})}{C_F + C_S + C_{op,in}} \quad (3.26)$$

Da  $A_0 = g_m \cdot r_o$  und  $\omega_1 = r_o \cdot C_{L,tot}$  ist, gilt

$$\omega'_1 = \frac{1}{r_o \cdot C_{L,tot}} \cdot (1 + f \cdot g_m \cdot r_o) = \frac{1}{r_o \cdot C_{L,tot}} + \frac{f \cdot g_m}{C_{L,tot}} \quad (3.27)$$

Mit  $r_o \gg \frac{1}{g_m}$  gilt:

$$\tau = \frac{1}{\omega'_1} \approx \frac{C_{L,tot}}{g_m \cdot f}. \quad (3.28)$$

$$\tau \approx \frac{C_S + C_{op,in} + (C_L + C_{op,out}) \cdot \left(1 + \frac{C_S + C_{op,in}}{C_F}\right)}{g_m} \quad (3.29)$$

Für die durchgeführten Systemsimulationen ist die Eingangstranskonduktanz  $g_m$  eine zu technologienahe Größe und kann aus der 3-dB-Grenzfrequenz mit der Leerlaufverstärkung des Vorwärtsgliedes oder aus der 0-dB Frequenz des Vorwärtsgliedes bei einer jeweiligen Lastkapazität von  $C_L + C_{op,out}$  bestimmt werden.

$$g_m \approx 2\pi \cdot (C_L + C_{op,out}) \cdot f_{0dB} \quad (3.30)$$

Setzt man Gl. 3.30 in Gl. 3.29 ein, erhält man wie in [79]:

$$\tau \approx \frac{C_S + C_{op,in} + (C_L + C_{op,out}) \cdot \left(1 + \frac{C_S + C_{op,in}}{C_F}\right)}{2\pi \cdot (C_L + C_{op,out}) \cdot f_{0dB}}. \quad (3.31)$$

Für den Eingangssprung am Eingang (siehe Abb. 3.11) ergibt sich für das einpolige System in  $\phi_2$

$$v_{out}(t - t_{\phi_2}) = v_{in}(\phi_1) \cdot G_{real} \cdot \left(1 - e^{-\frac{t-t_{\phi_2}}{\tau}}\right). \quad (3.32)$$

Dabei ist  $v_{in}(\phi_1)$  der in  $\phi_1$  abgetastete Spannungswert und  $t_{\phi_2}$  der Zeitpunkt der steigenden Flanke von  $\phi_2$ . Die verfügbare Einschwingzeit ist  $T_{\phi_2}$ . Die ideale Ausgangsspannung ohne Einschwingfehler sei  $v_{out,ideal}$ . Der relative Einschwingfehler ergibt sich zu:

$$\epsilon_\tau = \frac{v_{out} - v_{out,ideal}}{v_{out,ideal}} = e^{-\frac{T_{\phi_2}}{\tau}}. \quad (3.33)$$

An diesem Punkt sei erwähnt, dass die meisten Operationsverstärker/OTAs nicht zu vernachlässigende weitere Pole und Nullstellen haben und zusätzlich ein nichtlineares Einschwingverhalten (Slewrate) vorweisen. Nichtsdestotrotz reicht die Betrachtung des einpoligen Verhaltens für die meisten Abschätzungen aus. Die Modellierung mit einem Zweipolssystem und einer Slewrate (SR) in der Systemsimulation wird in Kapitel 4.3.1 beschrieben. Der Verstärkungsfehler aufgrund eines zusätzlichen Kapazitätsmissverhältnisses (stochastische Verteilung) für die Variante nach Abb. 3.9 wird mit Gl. 3.20 abgeschätzt durch:

$$\Delta G_{real} = \left[ \frac{\partial^2 G_{real}}{\partial^2 \frac{C_S}{C_F}} \cdot \Delta^2 \frac{C_S}{C_F} + \underbrace{\frac{\partial^2 G_{real}}{\partial^2 \left(\frac{1}{A_0 \cdot f}\right)} \cdot \Delta^2 \left(\frac{1}{A_0 \cdot f}\right)}_{i.d.R. \text{ sehr klein im Vergleich}} \right]^{\frac{1}{2}} \quad (3.34)$$

$$\frac{\Delta G_{real}}{G_{real}} \approx \frac{\Delta \frac{C_S}{C_F}}{\frac{C_S}{C_F}} \cdot \left(1 - \frac{1}{f \cdot A_0}\right). \quad (3.35)$$

Wenn man für die Variante nach Abb. 3.9 die Verstärkung mit den hier bestimmten Fehlern abschätzt, erhält man

$$G \approx \left(1 + \frac{C_S}{C_F}\right) \cdot (1 - \epsilon_{A_0}) \cdot (1 - \epsilon_\tau) \cdot \left(1 - \frac{\Delta \frac{C_S}{C_F}}{\frac{C_S}{C_F}}\right). \quad (3.36)$$

**Rauschen**

Im Folgenden wird das Rauschen der Verstärkerstufe nach Abb. 3.23a und Abb. 3.15 erst einmal „single-ended“ betrachtet und der Rauschanteil der Schalter zu  $\phi_2$  (S3, S5) vernachlässigt, da deren Anteil aufgrund des niedrigen Widerstandes im An-Fall ( $R_{SW}$ ) gering ist. Das Rauschen dieser Schalter hat in dieser Phase nach [32] für SC-integratoren nur einen Anteil von weniger als 10% am Gesamttrauschen. Für SC-Verstärkerstufen sollte der Anteil noch geringer sein, da i.d.R. noch geringere Schalterwiderstände verwendet werden.

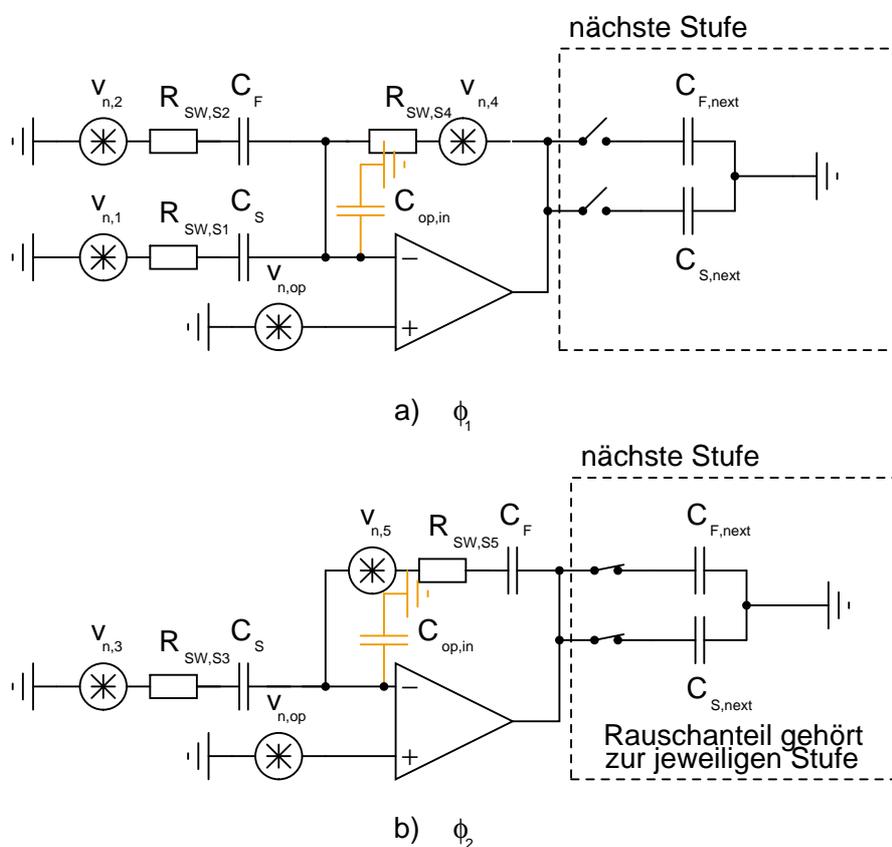


Abbildung 3.15: Rauschquellen einer SC-Verstärkerstufe in beiden Phasen

Das  $1/f$ -Rauschen wird in den kommenden Rechnungen vernachlässigt und hierfür angenommen, dass entweder eine Offsetkompensationsmethode (IOS oder OOS) verwendet wird, die diesen Rauschanteil genügend mindert oder dieser Rauschanteil am total integrierten Rauschen gering ist.

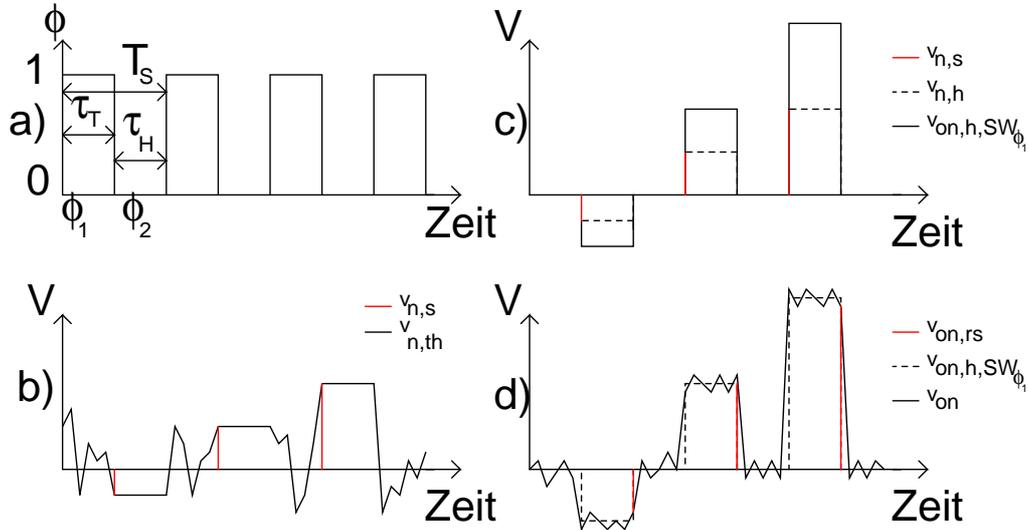


Abbildung 3.16: Rauschen des SC-Verstärkers im Zeitbereich

(a) Taktregime b)  $v_{n,th}$  virtuelle Rauschspannung am Ausgang des Eingangssamplers und  $v_{n,s}$  das abgetastete Signal des Eingangssamplers c)  $v_{n,h}$  virtuelle Rauschspannung am Ausgang des Eingangssamplers in der Haltephase  $\phi_2$  und  $v_{on,h,SW_{\phi_1}}$  SC-Verstärker Ausgangsrauschanteil von den Schaltern in  $\phi_1$  d)  $v_{on}$  gesamtes Ausgangsrauschen des SC-Verstärkers ( $v_{on} = v_{on,h,SW_{\phi_1}} + v_{on,op}$ ) und  $v_{on,rs}$  ideal von der folgenden Stufe abgetastetes Ausgangsrauschen )

Im Pipeline-A/D-Wandler werden an die einzelnen Verstärkerstufen die Takte alternierend angeschlossen. Dies bezeichnet man nach [33, 47] als „staggerd clocks“. In diesem Falle ist  $\tau_h = T_s$  [33], da die Rauschfehlerladung, durch die erneute Abtast- und Haltefunktion der nächsten Stufe, für eine ganze Taktphase gehalten wird. Das Spiegeln der gesamten Rauschleistung ins Basisband wirkt sich somit voll aus [47]. Die einseitige spektrale Rauschleistungsdichte des Eingangsabtasters errechnet sich unter Verwendung der Abb. 3.17 und mit Gl. 2.48

$$S_{th}(f) = \text{sinc}^2\left(\frac{f}{f_s}\right) \frac{2k_B T}{f_s C_{tot}}. \quad (3.37)$$

$C_{tot}$  ist hierbei die Kapazität auf der die Rauschladung geladen wird. Das SNR bestimmt sich nach [91] nur aus dem Rauschen im Basisband  $f_b = \frac{f_s}{2}$ . Daher gilt nach der Prozessierung zum Ausgang der Verstärkerstufe in der

Haltephase

$$\overline{v_{on,1}^2} = G_n^2 \cdot \int_0^{f_b} S_{th}(f) df \approx G_n^2 \cdot \frac{k_B T}{C_{tot}} = G_n^2 \cdot \overline{v_{RC,tot}^2}. \quad (3.38)$$

Es ist leicht einzusehen [60, 33, 32, 47], dass sich bei hohen effektiven Rauschbandbreiten ( $BW_n > 5f_s$ ) und durch das Einsetzen der entsprechenden Operationsverstärkergrößen in die Gleichungen 2.33-2.45 auch für das in der Phase  $\phi_2$  mit zu berücksichtigende abgetastete effektive Operationsverstärkerrauschen  $S_{op,\phi_2}(f)$  (Spektrale Rauchleistungsdichte am Ausgang des Operationsverstärkers in  $\phi_2$ ) nach

$$\overline{v_{on,2}^2} = \int_0^{f_b} 2 \cdot S_{op,\phi_2}(f) \cdot \frac{BW_n}{f_s} \text{sinc}^2\left(\frac{f}{f_s}\right) df \approx \overline{v_{on,op,tot}^2}. \quad (3.39)$$

berechnen lässt, da auch das Operationsverstärkerrauschen mit „staggered clocks“ abgetastet wird. Vereinfacht kann man daher mit den integrierten Rauschleistungen rechnen. Dies führt zu geringfügig zu schlechten Werten.

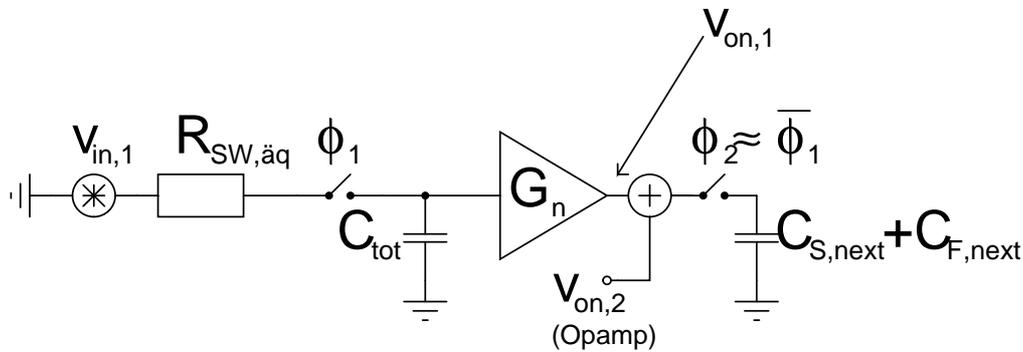


Abbildung 3.17: Rauschsignalprozessierung  
(Ideale Schalter und Vernachlässigung der Rauschquellen der folgenden Stufe)

Nach [33] filtert mit steigenden  $\frac{f_s}{f_b}$ -Werten (hier:  $\frac{f_s}{f_b} = 2$ ) die sinc-Hüllkurve effektiver das heruntergefaltete Rauschen. Bei Nyquist-A/D-Wandlern ist dieser Fehler jedoch gering und ein leichtes Überdesign ist in jeden Falle anzuraten.

In der Phase  $\phi_1$  kann das  $\frac{k_B T}{C}$ -Rauschen zusammengefasst werden und es wird

folgende  $\frac{k_B T}{C}$ -Rauschladung  $\overline{Q_n^2(\phi_1)}$  auf  $C_{tot} = (C_S + C_F + C_{op,in})$  geladen.

$$\overline{Q_n^2(\phi_1)} = (C_{tot} \cdot v_n)^2 = k_B \cdot T \cdot (C_S + C_F + C_{op,in}) \quad (3.40)$$

Diese Ladung wird in der Phase  $\phi_2$  auf die Kapazität  $C_F$  transferiert und erzeugt dabei eine Ausgangsrauschspannung von

$$\overline{v_{on,1}^2} = \frac{\overline{Q_n^2(\phi_1)}}{C_F^2} = \frac{k_B T}{C_F \cdot f(\phi_2)}. \quad (3.41)$$

Für die Phase  $\phi_2$  wird nun das Rauschen des Operationsverstärkers hinzugezogen. Das Ausgangsrauschen wird von der nächsten Stufe abgetastet. Betrachtet man einen Verstärker, so ergibt sich mit dessen  $N$  Rauschstromquellen  $\overline{i_{n,i}^2}$  und der jeweiligen Übertragungsfunktion  $H_{iv,i}$  zum Ausgang folgendes Maß für die Ausgangsrauschleistung:

$$\overline{v_{on,2}^2} = \sum_{i=1}^N \int_0^\infty \|H_{iv,i}(s = j\omega)\|^2 \cdot \overline{i_{n,i}^2} \cdot df. \quad (3.42)$$

Nimmt man an, dass das thermische Rauschen dominiert, dann kann man dies unter der Einführung der äquivalenten Rauschbandbreite  $BW_n = f \cdot \frac{\omega T}{2\pi} \cdot \frac{\pi}{2}$ , einer durchschnittlichen eingangsbezogenen spektralen Rauschspannung zum Quadrat  $S_i(f)$  und der Rauschverstärkung  $G_n = \frac{1}{f(\phi_2)}$  umformulieren:

$$\overline{v_{on,2}^2} = S_i(f) \cdot BW_n \cdot G_n^2. \quad (3.43)$$

Das gesamte am Ausgang gesehene Rauschen ist, da beide Rauschquellen unkorreliert sind, somit

$$\overline{v_{on,tot}^2} = \overline{v_{on,1}^2} + \overline{v_{on,2}^2}. \quad (3.44)$$

Bezieht man dieses Rauschen auf den Eingang, ergibt sich

$$\overline{v_{in,tot}^2} = \frac{\overline{v_{on,tot}^2}}{G_{sig}^2}. \quad (3.45)$$

Um das Gesamtrauschen zu berechnen, werden im Folgenden einige Spezialfälle betrachtet.

**Einstufiger Verstärker [21]**

Als Rauschgenerator werden im Folgenden nur die thermischen Rauschstromquellen der Transistoren

$$\overline{i_n^2} = 4 \cdot k_B \cdot T \cdot \frac{1}{R_{eq}} \quad (3.46)$$

betrachtet und dafür der äquivalente Rauschwiderstand  $R_{eq}$  eingeführt.

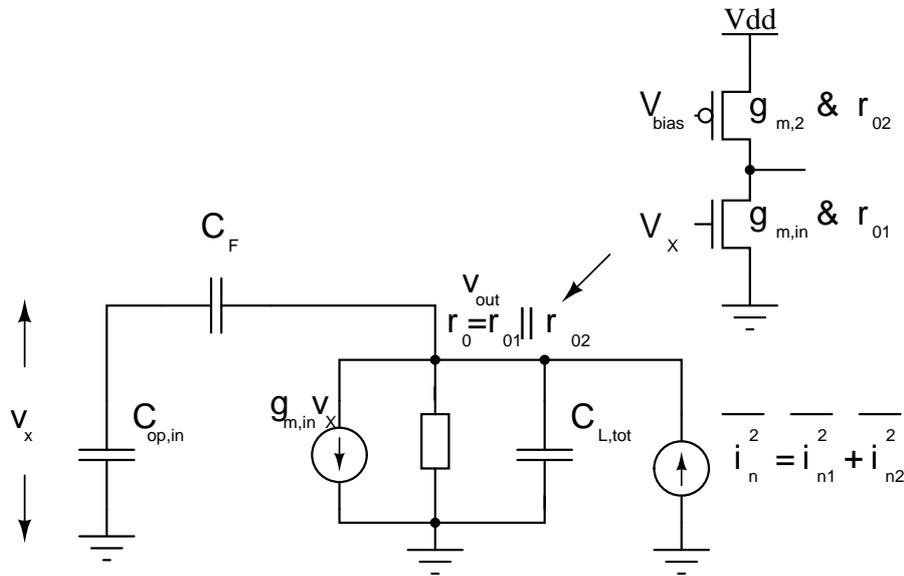


Abbildung 3.18: Rauschkleinsignalmodell eines einstufigen Verstärkers

Dabei ergibt sich die Übertragungsfunktion zu

$$H_{iv}(s) = \frac{r_0}{(1 + g_{m,in} \cdot r_0 \cdot \mathbf{f}) \cdot \left(1 + \frac{s \cdot C_{L,tot} \cdot r_0}{1 + g_{m,in} \cdot r_0 \cdot \mathbf{f}}\right)}. \quad (3.47)$$

$$\overline{v_{on,2}^2} = \int_0^\infty |H_{iv}(s = j\omega)|^2 \cdot \overline{i_n^2} \cdot df \quad (3.48)$$

Vereinfacht wird oft angenommen  $\frac{1}{R_{eq}} = \frac{2}{3}g_{m,in} + \frac{2}{3}g_{m,2}$  [21, 79]. Daraus folgt:

$$\overline{v_{in,2}^2} = \frac{2}{3} \cdot k \cdot T \cdot \left(1 + \frac{g_{m,2}}{g_{m,in}}\right) \cdot \frac{1}{\mathbf{f} \cdot C_{L,tot}} \cdot \left(\frac{C_F}{C_F + C_S}\right)^2. \quad (3.49)$$

Beide Quellen sind unkorreliert. Somit ergibt sich das gesamte eingangsbezogene Rauschen des SC-Verstärkers zu

$$\begin{aligned} \overline{v_{in,tot}^2} &= k_B \cdot T \cdot \frac{(C_S + C_F + C_{op,in})}{(C_S + C_F)^2} \\ &+ \frac{2}{3} \cdot k \cdot T \cdot \underbrace{\left(1 + \frac{g_{m,2}}{g_{m,in}}\right)}_{\gamma = \text{Exzess-Rauschfaktor}} \cdot \frac{1}{f \cdot C_{L,tot}} \cdot \left(\frac{C_F}{C_F + C_S}\right)^2. \end{aligned} \quad (3.50)$$

### Differenzverstärker

Im Folgenden wird nur die Gleichung 3.43 verwendet [79]. Hier wird nun angenommen, dass das Rauschen durch die zweiseitige eingangsbezogene spektrale Rauschleistungsdichte der Eingangstransistoren im Sättigungsbereich dominiert ist.

$$S_i(f) = \frac{16}{3 \cdot g_{m,in}} \cdot k_B \cdot T \cdot \gamma \quad (3.51)$$

$$\overline{v_{on,2}^2} = \frac{16}{3 \cdot g_{m,in}} \cdot k_B \cdot T \cdot \gamma \cdot \frac{\pi}{2} \cdot \frac{f \cdot g_{m,in}}{2\pi C_{L,tot}} \cdot \frac{1}{f^2} \quad (3.52)$$

$$= \frac{4}{3} \cdot k_B \cdot T \cdot \gamma \cdot \frac{1}{f \cdot C_{L,tot}} \quad (3.53)$$

$$\begin{aligned} \overline{v_{in,tot}^2} &= k_B \cdot T \cdot \frac{(C_S + C_F + C_{op,in})}{(C_S + C_F)^2} \\ &+ \frac{4}{3} \cdot k_B \cdot T \cdot \gamma \cdot \frac{1}{f \cdot C_{L,tot}} \cdot \left(\frac{C_F}{C_F + C_S}\right)^2 \end{aligned} \quad (3.54)$$

### Andere Verstärker

Im Folgenden sind  $g_{m,2}$  und  $g_{m,3}$  die Transkonduktanzen der jeweiligen Laststromquellen der Halbschaltung.

Topologie	Exzess-Rauschfaktor
Folded Cascode	$\left(1 + \frac{g_{m,2}}{g_{m,in}} + \frac{g_{m,3}}{g_{m,in}}\right)$
Telescopic Cascode	$\left(1 + \frac{g_{m,2}}{g_{m,in}}\right)$
Einfacher zweistufiger Verstärker	$\left(1 + \frac{g_{m,2}}{g_{m,in}}\right)$

Für den zweistufigen Verstärker mit einfacher Eingangsdifferenzstufe und Millerkompensation muss zusätzlich  $C_{L,tot}$  durch die Millerkapazität  $C_C$  ersetzt werden.

### Volldifferentieller Operationsverstärker

Für den volldifferentiellen Verstärker wird angenommen, dass sich die Rauschleistung nochmals verdoppelt, da beide Rauschquellen unkorreliert sind. Für den einstufigen Verstärker ergibt sich

$$\begin{aligned} \overline{v_{in,tot}^2} &= 2 \cdot k_B \cdot T \cdot \frac{(C_S + C_F + C_{op,in})}{(C_S + C_F)^2} \\ &+ \frac{8}{3} \cdot k_B \cdot T \cdot \gamma \cdot \frac{1}{f \cdot C_{L,tot}} \cdot \left( \frac{C_F}{C_F + C_S} \right)^2 \end{aligned} \quad (3.55)$$

und für den zweistufigen

$$\begin{aligned} \overline{v_{in,tot}^2} &= 2 \cdot k_B \cdot T \cdot \frac{(C_S + C_F + C_{op,in})}{(C_S + C_F)^2} \\ &+ \frac{8}{3} \cdot k_B \cdot T \cdot \gamma \cdot \frac{1}{f \cdot C_C} \cdot \left( \frac{C_F}{C_F + C_S} \right)^2 \end{aligned} \quad (3.56)$$

### Operationsverstärker in Nanometer-Technologien

In Nanometer-Technologien ist jedoch die Eckfrequenz ( $f_c \approx \frac{3 \|k_n/p \cdot g_m\|}{8 C_{ox} W \cdot L \cdot k_B T}$ ) des 1/f-Rauschen [79] im einstelligen Megahertz-Bereich und wird somit durch IOS (Input Offset Storage) oder OOS (Output Offset Storage) oft nicht effektiv unterdrückt. Somit müsste das 1/f-Rauschen, falls die Abtastfrequenz in der Größenordnung der Eckfrequenz liegt, bei obiger Betrachtung mit berücksichtigt werden. Es gibt jedoch die Möglichkeit das 1/f-Rauschen mit einer Chopper-Schaltung oder CDS (Correlated Double Sampling) zu unterdrücken.

### Das Abtast- und Halteglied

In Abbildung 3.19 ist ein Abtast- und Halteglied ohne Zurücksetzphase dargestellt [6]. Ein Vorteil dieser Schaltung ist, dass am Ausgang des Abtast- und Haltegliedes für längere Zeit der abgetastete Wert zur Verfügung steht. Dies macht dieses Element besonders für Faltungs-A/D-Wandler sinnvoll. Der Operationsverstärker muss dennoch in der Haltephase  $\phi_2$  auf die gewünschte Genauigkeit einschwingen. Die eingekreisten Schalter sollten hochlinear sein, da das Eingangssignal nicht zeitdiskreter Natur ist. Das Verhalten

soll im Folgenden kurz beschrieben werden. Dazu wird nur ein Pfad betrachtet.

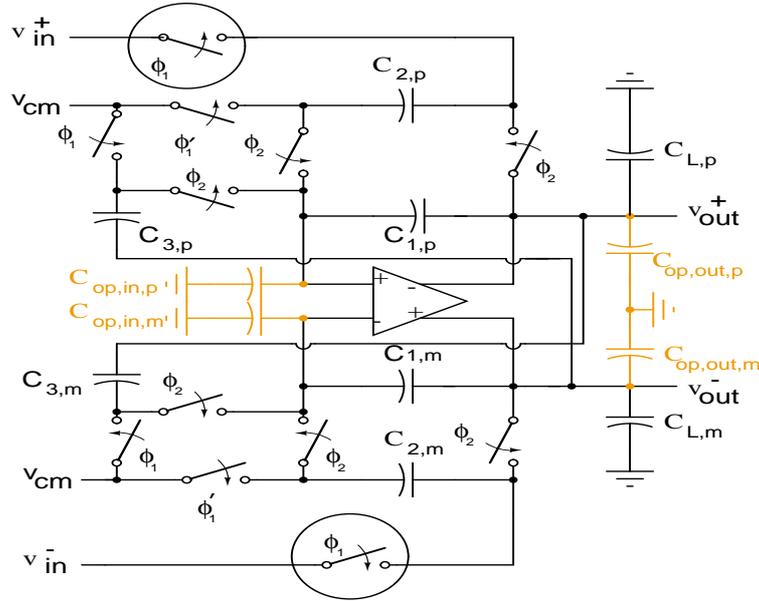


Abbildung 3.19: Abtast- und Halteglied ohne Zurücksetzphase

In der Phase  $\phi_1$  wird  $C_{2,p}$  mit dem Eingangssignal  $v_{in}^+$  und  $C_{3,p}$  mit dem invertierten Ausgangssignal  $v_{out}^-$  gegen Masse ( $V_{cm}$ ) aufgeladen.  $C_{1,p}$  wird mit dem Ausgangssignal  $v_{out}^+$  gegen virtuelle Masse geladen.  $\phi_1'$  wird für das vorzeitige Abtrennen der Kapazitätsseite mit der geringeren parasitären Kapazität benötigt. Die Ladung auf  $C_{2,p}$  kann sich nun nicht mehr ändern.

$$Q(\phi_1) = C_{1,p} \cdot v_{out}^+(nT) + C_{3,p} \cdot v_{out}^-(nT) + C_{2,p} \cdot v_{in}^+(nT) \quad (3.57)$$

Innerhalb  $\phi_2$  ist das Eingangssignal abgetrennt.  $C_{1,p}$  und  $C_{2,p}$  sind parallel an virtueller Masse und  $v_{out}^+$  sowie  $C_{3,p}$  an  $v_{out}^-$  geschaltet.

$$Q(\phi_2) = (C_{1,p} + C_{2,p}) \cdot v_{out}^+(nT + \frac{1}{2}T) + C_{3,p} \cdot v_{out}^-(nT + \frac{1}{2}T) \quad (3.58)$$

Da  $Q(\phi_1) = Q(\phi_2)$  und  $v_{out}^+ = -v_{out}^-$  ist, gilt

$$v_{out}^+(nT + \frac{1}{2}T) = \frac{C_{1,p} - C_{3,p}}{C_{1,p} + C_{2,p} - C_{3,p}} v_{out}^+(nT) + \frac{C_{2,p}}{C_{1,p} + C_{2,p} - C_{3,p}} v_{in}^+(nT). \quad (3.59)$$

Setzt man  $C_{1,p}$  und  $C_{3,p}$  gleich, dann ist  $v_{out}^+(nT + \frac{1}{2}T) = v_{in}^+(nT)$ . Dagegen lässt sich leicht einsehen, dass in einer weiteren Abtastphase  $\phi_1$

$$v_{out}^+(nT + T) = v_{out}^+(nT + \frac{1}{2}T) = v_{in}^+(nT) \quad (3.60)$$

sein wird, da  $C_{3,p}$  den Wert der letzten Halbphase gespeichert hat.

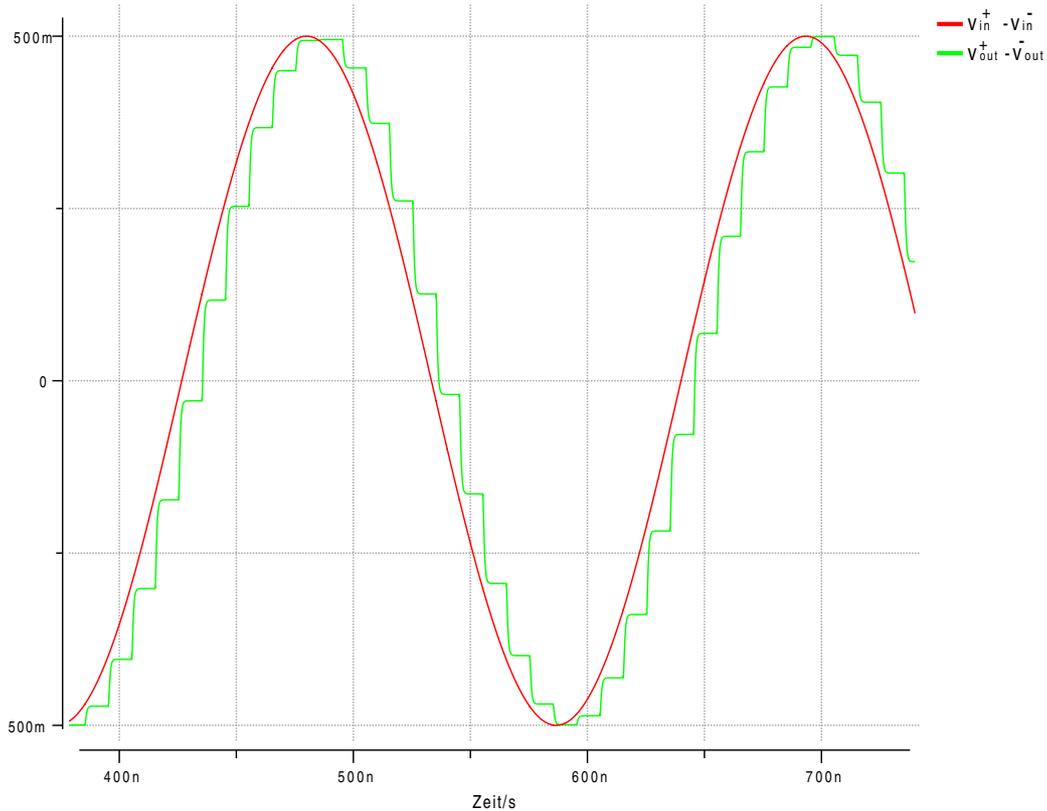


Abbildung 3.20: Simulation des Abtast- und Haltegliedres nach Abb. 3.19

Simulation mit  $C_1 = C_2 = C_3 = 1pF$ ,  $C_L = 3pF$  und einem Operationsverstärkermakromodell nach Abb. 4.5 ( $SR^+ = SR^- = \frac{1V}{ns}$ ,  $A_0 = 85dB$ ,  $V_{cm,offset} = 100mV$ ,  $\phi_D = 60^\circ$ ,  $f_{0dB} = 600MHz$  und  $C_{in} = 0.1pF$ )

Im Folgenden seien  $C_{op,in}$  und  $C_{op,out}$  die parasitären Kapazitäten, die man respektive am Eingang und am Ausgang des Operationsverstärkers sieht. Es sei zudem  $C_L^* = C_L + C_{op,out} + C_x$ . Wobei  $C_x$  die zusätzliche Bottom-Plate- oder Top-Plate-Kapazität nach AC-Masse ist, die in den jeweiligen Phasen

am Ausgang hängt.

In Tabelle 3.1 sind einige Kennwerte dargestellt. Für die Zeitkonstanten wurde ein Einpolssystem angenommen. Lässt man nun  $C_{op,in}$  gegen null gehen und setzt man  $C_1 = C_2 = C_3$ , dann ist  $\tau(\phi_1) = \frac{1 + \frac{C_3}{C_L^*}}{f_{0dB}}$  und  $\tau(\phi_2) = \frac{3}{f_{0dB}}$ . Wesentliche Nachteile dieses Abtast- und Haltegliedres sind die durch die fehlende Zurücksetzphase reduzierte Offsetunterdrückung und der niedrige Rückkopplungsfaktor. Das System reagiert innerhalb  $\phi_2$  (trotz  $\phi_D = 60^\circ$ ), wie in Abb. 3.20 zu erkennen ist, nun überdämpft. Günstiger ist es, einen Operationsverstärker mit einem  $\phi_D$  von  $50^\circ - 60^\circ$  zu verwenden.

Kennwert	Berechnung ( $C_1 = C_3$ )
Verstärkung G	$\frac{1}{1 + \frac{1}{A_0 f}}$
Rückkopplungsfaktor $f(\phi_1)$	$\frac{C_1}{C_1 + C_{op,in}}$
Rückkopplungsfaktor $f(\phi_2)$	$\frac{C_2}{2 \cdot C_1 + C_2 + C_{op,in}}$
Einpolzeitkonstante $\tau(\phi_1)$	$\frac{\left(C_L^* + \frac{C_1 \cdot C_{op,in}}{C_1 + C_{op,in}} + C_3\right) \cdot (C_1 + C_{op,in})}{2 \cdot \pi \cdot f_{0dB} \cdot C_L^* \cdot C_1}$
Zeitkonstante $\tau(\phi_2)$	$\frac{\left(C_L^* + \frac{(C_1 + C_2) \cdot C_{op,in}}{C_1 + C_2 + C_{op,in}} + \frac{C_3 \cdot C_{op,in}}{C_3 + C_{op,in}}\right) \cdot (2 \cdot C_1 + C_2 + C_{op,in})}{2 \cdot \pi \cdot f_{0dB} \cdot C_L^* \cdot C_2}$

Tabelle 3.1: Kennwerte des Abtast- und Haltegliedres ohne Zurücksetzphase

In Abbildung 3.21 [54, 21, 19] sind zwei mögliche Abtast- und Halteglieder mit Zurücksetzphase dargestellt. Für die Version b) wählt man in der Regel  $C_S = C_F$ , so dass dann  $v_{out}(nT + \frac{1}{2}T) = v_{in}(nT)$  gilt.

Kennwert	Version a)	Version b)
Verstärkung G	$\frac{1}{1 + \frac{1}{A_0 f}}$	$\frac{C_S}{C_F} \cdot \frac{1}{1 + \frac{1}{A_0 f}}$
Rückkopplungsfaktor $f(\phi_2)$	$\frac{C_S}{C_S + C_{op}}$	$\frac{C_F}{C_S + C_F + C_{op}}$
Einpolzeitkonstante $\tau$	$\frac{C_{op,in} + C_L^* \cdot \left(1 + \frac{C_{op,in}}{C_S}\right)}{2\pi \cdot C_L^* \cdot f_{0dB}}$	$\frac{C_S + C_{op,in} + C_L^* \cdot \left(1 + \frac{C_S + C_{op,in}}{C_F}\right)}{2\pi \cdot C_L^* \cdot f_{0dB}}$

Tabelle 3.2: Parameter zweier Abtast- und Halteglieder mit Zurücksetzphase

In der Regel ist die Version nach Abb. 3.21 a) vorzuziehen, da sie einen höheren Rückkopplungsfaktor besitzt.

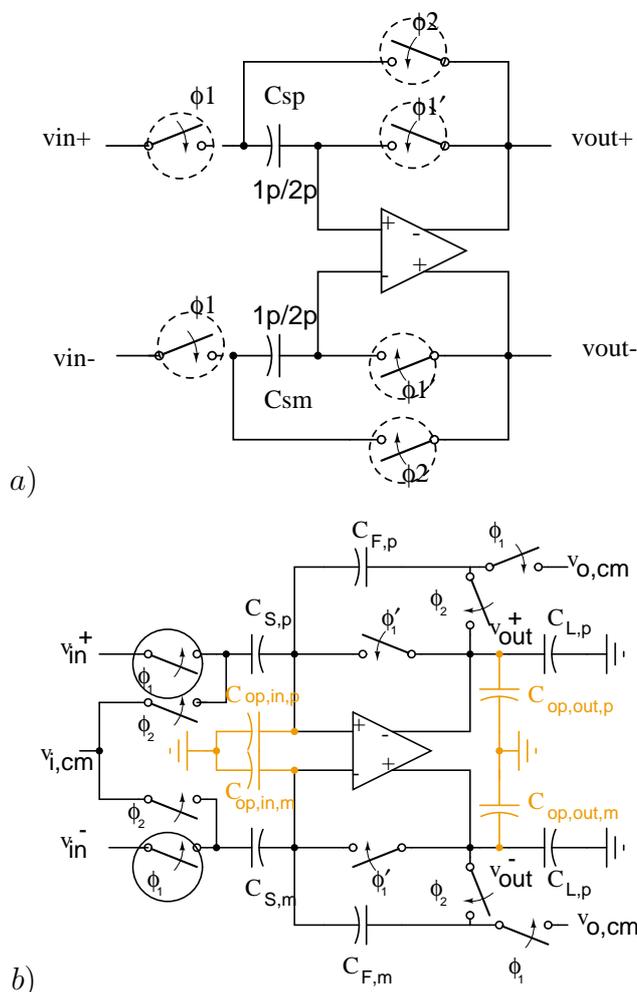


Abbildung 3.21: Abtast- und Halteglieder mit Zurücksetzphase

In beiden Versionen wird die Zurücksetzphase dadurch realisiert, dass der Verstärker in eine Spannungfolger-Konfiguration geschaltet wird. Der Offset wird dabei auf den Eingang abgetastet und in der Haltephase subtrahiert. Der Offsetfehler wird somit, wie in Abb. 3.22 zu erkennen, reduziert.

### SC-Verstärker

Verstärker nach dem Prinzip der geschalteten Kapazitäten lassen sich wie in Abb. 3.23 realisieren [54, 21, 19]. Hier ist zugleich die Möglichkeit gegeben, eine Spannung ( $\langle v_{dac}^+, v_{dac}^- \rangle$ ) zu addieren. Zu erwähnen ist, dass diese Spannung nur zu  $\phi_2$  angelegt werden darf und dieser Knoten ansonsten hochohmig angeschlossen werden muss.

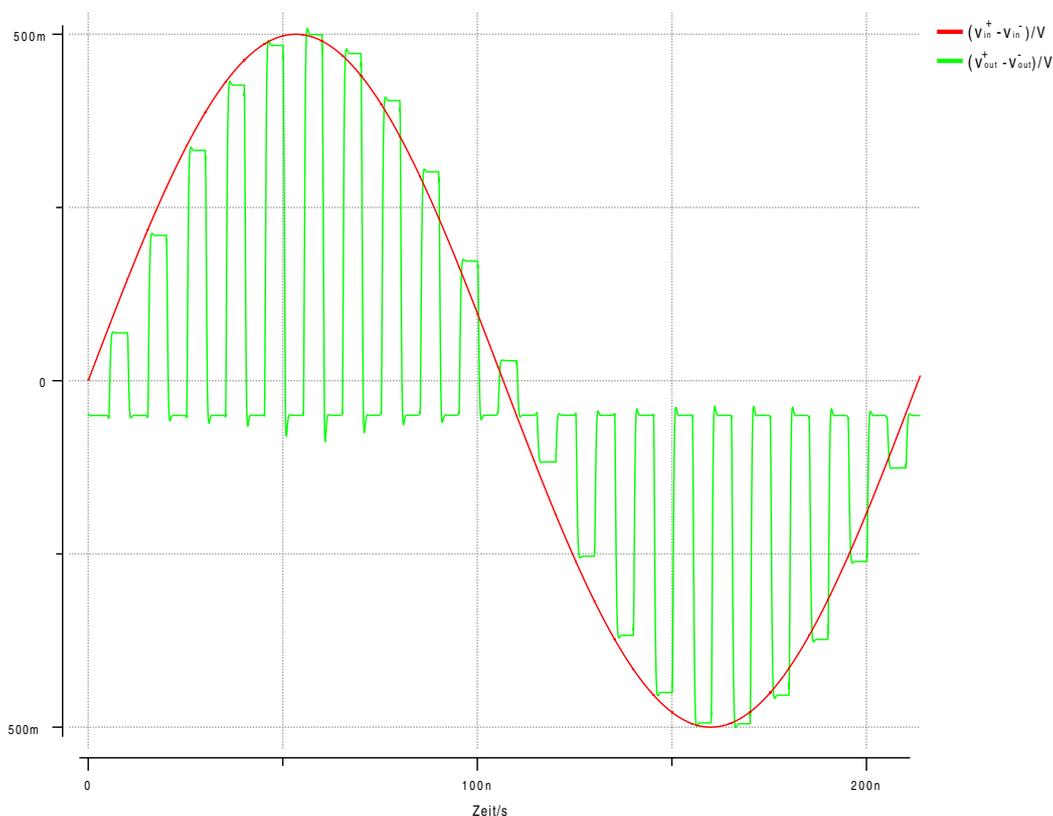


Abbildung 3.22: Simulation des Abtast- und Halteglieders nach Abb. 3.21

Simulation mit  $C_S = 1pF$ ,  $C_L = 3pF$  und einem Operationsverstärkermakromodell nach Abb. 4.5 ( $SR^+ = SR^- = \frac{0.5V}{ns}$ ,  $A_0 = 85dB$ ,  $V_{offset} = 50mV$ ,  $V_{cm,offset} = 100mV$ ,  $\phi_D = 70^\circ$ ,  $f_{0dB} = 500MHz$  und  $C_{in} = 0.1pF$ )

Da der Rückkopplungsfaktor in beiden Varianten niedrig ist, könnte auch hier ein Operationsverstärker mit einem Phasenrand von  $55^\circ - 60^\circ$  (Simulationskonfiguration mit  $f = 1$ ) verwendet werden. Der Rückkopplungsfaktor in der Zurücksetzphase ist jedoch nahezu 1. Daher könnte es dann zu Instabilitäten kommen.

Eine zusätzliche Fehlerquelle (unter der Verwendung von IOS), die in keiner dem Autor bekannten Arbeit thematisiert wurde und sich insbesondere im Layout nicht vermeiden lässt, sei an diesem Punkt erwähnt.

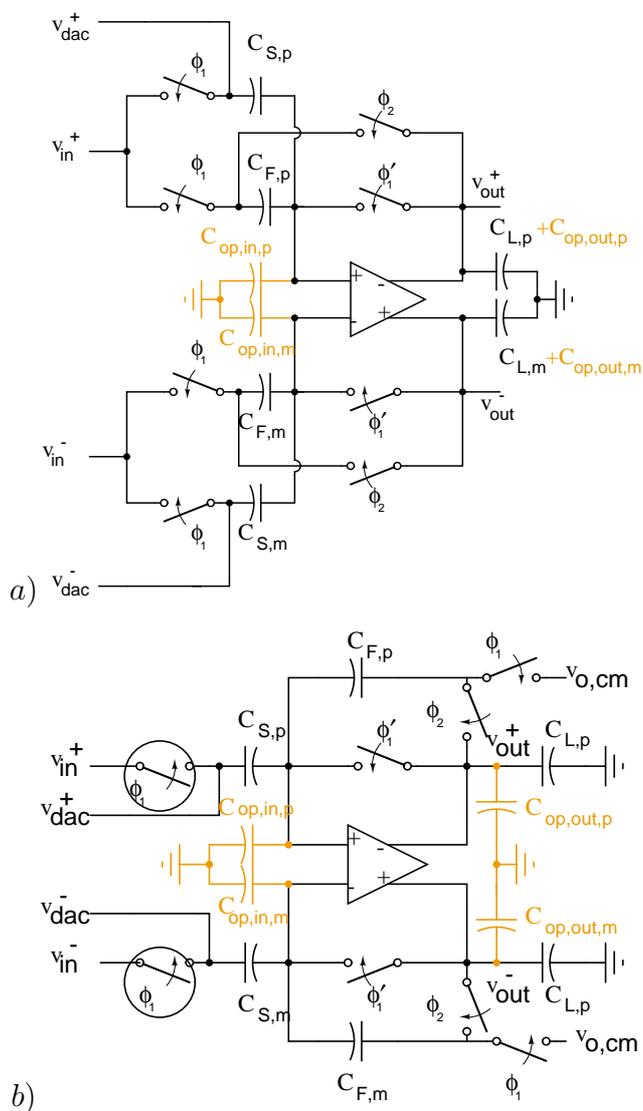


Abbildung 3.23: Verstärker mit konstanter Verstärkung, realisiert mit geschalteten Kapazitäten

Der Zurücksetzschalter zwischen  $v_{out}^+$  und  $v_{in}^-$  könnte eine nicht zu vernachlässigende Kopplungskapazität zwischen dem Eingang und dem Ausgang  $C_{RSW,off}$  im Ausfall besitzen. Diese Kapazität ist parallel zu der Haltekapazität  $C_{F,p/m}$  in der Verstärkerstufe, was die Verstärkung verändert.

Kennwert	Version a)	Version b)
Verstärkung G	$\left(1 + \frac{C_S}{C_F}\right) \cdot \frac{1}{1 + \frac{1}{A_0 f}}$	$\frac{C_S}{C_F} \cdot \frac{1}{1 + \frac{1}{A_0 f}}$
Rückkopplungsfaktor $f(\phi_2)$	$\frac{C_F}{C_S + C_F + C_{op}}$	$\frac{C_F}{C_S + C_F + C_{op}}$
Einpolzeitkonstante $\tau$	$\frac{C_S + C_{op, in} + C_L^* \cdot \left(1 + \frac{C_S + C_{op, in}}{C_F}\right)}{2\pi \cdot C_L^* \cdot f_{0dB}}$	$\frac{C_S + C_{op, in} + C_L^* \cdot \left(1 + \frac{C_S + C_{op, in}}{C_F}\right)}{2\pi \cdot C_L^* \cdot f_{0dB}}$

Tabelle 3.3: Parameter zweier SC-Verstärker

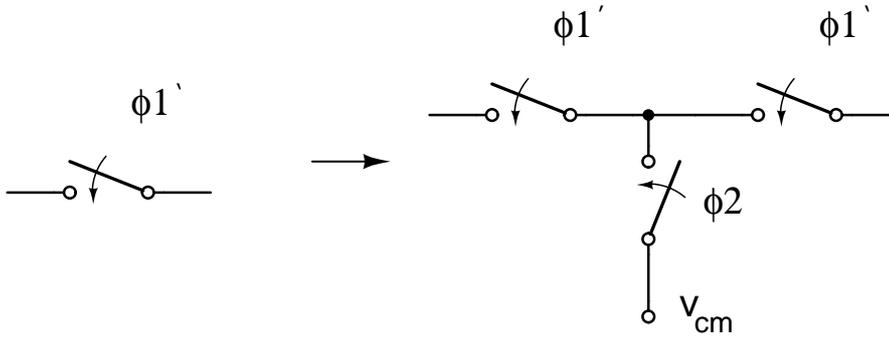


Abbildung 3.24: Zurücksetzschalter mit verringerter Kopplungskapazität

Für die Variante nach 3.23a gilt dann:

$$G_{real} \approx \left(1 + \frac{C_S}{C_F + C_{RSW, off}}\right) \cdot \left(1 - \frac{1}{A_0 f}\right). \quad (3.61)$$

In Abbildung 3.24 ist eine Möglichkeit zu sehen, wie diese Kopplungskapazität deutlich verringert werden kann. Abhängig vom Layout sollten dann nur noch Kapazitäten gegen AC-Masse existieren.

### Dimensionierung der Kapazitäten und des Operationsverstärker-rauschens

Im Folgendem wird eine grobe Abschätzung für die Kapazitäten hergeleitet.

$$v_{FS, rms} = \frac{v_{FS, d}}{2 \cdot \sqrt{2}}$$

Das Quantisierungsrauschen ist:

$$v_{q, rms} = \frac{v_{FS, d}}{2^N \cdot \sqrt{12}}$$

$$\frac{1}{snr} \approx \frac{1}{snr_q} + \frac{1}{snr_{therm}} \quad (3.62)$$

$$SNR_{dB} \approx 20 \cdot \log_{10} \left( \sqrt{\frac{v_{FS,d}^2}{8 \cdot (v_{q,rms}^2 + v_{in,tot}^2)}} \right) \quad (3.63)$$

Betrachtet man das Abtast- und Halteglied nach Abbildung 3.21a, so gilt mit  $k_C = \frac{C_S}{C_{L,tot}}$  für den einstufigen Verstärker und  $k_C = \frac{C_S}{C_C}$  für den zweistufigen Verstärker

$$SNR_{dB} \approx 20 \cdot \log_{10} \left( \sqrt{\frac{v_{FS,d}^2}{8 \cdot \left( \frac{v_{FS,d}^2}{2^{2N} \cdot 12} + \frac{2 \cdot k_B \cdot T \cdot (1 + \frac{4}{3} \cdot \gamma \cdot k_C)}{C_S \cdot f} \right)}} \right). \quad (3.64)$$

Nun wird das Quantisierungsrauschen nicht weiter berücksichtigt. Man kann dieses wieder einrechnen, wenn man bedenkt, dass das thermische Rauschen oft in Relation zum Quantisierungsrauschen gesetzt wird. Man erhält somit:

$$C_S = \frac{16 \cdot k_B \cdot T \cdot snr_{therm} \cdot (1 + \frac{4}{3} \cdot \gamma \cdot k_C)}{v_{FS,d}^2 \cdot f}. \quad (3.65)$$

Betrachtet man jedoch den SC-Verstärker, dann muss man natürlich die Gleichung 3.55 oder 3.56 heranziehen. Formt man Gleichung 3.63 unter Nichtberücksichtigung des Quantisierungsrauschens um, dann erhält man mit  $k_C = \frac{C_F}{C_{L,tot}}$  für den einstufigen Verstärker und  $k_C = \frac{C_F}{C_C}$  für den zweistufigen Verstärker

$$\frac{snr_{therm} \cdot 16 \cdot k_B \cdot T}{v_{FS,d}^2 \cdot f} = \frac{(C_S + C_F)^2}{(1 + \frac{4}{3} \cdot \gamma \cdot k_C) \cdot C_F}. \quad (3.66)$$

Für eine MX2-Stufe nach Abbildung 3.23a gilt  $C = C_S = C_F = C$  und

$$C = \frac{(1 + \frac{4}{3} \cdot \gamma \cdot k_C) \cdot snr_{therm} \cdot 4 \cdot k_B \cdot T}{v_{FS,d}^2 \cdot f}. \quad (3.67)$$

Allgemein kann man für die MX2<sup>B</sup>-Stufe nach 3.23a die Kapazität

$$C_S = \frac{1}{2^{B-1}} \cdot \frac{(1 + \frac{4}{3} \cdot \gamma \cdot k_C) \cdot snr_{therm} \cdot 4 \cdot k_B \cdot T}{v_{FS,d}^2 \cdot f}. \quad (3.68)$$

und für die MX2<sup>B</sup>-Stufe nach 3.23b die Kapazität

$$C_S = \frac{2}{2^B - 1} \cdot \frac{(1 + \frac{4}{3} \cdot \gamma \cdot k_C) \cdot snr_{therm} \cdot 4 \cdot k_B \cdot T}{v_{FS,d}^2 \cdot f}. \quad (3.69)$$

berechnen.

Hat man eine mehrere Stufen (1 bis n) von SC-Schaltungen mit den Verstärkungen  $G_i$  und  $G_0 = 1$ , dann ist

$$\overline{v_{in,tot}^2} = \sum_{i=1}^n \frac{v_{in,i,tot}^2}{G_{i-1}^2}. \quad (3.70)$$

Auflösung in Bit	$v_{FS,d}$ in V	$C_F = C_S$ in pF
10	2	0.36
10	1.5	0.63
10	1	1.25
11	2	1.35
11	1.5	2.4
11	1	5.4

Tabelle 3.4: Nötige Kapazität für das Abtast- und Halteglied  
 Annahme: Einstufiger Folded-Cascode-Verstärker mit  $\gamma = 3$ ,  $k_C = \frac{1}{3}$ ,  
 $f = 0.9$ , 25% des Gesamttrauschens und  $\vartheta = 125^\circ C$

Auflösung in Bit	$v_{FS,d}$ in V	$C_F = C_S$ in pF
10	2	0.2
10	1.5	0.35
10	1	0.7
11	2	0.76
11	1.5	1.35
11	1	3.05

Tabelle 3.5: Nötige Kapazität für die erste SC-Verstärkerstufe  
 Annahme: Einstufiger Folded-Cascode-Verstärker mit  $\gamma = 3$ ,  $k_C = \frac{1}{3}$ ,  
 $f = 0.4$ , 25% des Gesamttrauschens und  $\vartheta = 125^\circ C$

Wenn man die Rauschanforderungen unterteilen kann (siehe Tabelle 3.4 und 3.5), dann können die nötigen Abtastkapazitäten abgeschätzt werden. Im Allgemeinen erkennt man den hohen Einfluss des  $k_C$ -Faktors. Hochgeschwindigkeits-SC-Verstärker haben bei der Verwendung von zweistufigen Operationsverstärkern oft ein niedriges  $C_C$  und damit ein hohes  $k_C$ . Einstufige

Verstärker haben hier ein niedrigeres  $k_C$ . Bei niedrigen Versorgungsspannungen wird dies in der Regel nicht durch ein höheres  $v_{FS,d}$  ausgeglichen. Da  $f$  mit  $B$  sinkt, wird ein höherer Verstärkungsfaktor an dieser Stelle bezüglich des thermischen Rauschens nicht helfen, jedoch sinkt der  $k_C$ -Faktor.

Durch eine sinnvolle Verteilung kann man das Gesamttrauschen minimieren und somit das SNR maximieren.

### 3.3.3 Der Komparator

Die Anforderungen an die Komparatoren sind in den hier behandelten Pipeline-A/D-Wandler-Varianten sehr niedrig. Für  $v_{ref+} - v_{ref-} = 1V$  kann der Offset 125mV betragen. Ist der Offset geringer, dann lässt sich keine Fehlerauswirkung nachweisen. Je nach Applikation ist die maximal verfügbare Entscheidungszeit identisch mit der Abtastphase  $\phi_1$  oder mit der Nichtüberlappungszeit  $T_{non,ov}$ . In jedem Falle sollte der Komparator in Kombination mit dem Sub-D/A-Wandler-Signal bis zur steigenden Flanke von  $\phi_2$  eingeschwungen sein.

## 3.4 Auswirkung der Fehlerquellen

In diesem Abschnitt werden insbesondere die Fehler besprochen, die Einfluss auf die Auflösung haben und die sich in der Kette der SC-Verstärker akkumulieren können. Für die SC-Verstärker wurden in Kap. 3.3.2 die Fehlerquellen einzeln besprochen. Es zeigte sich dort, dass durch die Verwendung einer Resetphase in SC-Verstärkern, deren Offsetfehler kompensiert wird. An dieser Stelle wird daher der Offsetfehler nicht mehr behandelt.

### 3.4.1 Finite offene Schleifenverstärkung

Der relative Fehler durch eine endliche offene Schleifenverstärkung an der Gesamtverstärkung einer SC-Verstärkerstufe ist:

$$1 - \epsilon_{A_0} = \frac{1}{1 + \frac{1}{A_0 \cdot f}} \approx 1 - \frac{1}{f \cdot A_0}. \quad (3.71)$$

$$G_{real}(A_0) = G_{real}(A_0 = \infty) \cdot (1 - \epsilon_{A_0}) \quad (3.72)$$

Nehmen wir  $m$  Pipeline Stufen mit  $B_k$ -Bit pro Stufe (ohne Redundanz) an,

dann sollte intuitiv der gesamte auf den Eingang zurückgerechnete Fehler, der alleinig durch eine endliche offene Schleifenverstärkung entsteht, unterhalb  $v_{LSB}$  des  $N$ - $B_1$ -Bit-Rest-A/D-Wandlers sein, wenn man keine digitale Fehlerkorrektur einsetzt. Also gilt:

$$\sum_{i=1}^m \frac{1}{\mathbf{f}_i \cdot A_{0,i} \prod_{k=1}^i 2^{B_k}} < \frac{1}{2^{N-B_1}}. \quad (3.73)$$

Nun wird der Fall des reinen 1.5 Bit Pipeline A/D-Wandlers mit  $N-1$  Pipeline Stufen genauer betrachtet.

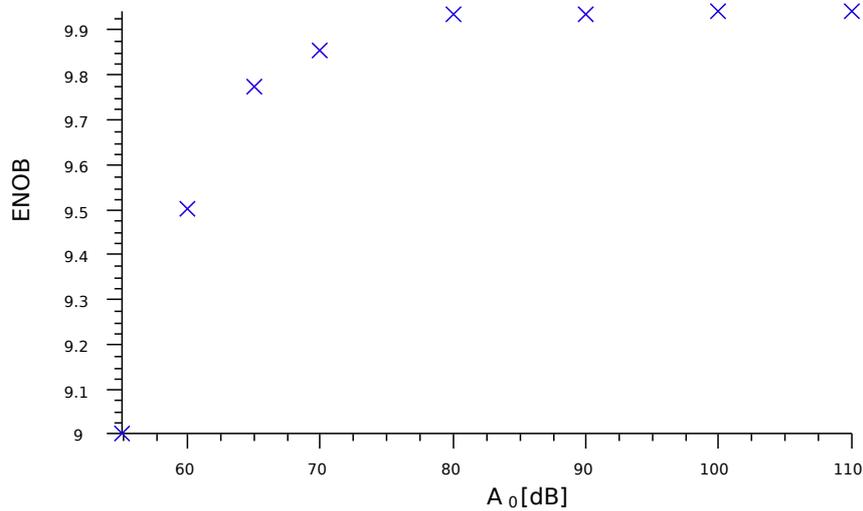


Abbildung 3.25: ENOB in Abhängigkeit von  $A_0$  aller Operationsverstärker für einen 10Bit Pipeline A/D-Wandler mit einem Feedback-Faktor von 0.4 (Bestimmung über eine 512-Punkt-FFT eines 98%-Full-Scale Signals ( $f_{sig} \approx 12MHz$  und  $v_{in,d,pp} = 0.98V_{pp}$ ))

Für ihn gilt  $B_i = 1$  mit  $i \in 1..N - 1$ . Für die Leerlaufverstärkung des Operationsverstärkers (oder OTA) wird angenommen, dass  $A_{0,i} = \frac{A_{0,1}}{2^{i-1}}$  mit  $i \in 1..N - 1$  ist.

$$\sum_{i=1}^{N-1} \frac{1}{\mathbf{f}_i \cdot \frac{A_{0,1}}{2^{i-1}} \prod_{k=1}^i 2} < \frac{1}{2^{N-1}} \quad (3.74)$$

$$\sum_{i=1}^{N-1} \frac{1}{\mathbf{f}_i \cdot 2 \cdot A_{0,1}} < \frac{1}{2^{N-1}} \quad (3.75)$$

Nimmt man einen festen Rückkopplungsfaktor  $\mathbf{f}$  für alle Stufen an, dann kann man in diesem Fall die Leerlaufverstärkungsanforderungen bestimmen.

$$A_0 > \frac{(N-1) \cdot 2^{N-2}}{\mathbf{f}} \quad (3.76)$$

Würde man die Operationsverstärker (oder OTA) in dieser Weise skalieren, so bräuchte man mit  $\mathbf{f} = 0.4$  für einen 10 Bit A/D-Wandler eine Leerlaufverstärkung von 75dB und für einen 12 Bit A/D-Wandler 89 dB. Würde man jedoch in jeder Stufe die gleiche Leerlaufverstärkung  $A_0$  haben, dann ergibt sich für große N:

$$A_0 > \frac{2^{N-1}}{\mathbf{f}}. \quad (3.77)$$

Die rechnerische Abweichung für N=10 oder N=12 ist minimal. Unter dieser Annahme benötigt man mit  $\mathbf{f} = 0.4$  für einen 10 Bit A/D-Wandler eine Leerlaufverstärkung von 62dB und für einen 12 Bit A/D-Wandler 74 dB.

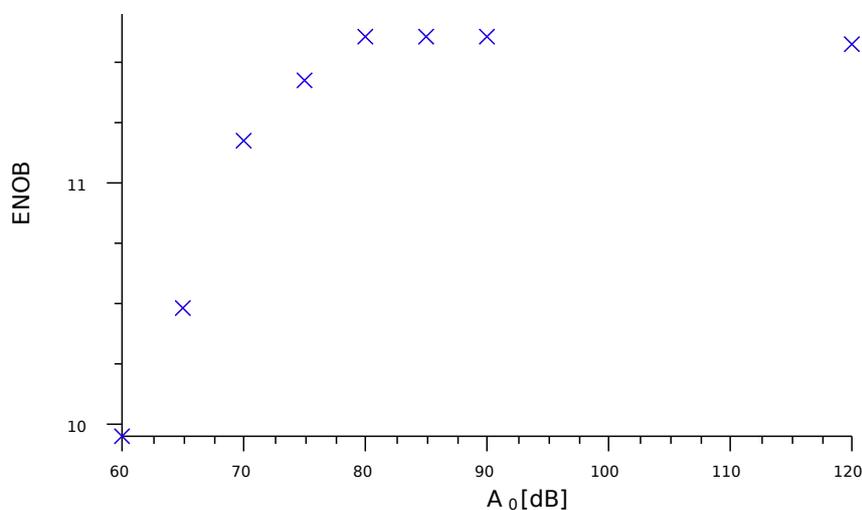


Abbildung 3.26: ENOB in Abhängigkeit von  $A_0$  aller Operationsverstärker für einen 12Bit Pipeline A/D-Wandler mit einem Feedback-Faktor von 0.4 (Bestimmung über eine 512-Punkt FFT eines 98%-Full-Scale Signals ( $f_{sig} \approx 12MHz$  und  $v_{in,d,pp} = 0.98V_{pp}$ ))

Um diese Abhängigkeit zu verifizieren, wurde der Verstärkungsfehler des

Operationsverstärkers unter anderem in XSPICE implementiert. Die Abbildungen 3.25 und 3.26 zeigen die Ergebnisse von Simulationen eines 10Bit und eines 12Bit Pipeline A/D-Wandlers (mit 9 bzw. 11 Pipeline Stufen und einem 1.5 Bit Sub-A/D-Wandler am Ende) mit nahezu nullierten zusätzlichen Fehlerquellen. Die Reduktion des ENOB entsteht im Wesentlichen durch eine Erhöhung der harmonischen Störungen.

Die Systemsimulationen bestätigen diese Werte.

Die Leerlaufverstärkung eines Operationsverstärkers/OTAs ist jedoch im Wesentlichen von der Architektur abhängig. Nimmt man beim 10 Bit A/D-Wandler an, dass man vier Operationsverstärker mit  $A_0 = 72dB$  (zweistufig mit einer "Telescopic-Cascode"-Stufe am Eingang) und fünf Operationsverstärker mit  $A_0 = 55dB$  (einstufiger "Telescopic-Cascode-" oder "Folded-Cascode"-Verstärker) einsetzt, dann hat der A/D-Wandler noch eine effektive Auflösung (ENOB) von 9.85 Bit.

### 3.4.2 Kapazitätsmissverhältnis

Das Kapazitätsmissverhältnis kann, bei der Verwendung von SC-Verstärkern und niedrigem  $B_i$ , einen großen Einfluss auf das SFDR haben [19]. Im Folgenden wird der Einschwingfehler und der Fehler durch die endliche offene Schleifenverstärkung vernachlässigt und der Verstärkungsfehler auf das Kapazitätsmissverhältnis reduziert. Die  $B_i$ s werden auf einen ganzzahligen Wert abgerundet. Gleichzeitig wird für die Addierspannung  $\langle v_{dac}^+, v_{dac}^- \rangle$  in Abbildung 3.23a,b 0V angenommen. Aus der Fehlerrechnung ist bekannt, dass für stochastische Größen gilt

$$\Delta G_C = \sqrt{\left(\frac{\partial G_C}{\partial C_S}\right)^2 \Delta C_S^2 + \left(\frac{\partial G_C}{\partial C_F}\right)^2 \Delta C_F^2}. \quad (3.78)$$

Dies lässt sich über die Schwarz'sche Ungleichung abschätzen zu

$$\Delta G_C \approx \left|\frac{\partial G_C}{\partial C_S}\right| \Delta C_S + \left|\frac{\partial G_C}{\partial C_F}\right| \Delta C_F. \quad (3.79)$$

Es gilt somit für beide Versionen des Zwischenstufenverstärkers

$$\Delta G_C \approx \frac{\Delta C_S}{C_F} + \frac{C_S}{C_F^2} \Delta C_F. \quad (3.80)$$

Der Zwischenstufenverstärker nach Abbildung 3.23a hat für eine Verstärkung von  $2^B$  eine im Vergleich zur Rückkopplungskapazität  $C_F$  um den Faktor  $2^B - 1$  größere Abtastkapazität  $C_S$ .

$$\Delta G_C \approx \frac{\Delta C_S}{C_F} + \frac{(2^B - 1)\Delta C_F}{C_F} = \frac{\Delta C_S \cdot (2^B - 1)}{C_S} + \frac{(2^B - 1)\Delta C_F}{C_F}. \quad (3.81)$$

Da  $\sigma_{\frac{\Delta C}{C}} \propto \frac{1}{\sqrt{A}}$  ist, gilt

$$\frac{\Delta C_S}{C_S} = \frac{1}{\sqrt{2^B - 1}} \cdot \frac{\Delta C_F}{C_F}. \quad (3.82)$$

Nun kann man den relativen Verstärkungsfehler  $\frac{\Delta G}{G}$  ( $G = 2^B$ ) durch das Kapazitätsmissverhältnis bestimmen.

$$\epsilon_C = \frac{\Delta G_C}{G_C} \approx \frac{\sqrt{2^B - 1} + 2^B - 1}{2^B} \cdot \frac{\Delta C_F}{C_F} \quad (3.83)$$

Für  $B=1$  ist  $\frac{\Delta G_C}{G_C} \approx \frac{\Delta C_F}{C_F}$  und kann üblicherweise aus den Prozessdaten extrahiert werden.

Für den Zwischenstufenverstärker nach 3.23b gilt

$$\epsilon_C = \frac{\Delta G_C}{G_C} \approx (2^{-\frac{B}{2}} + 1) \cdot \frac{\Delta C_F}{C_F}. \quad (3.84)$$

Für den tolerierbaren Verstärkungsfehler der  $i$ -ten Stufe gilt

$$\frac{\Delta G_C}{G_C} < \frac{1}{2^{N+1-\sum_{l=0}^i B_l}}, \quad (3.85)$$

da dieser Fehler für jede Stufe unabhängig voneinander ist und jede Stufe die Auflösung des Rest-A/D-Wandlers erreichen muss. Somit gilt für Abb. 3.23a

$$\frac{\Delta C_F}{C_F} < \frac{1}{2^{N+1-\sum_{l=1}^i B_l}} \cdot \frac{2^{B_i}}{\sqrt{2^{B_i} - 1} + 2^{B_i} - 1} \quad (3.86)$$

und für Abb. 3.23b

$$\frac{\Delta C_F}{C_F} < \frac{1}{2^{N+1-\sum_{l=1}^i B_l}} \cdot \frac{1}{2^{-\frac{B_i}{2}} + 1}. \quad (3.87)$$

Wenn man die Addierspannung mitberücksichtigt, die ja auch in einer Pipeline Stufe durch das Kapazitätsmissverhältnis fehlerhaft verstärkt wird, so reduziert sich der Ausgangsspannungsfehler im Falle einer von 0 verschiedenen Addierspannung, da ja auch ein Teil des Fehlers subtrahiert wird (siehe Übertragungsfunktionen der 1.5 Bit und 2.5Bit-Stufe). Gleichung 3.86 und 3.87 stellen somit eine obere Abschätzung dar. In Abbildung 3.27 ist das Ergebnis von jeweils 50 Monte-Carlo-Simulationen mit einem 12-Bit Pipeline A/D-Wandler zu sehen. Dieser A/D-Wandler wurde mit den Werten nach Tabelle 3.7 für das Abtast- und Halteglied und nach Tabelle 3.8 für die erste Pipeline Stufe parametrisiert. Bis zur fünften Stufe wird mit dem Faktor  $\gamma_C = \sqrt{2}$  skaliert, dannach wird dieselbe Pipelinestufe verwendet. Man erkennt den Übergang vom Kapazitätsgleichlauffehler dominierten SINAD zu dem vom Rauschen dominierten SINAD.

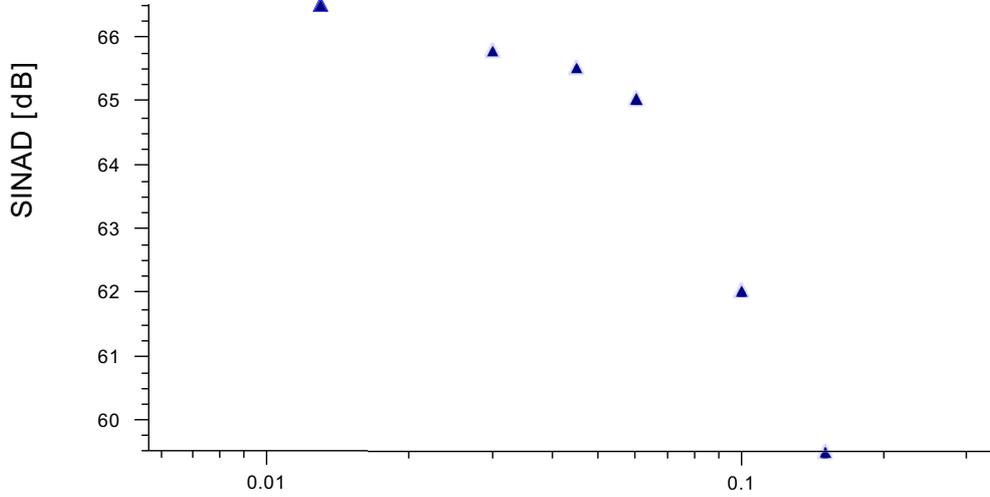


Abbildung 3.27: 50 XSPICE-Monte-Carlo-Simulationen-WC-SINAD über den Kapazitätsgleichlauffehler

(512-Punkt-FFT eines 99%-Full-Scale Signals ( $f_{sig} \approx 12MHz$  und  $v_{in,d,pp} = 0.99V_{pp}$ ))

### 3.4.3 Einschwingfehler

Der relative Einschwingfehler ist gegeben durch [81]:

$$\epsilon_{\tau} = \frac{v_{out}(T_{\phi_2}) - v_{out}(t = \infty)}{v_{out}(t = \infty)}. \quad (3.88)$$

Im Folgendem sei  $f_{slew,\phi_2}$  der fraktionale Gesamtanteil des nichtlinearen Einschwingens an der Gesamteinschwingphase.

Für ein einpoliges System ist der relative Einschwingfehler:

$$\epsilon_{\tau} = \frac{1}{f_{slew,\phi_2} T_{\phi_2} \omega_T^{CL}} \cdot e^{-\omega_T^{CL}(1-f_{slew,\phi_2})T_{\phi_2}}. \quad (3.89)$$

Für die  $l$ -te  $k_l$ -Bit-MDAC-Stufe muss der  $N - \sum_1^l k_i$ -Bit Rest-A/D-Wandler auf  $\frac{v_{lsb}}{2}$  einschwingen, dafür sollte also  $\epsilon_{\tau} < 2^{-(N+1-\sum_1^l k_i)}$  sein. Setzt man dies oben ein, so ergibt sich mit  $\tau = \frac{1}{\omega_T^{CL}}$ :

$$\tau < \frac{(1 - f_{slew,\phi_2})T_{\phi_2}}{(N + 1 - \sum_1^l k_i) \cdot \ln 2 - \ln \left( \frac{f_{slew,\phi_2} T_{\phi_2}}{\tau} \right)}, \quad (3.90)$$

$$f_T^{CL} > \frac{(N + 1 - \sum_1^l k_i) \cdot \ln 2 - \ln \left( f_{slew,\phi_2} T_{\phi_2} \cdot 2\pi f_T^{CL} \right)}{2\pi(1 - f_{slew,\phi_2})T_{\phi_2}} \quad (3.91)$$

Auflösung in Bit	$f_s$ in MHz	$T_{\phi_2}$ in ns	$f_T$ in MHz
10	100	4.5	817
12	100	4.5	980
10	70	6.5	565
12	70	6.5	679

Tabelle 3.6:  $f_T$ -Anforderungen für verschiedene Abtastraten (25% von  $T_{\phi_2}$  ist für das nichtlineare Einschwingen vorgesehen.)

und

$$f_T > \frac{(N + 1 - \sum_1^l k_i) \cdot \ln 2}{\mathbf{f} \cdot 2\pi(1 - f_{slew, \phi_2})T_{\phi_2}}. \quad (3.92)$$

Handelt es sich jedoch um ein zweipoliges System, dann müssen für den relativen Einschwingfehler wiederum drei Fälle unterschieden werden.

1. Unterdämpftes System nach Gleichung 4.24:

$$\epsilon_\tau \approx -\frac{1}{f_{slew, \phi_2} T_{\phi_2} \omega_1 A_0} e^{-\delta \omega_0 T_{\phi_2} (1 - f_{slew, \phi_2})} \cdot \left( \frac{\delta}{\sqrt{1 - \delta^2}} \sin(\omega_d T_{\phi_2} (1 - f_{slew, \phi_2})) + \cos(\omega_d T_{\phi_2} (1 - f_{slew, \phi_2})) \right) \quad (3.93)$$

2. Kritisch gedämpftes System nach Gleichung 4.28:

$$\epsilon_\tau \approx -\frac{1}{f_{slew, \phi_2} T_{\phi_2} \omega_1 A_0} (1 + \omega_0 T_{\phi_2} (1 - f_{slew, \phi_2})) e^{-\omega_0 T_{\phi_2} (1 - f_{slew, \phi_2})} \quad (3.94)$$

3. Überdämpftes System nach Gleichung 4.31:

$$\epsilon_\tau \approx -\frac{1}{f_{slew, \phi_2} T_{\phi_2} \omega_1 A_0} e^{-\delta \omega_0 T_{\phi_2} (1 - f_{slew, \phi_2})} \cdot \left( \frac{\delta}{\sqrt{\delta^2 - 1}} \sinh(\omega_d T_{\phi_2} (1 - f_{slew, \phi_2})) + \cosh(\omega_d T_{\phi_2} (1 - f_{slew, \phi_2})) \right) \quad (3.95)$$

Das exponentielle Einschwingen kann jedoch als Abschätzung herangezogen werden, da die Zweipoleinschwingzeit für einen Phasenrand  $60^\circ < \phi_M < 70^\circ$  für die hier betrachteten Auflösungen kleiner ist.

### 3.4.4 Kombinierte Fehler

Bisher wurden die Einflüsse des nichtvollständigen Einschwingens, der endlichen offenen Schleifenverstärkung und des Kapazitätsmissverhältnisses getrennt untersucht.

Der Ausgangsspannungsfehler einer Stufe  $v_{\epsilon,i}$  ist gegeben durch die Differenz der Ausgangsspannung einer fehlerbehafteten Stufe und einer idealen Stufe.

$$v_{\epsilon,i} = \left( v'_{out,d,i} - v_{out,d,i} \right) \quad (3.96)$$

Der höchste Fehlerwert ergibt sich an der Schwelle  $v_{in,d,i} = \frac{v_{ref,d}}{2^{B_i+1}}$ .

$$\begin{aligned} v_{\epsilon,i} \Big|_{v_{in,d,i} = \frac{v_{ref,d}}{2^{B_i+1}}} &= (1 - \epsilon_{\tau,i}) (1 - \epsilon_{A_0,i}) (1 - \epsilon_{C,i}) \cdot 2^{B_i} \cdot \frac{v_{ref,d}}{2^{B_i+1}} \\ &\quad - (1 - \epsilon_{\tau,i}) (1 - \epsilon_{A_0,i}) \left( 1 - \frac{\Delta C_F}{C_F} \right) v_{ref,d} \\ &\quad - 2^{B_i} \cdot \frac{v_{ref,d}}{2^{B_i+1}} + v_{ref,d} \end{aligned}$$

Der Fehlerwert lässt sich für eine Schaltung nach Abb. 3.23a abschätzen zu

$$v_{\epsilon,i} \leq \left( \frac{1}{2} (|\epsilon_{\tau,i}| + |\epsilon_{A_0,i}|) + \left| \left( -\frac{\sqrt{2^B - 1} + 2^B - 1}{2^{B+1}} + 1 \right) \frac{\Delta C_F}{C_F} \right| \right) \cdot v_{ref,d}. \quad (3.97)$$

Dieser Fehlerwert muss kleiner sein als  $\frac{1}{2} v_{LSB}$  des  $N - \sum_{k=1}^i B_k$  Bit Rest-A/D-Wandlers

$$\begin{aligned} v_{\epsilon,i} &\leq \frac{2 \cdot v_{ref,d}}{2 \cdot 2^{N - \sum_{k=1}^i B_k}}. \quad (3.98) \\ \frac{1}{2^{N - \sum_{k=1}^i B_k}} &\geq \left( \frac{1}{2} (|\epsilon_{\tau,i}| + |\epsilon_{A_0,i}|) + \left| \left( -\frac{\sqrt{2^B - 1} + 2^B - 1}{2^{B+1}} + 1 \right) \frac{\Delta C_F}{C_F} \right| \right) \quad (3.99) \end{aligned}$$

Diese Ungleichung ist erfüllt, wenn gilt:

$$\epsilon_{\tau,i} < \frac{1}{2^{N+1 - \sum_{k=1}^i B_k}}, \quad (3.100)$$

$$\epsilon_{A_0,i} < \frac{1}{2^{N+1 - \sum_{k=1}^i B_k}} \quad (3.101)$$

und

$$\frac{\Delta C_{F,i}}{C_{F,i}} < \frac{1}{2^{N+1 - \sum_{k=1}^i B_k}}. \quad (3.102)$$

### 3.4.5 Thermisches Rauschen, Jitter und Quantisierungsrauschen

Das thermische Rauschen des 1.5 Bitpro Stufe Pipeline A/D-Wandlers kommt im Wesentlichen, wenn die Referenzen rauscharm sind, von den Zwischenstufenverstärkern.

$$\overline{v_{in}^2} = \overline{v_{in,S\&H}^2} + \overline{v_{in,1}^2} + \sum_{i=2}^n \frac{\overline{v_{in,i}^2}}{\prod_{j=2}^i G_{j-1}} \quad (3.103)$$

Das gesamte eingangsbezogene Rauschen wird folgendermaßen verteilt

- 50% für das Abtast- und Halteglied und den ersten Zwischenstufenverstärker
- $\frac{50\%}{i}$  für den i-ten Zwischenstufenverstärker.

Sinnvoll wäre es, das Abtast- und Halteglied und den ersten Zwischenstufenverstärker zu vereinigen.

Nimmt man die stochastischen Fehlerquellen Jitter, thermisches Rauschen und Quantisierungsrauschen zusammen, so ergibt sich folgendes SNR:

$$SNR = -20 \log_{10} \left( \sqrt{(2\pi f_{in} \tau_{jitter})^2 + \frac{2}{3} \left( \frac{1+\epsilon}{2^N} \right)^2 + \left( \frac{2v_{n,rms} \sqrt{2}}{2^N} \right)^2} \right). \quad (3.104)$$

### 3.4.6 Einige XSPICE-Gesamtsystemsimulationen

Eine ereignisorientierte Systemumgebung wurde in XSPICE implementiert [25], um Informationen über die Anforderungen an die Unterelemente des Pipeline A/D-Wandlers zu erhalten. Andere Verwendungen sind die Erstellung von Referenzdesigns und die Funktionalitätsüberprüfung. Genauer wird auf diese Umgebung im Kapitel 4 eingegangen.

Im Folgenden wird nun untersucht, ob eine avisierte (hier z.B.: 12Bit-A/D-Wandler in 90nm-CMOS mit 65dB SINAD und einen SFDR > 70dB) Gesamtauflösung erreicht wird, wenn die Elemente die Parameter nach Tabelle 3.7 und 3.8 erfüllen. Des Weiteren wird davon ausgegangen, dass die Pipeline Stufen bis zur fünften Stufe mit dem Faktor  $\gamma_C = \sqrt{2}$  skaliert werden [19]. Dadurch verschlechtert sich der Kapazitätsgleichlauf um den Faktor  $\sqrt{\gamma_C}$  und das Rauschen steigt um denselben Faktor. Danach werden Pipelinestufen mit denselben Fehlern eingesetzt. In Abbildung 3.28 erkennt man, dass ein Kapazitätsmissverhältnis von 0.1% nicht ausreichen würde, um den erforderlichen SFDR zu erreichen.

Parameter	Wert
$A_0$	72dB
$f_T$	400MHz
Slewrates	$300 \frac{V}{\mu s}$
$C_S$	2pF
$v_{out,min}$	0.3V
$v_{out,max}$	0.9V
$\sqrt{v_{in}^2}$	$50\mu V$
$\phi_D$	60
$f_{\phi_2}$	0.9

Tabelle 3.7: XSPICE-Parametersatz des Abtast- und Halte-Gliedes für einen 12 Bit 1.5 Bit pro Stufe Pipeline A/D-Wandler

Parameter	Wert
$A_0$	90dB
$f_T$	800MHz
Slewrates	$600 \frac{V}{\mu s}$
Capacitor Mismatch	0.1%
$C_S + C_F$	3pF
$v_{out,min}$	0.3V
$v_{out,max}$	0.9V
$\sqrt{v_{in}^2}$	$100\mu V$
$\phi_D$	55
$f_{\phi_2}$	0.4
$v_{comp,offset}$	20mV

Tabelle 3.8: XSPICE-Parametersatz der ersten Pipeline Stufe für einen 12 Bit 1.5 Bit pro Stufe Pipeline A/D-Wandler

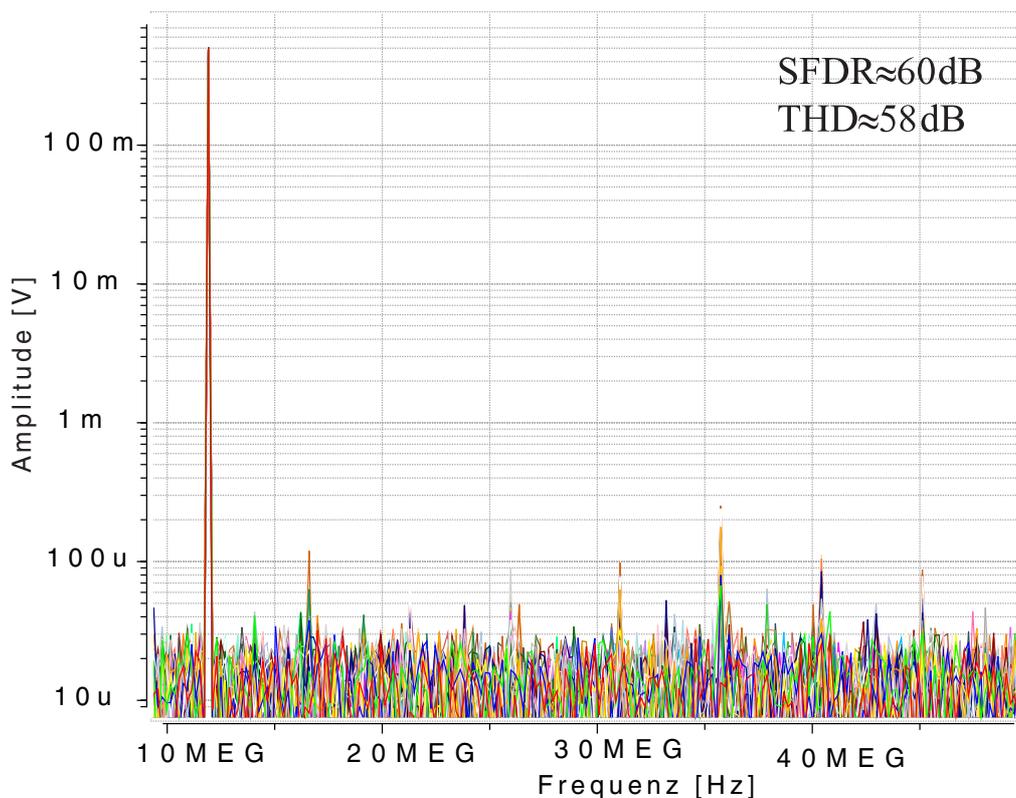


Abbildung 3.28: FFT von den XSPICE-Monte-Carlo-Simulationen mit einer Standardabweichung von 0.1% für das Kapazitätsmissverhältnis  
 (512-Punkt-FFT eines 99%-Full-Scale Signals ( $f_{sig} \approx 12 MHz$  und  $v_{in,d,pp} = 0.99V_{pp}$ ))

Haben die Kapazitäten ein Missverhältnis von 0.013%, so zeigt die ENOB eine nahezu gaussförmige (Abb. 3.29) Verteilung um eine ENOB von 10.9 Bit ( $SNDR \approx 68 dB$ ). Die Rauschanforderungen sind schwer zu erfüllen und hier wegen der geringen Betriebsspannung ( $1.08V < V_{DD} < 1.32V$ : 10% Regler) besonders hoch.

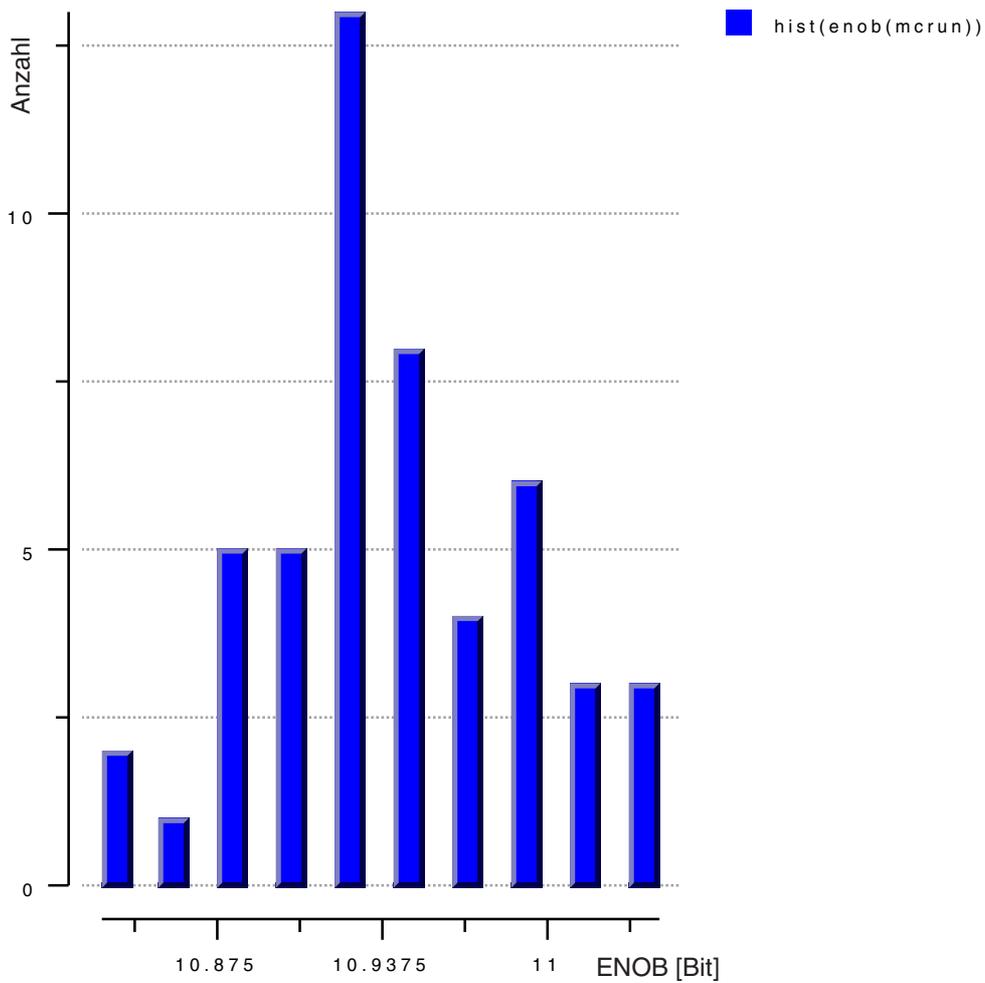


Abbildung 3.29: Histogramm von der ENOB über XSPICE-Monte-Carlo-Simulationen mit einer Standardabweichung von 0.013% für das Kapazitätsmissverhältnis

(512-Punkt-FFT eines 99%-Full-Scale Signals ( $f_{sig} \approx 12MHz$  und  $v_{in,d,pp} = 0.99V_{pp}$ ))

# Kapitel 4

## Systemsimulation

Die Systemsimulation ist unter anderem ein wichtiges Hilfsmittel, um die Anforderungen an die Unterblöcke des Pipeline A/D-Wandlers zu evaluieren, Strukturen zu testen und Referenzdesigns zu verifizieren. Im Allgemeinen ist es ebenfalls nötig, Monte-Carlo-Simulationen des Gesamt-A/D-Wandlers auszuführen, da dies i.d.R. auf der Schaltungsebene nur für die Unterblöcke ausgeführt wird. In den Cornersimulationen und in den klassischen Transientsimulationen kommen Gleichlaufsfehler und das Rauschen nicht vor, daher kann der Einfluss dieser Fehler nur unzureichend über diese Simulationen verifiziert werden.

Schematische Zeichnungen unter der Verwendung dieser Systemsimulationselemente dienen zudem als Bibliothekselemente für die Systemreferenzdesigns. In dieser Arbeit wurden unterschiedliche Systemsimulationsumgebungen mit den für diese Arbeit relevanten Systemelementen erweitert.

Eine erhebliche Reduktion der Simulationszeit (siehe Tab. 4.1) gelang durch die Integration der Systemsimulationselemente in XSPICE [25] unter der Verwendung eines ereignisorientierten Ansatzes. Die Wahl fiel hier auf XSPICE, da hiermit eine Kosimulation mit Blöcken auf Transistorebene und Blöcken auf einer hoher Abstraktionsebene (Filter, Integrierelemente usw.) ausgeführt werden kann. Weiterhin können ereignisorientierte und zeitkontinuierliche Elemente gemischt werden. Im Rahmen dieser Arbeit wurden über 100 neue XSPICE-Systemsimulationselemente in der Programmiersprache C entwickelt und in einen Spice-Simulator integriert, um ein vollständiges Systemsimulationssystem für Pipeline- und  $\Sigma\Delta$ -A/D-Wandler, digitale Filter usw. aufzubauen. Es können nun auch verschiedene Architekturen eines Makros (hier Pipeline A/D-Wandler) evaluiert werden. Dies wäre auf der Bauelementebene nahezu unmöglich.

Die Parameter wurden so gewählt, dass sie in einem später beschriebenen Syntheseprozess sinnvoll sind. Eine zu nahe Schaltungsbezogenheit der Blöcke

wurde oft vermieden, um die Simulationszeit nicht wesentlich zu erhöhen. Jedoch wurden die Blöcke so gewählt, dass sie einen synthetisierbaren Funktionsblock darstellen.

Simulator	Rechenzeit
CPPSIM ( $T_S = 10ps$ )	55s
XSPICE	7s
Verilog-A ( <i>spectre<sup>TM</sup></i> ) mit CT-Elementen (ohne Rauschen)	24min
Verilog-A ( <i>spectre<sup>TM</sup></i> ) mit DT-Elementen	175s

Tabelle 4.1: Rechenzeit für die Systemsimulation eines DT-MASH-2-1 Sigma-Delta-Modulators mit  $f_S = 64 \frac{MS}{s}$  und  $2^{13} + 1000$  Abtastzeitpunkten auf einem Intel Core2Duo 1.8GHz Prozessor

#### **Aufistung existierender ereignisorientierter XSPICE-Systemsimulationsblöcke:**

##### *Analog- und Mixed-Signal Elemente*

- MXk-Stufe („Discrete-time“-Verstärkerstufe mit der Verstärkung  $k \in \mathbb{N}$ ) nach Abb. 3.9 und 3.10 (Typ 1 und Typ 0) mit Einschwingverhalten, Offset des Operationsverstärkers, thermischen Rauschen des Operationsverstärkers, kT/C-Rauschen, endlicher offener Schleifenverstärkung des Operationsverstärkers usw.
- Getaktete und ungetaktete Komparatoren mit Offset und Verzögerungszeit
- Getaktete und ungetaktete Differenz-Differenz-Komparatoren mit Offset und Verzögerungszeit
- 1.5 Bit-A/D-Wandler mit Offset und Verzögerungszeit
- 1.5 Bit D/A-Wandler mit Offset und Verzögerungszeit
- DT-Integrator mit Einschwingverhalten, Offset des Operationsverstärkers, thermischem Rauschen des Operationsverstärkers, kT/C-Rauschen, endlicher offener Schleifenverstärkung des Operationsverstärkers usw.

*Signalquellen*

- Verzitterte Taktquelle
- Rauschquellen

*Digitalelemente*

- Digitalelemente wie NAND, NOR und D-FF
- n-Bit Integer-Elemente (Delay, Addition, Subtraktion und Multiplikation), um digitale Filter usw. aufzubauen

## 4.1 Zeitkontinuierliche Makromodelle

Im Folgenden wird auf die klassische Spice-Makromodellierung eingegangen, da man oft den Programmieraufwand für die Systemelemente nicht aufbringen kann. Eine erste Version des Referenzdesigns kann auch hiermit erfolgen. Der Operationsverstärker oder der OTA wird wie in [73] modelliert. Das Makromodell besteht aus verschiedenen Untermodellen, um den Frequenzgang, die Frequenzkompensation, das CMRR, die Slewrate usw. zu modellieren. In Abbildung 4.1 und 4.3 ist z.B. dargestellt, wie mit SPICE-Makromodellen das Zweipolfrequenzverhalten beziehungsweise die Slewrate für einen Operationsverstärker modelliert werden kann. Zusammengenommen modellieren diese Makromodelle unter anderem das Zweipoleinschwingverhalten, den Offset, die Leerlaufverstärkung, nichtlineares Einschwingen, die Ausgangsspannungslimitierung, die Slewrate, die Eingangskapazitäten und in der Kleinsignal-Rauschsimulation das thermische Rauschen und das 1/f-Rauschen. In diesem Makromodell werden jedoch nicht das PSRR, nicht das Frequenzverhalten der Common-Mode-Feedback-Schaltung und im Zeitbereich nicht das Rauschen berücksichtigt.

In Abbildung 4.1 ist die Makromodellierung des Zweipolverhaltens zu sehen [6]. Die Leerlaufverstärkung ist  $A_0 = g_{m,in} \cdot R_1 \cdot g_{m,2} \cdot R_2$  und  $v_2 = \frac{A_0 \cdot (v_{inp} - v_{inm})}{\left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right)}$ . Der Phasenrand ist  $\phi_M \approx \frac{\pi}{2} - \arctan\left(\frac{\omega_2}{\omega_T}\right)$ . Mit den Parametern Transitfrequenz  $f_T = \frac{\omega_T}{2\pi}$ , Leerlaufverstärkung  $A_0$  und Phasenrand  $\phi_M$  kann, wenn man  $g_{m,in} = g_{m,2} = \frac{1}{R_2} = 1$  und  $R_1 = \frac{1}{A_0}$  setzt, die Kapazitäten  $C_1$  und  $C_2$  berechnen, die das Verhalten des zweipoligen Verstärkers nachbilden:

$$C_1 = \frac{1}{2\pi \cdot f_T \cdot \tan(\phi_M)}$$

und

$$C_2 = \frac{1}{2\pi \cdot f_T \cdot \sqrt{1 + \frac{\omega_T^2}{\omega_2^2}}}$$

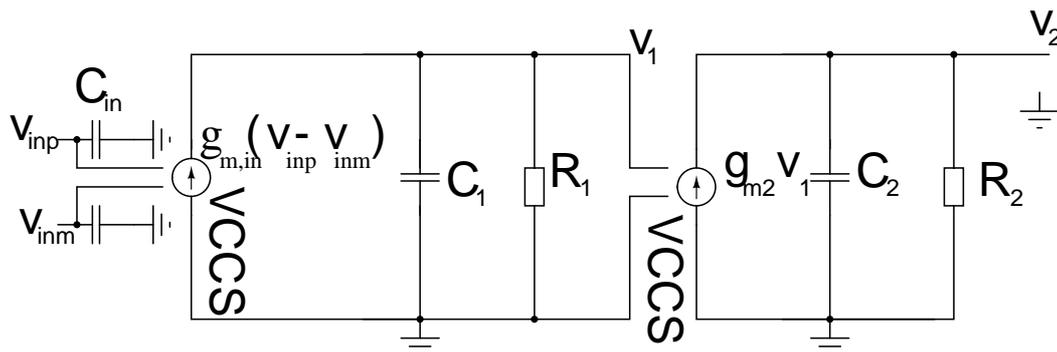


Abbildung 4.1: Makromodellierung der Pole bei einem Operationsverstärker

Für einen typischen zweistufigen Operationsverstärker/OTA ohne externe resistive Last ist  $C_2$  die Lastkapazität, unter der dieser Phasenrand simuliert oder bestimmt wurde.

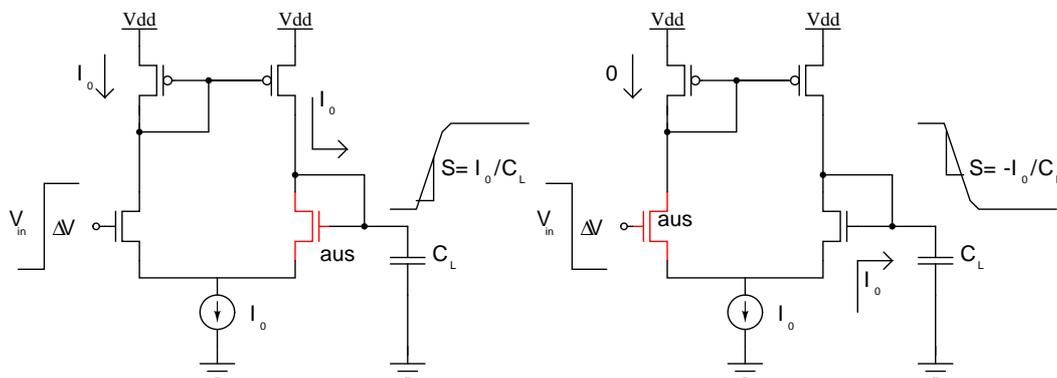


Abbildung 4.2: Illustration der Slewrates

In Abb. 4.2 ist dargestellt, wie es zu einem nichtlinearen Einschwingen kommen kann. Ist der Eingangssprung zu hoch, so kann einer der beiden Eingangstransistoren abgeschnürt werden. In einem Pfad fließt dann der Gesamtstrom  $I_{max} = I_0$ , damit wird die Lastkapazität entweder aufgeladen

oder entladen. Die Ausgangssteigung ist in diesem Falle  $SR := |S| = |\frac{I_0}{C_L}|$ .

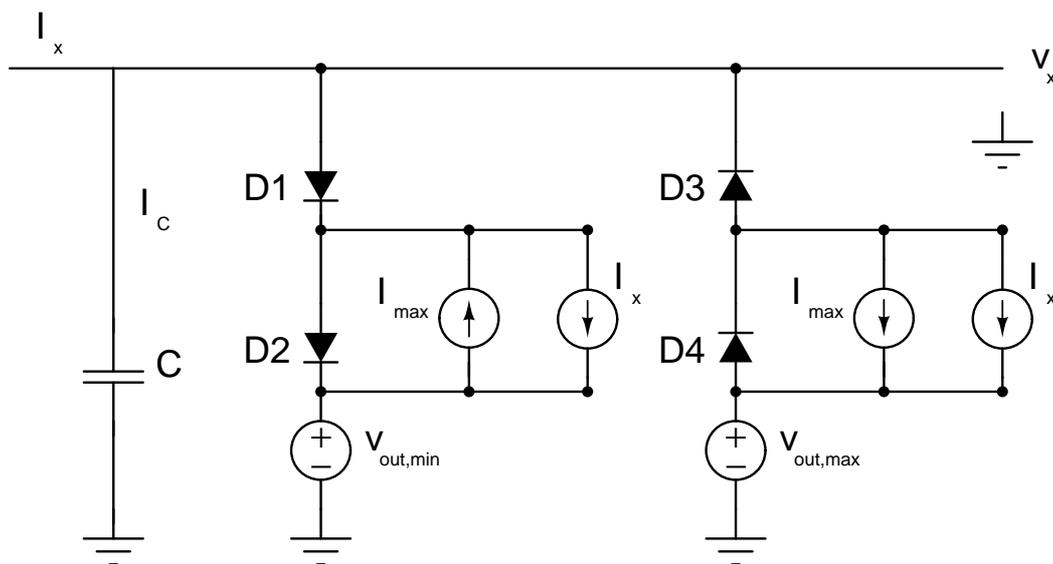


Abbildung 4.3: Makromodellierung der Slewrate

Die Modellierung der unteren und oberen Ausgangsspannungsgrenzen und der Slewrate wird durch eine Schaltung nach Abbildung 4.3 erreicht. Ist  $I_x < I_{max}$  und  $V_{out,min} < V_x < V_{out,max}$ , dann ist  $I_C = I_x$ . D3 leitet solange wie  $V_x < V_{out,max}$  ist. Ist  $V_x = V_{out,max}$ , dann ist  $I_C = 0$ . Würde  $I_x$  den Wert von  $I_{max}$  ( $I_{max} = C \cdot SR$ ) übersteigen, dann garantiert der vordere Teil der Schaltung, dass  $I_C = I_x - I_{D1} = I_{max}$  ist ( $I_{D1} = I_x - I_{max}$ ).

Die meisten der in dieser Arbeit verwendeten Operationsverstärker und OTAs sind voll-differentieller Natur. Ein differentieller Ausgang kann mit einer Schaltung nach Abbildung 4.4 modelliert werden, während alles Innere „Single-Ended“ modelliert werden kann.

Für noch weitergehende Informationen wird auf die Referenzen [73] und [76] verwiesen. Es sei noch erwähnt, dass bei Schaltungen mit geschalteten Kapazitäten und einem zweistufigen Operationsverstärker die totale Lastkapazität in der Haltephase gut abgeschätzt werden sollte, da der zweite Pol mit dem Lastelement gebildet wird und eine höhere Lastkapazität das System instabil machen könnte.

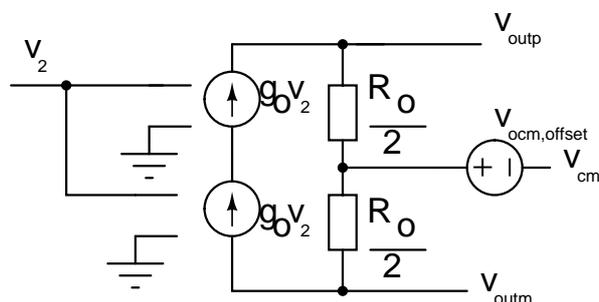


Abbildung 4.4: Makromodellierung des differentiellen Ausgangs

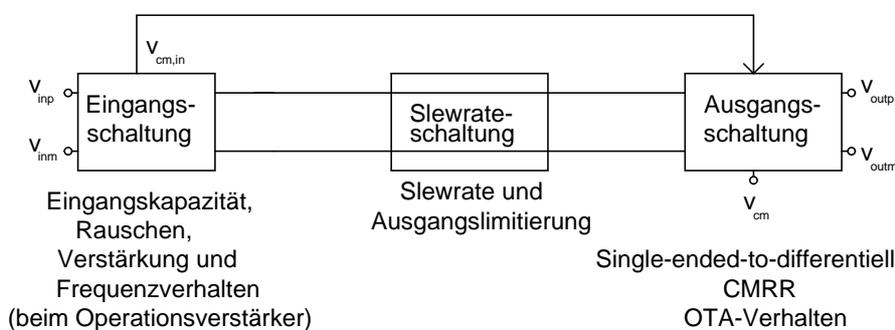


Abbildung 4.5: Prinzipskizze der Makromodellierung des Operationsverstärkers/OTAs

Simulationen mit Makromodellen sind weit verbreitet, führen jedoch nicht zu einer erheblichen Reduktion der Simulationszeiten. In Kapitel 3.3.2 werden Makromodelle von Operationsverstärkern eingesetzt, um SC-Schaltungen zu verifizieren.

## 4.2 Quasizeitkontinuierliche Systemsimulation mit CPPSIM

In dieser Arbeit soll noch ein weiteres Verfahren für die Systemsimulation erwähnt werden, das zwar in dieser Arbeit noch wenig eingesetzt wurde, aber Systemsimulationen erlaubt, mit denen deutlich mehr Fehlereffekte, wie das thermische und das  $1/f$ -Rauschen, mitsimuliert werden können.

Dass das thermische Rauschen und das  $1/f$ -Rauschen in der Transient-Systemsimulation mit dem zeitkontinuierlichen Makromodellen üblicherweise nicht

mitsimuliert wird, ist insoweit problematisch, da es in einigen Systemen den limitierenden Faktor darstellt. Einige Spice-Simulatoren können inzwischen Transient-Noise-Simulationen ausführen, wodurch zusätzliche Zielparameter (z.B. SNR) durch Simulation und nicht durch Abschätzung bestimmt werden können. Bei diesen Simulationen steigt die Simulationszeit jedoch immens an.

Eine Herangehensweise, um diesem Problem in einer Systemsimulation zu begegnen, ist in [71] beschrieben. Hier wird mit äquidistanten Zeitschritten und ohne Knotenanalyse simuliert. In diesem Artikel wird jedoch dieses Verfahren nur für (fraktionale) PLL-DLL-CDR-Schaltungen eingesetzt. Daher war es fraglich, ob die Amplituden- und Frequenzgenauigkeit hoch genug für die Simulation von A/D-Wandlern ist. Bei dieser Art der Simulation müssen viele Faktoren (Ausführungsreihenfolge, Art des Knotens, Aliasing usw.) berücksichtigt werden. Für diese Simulationsumgebung wurden im Rahmen dieser Arbeit wichtige Bauelemente in C++ beschrieben und ein Umwandler implementiert, der eine schematische Zeichnung nach C++ umsetzt.

In CPPSIM werden lineare zeitinvariante CT-Filter über die Bilineartransformation [55, 47] in ihr pseudozeitdiskretes Äquivalent umgewandelt. Dabei wird die Stabilität und die Ordnung erhalten. Die Bilineartransformation hat im Gegensatz zur Impulsinvarianztransformation [55] den Vorteil, dass auch für nicht bandlimitierte Signale kein Aliasing stattfindet. Damit muss nicht jedes Signal bandlimitiert werden. Beide Verfahren sind jedoch oft gleichwertig mit ihren eigenen Vor- und Nachteilen [55]. Bei der Bilineartransformation wird die Frequenzachse verformt (frequency warping) [47]. Dies ist auch die Ursache für das fehlende Aliasing. Man kann das Signal auf der Frequenzachse auch vorverzerren, um dieses Problem vollständig zu vermeiden. Dies wird jedoch, wegen der höheren Rechenzeit und den dennoch geringen Fehlern, nicht ausgeführt. Die Frequenzachse transformiert sich aus der  $s$ -Ebene ( $s = j\omega_a$ ) in die  $z$ -Ebene ( $\omega$ ) über

$$\omega_a = 2 \cdot f_s \cdot \tan\left(\frac{\omega}{2 \cdot f_s}\right). \quad (4.1)$$

Für die Simulationszeitschritte  $T_S = \frac{1}{f_s}$  bei der Simulation eines Tiefpassfilters 2. Ordnung (Bilineartransformation der CT-Version) mit der Frequenzbandbreite  $f_0$  sollte nach [71] gelten:

$$f_0 \cdot T_S < \frac{1}{100}. \quad (4.2)$$

Es ist

$$\tan(x) = x + \frac{1}{3}x^3 + \frac{2}{15}x^5 \dots, |x| < \frac{\pi}{2}. \quad (4.3)$$

Mit  $\tan(x) \approx x + \frac{1}{3}x^3$  (für kleine  $x$ ) gilt

$$\frac{\omega_a}{\omega} \approx 1 + \underbrace{\frac{4}{3} \cdot \pi^2 f_0^2 \cdot T_s^2}_{\delta\omega \approx 0.13\%}. \quad (4.4)$$

Alle Zeitkonstanten haben diesen relativen Fehler und dieser Fehler wird abhängig von der Filterfunktion zu einem Amplitudenfehler transformiert. Nimmt man ein Tiefpasssystem zweiter Ordnung (siehe Kap. 4.3.1) an, dann kann man folgenden relativen Amplitudenfehler ( $\delta A$  der Einhüllenden) grob abschätzen:

$$\delta A \approx 1 - \frac{e^{-\delta \cdot \omega_0 \cdot (1 + \delta \omega) \cdot t}}{e^{-\delta \cdot \omega_0 \cdot t}} = 1 - e^{-\omega_0 \cdot \delta \omega \cdot t}. \quad (4.5)$$

Für 14 Zeitkonstanten (nach Kap. 4.3.1:  $\tau \approx \frac{1}{\delta \cdot \omega_0}$ ) ist der Fehler kleiner 2%. Den absoluten Amplitudenfehler kann man vernachlässigen, da die Amplitude abklingt.

In Abbildung 4.6 ist eine Simulation zu sehen. Man erkennt die Einschwingvorgänge a) und das Rauschen b). Da die Fehlergrößen in gleicher Weise wie in der ereignisorientierten Simulation implementiert sind, erhält man die gleichen Ergebnisse jedoch bei 5 bis 10facher Simulationszeit. Da man hier die Verläufe besser beobachten kann und auch zeitkontinuierliche und gemischt zeitkontinuierliche und zeitdiskrete Systeme simuliert werden können, ist eine Implementierung durchaus sinnvoll. Ein weiterer Vorteil ist, dass die Differentialgleichungen nicht bis in den Zeitbereich gelöst werden müssen und man mit Transferfunktionen arbeiten kann.

Da die XSPICE-Implementierung in C und die CPPSim-Implementierung in C++ erfolgt, ist ein Transfer denkbar einfach. Es wurden alle Elemente implementiert, die auch im XSPICE-Simulator vorkommen. Fehler die durch die Ausführungsreihenfolge entstehen könnten wurden verringert, indem auch viele Verzögerungen nachgebildet wurden.

### 4.3 Ereignisorientierte Simulation

Eine erhebliche Reduktion des Simulationszeitaufwandes erreicht man, wenn man zeitdiskrete Simulationsblöcke auf Bauelementebene durch ihr ereignisorientiertes Äquivalent ersetzen kann. Die Ergebnisse müssen für diesen Block nun nur noch zu gegebenen Zeitpunkten sowie mit einem wesentlich einfacheren Algorithmus und ohne interne Knoten berechnet werden. Im Gegensatz zur Simulation auf Bauelementebene müssen in dieser Ebene jedoch die wesentlichen Fehlerquellen analytisch betrachtet werden.

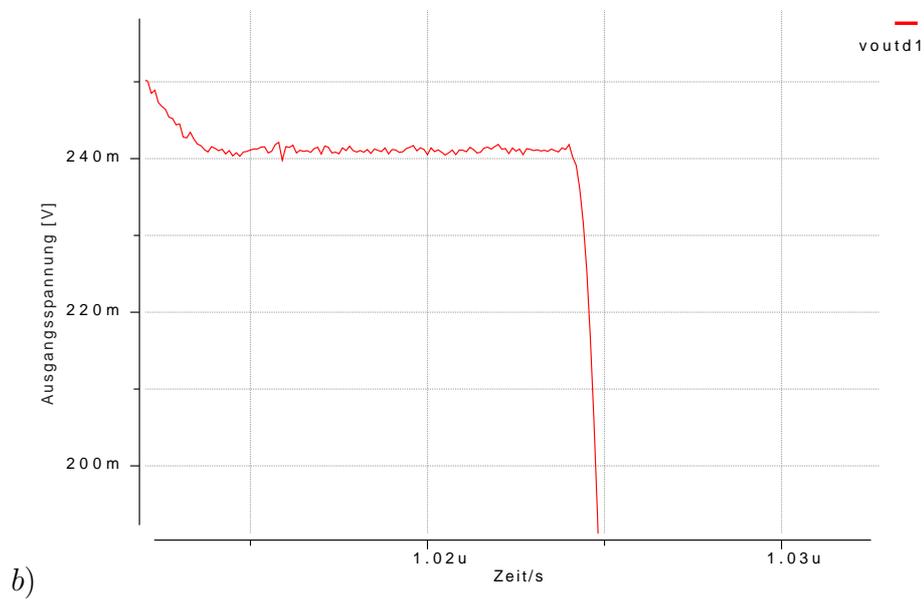
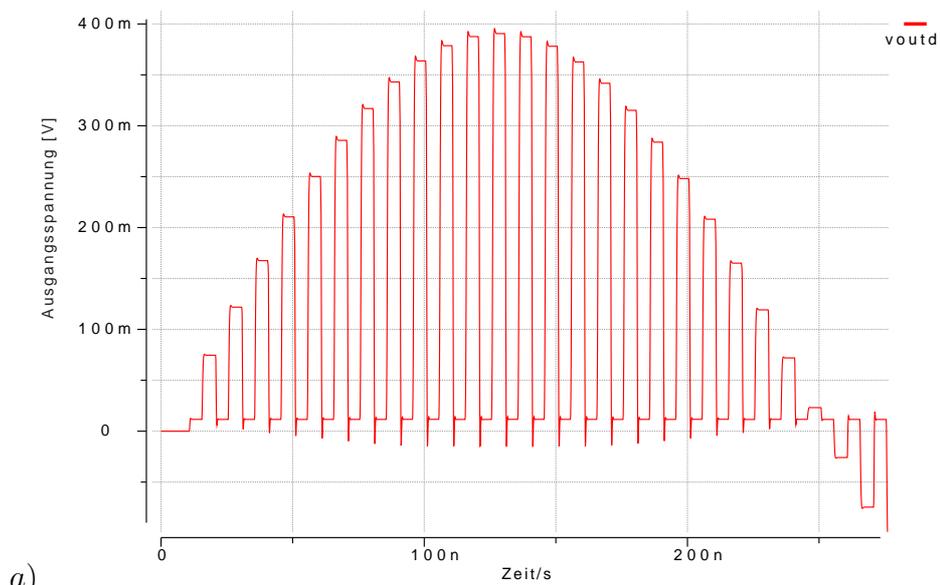


Abbildung 4.6: CPPSIM-Simulation eines Abtast- und Haltegliedes

Für die Übergänge zeitkontinuierlich→zeitdiskret und zeitdiskret→zeitkontinuierlich müssen Brückenelemente verwendet werden. Als Ereignisse werden bei einem Zweiphasensystem (siehe Abb. 4.7) die 0→1- und 1→0-Flanken der Takte  $\phi_1$  und  $\phi_2$  ausgewählt. Eine oft in dieser Arbeit benutzte Vereinfachung für die Erstellung der ereignisorientierten Systemsimulationselemente ist  $\phi_2 = \overline{\phi_1}$ . Beide Phasen müssen bei gemischten analogen und zeitdiskreten Elementen und bei Blöcken, die mit unterschiedlichen Phasen angesteuert werden, dennoch existieren. Es kann nur so garantiert werden, dass bei hintereinander geschalteten getakteten Elementen die Ausgangswerte zuverlässig vom folgenden Element am Eingang übernommen werden, da die Zeitphase  $\phi_2$  innerhalb von  $\overline{\phi_1}$  liegt. Auf die Synchronität innerhalb und zwischen den Blöcken muss im Speziellen geachtet werden, da die gesamte Taktphase in einem Punkt zusammengefasst wird und entsprechende Übertragungswerte zu diesem Zeitpunkt auch anliegen müssen. Dabei kann es dann zu Abweichungen, der hier vorliegenden zeitlichen Signalverläufe zu denen auf der Bauelementebene kommen. Um von der Schaltung auf der Systemsimulationsebene leicht zu einer möglichen Implementierung zu kommen, werden auch die Taktsignale  $\phi'_1$  und  $\phi'_2$  der Ereignisliste hinzugefügt. Dies erhöht nicht wesentlich die Simulationszeit, da die meisten zeitdiskreten Simulationselemente nur zu einer gewissen vordefinierten Taktflanke ausgeführt werden.

### 4.3.1 Modellierung des zeitdiskreten SC-Verstärkers

War es bei den zeitkontinuierlichen Makromodellen noch ausreichend, die Verhaltensbeschreibung aus Spice-Teilelementen zusammenzustellen, muss für die Erstellung von zeitdiskreten SC-Kodemodellen das Verhalten mathematisch beschrieben werden, da hier keine impliziten Integrationsmethoden zur Lösung, des durch Knotenanalyse erhaltenen Gleichungssystems verwendet werden. In den Kapiteln 3.3.2 und 3.4.2 wurden bereits die reale pseudostatische Nominalverstärkung  $G_{real}$ , der Einfluss des Kapazitätsmissverhältnisses und für einen einpoligen Verstärker das Einschwingverhalten bestimmt. Diese Berechnungen werden hier bis auf das Einschwingverhalten übernommen und das Einschwingverhalten neu bestimmt. Die differentiellen Signale des SC-Verstärkers werden auf Einzelsignale abgebildet und es gelte  $V_{in} = V_{in,d} = V_{in+} - V_{in-}$  und  $V_{out} = V_{out,d} = V_{out+} - V_{out-}$ . Somit gilt rückführend mit einer vorgegebenen Ausgangsgleichtaktspannung  $V_{o,CM}$ :

$$V_{out+} = V_{o,CM} + \frac{V_{out}}{2}$$

und

$$V_{out-} = V_{o,CM} - \frac{V_{out}}{2}.$$

Mit einer Zufallszahlengeneratorfunktion  $\eta$ , die Zufallszahlen in einer Normalverteilung (Standardabweichung=1) erzeugt, kann jede einzelne Kapazität in ihrer Zufallsverteilung bestimmt werden.

$$C'_F = C_F + \sigma_{\frac{\Delta C}{C}}|_{1pF} \cdot \sqrt{\frac{1pF}{C_F}} \cdot \eta() \quad (4.6)$$

$$C'_S = C_C + \sigma_{\frac{\Delta C}{C}}|_{1pF} \cdot \sqrt{\frac{1pF}{C_S}} \cdot \eta() \quad (4.7)$$

Nun können die Kennwerte aus dem Kap. 3.3.2 bestimmt werden. Im Folgenden soll für die Modellierung eines Einschwingvorganges mit einem einpoligen Vorwärtsglied das Zeitverhalten ermittelt werden. Für das Einschwingen steht die Haltephase  $\phi_2$  (Abb. 4.7) zur Verfügung.

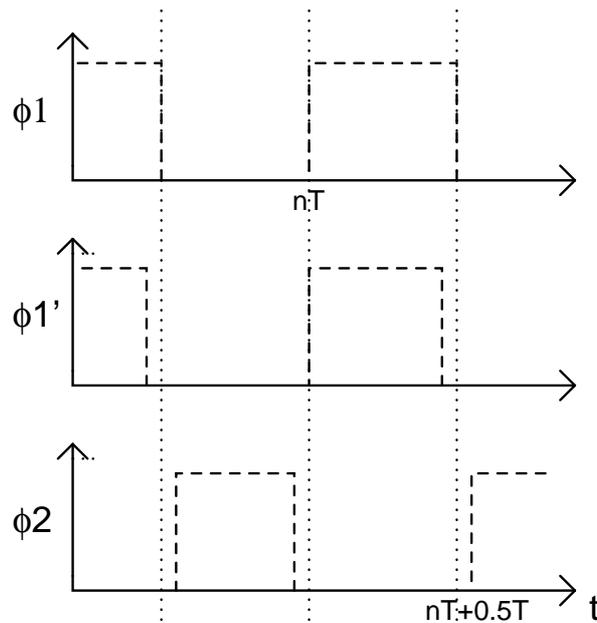


Abbildung 4.7: Taktregime

In der Systemsimulation kommt  $\phi_1'$  nicht vor. Die Werte sind nur in den Taktphasen  $T_{\phi_1}$  und  $T_{\phi_2}$  gültig und ändern sich nur an den Flanken der jeweiligen Takte. Besitzt das System keinen durch eine Slewrate begrenzten Einschwinganteil, so kann die Ausgangsspannung einfach bestimmt werden:

$$V_{out} \left( nT + \frac{1}{2}T \right) = V_{in}(nT) \cdot G_{real} \cdot \left( 1 - e^{-\frac{T_{\phi_2}}{\tau}} \right). \quad (4.8)$$

Besitzt das System eine Slewrates und ist die Steigung des durch ein rein lineares System bedingtes Einschwingen größer als die Slewrates, so besitzt der Einschwingvorgang einen Slewrates-bedingten Zeitanteil. Nach [90] kann man aus der Bedingung, dass das nichtlineare und lineare Einschwingen stetig ineinander übergehen muss, die durch die Slewrates bedingte Zeit am Einschwingvorgang abschätzen:

$$|SR| \cdot t_{slew} = G_{real} \cdot \left| V_{in}(nT) - V_{in}\left(nT - \frac{T}{2}\right) \right| \left( 1 - \frac{|SR| \cdot \tau}{\left| V_{in}(nT) - V_{in}\left(nT - \frac{T}{2}\right) \right|} \right) \quad (4.9)$$

$$t_{slew} \approx \frac{G_{real} \left| V_{in}(nT) - V_{in}\left(nT - \frac{T}{2}\right) \right|}{|SR|} - \tau \quad (4.10)$$

Ob ein Slewrates-bedingter Zeitanteil vorliegt, kann durch  $t_{slew} > 0$  geprüft werden. Sollte jedoch  $t_{slew} < 0$  sein, muss  $t_{slew} = 0$  und  $SR = V_{in}(nT) \cdot G_{real} \cdot \tau^{-1}$  gesetzt werden. Für die hier verwendete Struktur gilt  $V_{in}\left(nT - \frac{T}{2}\right) = 0$ . In der Zeitspanne  $t_{slew}$  ist:

$$V_{out}(t) = \text{sgn}(V_{in}(nT)) \cdot |SR| \cdot \left( t - nT - \frac{1}{2}T \right). \quad (4.11)$$

Für den anschließenden Zeitbereich gilt dann:

$$V_{out}(t) = V_{in}(nT) \cdot G_{real} \left( 1 - \frac{|SR| \cdot \tau}{\left| V_{in}(nT) \right| \cdot G_{real}} e^{-\frac{t - nT - \frac{1}{2}T - t_{slew}}{\tau}} \right). \quad (4.12)$$

Sollte  $T_{\phi_2} < t_{slew}$  sein, muss nur Gl. 4.11 herangezogen werden. Im anderen Falle benötigt man Gl. 4.12.

### Dynamisches Verhalten unter der Verwendung zweipoliger Verstärker

Ein realer Operationsverstärker besitzt jedoch nicht zu vernachlässigende nicht-dominierende Pole und eventuell zusätzliche Nullstellen. Für die Systemsimulation wird des Weiteren nur noch ein Zweipolssystem mit einem reellem Rückkopplungsnetzwerk [6, 90, 22] untersucht. In [6] wird dieses System ohne nichtlineares Einschwingverhalten und in [90, 22] mit einer nicht-stetigen Lösung oder unvollständig beschrieben.

Im Folgenden wird die Größe  $\Phi_D = \text{Arg}(-A(j\omega_{0dB}))$  (Phasenabstand zu  $-180^\circ$  des Vorwärtsgliedes bei  $\omega_{0dB}$ ) als Systemsimulationsgröße hinzugefügt, Gleichung 4.12 modifiziert und  $t_{slew}$  neu ermittelt. Im Folgenden seien  $\omega_1$  und  $\omega_2$  die Pole des Vorwärtsgliedes und  $\omega_2 \gg \omega_1$ . Es reicht jedoch für die Rechnung  $\omega_{0dB} = 2\pi f_{0dB}$  (0-dB Kreisfrequenz des Vorwärtsgliedes) und  $A_0$  (Leerlaufverstärkung des Vorwärtsgliedes) zusätzlich zu kennen. Die Kennwerte

$A_0$ ,  $\Phi_D$  und  $\omega_{0dB}$  lassen sich aus einer AC-Simulation des Vorwärtsgliedes (z.B. Operationsverstärker) mit der zugehörigen Last und am entsprechenden Arbeitspunkt bestimmen.

$$\Phi_D = 90^\circ - \frac{180^\circ}{\pi} \cdot \tan^{-1} \left( \frac{\omega_{0dB}}{\omega_2} \right) \Rightarrow \omega_2 = \frac{2\pi f_{0dB}}{\tan \left( \frac{\pi(180^\circ - \Phi_D)}{180^\circ} \right)} \quad (4.13)$$

$$\omega_1 = \frac{\omega_{0dB}}{A_0} \cdot \sqrt{1 + \tan^2 \left( \frac{\pi}{2} - \Phi_D \right)} \quad (4.14)$$

Das Vorwärtsglied wird in zwei einpolige Elemente (Abb. 4.8) aufgeteilt, dessen Übertragungsfunktion ist

$$A(s) = \frac{A_{1,0} \cdot A_{2,0}}{\left(1 + \frac{s}{\omega_1}\right) \cdot \left(1 + \frac{s}{\omega_2}\right)}. \quad (4.15)$$

Die Leerlaufverstärkung des Vorwärtspfades  $A_0$  ist  $A_{1,0} \cdot A_{2,0}$ .

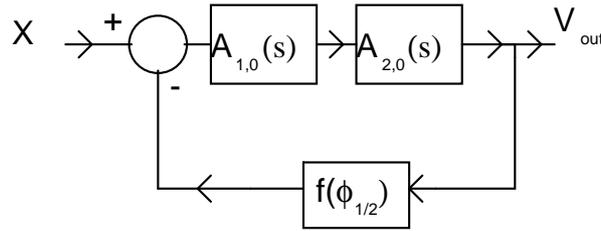


Abbildung 4.8: Kleinsignalbetrachtung der zweistufigen Verstärkerstufe mit Rückkopplung

Betrachtet man den Slewrate-bedingten Zeitbereich, so kann der Ausgangsspannungsverlauf im Zeitbereich und die Bedingungen dafür aus den Berechnungen für ein einpoliges System übernommen werden. Sollte jedoch  $t_{slew} < 0$  sein, muss auch hier im folgenden  $SR = V_{in}(nT) \cdot G_{real} \cdot \omega_{0dB}$  gesetzt werden. Es gilt weiterhin, dass  $t_{slew} \approx \frac{G_{real}|V_{in}(nT)|}{|SR|} - \frac{1}{\omega_1 A_0}$  ist. Die Kleinsignalübertragungsfunktion des Gesamtverstärkers ist:

$$\mathcal{G}(s) = \frac{\mathcal{G}(0) \cdot \omega_0^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} = \frac{\mathcal{G}(0)}{\frac{s^2}{\omega_0^2} + \frac{2\delta}{\omega_0} s + 1}. \quad (4.16)$$

$$\omega_0 = \sqrt{\omega_1 \omega_2 (1 + f \cdot A_0)} \quad (4.17)$$

$$\delta = \frac{1}{2} \frac{\frac{1}{\omega_1} + \frac{1}{\omega_2}}{\sqrt{\frac{1}{\omega_1 \omega_2} (1 + f \cdot A_0)}} \quad (4.18)$$

Oben wurde vorausgesetzt, dass  $\omega_1 \ll \omega_2$  ist, somit lässt sich  $\delta$  nähern zu

$$\delta \approx \frac{1}{2} \sqrt{\frac{\omega_2}{\omega_1(1 + f \cdot A_0)}}. \quad (4.19)$$

Die Polstellen der Übertragungsfunktion des Gesamtverstärkers liegen bei

$$s_{1,2} = -\delta\omega_0 \pm \omega_0\sqrt{\delta^2 - 1}. \quad (4.20)$$

Sei nun  $t^* = t - nT - \frac{1}{2}T - t_{slew}$ . Unter dem komplexen Lösungsansatz

$$e^{-\delta\omega_0} \left( A \cdot e^{i\omega_0\sqrt{1-\delta^2}t^*} + B \cdot e^{-i\omega_0\sqrt{1-\delta^2}t^*} \right)$$

werden im Folgenden drei Fälle unterschieden und deren Lösung im Zeitbereich aufgelistet. Des Weiteren wird davon ausgegangen, dass die Lösungsfunktion mindestens einmal stetig differenzierbar ist.

$$V_{out}^{slew}(t^* = 0) = V_{out}^{lin}(t^* = 0) \quad (4.21)$$

$$\frac{d}{dt}V_{out}^{slew}(t^* = 0) = \frac{d}{dt}V_{out}^{lin}(t^* = 0) \quad (4.22)$$

1. Unterdämpftes System ( $0 < \delta < 1$ )

$$\omega_d = \omega_0\sqrt{1 - \delta^2} \quad (4.23)$$

$$V_{out}(t) = V_{in}(nT) \cdot G_{real} \cdot \left( 1 - \frac{|SR|}{G_{real}|V_{in}(nT)|\omega_1 A_0} e^{-\delta\omega_0 t^*} \cdot \left( \frac{\delta}{\sqrt{1-\delta^2}} \sin(\omega_d t^*) + \cos(\omega_d t^*) \right) \right). \quad (4.24)$$

Für die Erstellung einer stetig differenzierbaren Lösung führen wir  $\psi$  ein und erhalten

$$V_{out}(t) = V_{in}(nT) \cdot G_{real} \cdot \left( 1 - \frac{|SR|}{\sin(\psi)G_{real}|V_{in}(nT)|\omega_1 A_0} e^{-\delta\omega_0 t^*} \cdot \sin(\omega_d t^* + \psi) \right). \quad (4.25)$$

Setzt man die Funktionswerte und die ersten Ableitungen der Funktion  $V_{out}(t)$  zu beiden Seiten von  $t_{slew}$  gleich, kann  $t_{slew}$  (zur Verifikation) und  $\psi$  bestimmt werden:

$$t_{slew} \approx \frac{G_{real}|V_{in}(nT)|}{|SR|} - \frac{1}{\omega_1 A_0} \quad (4.26)$$

$$\psi = \pi - \tan^{-1} \frac{\delta}{\sqrt{1 - \delta^2}}. \quad (4.27)$$

2. Kritisch gedämpftes System ( $\delta = 1$ )

$$V_{out}(t) = V_{in}(nT)G_{real} \left(1 - \frac{|SR|(1 + \omega_0 t^*)}{G_{real}|V_{in}(nT)|\omega_1 A_0} e^{-\omega_0 t^*}\right) \quad (4.28)$$

$$t_{slew} \approx \frac{G_{real}|V_{in}(nT)|}{|SR|} - \frac{1}{\omega_1 A_0} \quad (4.29)$$

 3. Überdämpftes System ( $\delta > 1$ )

$$\omega_d = \omega_0 \sqrt{\delta^2 - 1} \quad (4.30)$$

$$V_{out}(t) = V_{in}(nT) \cdot G_{real} \cdot \left(1 - \frac{|SR|}{2\omega_1 A_0 G_{real} |V_{in}(nT)| \sqrt{\delta^2 - 1}} \cdot \left(\frac{1}{(\delta - \sqrt{\delta^2 - 1})} e^{-\omega_0(\delta - \sqrt{\delta^2 - 1})t^*} - \frac{1}{(\delta + \sqrt{\delta^2 - 1})} e^{-\omega_0(\delta + \sqrt{\delta^2 - 1})t^*}\right)\right) \quad (4.31)$$

Wie beim unterdämpften System lässt sich nun Gleichung 4.31 anders darstellen

$$V_{out}(t) = V_{in}(nT) \cdot G_{real} \cdot \left(1 - \frac{|SR|}{G_{real}|V_{in}(nT)|\omega_1 A_0 \cdot \sinh(\psi)} e^{-\delta\omega_0 t^*} \cdot \sinh(\omega_d t^* + \psi)\right) \quad (4.32)$$

Es lassen sich die fehlenden Werte ( $t_{slew}$  und  $\psi$ ) bestimmen:

$$t_{slew} \approx \frac{G_{real}|V_{in}(nT)|}{|SR|} - \frac{1}{\omega_1 A_0} \quad (4.33)$$

Leider lässt sich in diesem Fall für  $\psi$  keine analytische Lösung finden, aber näherungsweise gilt:

$$\psi \approx \ln \left( \frac{1 + \sqrt{2}}{(\delta - \sqrt{\delta^2 - 1})} \right) \quad (4.34)$$

In Abbildung 4.9 ist das unterschiedliche Einschwingverhalten in Abhängigkeit von  $\Phi_D$  und vom Rückkopplungsfaktor ( $f$ ) dargestellt.

Man erkennt, dass der Übergang zwischen nichtlinearen und linearen Einschwingen stetig und stetig differenzierbar ist. Die Abbildung zeigt zudem, dass man den Phasenrand (phase margin) des Gesamtsystems ( $\Phi_M = \text{Arg}(-f(j \cdot \omega_{0dB}^G) \cdot A(j \cdot \omega_{0dB}^G))$  mit  $\omega_{0dB}^G \equiv 0\text{dB}$ -Kreisfrequenz des Gesamtsystems) berechnen muss, um Aussagen über die Einschwingzeit und die Stabilität treffen zu können. So garantiert, bei einem Rückkopplungsfaktor von 1,  $\Phi_D = 70^\circ$  in der dargestellten Auswahl die kürzeste Einschwingzeit (z.B. auf 12 Bit), während jedoch bei  $f=0.5$   $\Phi_D = 60^\circ$  sinnvoller ist, da das Gesamtsystem bei

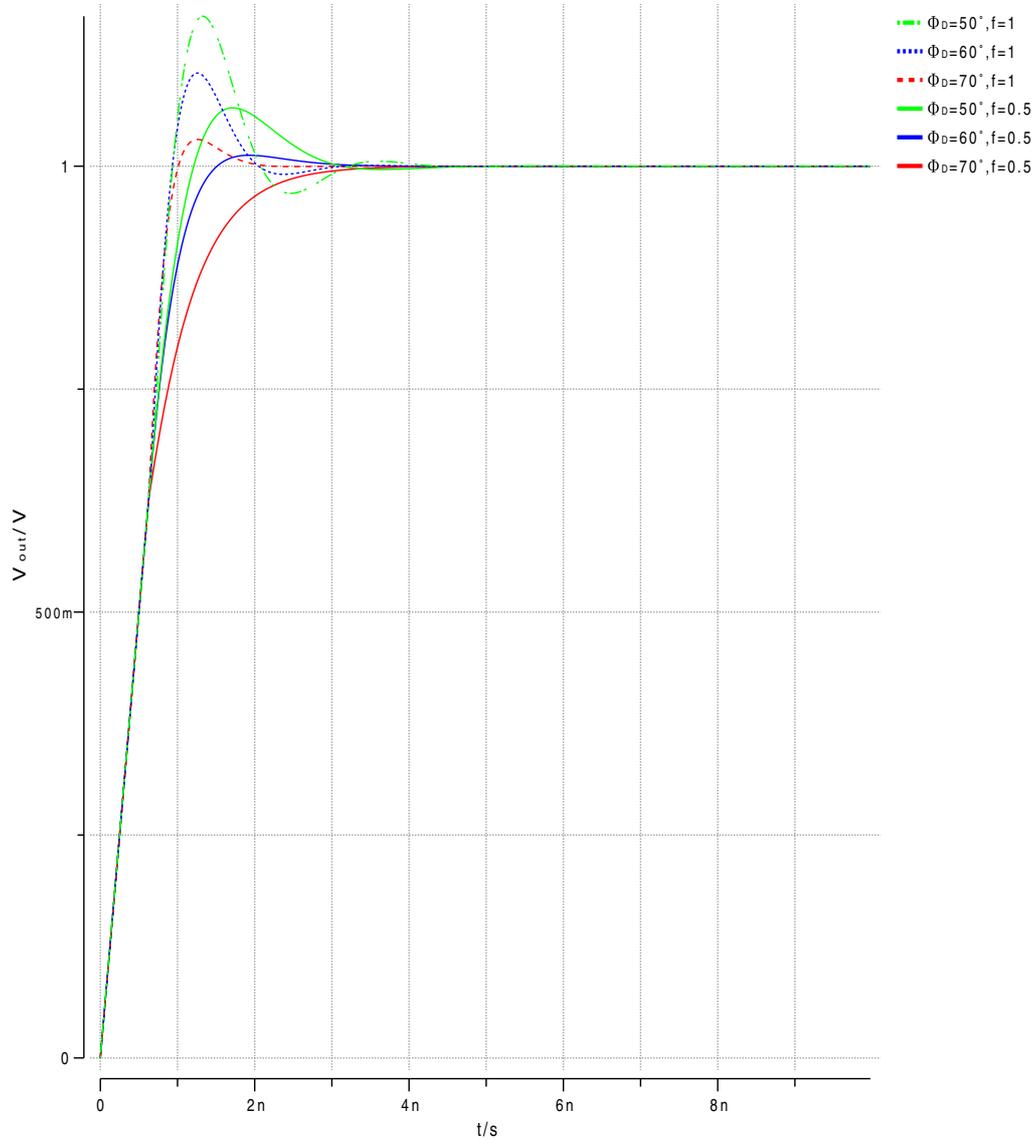


Abbildung 4.9: Einschwingen eines zweipoligen Verstärkers  
 ( $V_{in} = 1V$ ,  $G_{real} = 1$ ,  $SR = 1000 \cdot 10^6 \frac{V}{s}$  und  $A_0 = 8000$ )

$\Phi_D = 70^\circ$  nun überdämpft reagiert.

Der Phasenrand  $\Phi_M$  lässt sich ohne weiteres aus dem Dämpfungsfaktor  $\delta$

bestimmen

$$\Phi_M = 90^\circ - \frac{180^\circ}{\pi} \cdot \tan^{-1} \left( \frac{\omega_{0dB}^G}{\omega_2} \right) \quad (4.35)$$

$$\Rightarrow \Phi_M = 90^\circ - \frac{180^\circ}{\pi} \cdot \tan^{-1} \left( \frac{1}{2\delta\sqrt{\sqrt{4\delta^4 + 1} + 2\delta^2}} \right). \quad (4.36)$$

Die Herleitung findet sich in [6].

$\Phi_D$	f	$\Phi_M$
50°	0.5	65.75°
60°	0.5	73.87°
70°	0.5	80.21°

Tabelle 4.2: Phasenrand( $\Phi_M$ ) eines zweipoligen Systems in Abhängigkeit vom Rückkopplungsfaktor(f) und des Phasenrandes des Vorwärtsgliedes ( $\Phi_D$ ) mit  $A_0 = 80dB$  in einer f=1 Konfiguration

Man kann somit den Operationsverstärker in einer Simulationskonfiguration mit f=1 gestalten und den Phasenrand der Zielschaltung nach Gleichung 4.36 bestimmen. Es muss jedoch getrennt auf die Gleichtaktschleife und eventuelle Zurücksetzphasen geachtet werden, in denen der Rückkopplungsfaktor in der Zielkonfiguration in der Regel nahe eins ist. Durch das Zuschalten von einer Kapazität zu der Kompensationskapazität kann auch für diese Phasen das System stabil gehalten werden. Es ist jedoch immer sinnvoll die Sprungantworten der Zielschaltung unter den möglichen Lastkonditionen und Eckbedingungen(Corners) zu simulieren, um die Stabilität zu garantieren. Im Pipeline A/D-Wandler wurde dieser nicht unity-gain-stabile Operationsverstärker für die MXk(k=2,4,8,...)-Stufen eingesetzt, da für diese f<0.5 ist.

### Nachbildung des Rauschen der SC-Verstärkerstufe

Nach Gl. 3.37 und Gl. 3.39 mischt sich das thermische Rauschen in SC-Verstärkern und SC-Abtast- und Haltegliedern in der Regel in Pipeline A/D-Wandlern nahezu vollständig ins Nutzband. Das differentielle Ausgangsrauschen der Stufe wird über die Rauschverstärkung  $\frac{1}{f}$  und einen Gaußzufallszahlengenerator  $\eta(t, dt)$  mit dem Erneuerungsintervall  $dt$  abgeschätzt. In der Phase  $\phi_1$  wird das Eingangssignal nur passiv auf  $C_S + C_F$  abgetastet, während in der Phase  $\phi_2$  dieses Rauschen in Kombination mit dem Rauschen des Operationsverstärkers (Spektrale Rauschleistungsdichte am Eingang  $S_i(f)$

und total integrierte Rauschspannung am Ausgang  $v_{o,noise}(f)$ ) auf den Ausgang abgebildet.  $\phi_2$  stellt in einer Kette die Abtastphase für die nächste SC-Verstärkerstufe dar. Die Schalter werden so dimensioniert, dass sie keinen großen Rauschanteil haben. Das  $1/f$ -Rauschen kann in der Regel gegenüber dem thermischen Rauschen ebenfalls vernachlässigt werden, da die Operationsverstärker, die hier Verwendung finden sollen, eine hohe Bandbreite haben. Die Kleinsignalübertragungsfunktion des verwendeten Operationsverstärkers mit Feedback zur Phase ( $\phi_2$ ) ist durch  $\mathcal{G}_{\phi_2}(f)$  gegeben.

$$v_{o,noise}(t) \approx \sqrt{\int_0^\infty v_{o,noise}^2(f) \, df} \cdot \eta(t, dt) \quad (4.37)$$

$$v_{o,noise}(t) \approx \sqrt{\left( \frac{2 \cdot k_B \cdot T}{C_S + C_F} \cdot f^{-2} + \int_0^\infty S_i(f) \cdot \mathcal{G}_{\phi_2}^2(f) \cdot df \right)} \cdot \eta(t, dt). \quad (4.38)$$

Oft wird die Rauschbandbreite des Operationsverstärkers ( $BW_n$ ) und die eingangsbezogene spektrale Rauschleistungsdichte des Operationsverstärkers (z.B.  $S_i|_{1MHz}$ ) an einem Punkt verwendet.

$$v_{o,noise}(t) \approx \sqrt{\left( \frac{2 \cdot k_B \cdot T}{C_S + C_F} + S_i|_{1MHz} \cdot BW_n \right)} \cdot f^{-1} \cdot \eta(t, dt) \quad (4.39)$$

Eine weitergehende Betrachtung erfolgt in Kapitel 3.3.2.

### 4.3.2 Simulation komplexer Systeme im Zeitdiskreten

Die Umsetzung von komplexen Blöcken in ihr zeitdiskretes Äquivalent, wie beispielsweise ein Pipeline A/D-Wandler auf Systemebene, wird im Folgenden kurz beschrieben. Er enthält am Eingang ein dem Abtast- und Halteglied äquivalentes Brückenelement mit einem modellierten Einschwingverhalten und thermischen Rauschen. Dieses Brückenelement wandelt ein zeitkontinuierliches Analogsignal in ein zeitdiskretes Signal mit reellem Wertebereich um.

Auch die Taktsignale  $\phi_1$  und  $\phi_2$  müssen aus dem Zeitkontinuierlichen in das Zeitdiskrete mit digitalem Wertebereich gewandelt werden.

Die Pipeline Stufe ist in Abb. 4.11 a) skizziert und enthält nur zeitdiskrete Elemente.

Jede Pipeline Stufe  $i$  wandelt das eingehende zeitdiskrete Signal in  $m_i^*$ -Bit pro Stufe mit abwechselnden Taktphasen ( $\phi_1$  und  $\phi_2$ ). Je nach Redundanz

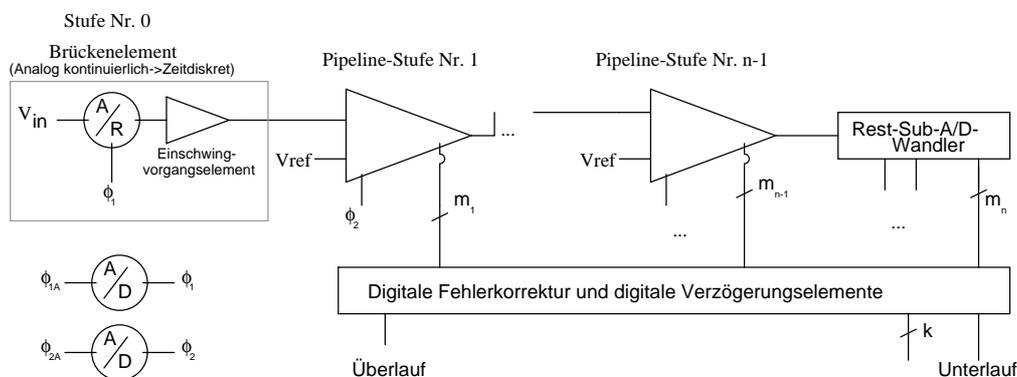
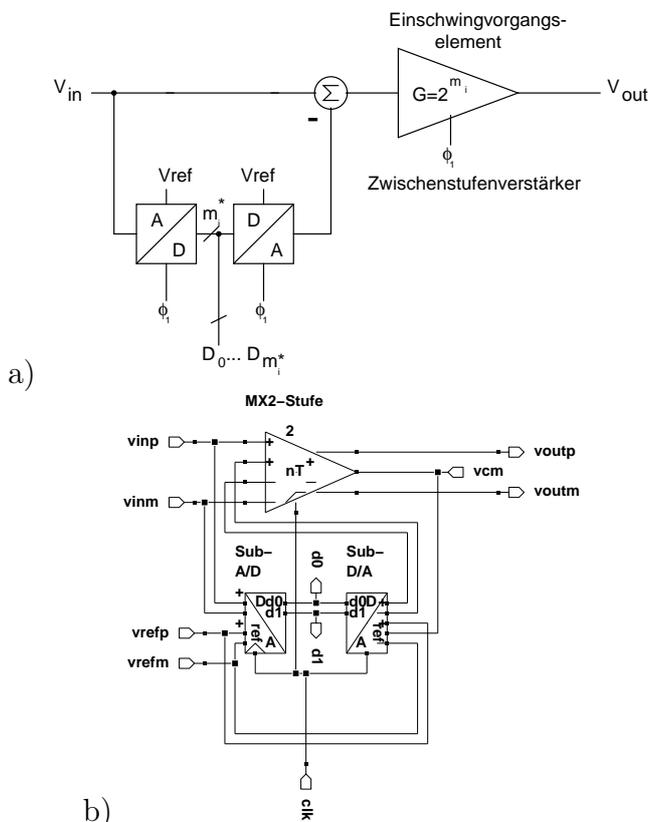


Abbildung 4.10: Pipeline A/D-Wandler auf Systemebene

kann  $m_i^* \geq m_i$  sein. Der Sub-A/D-Wandler wird klassisch über eine Komparatorbank realisiert. Hierfür wurde ein zeitdiskretes Komparatormodell erstellt. Der Sub-D/A-Wandler wird hier über eine einfache Kombination aus zeitdiskreten Digital-„Real“-Brücken und einem Additionselement realisiert. Zu erwähnen ist, dass in XSPICE im Zeitdiskreten kein Additionselement nötig ist, da die Knotenverbindung automatisch diese Funktion erfüllt. Die XSPICE-Implementation wurde so realitätsnah wie möglich erstellt. Da eine zeitdiskrete Beschreibung gewählt wurde, wurden auch die Fehlerquellen (z.B. Offsets und Verzögerungszeit) ereignisorientiert implementiert. Die jeweiligen Offsets und Kapazitätsmissverhältnisse werden zudem über einen Gaußzufallszahlengenerator bestimmt. Auf diese Weise sind dann „Monte-Carlo“-Simulationen möglich. Eine XSPICE-Implementation einer 1.5-Bit Pipeline Stufe ist in Abb. 4.11 b) dargestellt. Für die 1.5-Bit und 2.5-Bit Versionen der Sub-A/D-Wandler und Sub-D/A-Wandler wurde eine direkte XSPICE-Implementation unter Berücksichtigung der Fehlerquellen einer möglichen realen Implementation gewählt. Das Prinzip des Pipeline A/D-Wandlers wurde bereits in Kapitel 2 beschrieben. In Abbildung 4.14 ist an dieser Stelle ein Testvehikel dargestellt, das implementiert wurde, um dort den Einfluss der unterschiedlichen Fehlerquellen zu untersuchen oder die analytischen Betrachtungen zu verifizieren. Die XSpice-Implementierung eignet sich auch gut, um die Funktionalität einer angedachten Struktur zu überprüfen. So kann im Vorhinein untersucht werden, ob gewisse Schwellen und Referenzspannungen richtig gewählt wurden. In den Abbildungen 4.12 und 4.13 werden einige Simulationsausgangssignale dargestellt. Auf der Basis einer XSPICE-Implementierung eines N-Bit-A/D-Wandlers kann eine FFT vom digitalen N-Bit Ausgangssignal ausgeführt und so Kennwerte wie SNR,



b)

Parameter	Wert
gain	2
$A_0$	72dB
$f_T$	200MHz
Slewwrate	$100 \frac{V}{\mu s}$
Capacitor Mismatch $\sigma_{\frac{\Delta C}{C}}$	0.1%
$C_S + C_F$	4pF
$v_{out,min}$	0.3V
$v_{out,max}$	0.9V
$\sqrt{v_{in,tot}^2}$	$100 \mu V$
$\phi_D$	55
$f_{\phi_2}$	0.45
$v_{comp,offset}$	100mV
$v_{opamp,offset}$	20mV

c)

Abbildung 4.11: Pipeline Stufe a), b) die 1.5-Bit XSPICE-Implementation und c) deren Parametersatz

SFDR, THD und SINAD bestimmt werden.

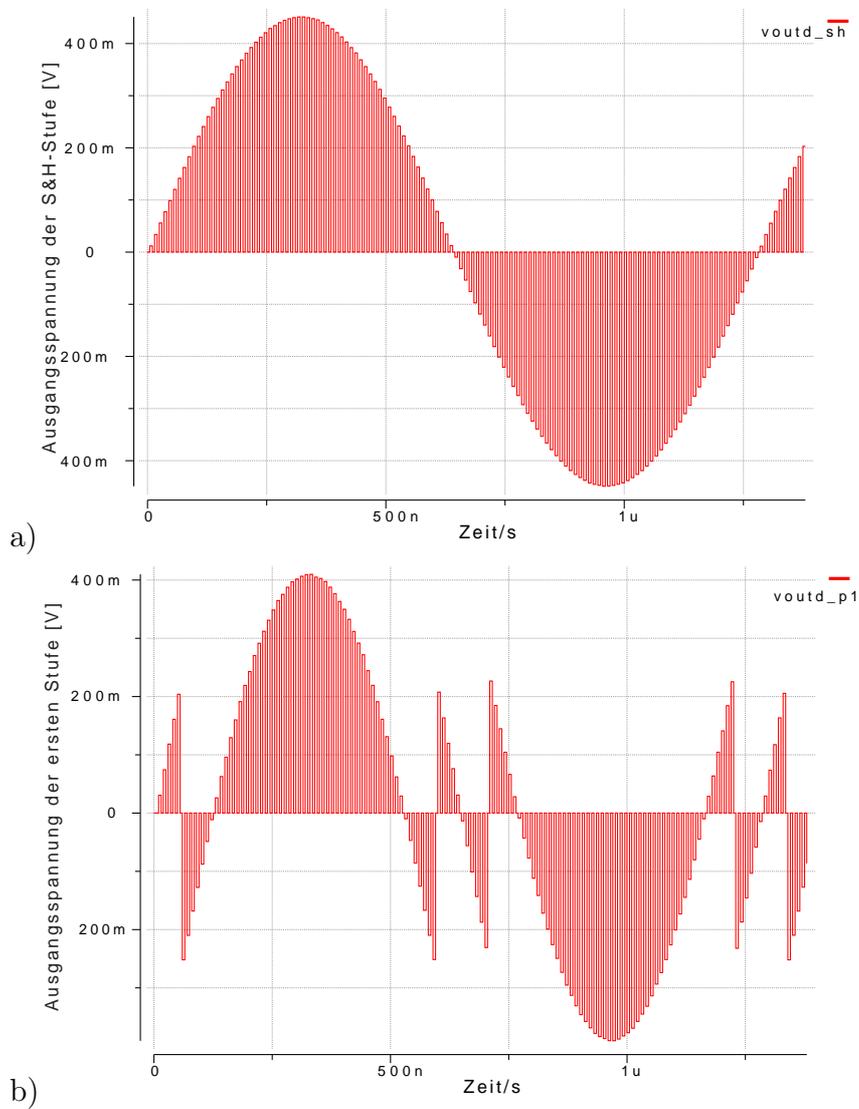


Abbildung 4.12: XSPICE-Simulation eines 12-Bit Pipeline A/D-Wandlers mit 1.5 Bit pro Stufe  
 Dargestellte differentielle Ausgangssignale: a) S&H und b) 1.Pipeline Stufe

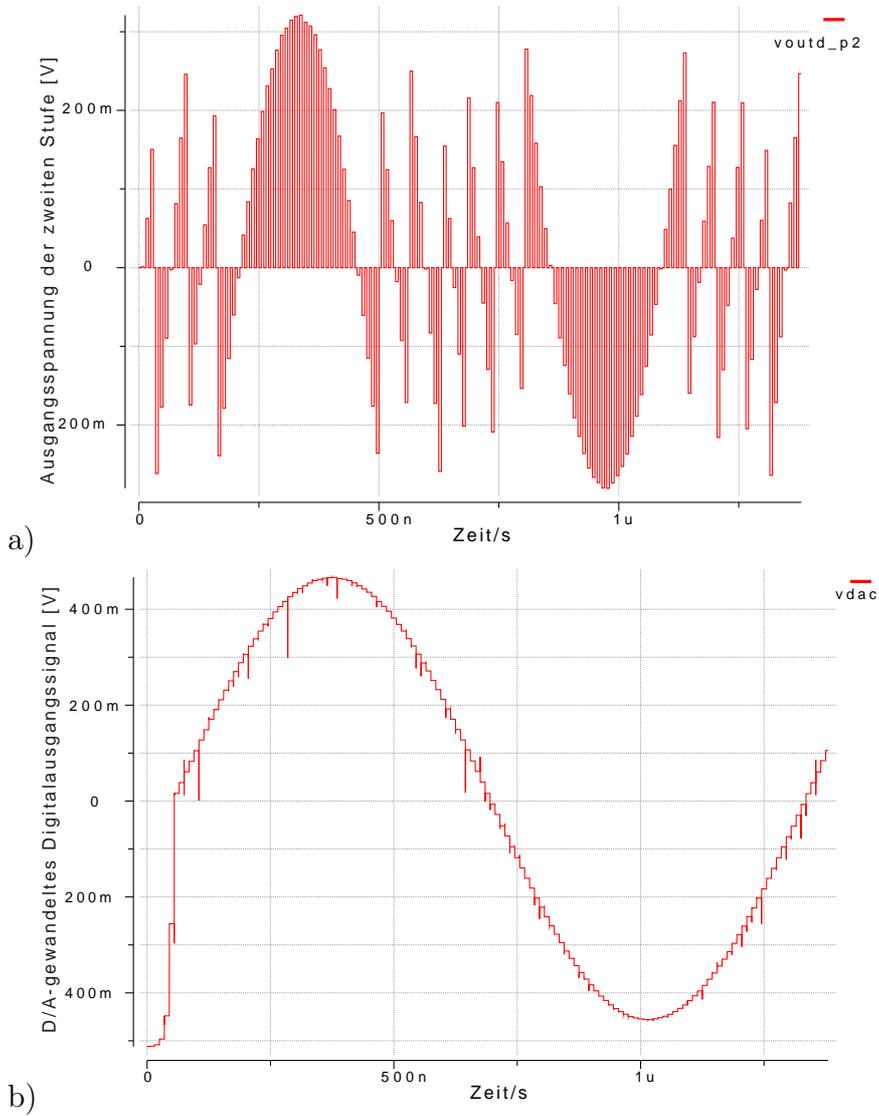


Abbildung 4.13: XSPICE-Simulation eines 12-Bit Pipeline A/D-Wandlers mit 1.5Bit pro Stufe  
 Dargestellte differentielle Ausgangssignale: a) 2.Pipeline Stufe und b) D/A-Wandler-Ausgang zur FFT-Bestimmung

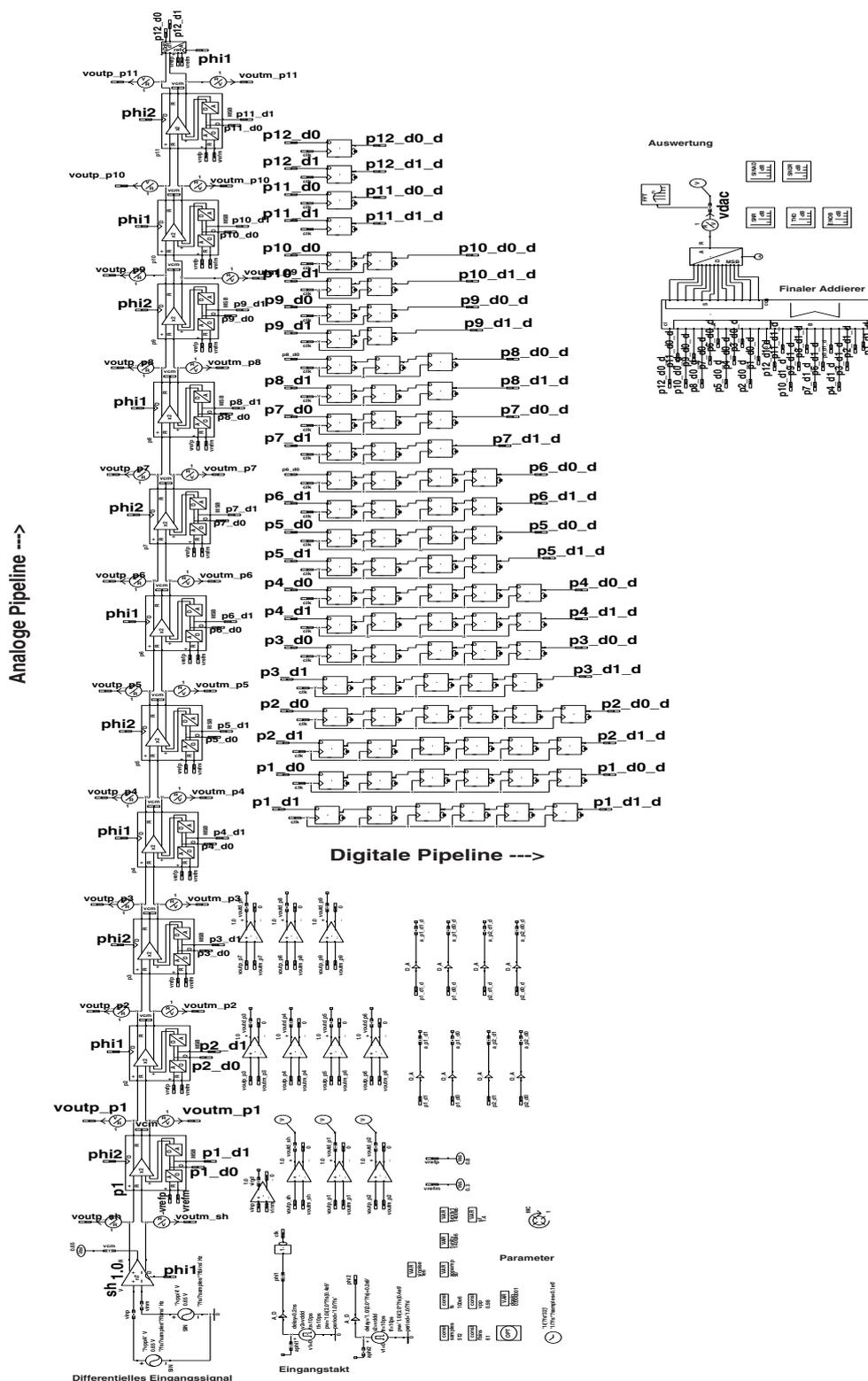


Abbildung 4.14: XSPICE-Implementation eines 12-Bit Pipeline A/D-Wandlers

# Kapitel 5

## Analoge Schaltungen und deren Synthese

### 5.1 Einleitung

Nachdem mit den im vorhergehenden Kapitel dargestellten Elementen ein komplexes System auf Verhaltensebene simuliert und somit auch optimiert werden kann, müssen nun die Systemelemente ihrerseits auf der Bauelementebene realisiert werden und unter Zuhilfenahme der Systemsimulationsparameter optimiert werden. Dazu werden ausgewählte Schaltungen dargestellt, deren Kennwerte abgeschätzt und es wird gezeigt, wie man zu einer Dimensionierungsvorschrift kommt, die als Startpunkt einer nichtlinearen Optimierung dienen kann.

### 5.2 Numerische Hilfsmittel und Modelle

Für die Dimensionierung von analogen Schaltungen wurden unterschiedliche Methoden implementiert.

- Analog-Master Template: Es existiert eine von Hand optimierte Schaltung in einer Mustertechnologie und unter Musterkonditionen. Diese Schaltung wird dann über den Simulator relativ zueinander skaliert und lokal optimiert.
- Unter-bestimmtes Analog-Master Template: Es existiert eine Schematische Zeichnung mit sinnvoller Variablenreduktion. Diese Schaltung wird mit den Zielen  $Z_i$  global optimiert [5].

- Algorithmisches Template: Für jeden Transistor wird für die gewünschten Ziele ein funktioneller Zusammenhang hergestellt und über den Simulator dimensioniert. Die so dimensionierte Schaltung kann dann lokal optimiert werden.

### 5.2.1 Optimierung

Auf die numerische Optimierung kann hier nur sehr kurz eingegangen werden, da sie ein eigenes wissenschaftliches Feld darstellt. Für niedrigdimensionale Parameterräume können direkte Suchverfahren, das heißt Verfahren ohne Gradientenbestimmung, sinnvoll eingesetzt werden. Diese Verfahren wurden implementiert und für Hilfsfunktionen wie in Tabelle 5.1 eingesetzt.

Funktion	Parameter
wstripe= getsatmoswstripe_for_fixedidsvdsat	type,length, $I_{DS},v_{DS,sat},$ $v_{DS},v_{BS},n_F$
wstripe= getsatmoswstripe_for_fixedidsgm	type,length, $I_{DS},g_m,$ $v_{DS},v_{BS},n_F$
$\{wstripe1, wstripe2, length1, length2,$ $n_{F,b}\}=\text{dim\_wideswingcurrentmirror}$	type, $I_{DS,bias},v_{DS,sat},M1,v_{DS,sat},M2,$ $f_{2,min},C_{source},M2,add,n_{F,bias},n_{F,amp}$

Tabelle 5.1: Beispiele der Hilfsfunktionen mit Spice-Simulationsdimensionierung und lokaler Optimierung

Üblicherweise sind n-dimensionale Optimierungsalgorithmen nicht auf bestimmte Intervalle  $x_i \in (a_i, b_i)$  mit  $n \in (1, n)$  beschränkt. Eine Möglichkeit diese Beschränkung zu implementieren ist die Variablentransformation

$$\psi_i = \sin^{-1} \sqrt{\frac{x_i - a_i}{b_i - a_i}} \quad (5.1)$$

und die Rücktransformation

$$x_i = a_i + (b_i - a_i) \sin^2 \psi_i. \quad (5.2)$$

Diese Transformation wurden unter anderem in ein Simplex-Optimierungsverfahren (direktes Suchverfahren nach [26]) implementiert. Die Eingangsvariablen wurden zudem normiert, damit die Schrittweitenkontrollen der Optimierungsverfahren sinnvoll bleiben, da diese in der Regel für jeden Parameter einen ähnlichen Wertebereich verlangen.

Die Kostenfunktion  $K = \sum K_i$  mit den Zielen  $Z_i$  und den Ist-Werten  $I_i(x_{1,i}, \dots, x_{N,i})$  wird folgendermaßen aufgestellt:



Modell verwendeten Parameter auch gefittet wurden.  
Es wurden weiterhin folgende Annahmen getroffen:

1. Die Weite  $W$  ist nur ein Skalierfaktor.
2. Für kleine  $|v_{GS} - v_{th}|$  ( $< \frac{V(V_{dd}) - V(gnd)}{8}$ ) und kleine  $|v_{DS}|$  ( $< \frac{V(V_{dd}) - V(gnd)}{2}$ ) lassen sich die Langkanaltransistorformeln mit längenabhängigen Größen und der Kanallängenmodulation oft noch näherungsweise anwenden:

$$v_{th,n/p} = v_{th,n/p}(v_{SB} = 0) + \gamma \left( \sqrt{|2\phi_F| + v_{SB}} - \sqrt{|2\phi_F|} \right). \quad (5.4)$$

Im Unterschwellenbereich ( $\text{sgn}(v_{th,n/p}) \cdot v_{GS} < |v_{th,n/p}|$ ) gilt:

$$|I_{DS}| = k_{sub,n/p} \cdot \frac{W}{L} \cdot V_{therm}^2 \cdot (n - 1) \cdot \left( e^{\frac{|v_{GS} - v_{th,n/p}|}{n \cdot V_{therm}}} \right) \cdot \left( 1 - e^{-\frac{|v_{DS}|}{V_{therm}}} \right). \quad (5.5)$$

Im Triodenbereich ( $|v_{DS}| < |v_{DS,sat}|$  und  $\text{sgn}(v_{th,n/p}) \cdot v_{GS} > |v_{th,n/p}|$ ) ergibt sich  $I_{DS}$  betragsmäßig zu:

$$|I_{DS}| = k_{lin,n/p} \frac{W}{L} \left( (|v_{GS} - v_{th,n/p}|) \cdot |v_{DS}| - \frac{1}{2} v_{DS}^2 \right). \quad (5.6)$$

Im Sättigungsbereich ( $|v_{DS}| > |v_{DS,sat}|$  und  $\text{sgn}(v_{th,n/p}) \cdot v_{GS} > |v_{th,n/p}|$ ) ergibt sich  $I_{DS}$  betragsmäßig zu:

$$|I_{DS}| = \frac{k_{sat,n/p}(L)}{2 \left( 1 + \theta (|v_{GS}| - |v_{th,n/p}(L)|) \right)} \frac{W}{L} \left( |v_{GS}| - |v_{th,n/p}(L)| \right)^2 \cdot (1 + \lambda(L) (|v_{DS} - v_{DS,sat}|)). \quad (5.7)$$

**Beispielhafte Vorgehensweise:** Der Parameter  $v_{th,n/p}(L)$  wird durch einen linearen Fit mit Nullstellenbestimmung von  $\sqrt{|I_{DS}|}$  über  $v_{GS}$  ermittelt. Der Transistor wird dabei als Diode geschaltet und von  $v_{th,n/p}(L) + v_{DS,sat}$  bis  $v_{th,n/p}(L) + v_{DS,sat} + 100mV$  gefittet. Die Steigung  $m_1$  kann in  $k_{sat,n/p}(L) = m_1^2 \cdot 2 \cdot \frac{L}{W}$  umgerechnet werden. Der Parameter  $\lambda(L)$  wird aus dem Plot  $I_{DS}$  über  $v_{DS}$  bei festem  $v_{GS} = v_{th,n/p}(L) + v_{DS,sat}$  durch einen linearen Fit (Steigung  $m_2$ ) von  $v_{DS,sat} + 100mV$  mit  $I_1 = I_{DS}(v_{DS,sat} + 100mV)$  bis  $v_{DS,sat} + 200mV$  ermittelt. Dabei ist  $\lambda(L) = \frac{m_2}{I_1}$ .

Diagramm 5.2c zeigt, dass es eine Grenze gibt, bis zu der eine Erhöhung der Kanallänge (bei gleichem  $v_{DS,sat}$  und gleichem Strom) den Kleinsignal-Ausgangswiderstand im Sättigungsbereich deutlich erhöht. Auf der Basis dieser Approximationen, abgespeichert in Tabellenform und erstellt während eines Initialisierungsprozesses, und des textbasierten Transistormodells,

KAPITEL 5. ANALOGE SCHALTUNGEN UND DEREN SYNTHESE101

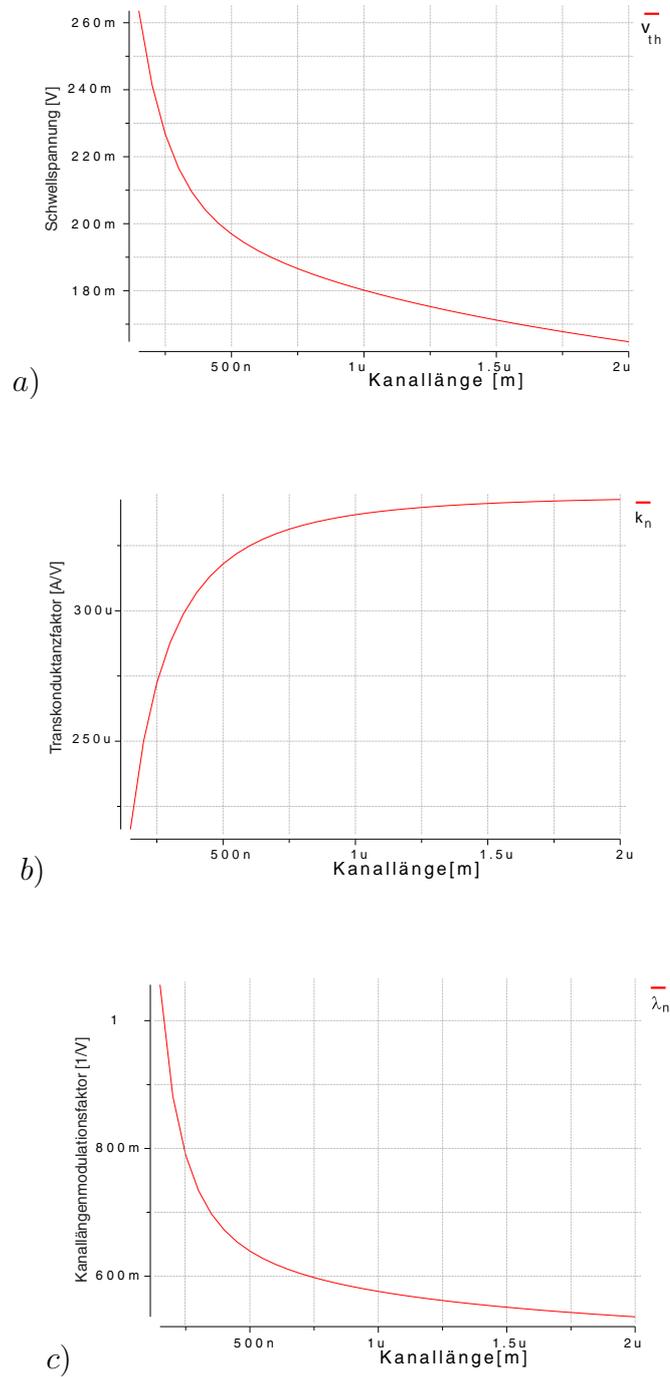


Abbildung 5.2: NMOS Transistor- $v_{th,n}$ -,  $\lambda_n$ - und  $k_n$ -Langkanalapproximationen für eine 90nm-CMOS-Technologie

Funktion	Parameter
getvt0sat	type,length
getvtsat	type,length,vbs
getksat	type,length
getlambda	type,length

Tabelle 5.2: Beispiele von Approximationshilfsfunktionen

wurden Hilfsfunktionen (siehe Tabelle 5.2) implementiert, die im Bedarfsfall Zwischenwerte über die Spline-Interpolation bestimmen. Eine dritte Kategorie an Hilfsfunktionen bestimmt über Spice-Simulationen ohne Optimierung Kennwerte. Hierunter fällt zum Beispiel die Bestimmung der Diffusions- und Überlappkapazitäten der Transistoren.

## 5.3 Gleichlauffehler

Die hier beschriebenen Fehler werden herangezogen, falls ein gewisser Gleichlauf verlangt wird, denn dann kann dieser Fehler die Dimensionierung bestimmen.

### 5.3.1 Gleichlauf von Transistoren

Der statistische Gleichlauffehler [70] zwischen zwei Transistoren wird üblicherweise durch die Normalverteilung beschrieben und enthält Design- und Layout-abhängige Parameter sowie die Gate-Fläche ( $W \cdot L$ ) und den Abstand der Transistoren  $D$

$$\sigma_{v_{th}}^2 = \frac{A_{v_{th}}^2}{W \cdot L} + S_{v_{th}}^2 \cdot D^2 \quad (5.8)$$

$$\sigma_{\frac{\Delta\beta}{\beta}}^2 = \frac{A_{\beta}^2}{W \cdot L} + S_{\beta}^2 \cdot D^2. \quad (5.9)$$

Betrachtet man insbesondere Stromspiegel D/A-Wandler, dann benötigt man die relative Stromabweichung, um die mögliche Auflösung zu bestimmen

$$\sigma_{\frac{\Delta I_{DS}}{I_{DS}}}^2 = \frac{4}{V_{GS,eff}^2} \cdot \sigma_{v_{th}}^2 + \sigma_{\frac{\Delta\beta}{\beta}}^2. \quad (5.10)$$

Der Offset von Komparatorschaltungen ist im Wesentlichen durch  $\sigma_{v_{th}}$  determiniert. Betrachtet man zudem einen n-stufigen Verstärker/Komparator,

Technologie	$A_{v_{th}}$ in $mV \cdot \mu m$	$A_\beta$ in $\% \cdot \mu m$
$0.5\mu m$	11/13	1.8/2.3
$0.35\mu m$	9/9	1.9/2.25
$0.25\mu m$	6/6	1.85/1.85

Tabelle 5.3: Transistorgleichlauffehler-Parameter für verschiedene Technologien

dann ist der äquivalente eingangsbezogene Offset ( $A_0 = 1$ ):

$$\sigma(V_{offset,in,eq}) = \sqrt{\sum_1^n \frac{\sigma(V_{offset,i})^2}{A_{i-1}^2}}. \quad (5.11)$$

### 5.3.2 Gleichlauf von Kapazitäten

Das Kapazitätsmissverhältnis wird beschrieben durch

$$\sigma_{\frac{\Delta C}{C}} = \frac{A_C}{\sqrt{W \cdot L}}. \quad (5.12)$$

In der Regel verwendet man quadratische Kapazitätsstrukturen mit der Kantenbreite  $S$ .

Also gilt:

$$\sigma_{\frac{\Delta C}{C}} = \frac{A_C}{S}. \quad (5.13)$$

Skaliert man von einer Kapazitätsstruktur zur nächsten mit dem Faktor  $\gamma_C$ , dann ist

$$\sigma_{\frac{\Delta C}{C},new} = \sqrt{\gamma_C} \cdot \sigma_{\frac{\Delta C}{C}}.$$

## 5.4 Operationsverstärker

Der Operationsverstärker ist für den Pipeline-A/D-Wandler ein Block der entscheidenden Einfluss auf die Leistungsfähigkeit des Wandlers hat. Es existiert eine große Vielfalt an unterschiedlichen Topologien, die eingesetzt werden könnten. Dargestellt wird jedoch nur eine Auswahl, die für die Synthese der Pipeline A/D-Wandler zunächst in Frage gekommen ist. Im nachfolgenden Teilkapitel wird das Gain-Boosting beschrieben. Die Dimensionierung lässt sich gut trennen, da der Hauptverstärker auch ohne Gain-Boosting auf Stabilität und Bandbreite dimensioniert werden kann.



für die Unterelemente. So wird für den Folded-Cascode-OTA im Wesentlichen auf die Hilfsfunktionen aus Tabelle 5.1 zurückgegriffen.

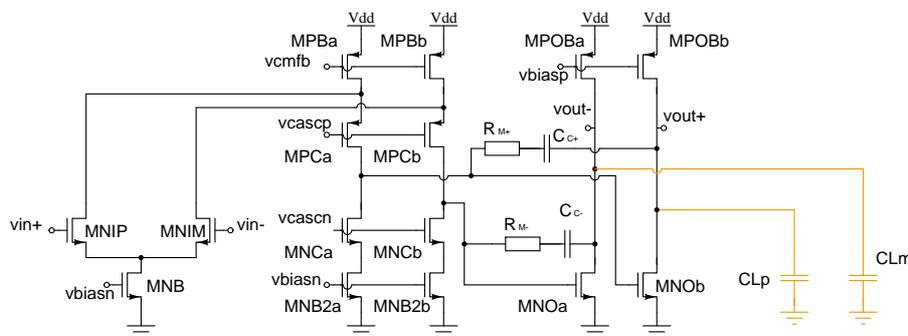


Abbildung 5.5: Zweistufiger Operationsverstärker mit Millerkompensation und Class-A-Ausgangsstufe  
(ohne CMFB und Biasing)

Es existieren andere Frequenzkompensationen, die bei zweistufigen Verstärkern eine höhere Bandbreite gegenüber der klassischen Millerkompensation ermöglichen. Ein Beispiel ist die Nested-Miller-Cascode-Kompensation (NMC [41]). Die NMC (Abb. 5.6) verschiebt den ersten nicht-dominierenden Pol, womit der dominierende Pol zu höheren Frequenzen verschoben werden kann, ohne ein zu geringes  $\phi_D$  zu verursachen. Die NMC-Kompensation wird der reinen Kaskodenkompensation vorgezogen, da sie ein geringeres Gain-Peaking besitzt [41, 29]. Der erste nicht-dominierende Pol wird laut Gleichung

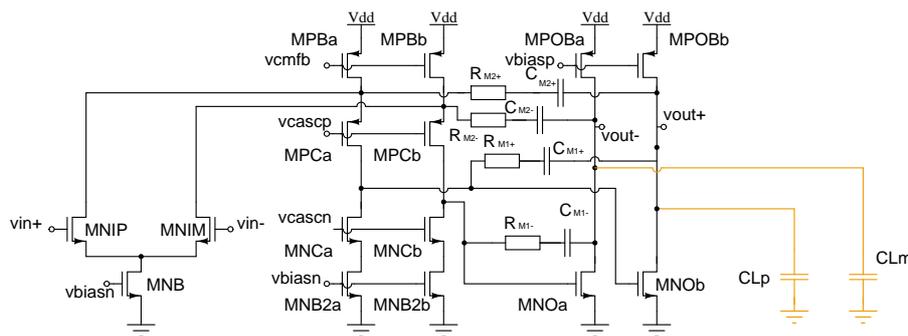


Abbildung 5.6: Zweistufiger Operationsverstärker mit NMC-Kompensation und Class-A-Ausgangsstufe  
(ohne CMFB und Biasing)

5.15 zu höheren Frequenzen verschoben:

$$\rho_2 = -\frac{C_{M2+/-} + C_{M1+/-}}{C_{M1+/-}} \cdot \frac{g_{m,MNOa/b}}{\left(C_L + C_{M2+/-}\right) \left(1 + \frac{C_{GS,MNOa/b}}{C_{M1+/-}}\right)}. \quad (5.15)$$

Die Transitfrequenz  $\omega_T$  kann somit auch zu höheren Frequenzen verschoben werden, so dass die Relation  $\omega_T = \frac{|\rho_2|}{\beta}$  erfüllt ist. Wobei  $\beta$  so gewählt oder dimensioniert wird, dass ein gewisser Phasenrand  $\phi_D$  erreicht wird.

$$\omega_T = \frac{g_{m,MNOa/b}}{C_{M1+/-} + C_{M2+/-}}. \quad (5.16)$$

Für die Dimensionierung wird nicht  $\omega_{0dB}$  zu höheren Frequenzen verschoben, sondern zuerst ein millerkompensierter Operationsverstärker erstellt [6], der ein zu geringes  $\phi'_D$  hat. Dieser Wert kann aus dem Zielwert  $\phi_D$  ermittelt werden, da mit Gl. 5.15, die Verschiebung des nichtdominierenden Pols bekannt ist.

$$C_{C+/-} = C_{M1+/-} + C_{M2+/-} \quad (5.17)$$

### 5.4.1 Gain-Boosting

Gain-Boosting ist eine Methode, um mittels Hilfsverstärker die Leerlaufverstärkung eines Operationsverstärkers zu erhöhen, wobei das Verhalten bei höheren Frequenzen nur geringfügig beeinflusst wird [12, 79]. Insbesondere die Einschwingzeit mit und ohne Gain-Boosting sollte dieselbe sein. Gain-Boosting ist nur anwendbar, wenn Kaskoden vorhanden sind. Gain-Boosting fügt einen Pol und eine Nullstelle in die Transferfunktion des Systems ein. Die Leerlaufverstärkung  $A_0$  erhöht sich durch die Erhöhung des Ausgangswiderstandes der Kaskodenstromquellen ( $r_o = A_{0,boost} \cdot r_{o,alt}$ ) durch Rückkopplung [47]. Es müssen daher im Pull-Up- und im Pull-Down-Pfad Hilfsverstärker eingesetzt werden:

$$A_{0,tot}[dB] \approx A_0[dB] + A_{0,boost}[dB]. \quad (5.18)$$

Im Folgenden wird angenommen, dass der Zusatzverstärker ein Einpolverhalten hat:

$$A_{tot}(s) = \frac{A_0(A_{boost} + 1) \cdot \left(1 + \frac{s}{\omega_3(A_{boost}+1)}\right)}{\left(1 + s(A_{boost} + 1) \cdot \left(\frac{1}{\omega_3(A_{boost}+1)} + \frac{1}{\omega_1}\right) + \frac{s^2}{\omega_1\omega_3}\right) \cdot \left(1 + \frac{s}{\omega_2}\right)}. \quad (5.19)$$

Nimmt man an, dass  $\omega_1 \ll (A_{boost} + 1)\omega_3$  ist, dann gilt

$$A_{tot}(s) \approx \frac{A_0(A_{boost} + 1) \cdot \left(1 + \frac{s}{\omega_3(A_{boost}+1)}\right)}{\left(1 + s(A_{boost} + 1) \cdot \left(\frac{1}{\omega_1}\right) + \frac{s^2}{\omega_1\omega_3}\right) \cdot \left(1 + \frac{s}{\omega_2}\right)}. \quad (5.20)$$

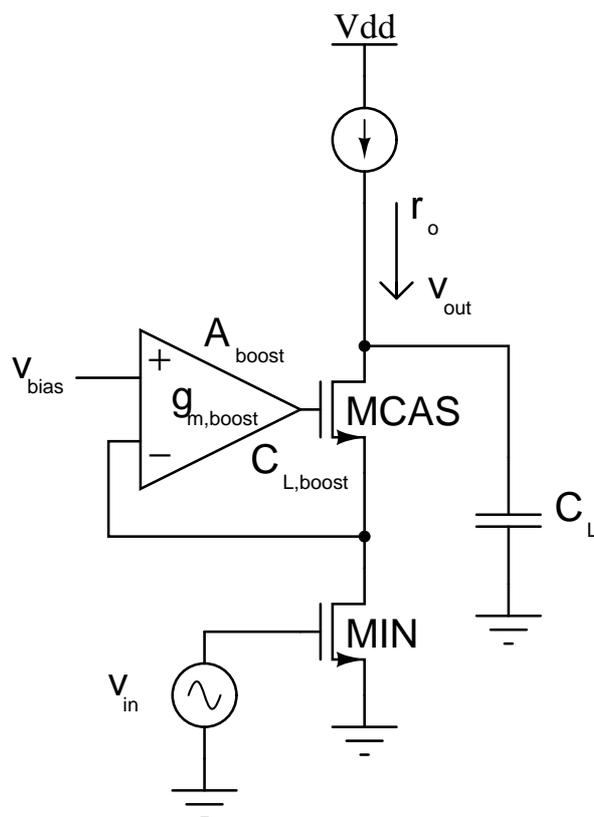


Abbildung 5.7: Prinzipskizze für das Gain-Boosting-Verfahren  
(Nur Pull-Down-Pfad)

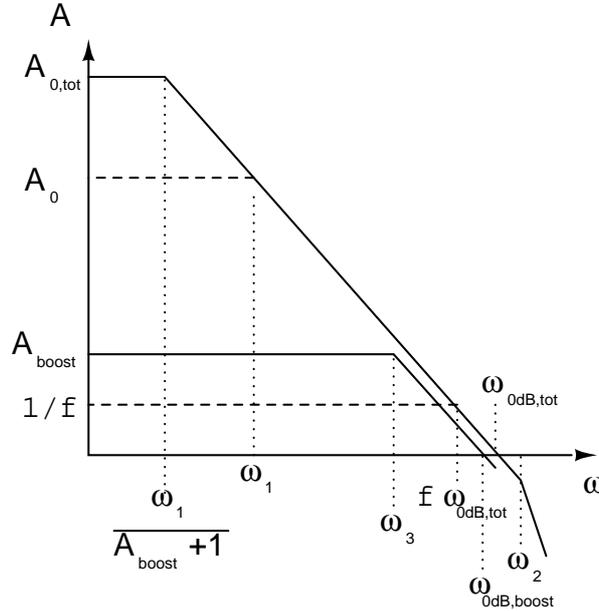


Abbildung 5.8: Bode-Diagramm für das Gain-Boosting-Verfahren

$$A_{tot}(s) \approx \frac{A_0(A_{boost} + 1) \cdot \left(1 + \frac{s}{\omega_3(A_{boost} + 1)}\right)}{\left(1 + \frac{s(A_{boost} + 1)}{\omega_1}\right) \cdot \left(1 + \frac{s}{\omega_2}\right) \cdot \left(1 + \frac{s}{\omega_3(A_{boost} + 1)}\right)}. \quad (5.21)$$

In Gleichung 5.21 erkennt man, dass ein Pol-Nullstellen-Dublett nahe  $\omega_3(A_{boost} + 1) \approx \omega_{0dB,boost}$  existiert, wobei Pol- und Nullstelle sich nahezu gegenseitig auslöschen. Üblicherweise würde es dann ausreichen,  $\omega_{0dB,boost}$  zwischen  $\omega_1$  und  $\omega_2$  zu legen. Um jedoch bei Einschwingvorgängen langsames Einschwingen durch das Dublett zu verhindern, dimensioniert man diese Zeitkonstante kleiner als  $\frac{1}{f \cdot \omega_{0dB,tot}}$ . Dies sollte jedoch unproblematisch sein, da  $C_{L,boost} \ll C_L$  ist. Ist der Einschwingfehler tolerierbar, dann reicht es aus, erstere Bedingung zu erfüllen.

Der Sicherheitsbereich, wenn nur geringe Einschwingfehler tolerierbar sind, ist für  $f_{0dB,boost}$  somit

$$f \cdot f_{0dB,tot} = \frac{f \cdot \omega_{0dB,tot}}{2\pi} < f_{0dB,boost} = \frac{\omega_{0dB,boost}}{2\pi} < f_2 = \frac{\omega_2}{2\pi}. \quad (5.22)$$

Der Einschwingfehler durch das Dublett in der geschlossenen Schleife ist näherungsweise

$$\epsilon_{pz} \approx \frac{\Delta\omega_{pz}}{\omega_{0dB}^{CL}} e^{-\omega_{0dB,boost} \cdot t^*}. \quad (5.23)$$

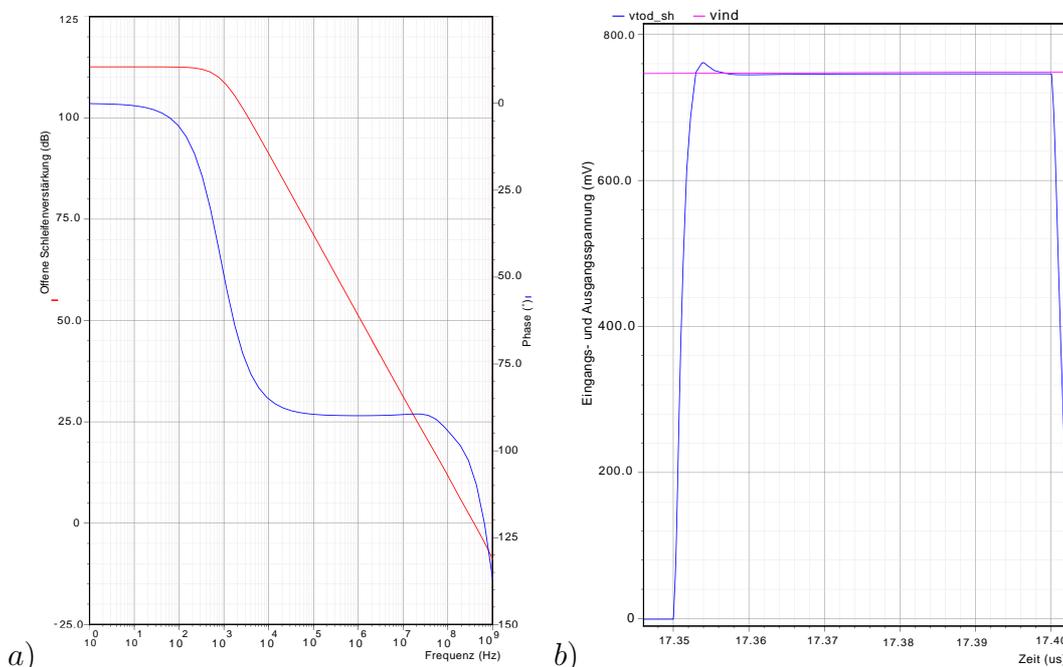


Abbildung 5.9: AC- und Transientsimulation (Abtast- und Halteglied nach Abb. 3.21a) eines Gain-Boosted-Folded Cascode OTAs  
 Gain-Boosted-Folded Cascode OTA in  $0.18\mu\text{m}$  CMOS mit  $C_L = 3\text{pF}$  und  $V_{DD} = 1.8\text{V}$

Die Dimensionierung erfolgt in-situ durch Auftrennung der Schleife und durch sukzessive Anpassung.

### 5.4.2 Entwurfszentrierung des Operationsverstärkers (OPV)

Die zu erstellenden A/D-Wandler sollen kommerziell verwendbar sein, deshalb dürfen sich die wichtigen Kennwerte über die Technologievarianzen (Corner), wie die Betriebsspannungstoleranzen und die Temperaturgrenzen nur innerhalb gewisser Grenzen bewegen.

In diesem Kapitel wird grob dargestellt, wie man zu einer Entwurfszentrierung am Beispiel einer MX2-Stufe kommt. Diese ist notwendig, da einzelne Entwurfszielgrößen durch die Temperatur und durch die Technologievarianzen (Corner) zum Teil sehr stark variieren können. Der Operationsverstärker

stellt das Hauptelement für die MX2-Stufe dar. Die hier dargestellten Variationen der Kenngrößen können schon in die Systemsimulation einfließen. Diese Zentrierung stellt nur den Startpunkt für eine auf dem Simulator basierende Zentrierung dar.

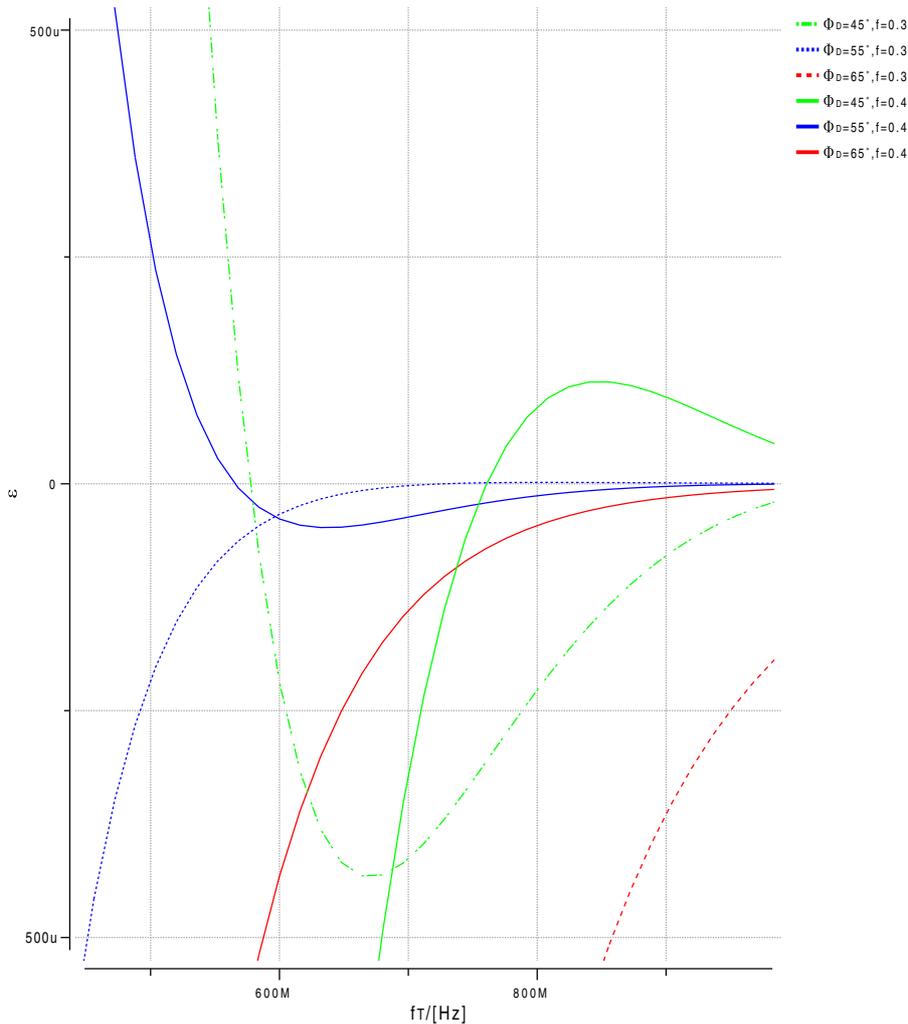


Abbildung 5.10: Einschwingfehler bei einer SC-Verstärkerstufe mit  $G=2$

(  $T_{Hold}=4.5ns$  und Operationsverstärker,  $A_0 = 4000$  und  $Slewrate=\frac{1V}{ns}$  )

In Abbildung 5.10 ist zu erkennen, dass für unterschiedliche Phasenreserven

$\phi_D$  ( $f = 1$ ) des in der SC-Verstärkerstufe verwendeten Operationsverstärkers, der Operationsverstärker, um auf eine gewisse Genauigkeit einzuschwingen, eine korrespondierende Transitfrequenz besitzen muss. Hier wurde angenommen, dass für den Einschwingvorgang  $4.5\text{ns}$  ( $\frac{1}{2 \cdot f_s = 100\text{MHz}}$  abzüglich Nichtüberlappungszeiten) zur Verfügung stehen. In dieser Abbildung ist auch zu erkennen, dass die übliche Wahl einer Phasendistanz zu  $-180^\circ$  von  $65^\circ$  hier bei niedrigen Rückkopplungsfaktoren ungünstig ist.

$\Phi_D$	f	$f_T$ (10Bit)	$f_T$ (12Bit)
$45^\circ$	0.3	790 MHz	920MHz
$55^\circ$	0.3	500MHz	550MHz
$65^\circ$	0.3	950MHz	1250MHz
$45^\circ$	0.4	710MHz	1000MHz
$55^\circ$	0.4	490MHz	550MHz
$65^\circ$	0.4	650MHz	800MHz

Tabelle 5.4: Transitfrequenz( $f_T$ ) eines zweipoligen Verstärkers in einer Verstärkerstufe (x2) in Abhängigkeit vom Rückkopplungsfaktor(f) und des Phasenabstandes zu  $-180^\circ$  ( $\Phi_D$ ) für eine effektive Auflösung von 10 und 12 Bit

In Tabelle 5.4 wird davon ausgegangen, dass der Endwert auf  $\frac{1}{4}V_{LSB}$  ( $\epsilon < 2^{-ENOB-2}$ ) eingeschwungen ist. Die Transitfrequenz schwankt zudem durch Prozessschwankungen und Temperatur. Daher ist ein Überdesign unumgänglich.

$$f_{T,min} \approx \frac{g_{m,min}}{2 \cdot \pi C_{C,max}} \approx \frac{\sqrt{\frac{\beta_{min}}{\beta_{typ}}} \cdot \sqrt{2 \cdot \beta_{typ} \cdot I_{D,min}}}{2\pi C_{C,min}} \quad (5.24)$$

$$\frac{\beta_{min}}{\beta_{typ}} \approx \left( \frac{T_{typ} = T_{nom}}{T_{max}} \right)^{\frac{3}{2}} \quad (5.25)$$

$$\frac{f_{T,min}}{f_{T,typ}} \approx \left( \frac{T_{typ} = T_{nom}}{T_{max}} \right)^{\frac{3}{4}} \cdot \sqrt{\frac{I_{D,min}}{I_{D,typ}}} \cdot \frac{C_{C,typ}}{C_{C,max}} \quad (5.26)$$

Als Temperaturgrenzen werden  $[-40^\circ\text{C}, 125^\circ\text{C}]$  gewählt. Nimmt man für die Kapazität einen  $3\sigma$ -Wert von 10% und für  $I_D$  von 18% (erstellt aus einer Bandgapspannung ( $3\sigma \approx 3\%$ ) mit einem Widerstand ( $3\sigma \approx 15\%$ )) an, dann ergibt sich eine  $f_T$ -Schwankung von näherungsweise 40%. Nimmt man auch für die Phasendifferenz zu  $-180^\circ$  eine Prozessschwankung von  $\pm 10\%$  an, dann ist es bei  $f \approx 0.4$  empfehlenswert den Operationsverstärker unter typischen Bedingungen für 10Bit mit  $\Phi_D = 55^\circ$  und  $f_T = 900\text{MHz}$  sowie für 12Bit

mit  $\Phi_D = 55^\circ$  und  $f_T = 1200\text{MHz}$  zu erstellen. Bei noch höheren Rückkopplungsfaktoren wird  $\Phi_D = 50^\circ$  immer günstiger.

Um die obigen Abschätzungen zu verifizieren, wurde im Folgenden die Prozessvariation einiger Zieldesigngrößen des Operationsverstärkers nach Anhang C in einer 90nm CMOS-Technologie simuliert. Dabei wurden die Transistormodelle aus  $\{\text{ss,fs,sf,ff}\}$ , die Temperatur  $\vartheta$  aus  $\{-40^\circ\text{C}, 125^\circ\text{C}\}$ , der Stromskalierfaktor aus  $\{0.8, 1.2\}$ , der Kapazitätsskalierfaktor aus  $\{0.9, 1.1\}$  und die Betriebsspannung aus  $\{1.1\text{V}, 1.3\text{V}\}$  gewählt, sowie diese Größen in dieser Reihenfolge in Schleifen von außen nach innen permutiert.

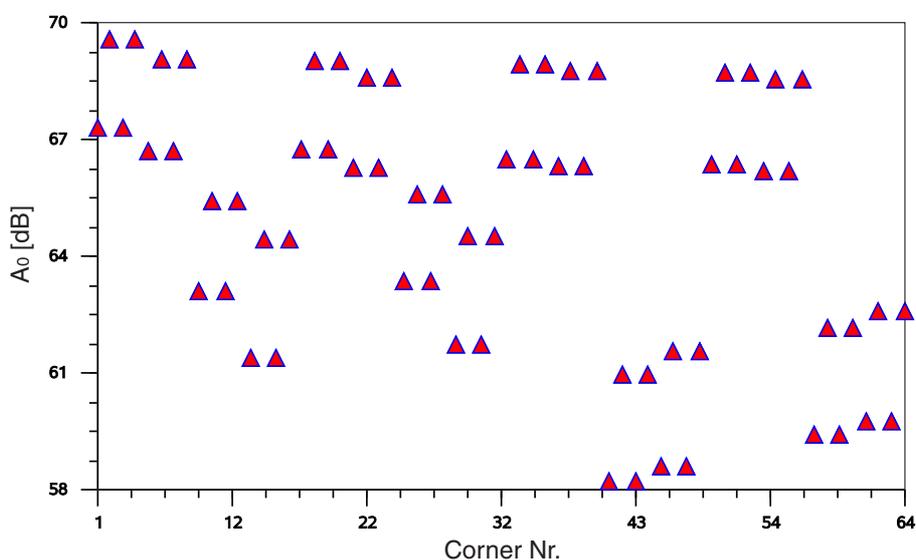


Abbildung 5.11: Cornervariation der Leerlaufverstärkung des OPV

Zu erwähnen ist, dass dies typische Schwankungen sind, die bei anderen Topologien ähnlich zu beobachten sind. Existieren höhere Schwankungen der Zielgrößen, ist in der Regel von einem Designfehler auszugehen. Zu erkennen ist im Übrigen auch, dass ein zweistufiger Operationsverstärker in einer 90nm-Technologie und mit den 1.0V-Transistoren nur noch im schlechtesten Fall eine Leerlaufverstärkung von 58dB hat.

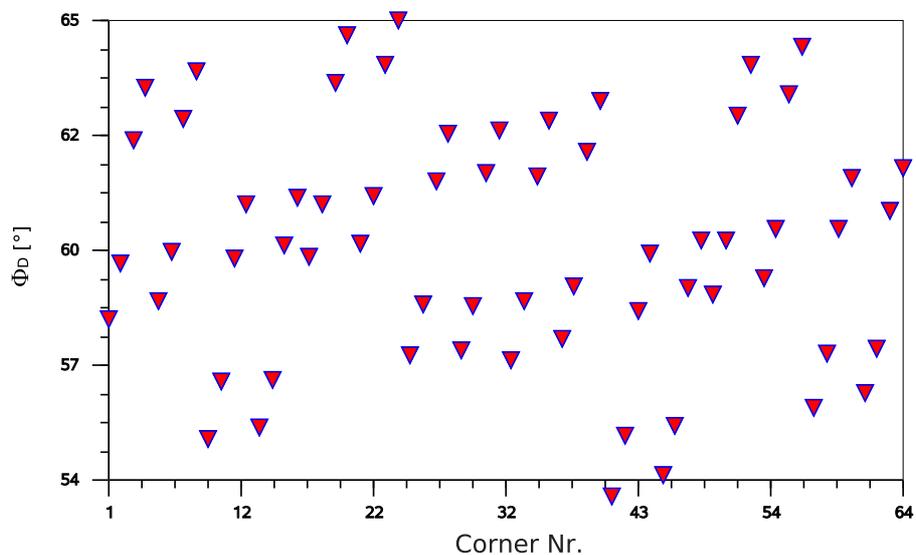


Abbildung 5.12: Cornervariation des Phasemargins bei  $f=1$  des OPV

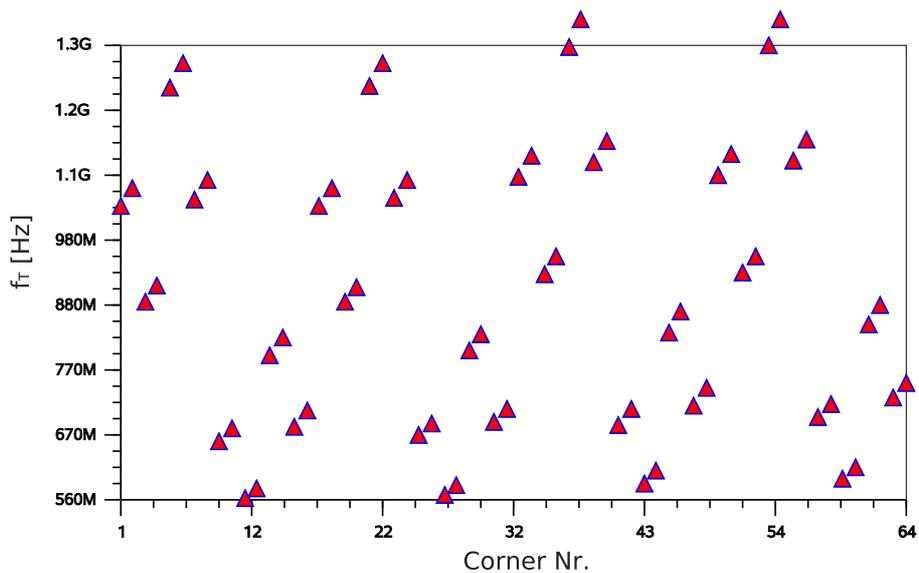


Abbildung 5.13: Cornervariation des Transitfrequenz  $f_T$  bei  $f=1$  des OPV

### 5.4.3 Gleichtaktregelung

Volldifferentielle Verstärker benötigen in der Regel eine Gleichtaktregelung, damit der Ausgangsgleichtaktpegel definiert ist. In abgetasteten Systemen (Zweitaktsystem nach Abb. 4.7) kann beispielsweise eine Pull-Down-SC-Gleich-

taktregelung (Pull-Up-Regelung über Stromspiegel) nach Abbildung 5.14 (Erneuerung der Regelspannung in  $\phi_2$ ) oder Abb. 5.15 (Erneuerung der Regelspannung in  $\phi_1$  und  $\phi_2$ ) eingesetzt werden [8, 47].

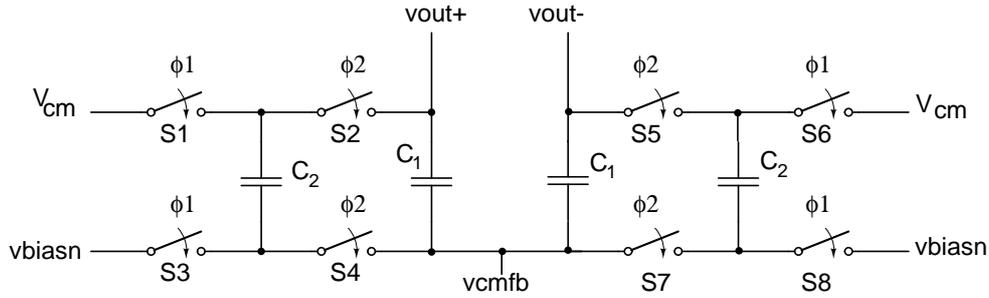


Abbildung 5.14: SC-Gleichtaktregelung gültig in  $\phi_2$

Aufgrund der Ladungserhaltung ist

$$q^{\phi_1} = 2 \cdot C_1 \left( \frac{v_{out,+} - v_{out,-}}{2} \right) + 2 \cdot C_2 (V_{cm} - V_{biasn}) \quad (5.27)$$

$$q^{\phi_2} = (C_1 + C_2) \left( (v_{out+} - v_{CMFB}^{\phi_2}) + (v_{out-} - v_{CMFB}^{\phi_2}) \right) \quad (5.28)$$

$$0 = C_2 \left( V_{cm} - \frac{v_{out,+} - v_{out,-}}{2} + v_{CMFB}^{\phi_2} - V_{biasn} \right) + C_1 (v_{CMFB}^{\phi_2} - v_{CMFB}^{\phi_1}) \quad (5.29)$$

Üblicherweise ist  $C_2 = \frac{1}{k} C_1$  mit  $k \in 1, 2, \dots, 10$ . Das SC-CMFB kann zu Instabilitäten führen, da der Operationsverstärker Teil der Gleichtaktschleife ist. Daher sollte die Gleichtaktschleifenverstärkung kleiner 1 sein.

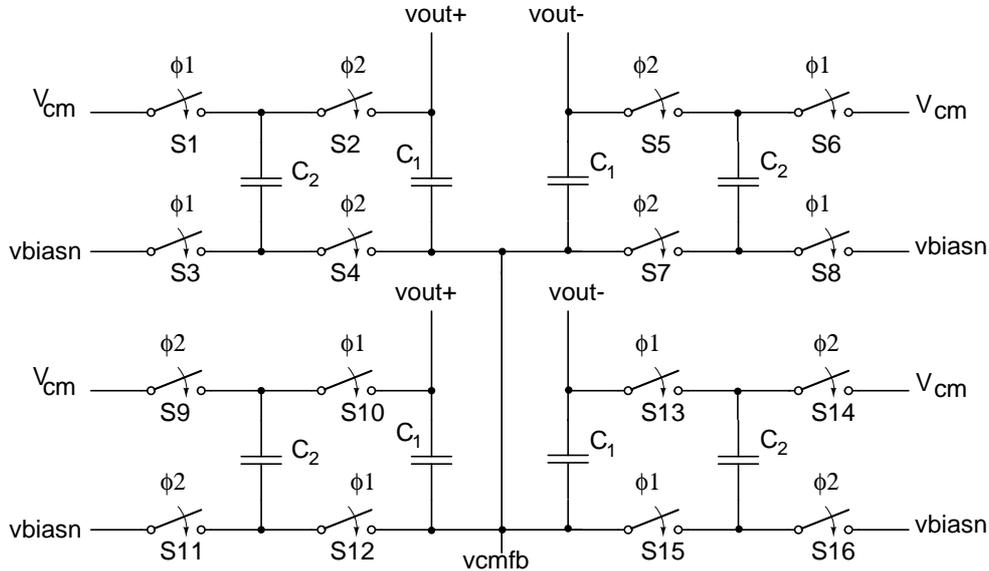
Somit gilt:

$$\frac{C_2}{C_1} > f \quad (5.30)$$

oder  $k > \frac{1}{f}$ .

Die Minimalgröße der Kapazitäten ist bestimmt durch das maximal tolerierbare  $\frac{k_B \cdot T}{C}$ -Rauschen und die tolerierbare Ladungsinjektion.

Ein Problem, besonders bei niedrigen Betriebsspannungen, mit der SC-Gleichtaktregelung ist, dass nach Abbildung 5.14 die Schalter S2 und S5 (nach Abb. 5.15 S2, S5, S10 und S13) die volle maximale Signalamplitude sehen können und damit die Problematik, die im nächsten Teilkapitel geschildert wird, voll zum Tragen kommt. Hinzu kommt bei Transmissionsgattern als Schalter eine eingangssignalabhängige Ladungsträgerinjektion in den Ausgang


 Abbildung 5.15: SC-Gleichtaktregelung gültig in  $\phi_1$  und  $\phi_2$ 

des Verstärkers, wenn nicht zusätzlich Dummy-Schalter eingesetzt werden, da der PMOS-Transistor die Auswirkung der Injektion der Kanalladung des NMOS-Transistors nur bei  $V(gnd) + \frac{V(Vdd) - V(gnd)}{2}$  und bei gleichen Schwellspannungen nahezu vollständig kompensiert.

## 5.5 Schalter

Bei niedrigen Versorgungsspannungen eröffnet sich das Problem, dass gewöhnliche Transmissionsgatter einerseits eine stark nichtlineare Kennlinie  $R_{on}(v_{in})$  haben und andererseits im An-Fall zum Teil kein gut ausgebildetes Plateau im interessierenden Spannungsbereich mehr bilden und damit als Schalter nur noch eingeschränkt zu verwenden sind. In Abbildung 5.16 ist dieses Verhalten des CMOS-Schalters in einer Dimensionierung mit höchster Linearität um  $v_{in} = V_{cm}$  dargestellt. Eine Lösung ist in Abbildung 5.17a) (Gate-Boosted-Switch) zu sehen [27]. In dieser Schaltung folgt die Spannung am Gate des Transistors M0 (siehe Abb. 5.18) mit  $\phi = 1$  der Spannung am Punkt A, was jedoch zur Folge hat, dass interne Spannungen über  $V_{DD}$  hinausgehen. In der zu implementierenden Schaltung sollte dann jedoch gewährleistet sein, dass die Terminal- zu Terminal-Spannungen an allen Transistoren die Betriebsspannung  $V_{DD}$  nicht überschreiten. Nichtsdestotrotz reduziert der

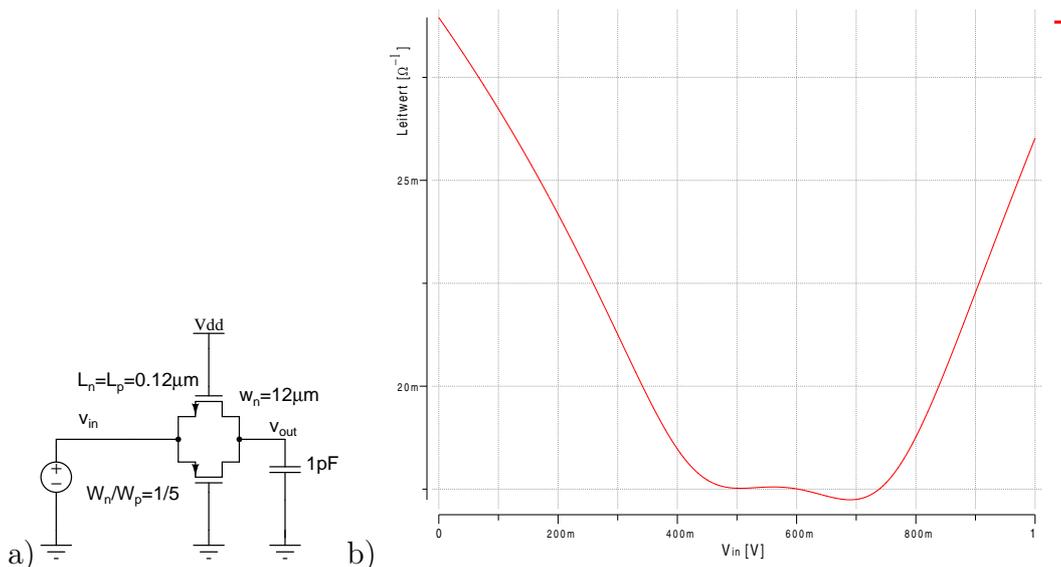


Abbildung 5.16: Linearer CMOS-Schalter in einer  $0.13\mu\text{m}$  CMOS-Technologie

a) Implementierung und b) Leitwert in Abhängigkeit von der Eingangsspannung

Typ von Schaltern die Zuverlässigkeit. Ein großer Vorteil dieser Schaltung ist die hohe Linearität von  $R_{on}(V_{in})$  und die bis auf den Substratsteuereffekt signalunabhängige gespeicherte Kanalladung im An-Fall.

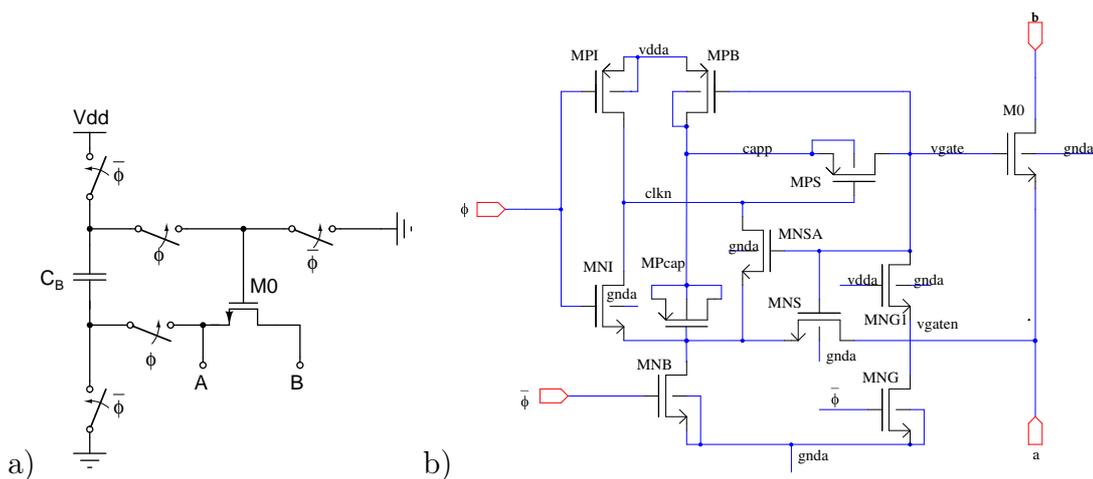


Abbildung 5.17: Schalter mit dem Eingangssignal folgender Gate-Spannung  
a) Prinzip und b) Implementierung nach [27]

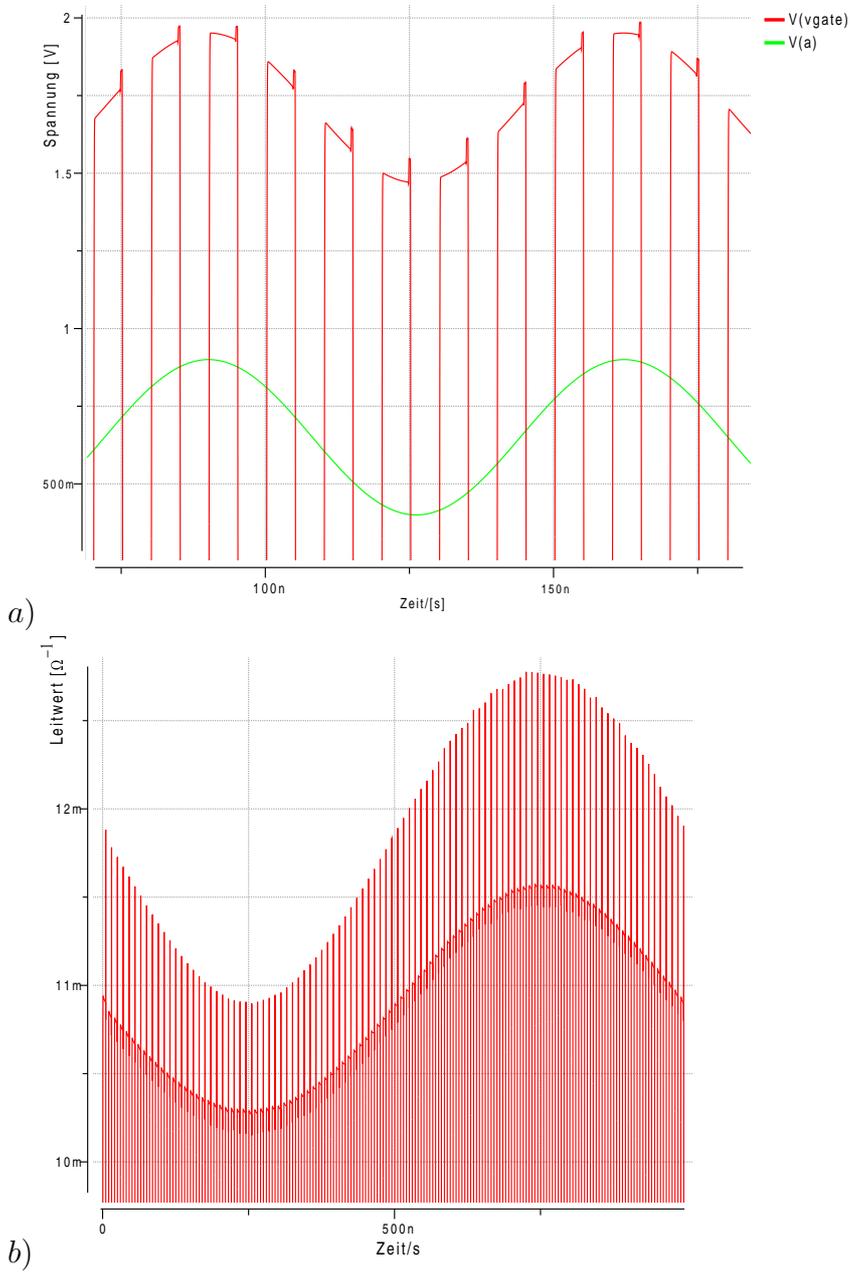


Abbildung 5.18: Gate-Spannungserhöhung a) und Ausgangsleitwert b) beim GB-Schalter

( $V_{dd}=1.2V$ )

Ist  $\bar{\phi} = 1$ , dann wird die Kapazität  $C_B$  auf  $V_{DD}$  aufgeladen, während das Gate von M0 entladen wird. Wechselt man nun nach  $\phi = 1$ , dann wird die Kapazität  $C_B$  zwischen Gate und Source des Transistors M0 geschaltet. Es ist klar, dass der Typ von Schaltern nur in getakteten Systemen verwendet werden kann. Die Implementierung nach Abbildung 5.17b) entspricht diesem Prinzip. In der Implementierung wird der Schalter nicht an ein globales Versorgungsspannungspaar  $\{V_{dd}, gnd\}$  gehängt. Im Folgenden wird zunächst  $\{v_{dda}, gnda\}$  verwendet. In der endgültigen Implementierung muss dann entschieden werden, ob man eigene Schalterversorgungspins oder diese Versorgung über einen jeweiligen Sternpunkt an die Versorgung für die analogen Schaltungen hängt. Die MOS-Kapazität in Akkumulation MPcap wird bei  $\bar{\phi} = 1$  über MNB und MPB aufgeladen, während das Gate von M0 über MNG1 und MNG auf  $V(gnda)$  entladen wird. MNG1 bewahrt MNG vor einer Drain-Source-Spannung über  $V(v_{dda}) - V(gnda)$ . Ist nun  $\phi = 1$ , dann schalten MNB und MPB ab. Das Gate von MPB wird dazu über MPS mit dem Source-Knoten verbunden. Die Kapazität MPcap wird über MPS und MNS zwischen Gate und Source von M0 geschaltet. Um zu verhindern, dass die Gate-Source-Spannung von MPS über  $V(v_{dda}) - V(gnda)$  geht, wird der Inverter (MNI und MPI) über den Transistor MNB aufgebaut.

In Abbildung 5.20 ist die FFT ( $fft(v_{out}^+ - v_{out}^-)$ ) einer transienten Simu-

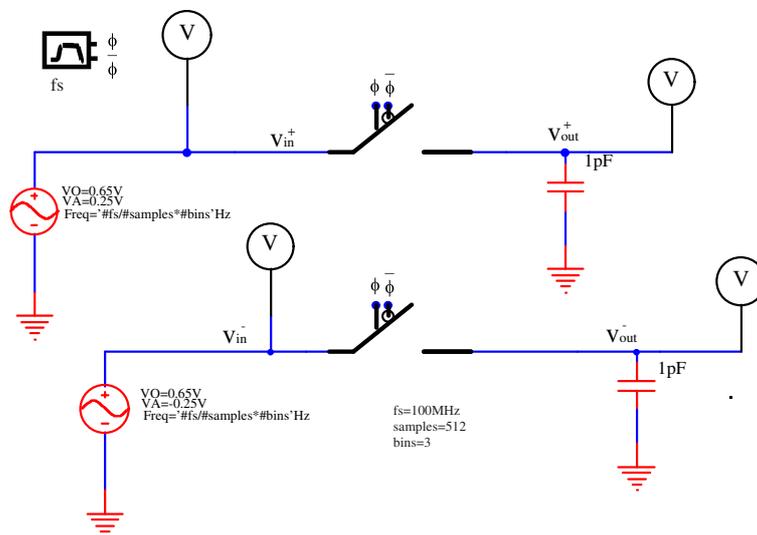


Abbildung 5.19: Testkonfiguration für die Linearität von Schaltern

lation beider Typen von Schaltern in der Schaltung nach 5.19 dargestellt. Das Signal wurde mit  $f_s = 100\text{MHz}$  abgetastet. Auffällig ist, dass der GB-Schalter eine wesentlich höhere Linearität aufweist. Nach den Simulations-

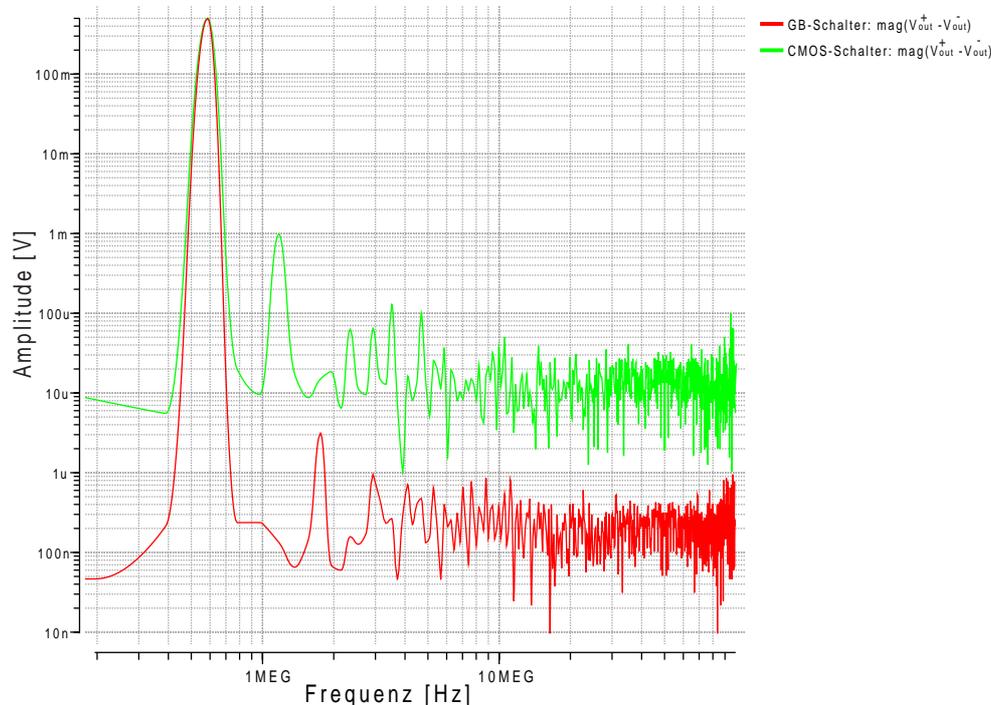


Abbildung 5.20: 512-Punkt-FFT des Ausgangssignals der Schalter mit einem Sinuseingangssignal

( $v_{pp} = 1V$ ,  $f_{in} = 585937.5Hz$  und  $f_s = 100MHz$ ) in einer differentiellen Konfiguration mit  $C_L = 1pF$ )

ergebnissen hat der CMOS-Schalter ein typisches THD von 54dB und der GB-Schalter ein THD von 104dB. Sind die Kanallängen noch geringer als 120nm, dann wird der CMOS-Schalter im Regelfall nichtlinearer. Ein weiterer Nachteil für den GB-Schalter, neben der natürlich verringerten Zuverlässigkeit, ist die Ladungsinjektion, die zu Gleichtaktspannungsschwankungen am Eingang des Verstärkers führt (siehe Abb. 5.21). Problematisch ist dies, wenn der Verstärker keine genügend hohe Gleichtaktunterdrückung besitzt. Eine Herangehensweise zur Verringerung des Problems ist es, die gleiche Anzahl von GB-Schaltern immer so anzuordnen, dass beim Ausschalten eines Schalters ein anderer Schalter angeschaltet wird. Ein anderer Ansatz ist das Zuschalten von sogenannten Dummy-Schaltern wie in Abbildung 5.22. Voraussetzung ist hier natürlich, dass die Kanalladung zu gleichen Anteilen zu beiden möglichen Seiten ausgestoßen wird. Bei kleinen Strukturgrößen entsteht ein neues Problem, denn bei dem Schalter mit Dummies wird der auf

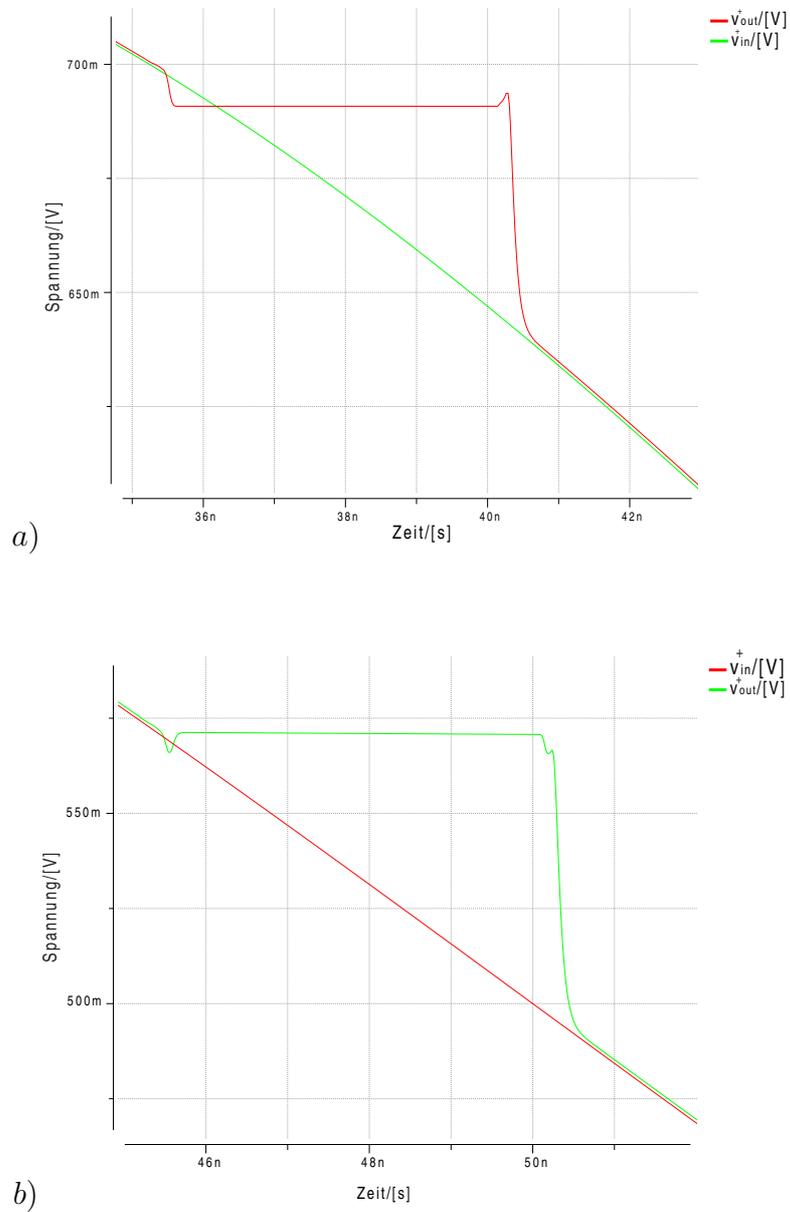


Abbildung 5.21: Gleichtakt-Sprung durch die Kanalladung des GB-Schalters ohne a) und mit b) Dummy-Schalter  
(für  $v_{out}^-$  in die gleiche Richtung)

den Kapazitäten gespeicherte Signalwert durch die Gate-Tunnelströme im Aus-Fall korrumpiert.

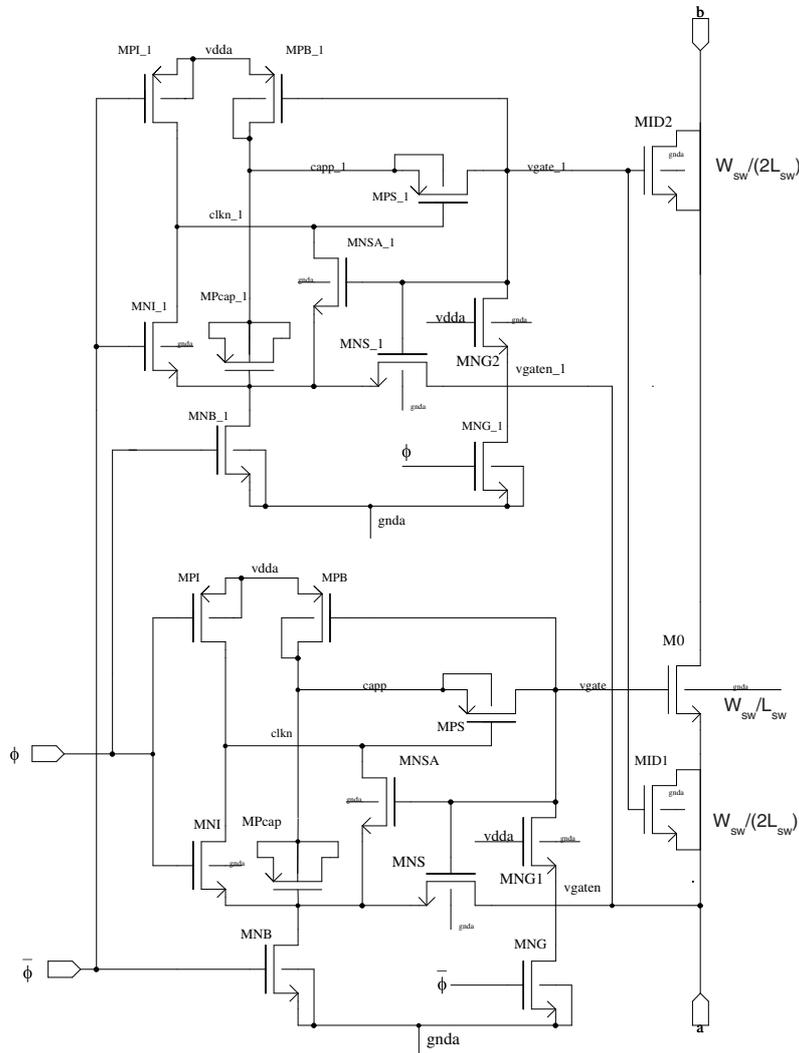


Abbildung 5.22: GB-Schalter mit Dummy-Schaltern

### 5.5.1 Dimensionierung der Schalter

Für eine Dimensionierung muss natürlich die maximale Signaldifferenz und ein minimales  $v_{GS,eff}$  angenommen werden.  $\epsilon$  ist die nötige Einschwinggenauigkeit.

$$R_{lin} = \left\| \frac{L}{W \cdot k_{n/p}(L) \cdot (v_{GS} - v_{th,n/p}(L) - v_{DS})} \right\| \quad (5.31)$$

$$t_{set,sw}^{lin} \approx \left\| \frac{L \cdot C \cdot \ln \epsilon^{-1}}{W \cdot k_{n/p}(L) \cdot (v_{GS} - v_{th,n/p}(L))} \right\| \quad (5.32)$$

$$t_{set,sw}^{sat} = \left\| \int_{v_{DS,sat}}^{v_c} \frac{2 \cdot C \cdot L \cdot dv_{DS}}{Wk_{n/p}(L) \cdot (v_{GS} - v_{th,n/p}(L))^2} \right\| \quad (5.33)$$

In der Regel reicht es aus, nur den linearen Anteil nach Gl. 5.32 zu betrachten und die lineare Einschwingzeit des Schalters auf  $\frac{1}{10} \cdot \frac{T_S}{2}$  zu beschränken.

In dieser Arbeit wurde bei den Gate-Boosted-Schaltern nach dem Analog-Master-Verfahren vorgegangen. Transmissionsgatter und einfache NMOS- oder PMOS-Schalter wurden direkt über die gewünschte Einschwingzeit bei gegebener Kapazität mittels Spice-Simulationen unter schlechtesten Bedingungen (Worst Case (WC): i.A. niedrigstes  $V_{DD}$ , höchste Kapazität, höchste Temperatur (z.B. 125°) und Transistor-Corner=SS) dimensioniert. In Tab.

Transistor	W/L (0.25 $\mu$ -Technologie)	W/L (0.13 $\mu$ -Technologie)
MPI	6/0.24	3/0.12
MNI	2/0.24	1/0.12
MPB	4/0.24	2/0.12
MNB	4/0.24	2/0.12
MPS	6/0.24	3/0.12
MNG	2/0.24	1/0.12
MNG1	2/0.24	1/0.12
MNS	6/0.24	3/0.12
MNSA	1/0.24	0.5/0.12
MPCAP	7/7	5/5
M0	20/0.24	10/0.12

Tabelle 5.5: GB-Schalter-Dimensionierung nach Abb. 5.17 von einer 0.25 $\mu$ -Technologie zu einer 0.13 $\mu$ -Technologie  
(für eine 100MHz SC-Verstärkerstufe)

5.5 ist die Musterdimensionierung für den Analog Master dargestellt.

## 5.6 Komparatoren

Die 1.5 Bit Pipeline Stufen-Architektur, die in dieser Arbeit thematisiert wird, führt dazu, dass die Anforderungen an den Komparator relativ gering sind. Der Offset kann bis zu  $\pm \frac{V_{ref}}{4}$  betragen. Mit  $V_{ref} = 1V$  sind das 250mV. Komparatoren mit so niedrigen Offsetanforderungen können dynamisch realisiert werden, womit eine statische Leistungsaufnahme verhindert wird. In Abbildung 5.23 ist ein dynamischer Komparator dargestellt [21]. Die Transistoren MN1-4 arbeiten im Triodenbereich. Die Schwelle liegt bei



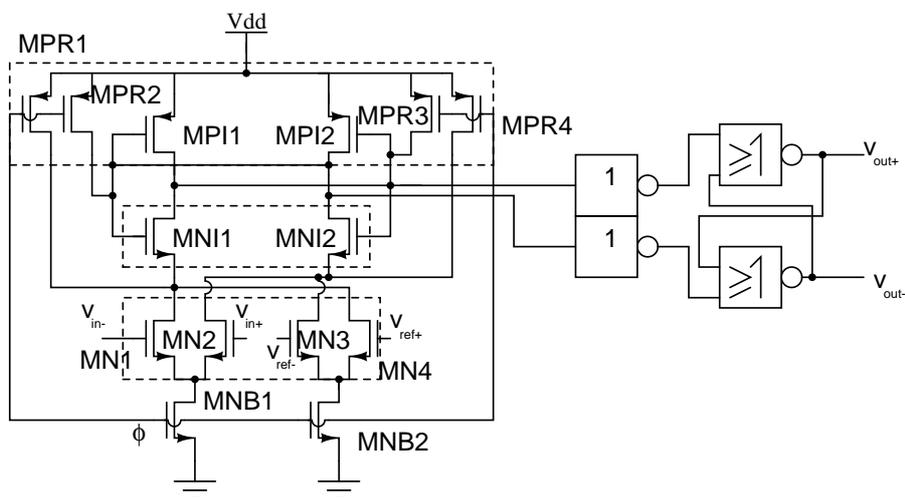


Abbildung 5.24: Verbesserter dynamischer Komparator

Transistor	W/L (0.25 $\mu$ -Technologie)	W/L (0.13 $\mu$ -Technologie)
MNB1/2	8/0.24	6/0.12
MN1..4	8/0.24	6/0.12
MNI1/2	1/0.24	0.5/0.12
MPI1/2	4/0.24	2/0.12
MPR1..4	1/0.24	0.5/0.12

Tabelle 5.6: Skalierung eines dynamischen 1:1-Komparators nach Abb. 5.24 von einer 0.25 $\mu$ -Technologie zu einer 0.13 $\mu$ -Technologie  
(Für eine 100MHz Pipeline Stufe)

# Kapitel 6

## State of the Art der Schaltungssynthese

### 6.1 Einleitung

Diese Arbeit verwendet eine Mischung aus Design-Wiederverwendung und Design-Automatisierung als Synthesemethode. Um dieses Konzept einzuordnen, muss der Analog- und Mixed-Signal-Designprozess untersucht werden und der Unterschied von Design-Wiederverwendung zur Design-Automatisierung dargestellt werden. Beide Methoden versuchen die Design-Kosten durch Produktivitätserhöhung zu reduzieren, fokussieren sich aber auf unterschiedliche Aspekte des Mixed-Signal-Designprozesses. Die Design-Automatisierung versucht einige Aufgaben (z.B. Dimensionierung, Schaltungsoptimierung oder Layout) des Designprozesses zu automatisieren. Die Design-Wiederverwendung versucht erfolgreiche Design-Entwicklungen von einer Technologie zur anderen, eventuell auch mit geringfügig modifizierten Leistungsanforderungen, zu übertragen.

### 6.2 Der Analog- und Mixed-Signal-Designprozess

Der Analog- und Mixed-Signal-Designprozess ist ein mehrstufiger Prozess, und es existieren daher vielfältige Ansatzpunkte die Produktivität zu erhöhen. In Abbildung 6.1 ist der vielfach verwendete Designprozess grob dargestellt auf den im Folgenden eingegangen wird.

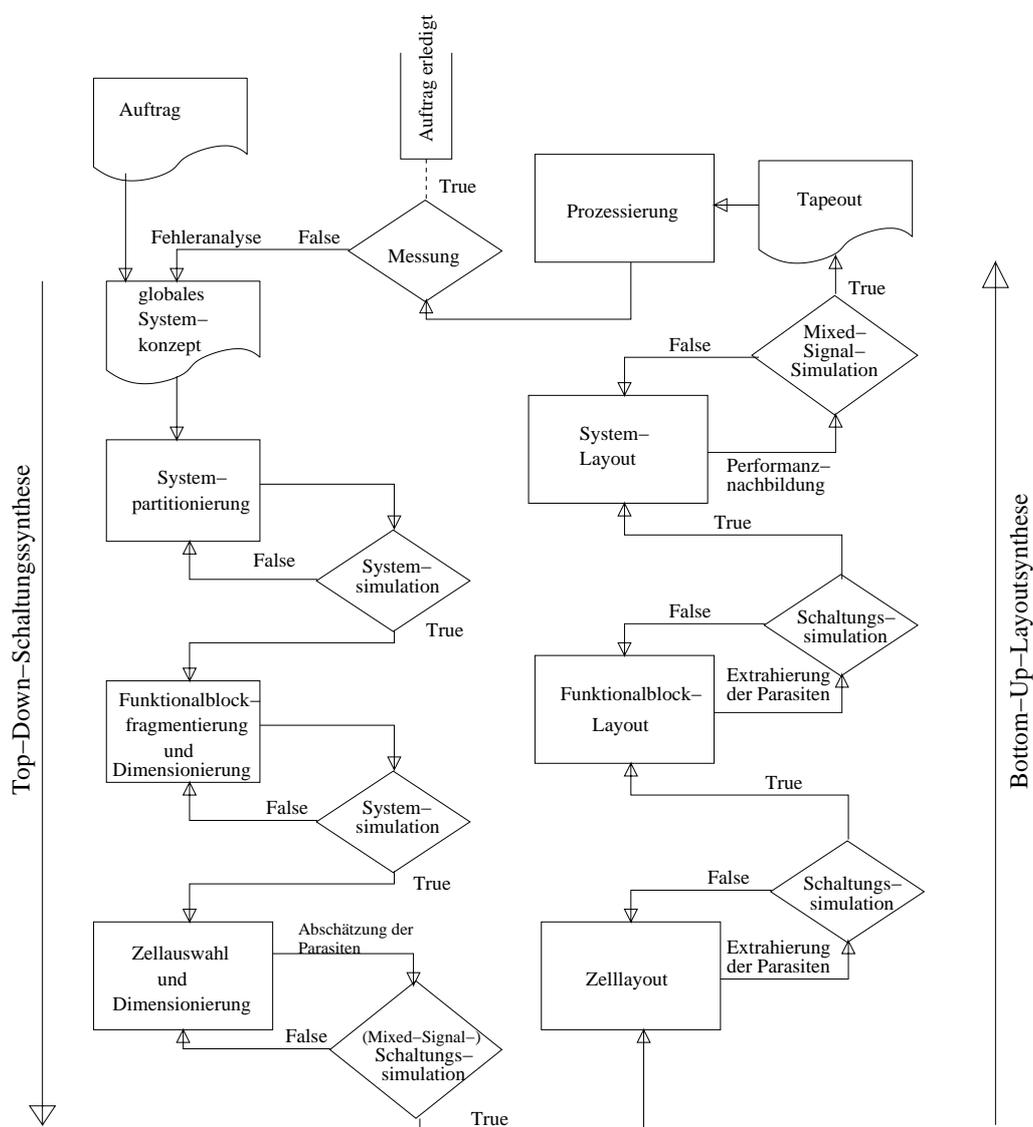


Abbildung 6.1: Der Analog- und Mixed-Signal Design-Prozess

### 6.2.1 Globales Systemkonzept und Systempartitionierung

Analog- und Mixed-Signal-Systeme lassen sich in der Regel nicht automatisch partitionieren, da jedes System eigene Freiheitsgrade hat. Auch dürfte die Abschätzung der Chipfläche und des Leistungsverbrauchs nicht ohne einen wissensbasierten Ansatz möglich sein. In der Industrie wird dem oft in der Art Rechnung getragen, dass es eigene Systemdesignabteilungen gibt, die die globalen Systemkonzepte erstellen. Es gibt einige Beispiele, wo für spezifische Systeme diese Partitionierung versucht wurde. In [20] wird dies für ein

Videotreibersystem versucht und das System in einen Frequenzsyntheseteil und in einen D/A-Wandler-Anteil fragmentiert und deren Anforderungen ermittelt.

### 6.2.2 Funktionalblockfragmentierung und Dimensionierung

Funktionale Blöcke sind abgrenzbare und mit gut definierten Eigenschaften versehene funktionale Einheiten. Hierunter könnte man natürlich ganze PLLs, D/A-Wandler oder A/D-Wandler verstehen, jedoch sind dies in dieser Arbeit die zu erstellenden Systeme oder Systemblöcke. Als funktionale Blöcke werden in dieser Arbeit Blöcke, wie der Phasen-Frequenz-Detektor, das Schleifen-Filter, der VCO und der Teiler bei PLLs sowie SC-Verstärker, SUB-A/D- und D/A-Wandler bei Pipeline A/D-Wandlern, verstanden. Speziell für  $\Sigma\Delta$ -Modulatoren wurde in [59, 60] ein Programmpaket vorgestellt, das automatisch über eine statistische (fridge-2 mit der Hauptoptimierungsmethode: simulated annealing) und deterministische Optimierungsmethode (lokale Optimierungsmethode nach Powell [74]), wissensbasierend arithmetisch und mit einem dedizierten Verhaltenssimulator (asides) die Zell- und Funktionalblockanforderungen bestimmen und verifizieren kann. Darauf folgend kann der Optimierer (fridge-2) in Kombination mit einem SPICE-Simulator auch die Zelldimensionierung vornehmen. Dagegen wurde in [63] ein Programmpaket (DSYN) dargestellt, das sich auf D/A-Wandler mit geschalteten Stromquellen spezialisiert und auch das Layout synthetisieren kann.

In dieser Arbeit wurden Prozeduren so implementiert, dass man ähnlich wie in [59, 60] vorgehen kann. Dies muss jedoch in der schematischen Zeichnung vermerkt werden. Als Optimierer wird entweder „asco“ [5] oder ein nichtlinearer lokaler Optimierer nach dem Simplexverfahren [26] verwendet. In der Regel wird jedoch in dieser Arbeit auf Exemplardesigns zurückgegriffen und diese nach einer arithmetischen Anpassung, wenn nötig, lokal optimiert, da die Vielzahl der Freiheitsgrade eine statistische (z.B. Simulated Annealing [60, 74] oder Differential Evolution [13]) globale Optimierungsmethode nahezu verbietet. Auf den dedizierten Verhaltenssimulator wird verzichtet und statt dessen derzeit XSPICE [25] oder CPPSIM [71] eingesetzt, in denen die für diese Arbeit nötigen Funktionalblöcke integriert worden sind.

### 6.2.3 Zelldimensionierung

Für die automatische Zelldimensionierung existieren zwei grundsätzlich unterschiedliche Ansätze, die jedoch auch gemischt werden können:

- Wissensbasierend (WB.): Ein Expertensystem mit gespeicherten Informationen über das Design spezieller analoger Schaltungen. Die gespeicherten Informationen bestehen z.B. aus topologischen Wissen, arithmetischen Handregeln und vereinfachten Modellen.
- Optimierungsbasierend (O.): Ein Optimierungssystem bei dem die Kostenfunktion entweder über symbolische Gleichungen oder über einen Schaltungssimulator bestimmt wird. Der Vektor, der die möglichst wenigen unabhängigen Variablen (u. a. Länge, Weite der Transistoren) darstellt, muss dazu vor jedem Auswertungsvorgang (Kostenfunktional über die Schaltungssimulation (SIM.) oder Berechnung der symbolischen Gleichungen (GL.)) erneuert werden. Diese multidimensionale Schrittweisensteuerung erfolgt entweder statistisch (STA.) (simulated annealing) oder deterministisch (DET.) (z.B nichtlineare Simlex-Optimierung). Erwähnenswert ist zudem, dass deterministische Optimierungsmethoden zumeist nur eine lokale Optimierung erlauben.

Um einige bekannte Zelldimensionierungsprogramme zu vergleichen, werden die Kriterien Generalität, Genauigkeit, Dimensionierungszeit, nötige Präparationsexpertise und Parameterstreuungsberücksichtigung herangezogen und Punkte von 1 bis 10 verteilt. Je mehr Punkte zugeordnet werden, desto besser ist die Bewertung.

Beispiel	Methode	Dimensionierungszeit	Genauigkeit	Generalität	Präparationsexpertise	Parameterstreuungsberücksichtigung
[42]	WB.	9	7	5	1	8
[48]	O.DET.GL.	7	7	1	3	6
[35]	O.STA.GL.	4	7	3	4	6
[64]	O.DET.SIM.	5	9	7	6	4
[59, 5]	O.STA.SIM.	3	9	9	7	4

Tabelle 6.1: Vergleich von Zelldimensionierungsprogrammen

Die obige Tabelle ist subjektiv und basiert auf den entsprechenden Artikeln. Es ist jedoch unmittelbar verständlich, da die Zelldimensionierungsmethoden, die auf statistische Methoden der Schrittweisensteuerung und SPICE-Simulationen auf Transistorebene beruhen, am ungünstigsten bezüglich der

Rechenzeit sind. Am genauesten sind natürlich die Methoden, die auf SPICE-Simulationen auf Transistorebene beruhen. Jedoch ist es hier besonders schwierig, die Parameterstreuungen zu berücksichtigen. In [29] werden die Programme ähnlich eingeschätzt.

Ein interessanter Ansatz wird in [73] mit dem frei verfügbaren Programm COMDIAC verfolgt, wo über die Nachbildung der Transistormodelle und das Lösen eines niederdimensionalen lineareren Gleichungssystems die Dimensionierungsparameter bestimmt werden. In der Anwendung zeigte es jedoch für Operationsverstärker mit hoher Transitfrequenz (z.B.  $f_T > 300\text{MHz}$  in einer  $0.25\mu\text{m}$ -Technologie) entweder eine schlechte Konvergenz oder konvergierte gegen nicht sinnvolle Lösungen (z.B.  $I_{sup} > 10\text{mA}$  bei  $f_T > 300\text{MHz}$ ). Operationsverstärker mit hoher Leerlaufverstärkung ( $A_0 > 70\text{dB}$ ) bei hoher Transitfrequenz (z.B.  $f_T > 300\text{MHz}$  in einer  $0.25\mu\text{m}$ -Technologie) sind nicht implementiert.

In dieser Arbeit wurden Prozeduren so implementiert, dass man ähnlich wie in [59, 60] vorgehen kann, da das Programm asco [5] frei verfügbar ist. Dies muss jedoch ebenfalls in der schematischen Zeichnung vermerkt werden. Zwar sind nun wegen der geringeren Freiheitsgrade statistische Methoden möglich, aber es wird in dieser Arbeit bevorzugt, dass Gesamtdimensionierungsproblem in die Anwendung von arithmetischen und layouttechnischen Expertenwissen (z.B. für Operationsverstärker Handrechnungen wie in [6] Kap. 6) und in die lokale Optimierung von z.B. Wide-Swing-Stromspiegeln und Eingangspaaren zu unterteilen, da im anderen Falle eine hohe Präparationsexpertise benötigt wird und die Konvergenz nicht garantiert ist.

#### 6.2.4 Zelllayouterstellung

Auch bei der Zelllayouterstellung kann man zwischen wissensbasierenden und optimierungsbasierenden Methoden unterscheiden und auch hier kann man beides mischen.

Beim *wissensbasierten Ansatz* sind für ausgewählte Topologien die Arrangements weitgehend festgelegt. Dabei kann die Wissensspeicherung durch ein Programm (z.B. BALLISTIC und MOGLAN[68, 92]), durch Topologiebibliotheken [48], durch Beispiellayouts [24] (Layout-Schablonen) oder durch gespeicherte Regeln [9] erfolgen.

Beim *optimierungsbasierenden Ansatz* wird die Kostenfunktion für die Platzierung und die Verdrahtung jeweils über die Rand- und Nebenbedingungen, die für das Layout analoger Schaltungen (z.B. Symmetrien, Gleichlauf und Parasiten) nötig sind, gestaltet und der Platzierungs- und Verdrahtungsprozess [23, 58, 53] automatisch ausgeführt.

Der wissensbasierte Ansatz benötigt in der Regel nur wenig Rechenzeit, hat

aber einen hohen Entwicklungsaufwand, der nur für sehr häufig benötigte Elemente ausgeführt wird.

Der optimierungsbasierte Ansatz ist ein sehr erstrebenswerter, da nach einer hoffentlich kurzen Präparation wenig Einflussnahme benötigt wird und die Produktivität stark erhöht werden kann. Jedoch benötigt dieser Ansatz durch die vielen Freiheitsgrade eine hohe Rechenzeit und wegen der Komplexität des Analogdesigns eine hohe Präparationsexpertise. In [58] wird die Komplexität eines Transistorblocks durch die Reduktion auf Transistorstapel reduziert. Die Qualität dieser Transistorstapel bezüglich der Verdrahtungs- und Parasitensymmetrie wird in [62] verbessert. Da in der Regel nur elektrische Leistungsanforderungen vorhanden sind und für die Verdrahtung und Platzierung Parasitätsrandbedingungen benötigt werden, müssen diese übersetzt werden. Dies wird in [58] beschrieben. Der optimierungsbasierende Ansatz kommt in der Regel nur bei kleinen Schaltungen zum Einsatz und führt oft nicht zu kompakten Layouts.

Beide Ansätze können durch Bauelementgeneratoren und Modulgeneratoren, die die analogen Rand- und Nebenbedingungen (z.B. Gleichlauf und Parasiten) berücksichtigen, verbessert werden. Layoutprozeduren für feste Konfigurationen dieser Module mit Common-Centroid- oder Interdigitated-Verteilung der Elemente wurden in [68, 11, 92] entwickelt.

In dieser Arbeit wurden Modulgeneratoren (Layoutprozeduren in TCL) wie in MOGLAN und Transistorstackgeneratoren wie in [62] entwickelt, da eine Ausweitung des optimierungsbasierenden Ansatz bis auf Transistorebene nicht zu sehr kompakten und symmetrischen Layouts führt. Zuzüglich zu den Generatoren, die in MOGLAN und BALLISTIC existieren, wurden Generatoren mit symmetrischer Überzellverdrahtung entwickelt. Für die Verdrahtung mehrerer Module werden in der Regel Analogbusrouter eingesetzt um symmetrische Parasiten zu garantieren. Für die Gesamtzelllayouterstellung wird durch Permutation aller Modul- und Anordnungsvariationen (in Streifen ähnlich wie in CAIRO [28]) das Zelllayout minimiert. Im Gegensatz zu den compilerbasierten Programmen MOGLAN und CAIRO (C/C++) ist das hier erstellte Layoutgenerierungssystem interpreterbasiert (Tel/Tk [67]). Dies erlaubt eine leichte Integration in ein größeres Programmpaket und ermöglicht eine dynamische Kodegenerierung.

Die Qualität der Layoutzellen wird im Allgemeinen auf der Transistorebene durch elektrische Schaltungssimulationen mit Parasiten verifiziert.

### 6.2.5 System- und Funktionalblocklayouterstellung

Der Funktionalblocklayouterstellungprozess lässt sich in der Regel nur für reguläre Strukturen wie z.B. bei SC-Blöcken ([57] und in dieser Arbeit) oder

für D/A-Wandler [63] automatisieren. Ähnliches gilt für Systeme, obwohl es z.B. in [83] Versuche gibt, optimierungsbasierend (puppy-A: Platzierung basierend auf „simulated annealing“) diesen Prozess zu automatisieren. Funktionale Blöcke und kleinere System-Blöcke (z.B. A/D-Wandler, D/A-Wandler und PLLs) werden noch auf Transistorebene mit einem elektrischen Schaltungssimulator verifiziert. Ganze Systeme mit Parasiten können wegen ihrer Komplexität oft nicht mehr auf Transistorebene simuliert werden. In diesem Falle sind Beschreibungen und Simulationen auf Verhaltensebene mit der Rückabbildung der Parasiten unumgänglich.

# Kapitel 7

## Synthesekonzept

Die Synthese von den in dieser Arbeit verwendeten analogen Schaltungen erfolgt weitgehend wissensbasiert mit Optimierungsanteilen, das heisst, dass das zu erstellende Design mit einem ähnlichen Beispieldesign (z.B. Referenzdesign mit gleicher zu erzielender Auflösung aber anderer Abtastrate) und deren Unterblöcken existieren muss und es dann zum Zieldesign hin optimiert werden kann. In einem ersten Schritt muss geklärt werden, wie das nötige Implementierungswissen so eingefangen werden kann, dass es für eine erneute Implementierung, unter der Verwendung von System- bzw. Schaltungssimulationen in Kombination mit entsprechenden Optimierungsalgorithmen, zur Verfügung steht.

Für den hier verwendeten Syntheseansatz werden Termini aus der objekt-orientierten Programmierung entlehnt.

- Templates: Parametrisierte Konzepte (Referenzdesigns) für eine Klasse von Schaltungen. Die genaue Ausgestaltung muss noch ermittelt werden. Eine Template-Bibliothek besteht aus schematischen Zeichnungen mit den entsprechenden Methoden, um deren Eigenschaften und Kennwerte, die aus der Simulation, der aus der schematischen Zeichnung erstellten Netzliste, oder algorithmisch (TCL-Skript [67]) ermittelt werden.
- Blockgeneratoren: Variables Arrangement von Modulen (z.B. SC-Blockgenerator). Die nötigen Zielwerte der Module oder Unterblöcke werden durch Vererbung oder Spezialisierung ermittelt.
- Modulgeneratoren/Objekte: z.B. Transistorpaare, Stromspiegel und Kapazitätsfelder

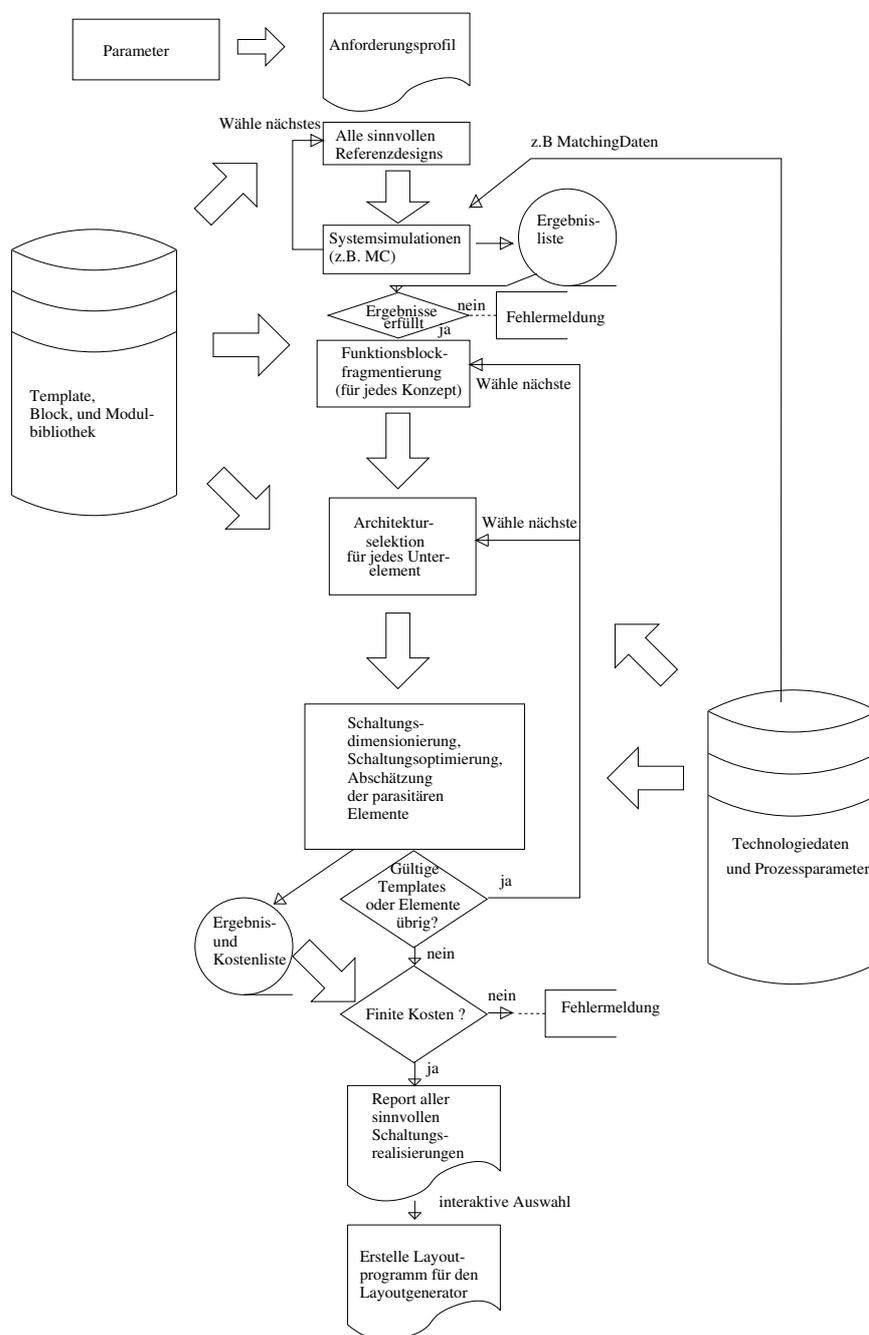


Abbildung 7.1: Der Syntheseprozess

- Eigenschaften/Parameter/Zielwerte: z.B. DOR (Datenausgangsrate), SINAD, THD, SFDR, Fläche, Verlustleistung und  $\sqrt{S_i(f)}$

- Methoden: Verfahren zur Bestimmung der Eigenschaften, Kennwerte und Zielwerte und der Art der Vererbung für ein Template, einen Block oder ein Modul.

*Definitionen:*

- $f_{T,ref}$ -Anforderung an die Transitfrequenz des Operationsverstärkers vor der Anpassung
- $f_{T,neu}$ -Anforderung an die Transitfrequenz des Operationsverstärkers nach der Anpassung
- $SR_{ref}$ -Anforderung an die Slewrate des Operationsverstärkers vor der Anpassung
- $SR_{neu}$ -Anforderung an die Slewrate des Operationsverstärkers nach der Anpassung
- $R_{sw,ref}$ -Anforderung an den Schalterwiderstand vor der Anpassung
- $R_{sw,neu}$ -Anforderung an den Schalterwiderstand nach der Anpassung

$$f_{T,neu} = \frac{f_{s,neu}}{f_{s,ref}} \cdot f_{T,ref} \quad (7.1)$$

$$SR_{neu} = \frac{f_{s,neu}}{f_{s,ref}} \cdot SR_{ref} \quad (7.2)$$

$$R_{sw,neu} = \frac{f_{s,ref}}{f_{s,neu}} \cdot R_{sw,ref} \quad (7.3)$$

Referenzdesigns werden nur schwach an neue Parameter angepasst. In dem Fall einer anderen Abtastrate werden die Anforderungen an die Operationsverstärker nach Gl. 7.1 und Gl. 7.2 und an die relevanten Schalter nach 7.3 variiert. Dies erfolgt zumeist algorithmisch (Algorithmische Templates) kann aber auch über nichtlineare Optimierung [26, 5] erfolgen.

Die Unterteilung der System-Templates erfolgt folgendermaßen:

- Master Template: Es existiert ein von Hand optimiertes System in einer Mustertechnologie und unter Musterkonditionen. Diese Schaltung wird dann über den gewählten Simulator (Spice-Makromodell, CPPSIM [71], Verilog-A, Verilog-AMS oder XSPICE [25]) relativ zueinander skaliert und dann lokal optimiert.
- Unterbestimmtes Master Template: Es existiert eine schematische Zeichnung des Systems mit sinnvoller Variablenreduktion. Diese Schaltung wird mit den Zielen  $Z_i$  global optimiert [5].

- Algorithmisches Template: Für jedes Unterelement des Systems wird für die gewünschten Ziele ein funktioneller Zusammenhang hergestellt und über den Simulator dimensioniert. Die so dimensionierte Schaltung kann dann lokal optimiert werden.

Für die in der Systemsimulation der Referenzdesigns existierenden Elemente existieren ebenfalls Funktionsblockrealisierungen. So kann z.B. das System-MX2-Element (für den speziellen Systemsimulator entwickelte discrete-time-Verstärkerstufe mit der Verstärkung 2) auf die Schaltungen nach den Abbildungen 3.9 oder 3.10 abgebildet werden. Gleiches gilt natürlich auch für deren Anforderungen.

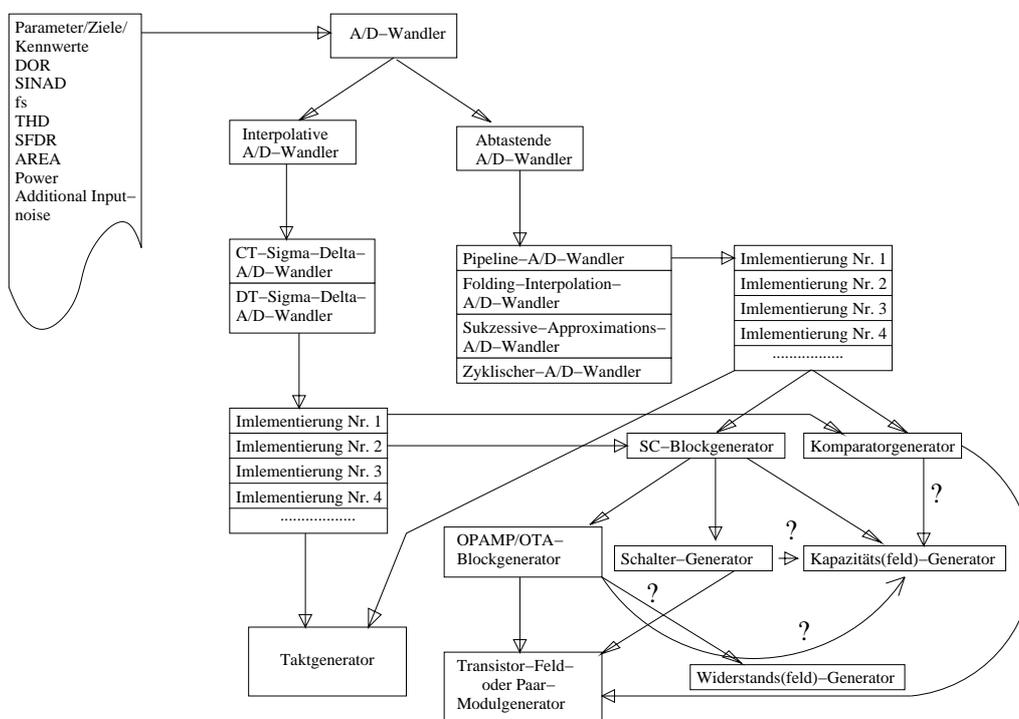


Abbildung 7.2: Unvollständige A/D-Wandler-Klassenhierarchie

Es ergibt sich eine Art Baumstruktur (Abb. 7.2 und Abb. 7.3), die datentechnisch einer Verzeichnisstruktur entspricht, wo jedem Weg nachgegangen wird, bis ein Ausschlusskriterium erreicht wird. Da dieses System gleichzeitig eine Top-Down-Methodologie [60] darstellt, kommt der Akkuratheit der Systemsimulationen eine besondere Bedeutung zu. Derzeitig implementierte Systemtemplates sind:

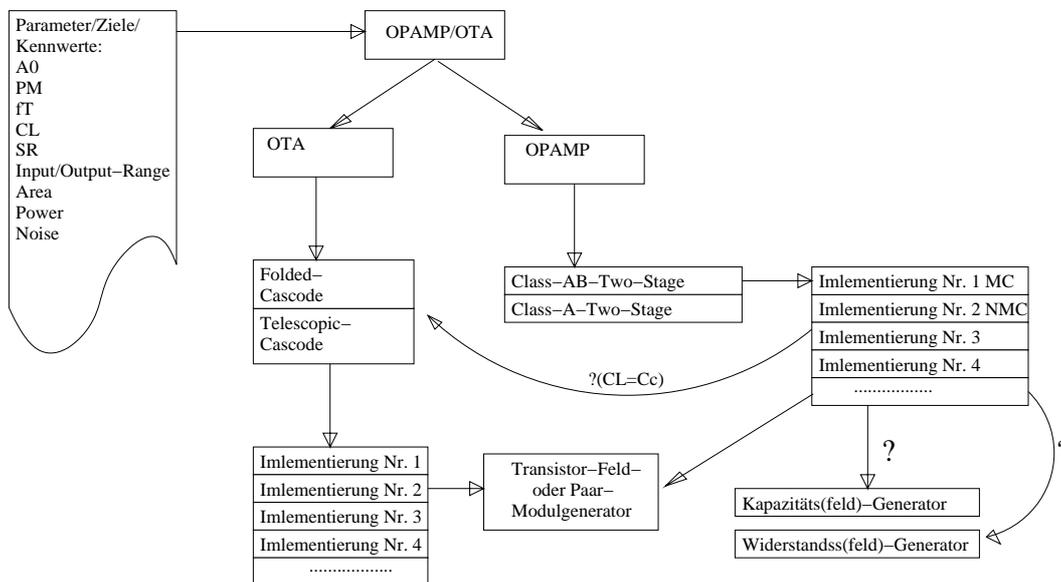


Abbildung 7.3: Unvollständige Opamp/OTA-Klassenhierarchie

- 10 Bit und 12 Bit 1.5 Bit/Stufe Pipeline A/D-Wandler ohne Fehlerkorrektur - Referenzdesign bei 100MSPS
- 2. Ordnung, MASH 2-1 und MASH-2-1-1  $\Sigma\Delta$ -Modulator - Referenzdesign bei 64MSPS (DOR z.B. 2MSPS)

Die derzeit implementierten Analog- und Layouttemplates (siehe auch Kapitel 5 und 8) entsprechen den in den Systemtemplates benötigten Unterblöcken:

- Volldifferentielle Folded-Cascode- und Telescopic-Cascode-OTA mit und ohne Gain- Boosting: Diese werden über die Funktionen nach Tab. 5.1 in Kombination mit lokaler Schaltungsoptimierung erstellt. Im Layout werden sie über ein vollprogrammiertes Layoutprogramm (derzeit jeweils zwei Variationen) erstellt.
- Volldifferentielle zweistufige Operationsverstärker mit Miller- und NMC-Frequenzkompensation mit einer FC-,TC- und Differenzstufe als erste Stufe: Diese werden über die Funktionen nach Tab. 5.1 in Kombination mit lokaler Schaltungsoptimierung erstellt. Im Layout werden sie über ein vorprogrammiertes Layoutprogramm (derzeit 1x) mit einem Analogblock-Kanalrouter erstellt.
- Schalter nach Abb. 9.11: Arithmetisches Analogtemplate. Modulgenerator (Formfaktor variabel durch  $n_F$ -Variation) im Layout.

- Gate Boosted-Schalter nach Abb. 9.10: Analog Master Implementierung auf Schaltungsebene. Handlayout auf Layoutebene (CIF-Import).
- CT-CMFB-Schaltung nach Abb. 9.7: Arithmetisches Analogtemplate - 1xVollprogrammierung im Layout.
- DT-SC-CMFB-Schaltung nach Abb. 9.7: Arithmetisches Analogtemplate - 1xVollprogrammierung im Layout.
- Dynamischer 1:1 Komparator: Arithmetisches Analogtemplate (Abb. 9.9b - 1xVollprogrammierung im Layout).
- Dynamischer 1:4 Differenz-Differenz-Komparator: Arithmetisches Analogtemplate - 1xVollprogrammierung nach Abb.5.23 wie auch Abb. 9.8 im Layout.
- Kapazitätsfelder: Analogparameter aus der Systemsimulation. Im Layout existieren Common-Centroid- Modulgeneratoren.
- Taktgeneratoren und Taktbuffer: Arithmetisches Analogtemplate - Layoutgenerierung über den Digitalblockgenerator.

Für die interne und die externe Layout-Komposition von SC-Blöcken existieren jeweils Layoutpläne. Die reinen Digitalblöcke können rein digital synthetisiert werden. In dieser Arbeit wurden sie von Hand gelayoutet, da diese Standardzellen existierten und die Digitalblöcke sehr klein waren.

## 7.1 Beispielsynthese

In diesem Kapitel wird ein Beispieldesign grob durchgespielt.

*Zielformat:* Design eines 10Bit A/D-Wandlers in einer 130nm-Technologie mit einer Abtastrate von 50MS/s

*Bedingungen:* SINAD > 60dB, THD < -62dB,  $v_{in,max} = 1.0V_{pp}$ , 1.2V Core-Transistoren und  $V_{DD} = 1.2V$ .

Im zentralen Programm Designers Workbench (dwbench) werden diese Werte eingegeben.

- *Schritt 1* - Es existiert ein Generator (TCL-Skript-Unterprogramm in Designers Workbench) für die Klasse der A/D-Wandler. In einem ersten Schritt werden alle Systemsimulationsreferenzdesigns (schematische Zeichnungen mit XSPICE- oder CPPSIM-Verhaltensbeschreibungen synthetisierbarer Funktionsblöcke) der Klasse A/D-Wandler

durchgegangen, nötige Konstanten aus den Anforderungen und den Technologiedaten hergeleitet und überprüft, ob sie diese Bedingungen erfüllen können.

Die Technologiedaten enthalten neben den Designregeln auch Werte wie den Kapazitätsgleichlauf quadratischer Kapazitäten  $\frac{\Delta C}{C}|_{1pF}$ , den analogen Betriebsspannungsbereich  $\{V_{DDA,min}, V_{DDA}, V_{DD,max}\}$  usw.

Die möglichen Zielwerte sind in der schematischen Zeichnung des Referenzdesigns algorithmisch angemerkt, oder das Referenzdesign enthält Simulationsvorschriften, die diese Werte bestimmen. Das Programm „vspicepp“ ruft die nötigen Programme (z.B. den XSpice-Simulator) auf und fungiert als Prä- und Postprozessor. Es wird dabei eine Ergebnisdatei erzeugt, die dann ausgewertet wird. Das Ergebnis ist eine Liste von Referenzdesigns, die diese Bedingungen erfüllen können. In diesem Fall sind es die 10Bit- und die 12Bit- Pipeline A/D-Wandler (1.5Bit pro Stufe), die im Referenzdesign mit einer Abtastrate von 100MS/s (Abb. 7.4) erstellt wurden. An dieser Stelle wird in einem zweiten Schritt zunächst die Transitfrequenz und die Slewrate der Operationsverstärker/OTAs ( $f_{T,neu} = \frac{50MHz}{100MHz} \cdot f_{T,ref}$  und  $SR_{neu} = \frac{50MHz}{100MHz} \cdot SR_{ref}$ ) angepasst. Nun können entweder vom Benutzer oder automatisch die 12 Bit Pipeline A/D-Wandler vom weiteren Syntheseweg ausgeschlossen werden. Für den automatischen Ausschluss wurde die Eigenschaft „complexity“ hinzugefügt: wenn der Wert im Vergleich zu den anderen bedingungserfüllenden Referenzdesigns zu hoch ist, wird dieser Pfad ausgeschlossen. In einem dritten Schritt kann das Referenzdesign noch lokal optimiert werden, wenn dies in der schematischen Zeichnung des Referenzdesigns angemerkt ist.

- *Schritt 2* - Über eine Äquivalenzliste werden alle Systemsimulationsblöcke (Verhaltensebene) in die Funktionalblockebene transferiert. Eine Übersetzung der Parameter und Taktphasen erfolgt ebenfalls. Für die Parameter ist dies oft nur ein einfaches Übertragen, da auf der Systemebene die gleichen Parameter (offene Schleifenverstärkung  $A_0$  des Operationsverstärkers/OTA, Slewrate SR des Operationsverstärkers/OTAs, Offsetspannung  $v_{offset}$  des Operationsverstärkers/OTAs, Transitfrequenz  $f_T$  des Operationsverstärkers/OTAs, Offsetspannung  $v_{comp,offset}$  des Komparators usw.) verwendet wurden. Betrachtet man die Taktphasen, so wird auf der Systemebene zu jeder Pipeline Stufe und zu dem Abtast- und Halteglied nur eine Phase, die Abtastphase, die von Stufe zu Stufe mit  $\phi_{1d}$  und  $\phi_{2d}$  alterniert, geleitet. Auf Funktionalblockebene sind die Referenzdesigns (z.B. Abb. 7.5) für

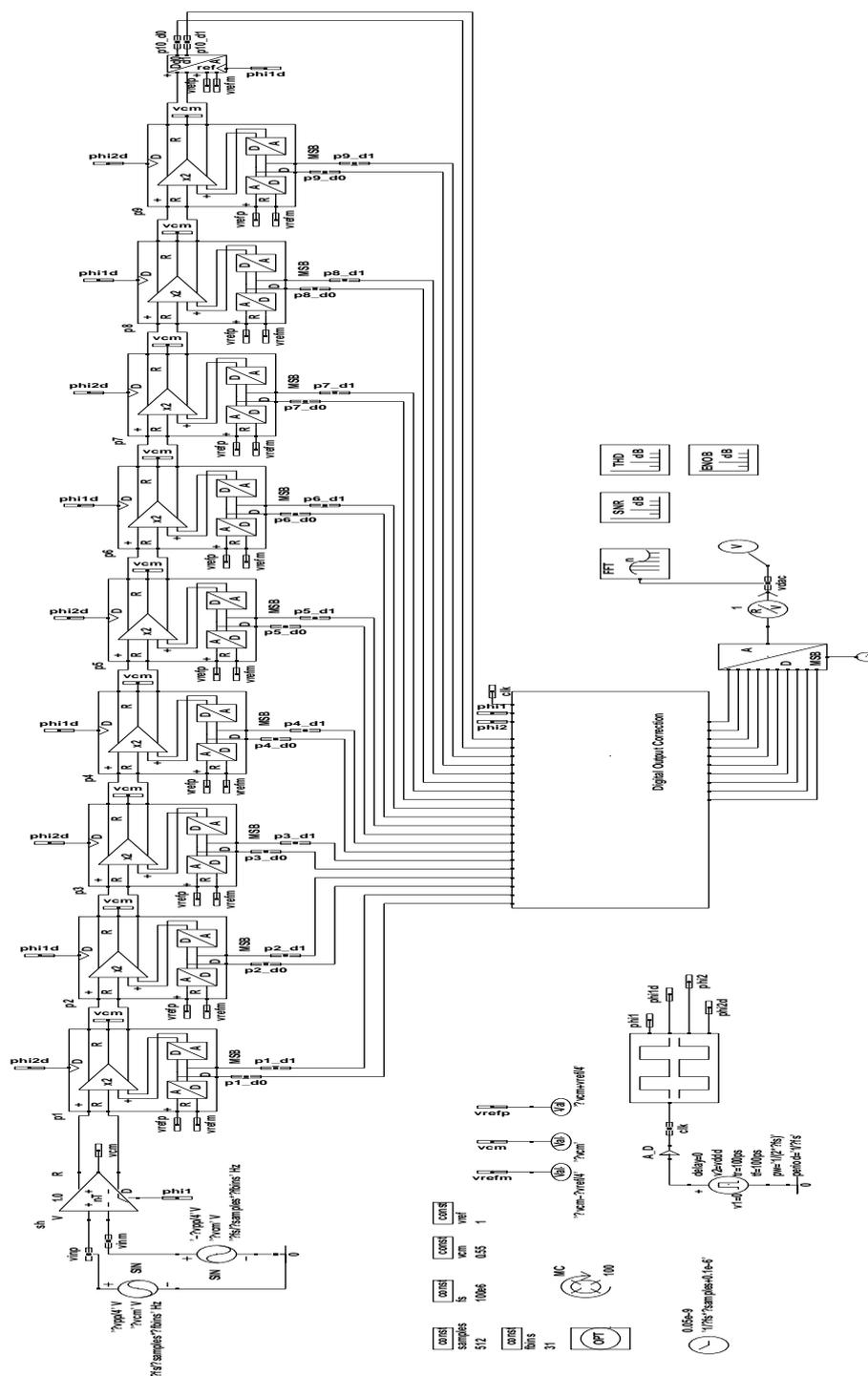


Abbildung 7.4: Ein Systemreferenzdesign eines 10Bit 100MSPS 1.5Bit pro Stufe Pipeline A/D-Wandlers

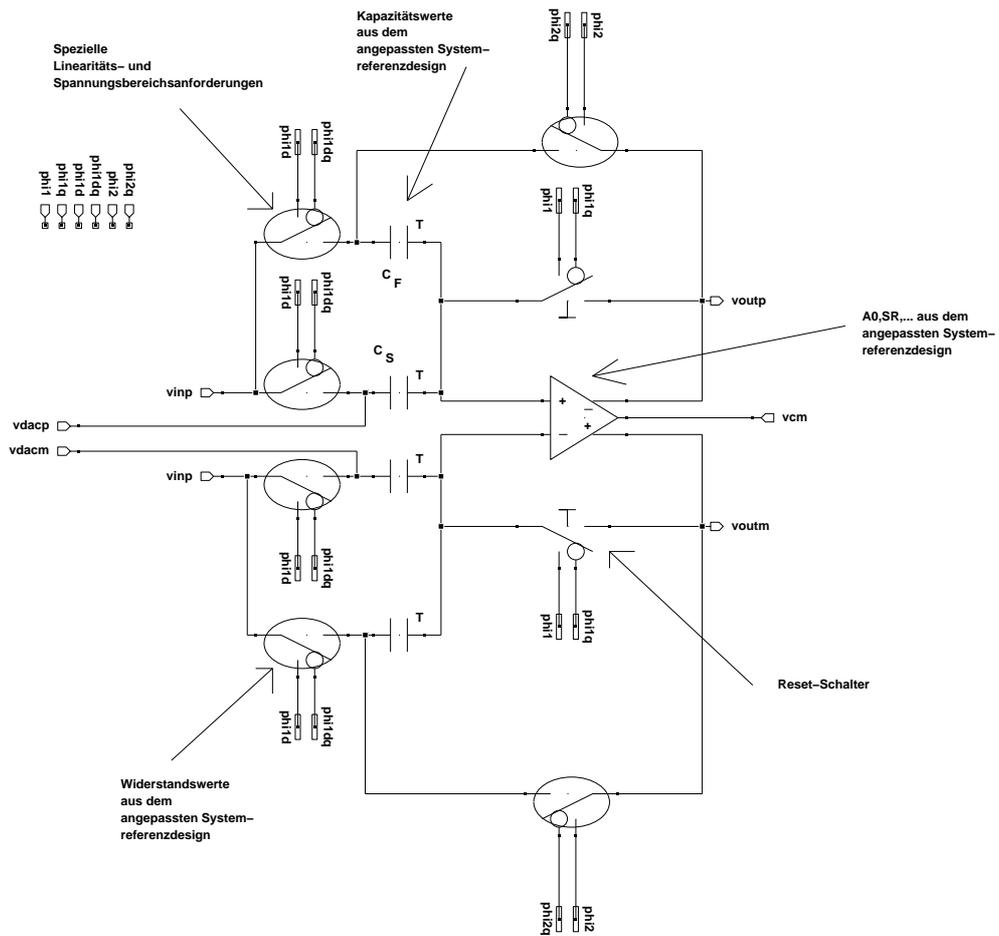


Abbildung 7.5: Referenzdesign einer der ersten SC-Verstärkerstufen mit Addierpfad auf Funktionalblockebene

die SC-Verstärkerstufen mit der Phase  $\phi_{i1}$  als Abtastphase ( $\phi_{i2}$  als Haltephase) aufgebaut und enthalten schon alle nötigen Taktphasen. Die Verbindungen werden über gleiche Namen geschlossen.

- *Schritt 3* - Nun hat man eine Liste von Elementen mit Parametern, die erstellt werden müssen und es wird ähnlich vorgegangen wie bei den Systemelementen. Für jedes Element (Schalter, Operationsverstärker/OTA, Komparatoren usw.) existieren Generatoren. Diese Generatoren (TCL-Skript-Unterprogramme in „Designers Workbench“) gehen also in einem ersten Schritt die einzelnen Referenzdesigns durch und überprüfen, welche dieser Referenzdesigns die Anforderungen erfüllen. Dies wird im ersten Schritt i.d.R. rein algorithmisch ausgeführt. In diesem Beispiel wird für das Abtast- und Halteglied und für die ersten drei SC-Verstärkerstufen ein Folded-Cascode-OTA (Abb. 5.3a) mit Gain-Boosting [89] gewählt und der Telescopic-Cascode-OTA ausgeschlossen, da bei einer Anzahl von  $n$  gestapelten Transistoren in der Ausgangsstufe (Tab. 7.1) gelten soll (Worst Case-Drain-Source-Sättigungsspannungen des  $i$ -ten Transistors im Ausgangspfad:  $v_{DS,sat,wc,i}$ ):

$$\frac{v_{in,max,pp}}{2} < \underbrace{V_{DD,min}}_{1.1V} - \sum_{i=1}^n \left(1 + \frac{1}{2}\right) v_{DS,sat,wc,i}. \quad (7.4)$$

Natürlich würden auch die zweistufigen Operationsverstärker mit einfacher Class-A-Ausgangsstufe diese Bedingung erfüllen. Dies führt aber zu einem höheren Stromverbrauch und zu einer höheren Komplexität.

Minimale Transistorlänge	Biastransistoren $v_{DS,sat,typ}$	Kaskodentransistoren $v_{DS,sat,typ}$
$0.35\mu m$	$V_{DD,min}/17$	$V_{DD,min}/24$
$0.25\mu m$	$V_{DD,min}/16$	$V_{DD,min}/22$
$0.13\mu m$	$V_{DD,min}/15$	$V_{DD,min}/18$

Tabelle 7.1:  $v_{DS,sat}$ -Wahl für unterschiedliche Technologien

Für die Komparatoren wird in diesem Fall ein dynamischer Komparator nach Abb. 5.24 gewählt, da auf der Systemebene hohe Offsets vermerkt sind. In den ersten drei SC-Verstärkerstufen und im Abtast- und Halteglied kommt für die Abtastschalter und den Kapazitätsrückkopplungsschalter der „Gate-Boosted“-Schalter zum Einsatz. Im zweiten Schritt werden die Elemente, die die Anforderungen erfüllen, dimensioniert.

In diesem Beispiel wird der Folded-Cascode-OTA mittels der Hilfsfunktionen nach Tab. 5.1 unter der Verwendung von Tab. 7.1 dimensioniert. Zusätzlich wird  $I_0 = SR \cdot C_{L,tot}$  (siehe Abb. 5.3a) gesetzt. Die Hilfsverstärker (siehe Abb. 9.5) verwenden die gleichen Basistransistorelemente wie der Folded-Cascode-OTA. Deren Längsstrom wird von  $\frac{1}{16}I_0$  bis  $\frac{1}{2}I_0$  variiert, bis sich in der AC- und Transient-Simulation kein Pol-Nullstellen-Dublett mehr nachweisen lässt. Als Gleichtaktregelung wird ein SC-CMFB gewählt. In einem dritten Schritt kann das Referenzdesign noch lokal optimiert werden, wenn dies in der schematischen Zeichnung des Referenzdesigns angemerkt ist. Wenn mehrere Referenzdesigns die Anforderungen erfüllen, kann der Anwender wiederum die Elemente auswählen oder sich die Elemente über die Kosten (z.B. Chipfläche und Stromverbrauch) automatisch auswählen lassen. Eine vollständige schematische Zeichnung mit allen dimensionierten Unterelementen wird erstellt.

- *Schritt 4* - Wenn die Elemente des Layoutgenerators auch in der schematischen Zeichnung verwendet wurden, dann kann dieses direkt in ein Layoutprogramm übersetzt werden. Genauer wird darauf im Kapitel 8.1.1 eingegangen. In diesem Falle existieren für alle Blöcke außer den Gate-Boosted-Schalter, aus der schematischen Zeichnung Layoutgeneratorstandardzellen. Der Gate-Boosted-Schalter muss in jeder Technologie von Hand im Layout erstellt werden und wird dem Layoutgenerator als CIF-Datei zur Verfügung gestellt. Eine Implementierung als Layoutgeneratorstandardzelle ist angedacht.

# Kapitel 8

## Layoutgenerierung

In diesem Kapitel wird der von mir im Rahmen der vorliegenden Arbeit entwickelte Layoutgenerator dargestellt. Eine technologieunabhängige Layoutgenerierung fußt auf einer Betrachtung der Gemeinsamkeiten unterschiedlicher Technologien. Im Folgendem werden insbesondere CMOS-Technologien betrachtet. Jedes Layout besteht aus einer Menge von Polygonen in unterschiedlichen Ebenen. Die Verwaltung dieser Layoutgrundelemente, der Aufbau größerer Layoutstrukturen und die nötigen Programmiergrundstrukturen wurden derart realisiert, dass die Layoutbefehle in einem Interpreter (TCL/TK [67]) implementiert wurden. Der Interpreter und somit ein Layoutgenerator kann leicht in jedes Programm integriert werden. Für die Layoutgenerierung wird direkt auf die Designregeln aufgesetzt. Derzeit sind nahezu 300 Regeln implementiert. Einige dieser Regeln sind jedoch nur zur Steuerung des Generierungsprozesses notwendig und besitzen keine Äquivalente, die zum Prüfen herangezogen werden können.

### 8.1 Templatemethode

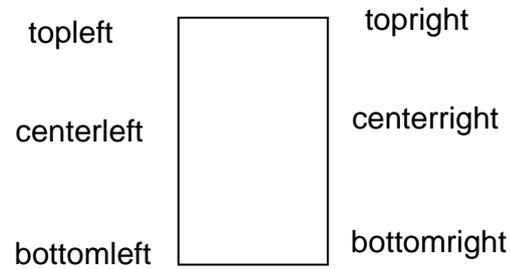
Gruppen von Layoutstrukturen, die zu einer noch leicht variablen Gesamtstruktur zusammengefasst werden, werden im Folgendem (Layout-)Templates genannt. Dieser Templateansatz ist für die hier betrachteten SC-Schaltungen gut geeignet. Bei diesem Ansatz werden Basiselemente mit zugehöriger Verdrahtung so gestaltet, dass sie in sich symmetrisch sind, wenn dies gefordert ist. Sollte eine Verbindung symmetrisch geführt werden sollen, so ist es wahrscheinlich, dass der Zielblock ebenfalls symmetrischer Natur ist, dies vereinfacht die Verdrahtung. Die Verdrahtung symmetrischer Verbindungen wird zuerst ausgeführt (Kanalrouter), während die Weiteren folgen, wobei eine symmetrische Einkopplung berücksichtigt wird.

### 8.1.1 Programmierbares Layout

Ändert sich während des Designprozesses die Zieltechnologie, müssen üblicherweise sämtliche Unterelemente des zu erstellenden Designs neu erstellt werden. Der dazu nötige Zeitaufwand wurde untersucht. Ein großer Teil der Zeit entfällt dabei auf das Layout und den Parasitic Extraction- Simulation-Optimierung- Redesign -Relayout Zyklus. Mit dem hier gewählten Ansatz eines programmierbaren Layouts werden die Layoutphasen reduziert [92]. Transistoren zeigen im Layout unterschiedlicher Technologien große Ähnlichkeiten. Deshalb lassen sich mit unterschiedlichen Parametersätzen für unterschiedliche Technologien Transistoren erstellen. Gleiches gilt natürlich auch für andere Bauelemente. Um die Festlegung auf ein Programmpaket zu vermeiden, wurde hier ein externer Ansatz gewählt im Gegensatz zu der üblichen Herangehensweise, PCells und Layouts in der Cadence<sup>TM</sup>- Opus eigenen Skill- Programmiersprache [16, 17] zu schreiben. Da jedes für das Layout analoger integrierter Schaltungen geeignete Programmpaket und das zugehörige Designkit das Einlesen von CIF(GDSII) gewährleisten muss, wurde CIF(GDSII) als Ausgabeformat des hier erstellten Layoutgenerators gewählt. Die Routinen zur Generierung von MOS-Transistoren, Poly-Poly- oder MIM-Kapazitäten und anderer Bauelemente wurden als Interpreterbefehle (TCL/TK) erstellt. Damit erhält man eine ähnliche Flexibilität wie bei der Verwendung der Skill<sup>TM</sup>- Programmiersprache [16, 17]. Mit den über eine Technologiedatei in unterschiedlichen Technologien erstellbaren Transistoren, Kapazitäten usw. kann man größere Objekte erstellen. So lassen sich nun über wenige Programmzeilen differentielle Transistorpfade mit Common-Centroid-Transistorpaaren (und eventuell Kreuzkopplungen), Einzeltransistorpfade, Stromspiegel, Kapazitätsfelder und viele andere Layoutelemente erstellen. Die Anzahl der Kontakte und die Breite der Leiterbahnen werden je nach Stromdurchfluss automatisch dimensioniert. Mit zusätzlichen Routinen für Direktverbindungen, Winkelverbindungen, Brückenverbindungen und Busverbindungen kann man nun gesamte Schaltungsblöcke oder Schaltungen erstellen. Diese Schaltungsblöcke lassen sich als Routinen in Dateien abspeichern. Mit den zusätzlich übergebbaren Parametern lässt sich eine Schaltungsdatenbank erstellen. Diese Schaltungen und Schaltungsblöcke lassen sich nun relativ (siehe Abbildung 8.1) zu existierenden Blöcken platzieren. Dazu wird jedes Modul oder jeder Block zuerst virtuell im Ursprung gezeichnet, das heißt, dass die Layoutstrukturen zuerst in einen temporären Speicher geschrieben werden und dann mit den nun bekannten Rändern und Verbindungen nach den Designregeln in die finale Layoutdatenbank eingefügt werden.

Insgesamt ist damit die Möglichkeit geschaffen worden, immer kompliziertere

over-fullleft,-left,-center,-right,-fullright



under-fullleft,-left,-center,-right,-fullright

Abbildung 8.1: Relative Platzierung innerhalb des Layoutgenerators

Layouts zu erstellen.

### Grundstrukturen

In diesem Abschnitt werden die einzelnen Grundstrukturen aufgeführt, mit denen komplexere Layoutblöcke komponiert werden.

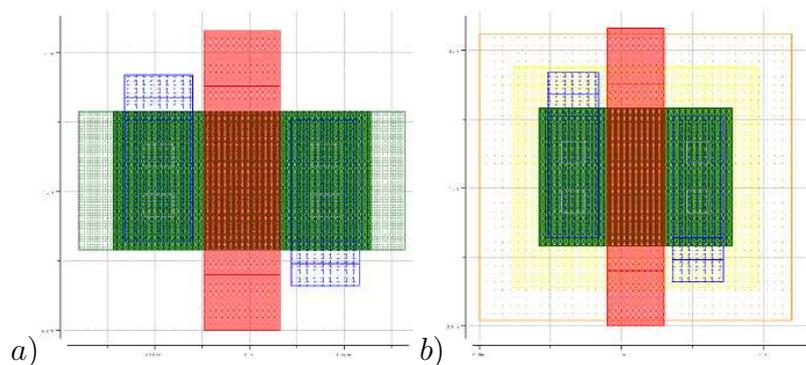


Abbildung 8.2: Layout eines Transistors a)NMOS und b) PMOS

Mit einem einzigen Programmierbefehl können Transistoren (Abb. 8.2), MIM-Kapazitäten, Poly-Kapazitäten, MOM-Kapazitäten und Widerstände (Abb.

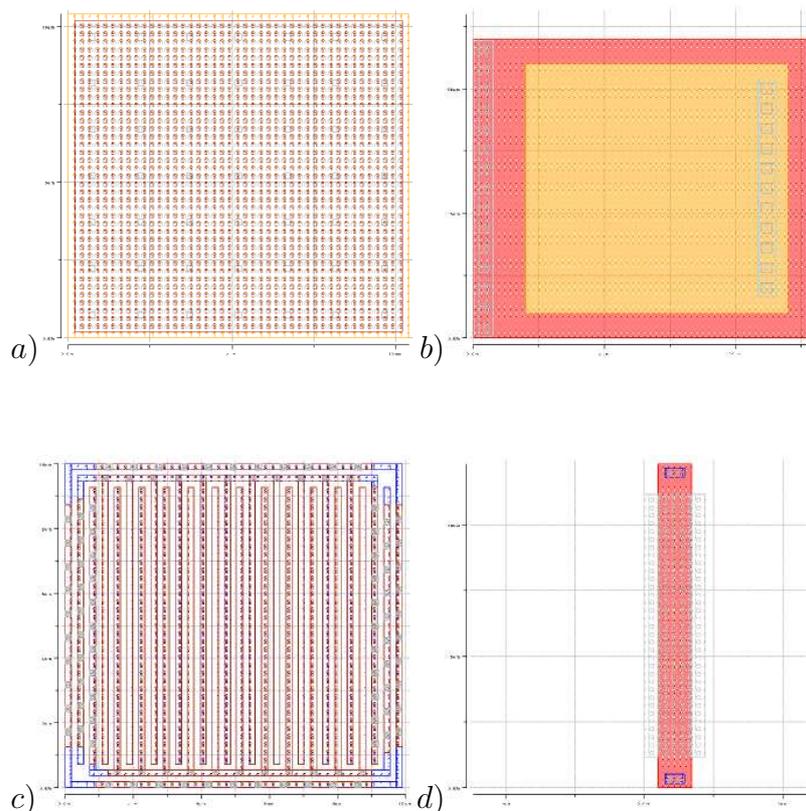


Abbildung 8.3: Layout von Kapazitäten und Widerständen  
 a) MIM-, b) Poly-, c) MOM-Kapazität und d) Widerstand

8.3) erzeugt werden. In dem Programm, das die TechnolgieDatenbank verwaltet, wird definiert, welche Widerstände, Kapazitäten und Bipolartransistoren verwendet werden. Jedoch lässt sich schon bei den MOM-Kapazitäten keine einheitliche Struktur mehr definieren. Nahezu jede Technologie hat ihre eigene patentierte MOM-Struktur. Ähnliches gilt für die Bipolartransistoren. Daher wurde im Layoutgenerator eine CIF/GDSII-Objekt-Import-Routine implementiert und so auf eine abzählbare Menge von festen Layoutstrukturen zugegriffen. Da jedoch bei den meisten CMOS-Technologien nur fest vorgegebene Bipolartransistoren existieren, ist dies in diesem Fall kein Problem. Bei den MOM-Kapazitäten ist es im Falle der SC-Schaltungen ebenfalls unproblematisch, da es ja sinnvoll ist, gleichlaufende Elemente zu komponieren.

### Modulgeneratoren

Im Folgenden wird als Modul ein aus symmetrisch (z.B. Common-Centroid) angeordneten Grundstrukturen [11, 28, 92] aufgebauter Verbund mit Verdrahtung definiert. Zum Beispiel ist ein Paar aus Transistoren mit einem zusammengesetzten Source-Anschluss ein Modul. In den anfänglich verwendeten Technologien war eine Verdrahtung über den Transistoren für analoge Blöcke nicht erlaubt. Daher wurden die ersten Module mit einer Verdrahtung außerhalb der Transistoren versehen. In Abbildung 8.4 ist ein Common-Centroid ( $\frac{ab}{ba}$ ) angeordnetes NMOS-Transistorpaar zu sehen. Es existiert natürlich eine Vielfalt verschiedener Transistorpaarkonfigurationen. Insbesondere wenn die Transistoren einen gemeinsamen Source-Anschluss haben (Abb. 8.5), ergibt sich ein einfaches Layout, dessen Kernelement ein Multifingertransistor ist.

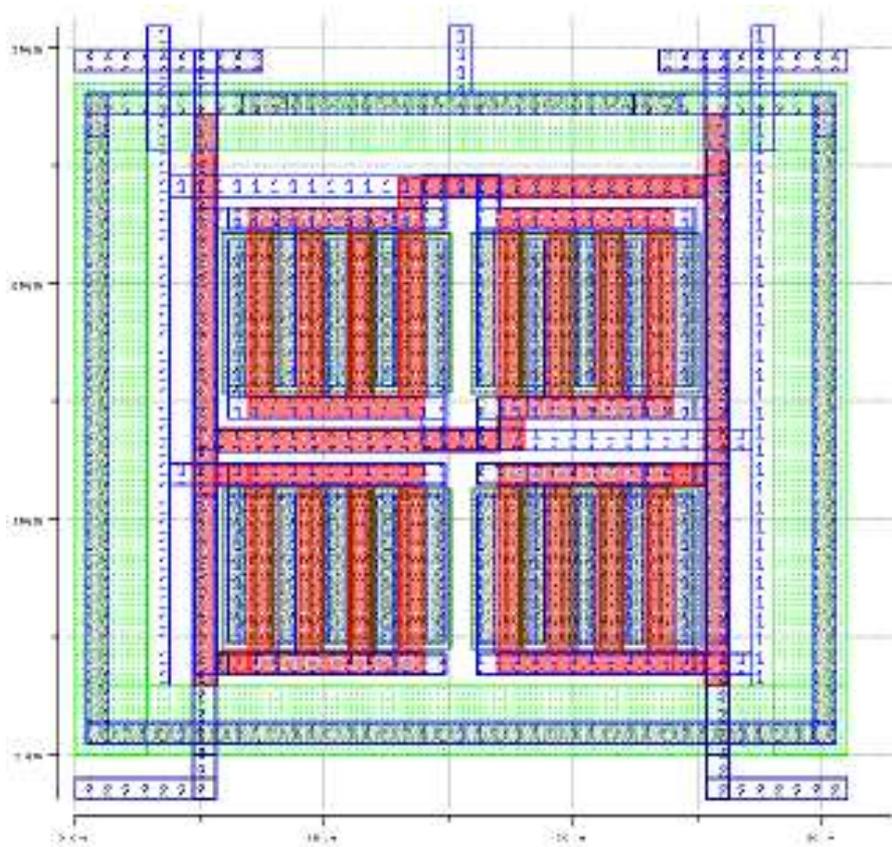


Abbildung 8.4: Layout eines 2D-Common-Centroid angeordneten NMOS-Transistorpaares

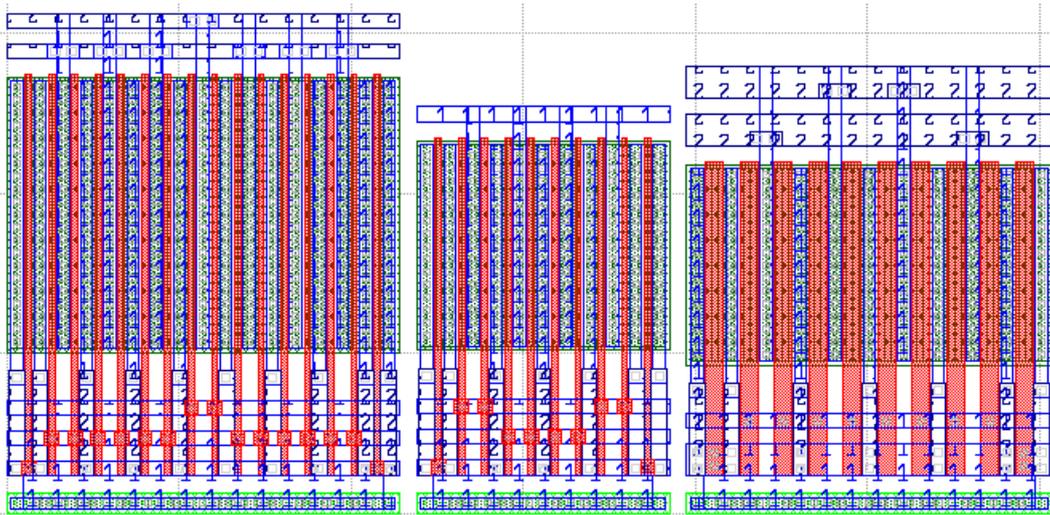


Abbildung 8.5: Layout verschiedener 1D-Common-Centroid angeordneter NMOS-Transistorpaare mit Randdummies  
(gemeinsamer Source-Anschluss/gemeinsamer Drain- und Source-Anschluss/gemeinsamer Source- und Gate-Anschluss)

Existierende Modulgeneratoren sind

- Transistorpaare und Transistorfelder
- Kapazitätspaare und Kapazitätsfelder
- Widerstandspaare und Widerstandsfelder

In einem weiteren Schritt wurden Transistorpaare und Felder implementiert, bei denen die Source- und Drain-Anschlüsse (**OverCellRouting**: Abb. 8.7) horizontal über die Transistoren geführt werden. Gegebenenfalls werden Dummy-Transistoren als Abstandshalter (s. Abb. 8.6) eingeführt und Drain- sowie Sourcezusammenführungsverbindungen durch den Blockgenerator in Metall 3 ebenfalls über den Modulen (vertikal) ausgeführt.

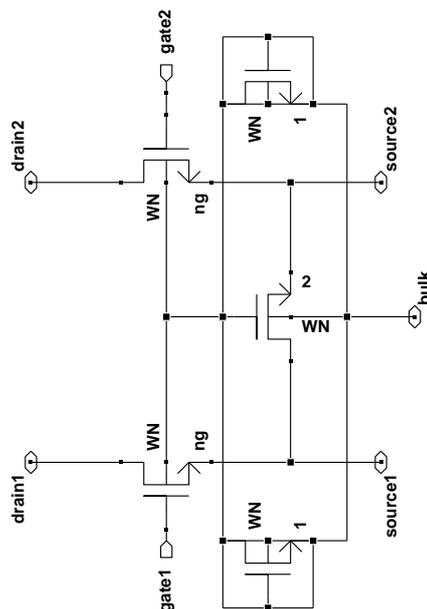


Abbildung 8.6: Schematische Zeichnung eines NMOS-Transistorpaares mit Randdummies und Abstandsdummies

### Analogblockroutinen

Die Analogblockgenerierung stellt eine Platzierungs- und Verbindungsstandardisierung dar. In dieser Arbeit werden Analogblöcke über Modulgeneratoren wie Standardzellen angeordnet. Dabei werden die Verbindungen standardmäßig nach oben oder nach unten herausgeführt und dann über einen Analog-Bus-Router horizontal verbunden. In der schematischen Zeichnung werden Signale angeführt, die einen Gleichlauf haben sollen. Diese Signale werden dann gemeinsam geführt und mit Masse- oder VDD-Leitungen auf beiden Seiten geführt. Sind dann noch einige Verbindungen offen, werden diese vertikal über einen Analog-Bus-Router verbunden. Dem Analogblockgenerator werden mögliche Variationsvariablen für die einzelnen Module übergeben und dieser untersucht jede Permutation auf die geringste Gesamtfläche. Erwähnenswert ist, dass Permutationsvarianten auch unterschiedliche vollprogrammierte Unterblöcke (z.B. ein FC-OTA-Kern und ein TC-OTA-Kern) mit z.B. Variationen des Formfaktors sein können. Der Analogblockgenerator muss folgende Dinge berücksichtigen:

- Gleichlauf von Transistor-, Kapazitäts- und Widerstandspaaren und -feldern  $\Rightarrow$  Modulgeneratoren,
- Gleichlauf von ausgewählten Verbindungsstrukturen  $\Rightarrow$  Analogkanal-

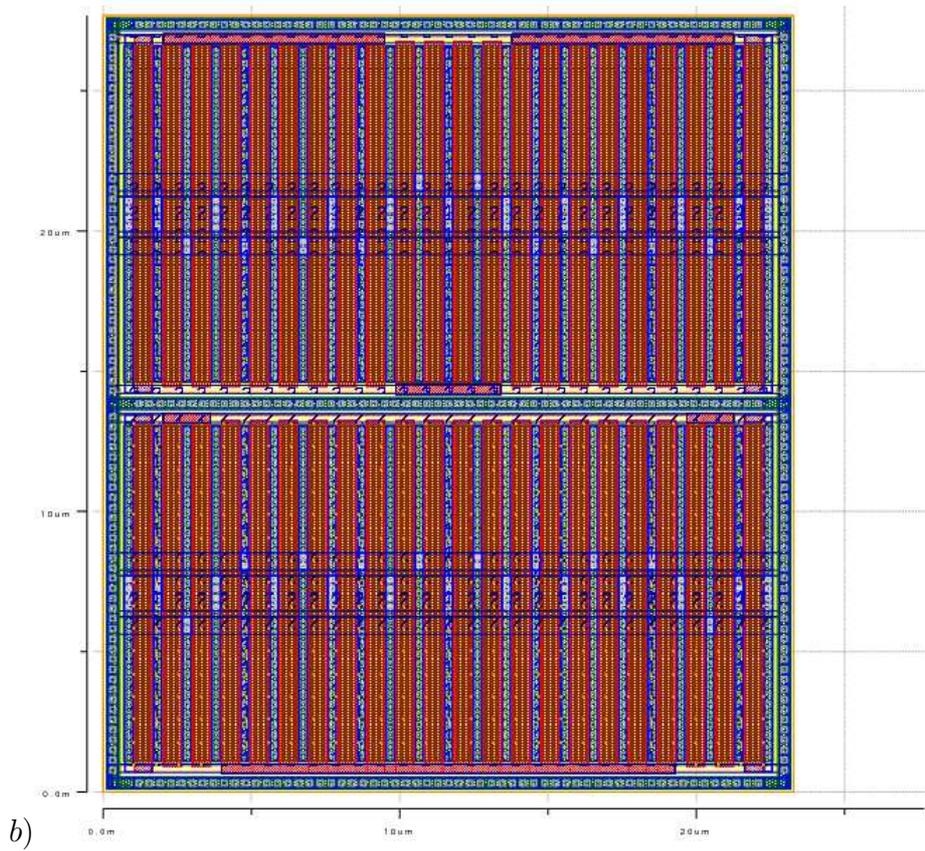
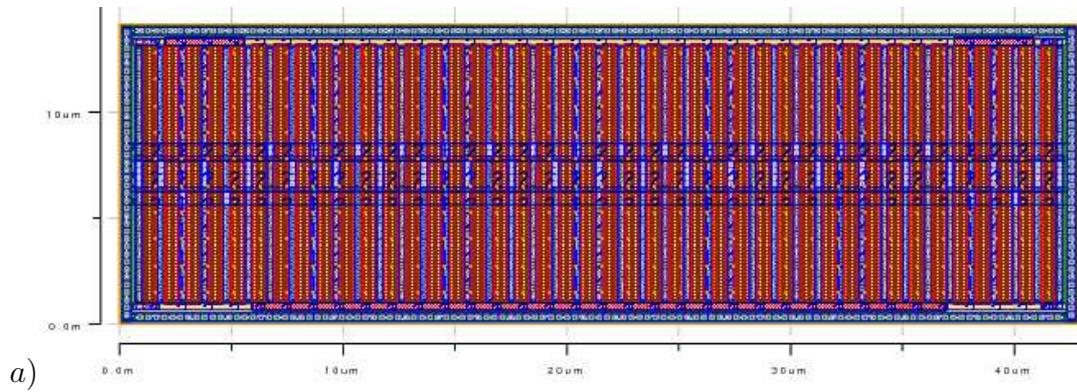


Abbildung 8.7: OCR-Layout eines in einem Streifen oder in zwei Streifen angeordneten PMOS-Common-Source-Transistorpaares mit Randdummies

router,

- Minimierte Kopplungskapazitäten von ausgewählten Knoten  $\Rightarrow$  Gleichlaufbedingungen für den Analogkanalrouter / getrennte Führung / Shielding.

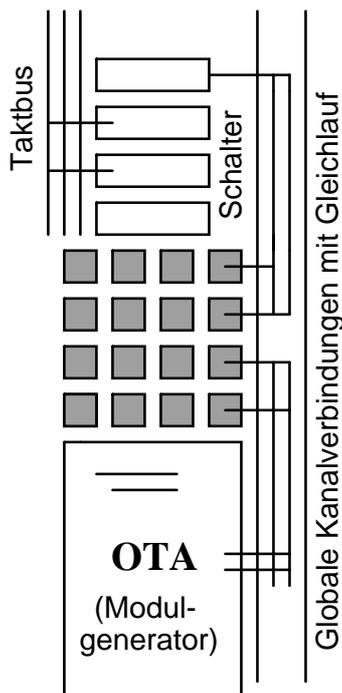


Abbildung 8.8: Layoutorganisation der SC-Elemente

Die einfachste Möglichkeit, unterschiedliche Varianten von Transistormodulen zu erzeugen ist, die Anzahl der Transistorfinger  $n_F$  zu variieren. Im Folgenden wird der Faktor  $\mathcal{F}_{C_A}$  für die Veränderung der Flächendiffusionskapazität im Vergleich zum Einzelfingertransistor in Abhängigkeit von der Anzahl der Transistorfinger dargestellt.

- $n_F$  gerade und Drain innen  $\Rightarrow \mathcal{F}_{C_{A,drain}} = \frac{1}{2}$  und  $\mathcal{F}_{C_{A,source}} = \frac{n_F+2}{2 \cdot n_F}$   
(Drain außen  $\Rightarrow$  vice versa)
- $n_F$  ungerade  $\Rightarrow \mathcal{F}_{C_{A,drain}} = \mathcal{F}_{C_{A,source}} = \frac{n_F+1}{2 \cdot n_F}$

Sinnvollerweise wird der Drainanschluss immer nach innen gelegt, aber in kaskodierten Operationsverstärkern/OTAs hängt der nicht-dominierende Pol oft von der Sourcediffusionskapazität ab, für  $n_F = 8$  ist  $\mathcal{F}_{C_{A,source}} = 0.625$ ,

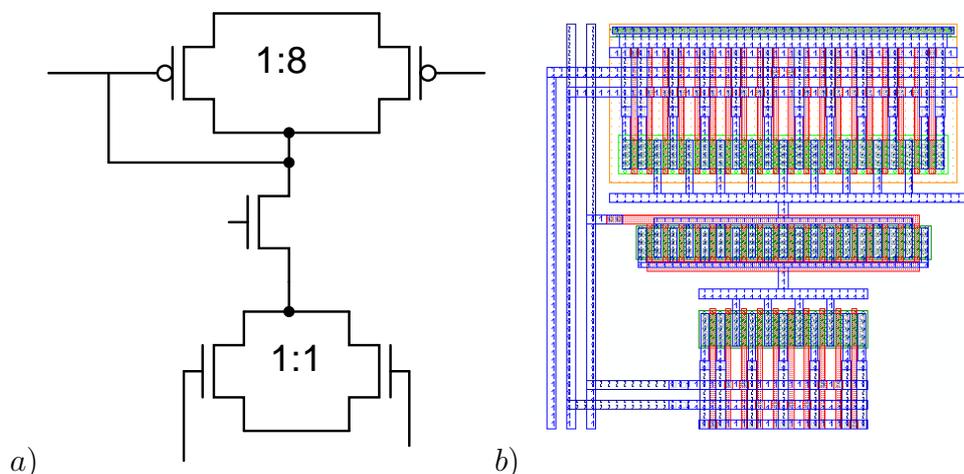


Abbildung 8.9: Analoge Standardzellen in der Schematischen Zeichnung a) und im Layout b)

Supergruppe: (n2\_g12o1to1sb\_n\_go\_p2\_g12og2d8to1sb\_f)

daher wird in der Regel  $n_F > 8$  gewählt.

Für Transistoren mit geringer Kanalweite könnte die Perimeter- und Verdrahtungskapazität jedoch dominierend sein, da diese für größere  $n_F$  ansteigt. Bei noch größeren Streifenweiten kann man diesen Anteil jedoch vernachlässigen. Für den Analogblockgenerator wurden vordefinierte Strukturen für die schematischen Zeichnungen und für das Layout (analoge Standardzellen und Supergruppen) entwickelt. Diese bestehen aus Modulen sind aber fest zueinander angeordnet und verbunden.

### Digitalblockgeneration

Im Layoutgeneratorprogramm ist die Generierung von kleinen Digitalschaltungen implementiert. Der hier vorgestellte Digitalblockgenerator kann kein Place&Route-Programm ersetzen. Es sollen vielmehr Digitalschaltungen realisiert werden, die analogartig sind und für die keine Standardzellen existieren. Als Beispiele sind hier der Taktgenerator für SC-Schaltungen sowie der PFD (Phasen-Frequenz-Detektor) und der VCO (Voltage Controlled Oscillator) bei PLL-Schaltungen zu nennen.

Für die Dimensionierung der Schaltung muss nur die Anzahl der 1x-Gatter, die mit den Ausgängen getrieben werden müssen (FAN-OUT), angegeben werden. Gleichzeitig kann global ein Analog- und ein Digital-Dimensionierungsmodus eingesetzt werden. Der Analogdimensionierungsmodus dimensioniert

die Transistoren im Pull-Down- wie im Pull-Up-Pfad über das Verhältnis 8.1 unter Berücksichtigung von Serien- und/oder Parallelschaltungen, während der Digitaldimensionierungsmodus feste Faktoren benutzt.

$$\frac{W_p}{W_n} = \frac{k_n \cdot \left(\frac{V_{DD}}{2} - v_{th,n}\right)^2}{k_p \cdot \left(\frac{V_{DD}}{2} + v_{th,p}\right)^2} \quad (8.1)$$

**Beispielcode: (Layout siehe Abb. 8.10)**

- lappend orders {set nodes { {a b c y} {a b c y} {a b c y} {a y} {a y} }}
- lappend orders {set newnodes { {voutp2 phi2 voutp1 \_d1} {voutm2 phi2 voutp1 \_d0} {voutm2 phi2 voutm1 \_d-1} {\_d1 MSB} {\_d0 LSB}}}
- lappend orders {set erg\_object [obj\_placedigitalchain \$origin\_object { CMOS\_NAND3 CMOS\_NAND3 CMOS\_NAND3 CMOS\_INVERTER CMOS\_INVERTER} {4 4 4 2 2} 1000 \$nodes \$newnodes {} bottom-right {}]}
- set object [obj\_placeblock \$ORIGINOBJECT \$orders {}] bottomright {orient=90}}

Für die Layouterstellung muss die Reihenfolge und die Zeile in der schematischen Zeichnung angegeben werden. Als Gatter stehen die grundlegenden logischen Funktionen and, nand, or, nor, not, xor und xnor mit jeweils zwei oder drei Eingängen sowie weitere Grundgatter und Flipflops zur Verfügung. Die Dimensionierung erfolgt auf der Basis des FAN-OUTs unter der Berücksichtigung einer Serien- oder Parallelschaltung zum Ausgang. Dabei wird auch bei den internen Gattern die zu treibende Last berücksichtigt.

Abbildung 8.10 zeigt einen im Analogdimensionierungsmodus generierten Digitalblock. Dieser Block stellt die Digitalschaltung dar die bei einem 1.5Bit Sub-A/D-Wandler-Sub-D/A-Wandler in einer Pipelinestufe verwendet wird. Die Verbindungen zwischen den Einzeldigitalobjekten werden über die Zellen

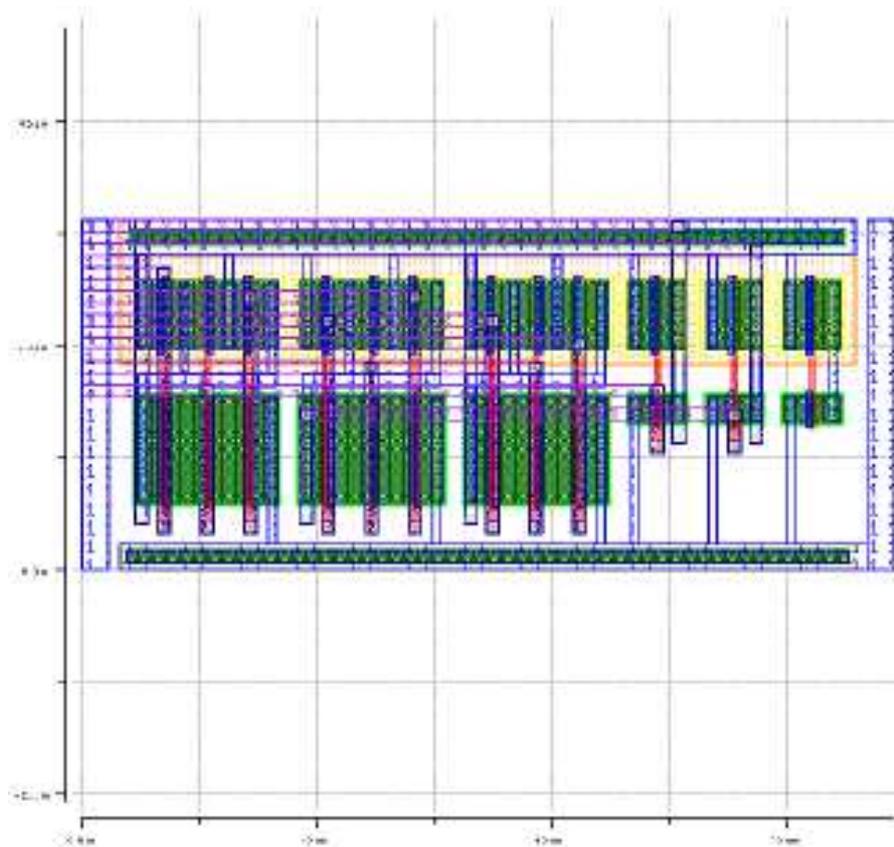


Abbildung 8.10: Layout eines Digitalblockes

gelegt, wobei dazu drei Metallebenen benötigt werden. Der gesamte Digitalblock kann wie ein Objekt in die analoge Schaltung eingepasst werden.

### Konvertierung von Schaltbildern

Das Haupthilfsmittel für die Umwandlung von Schaltbildern ins Layout ist die Verwendung der Module und Standardzellen des Layoutgenerators auch im Schaltbild. Die Standardzellen werden schon mit Verbindungen versehen, so dass die Verdrahtung standardisiert wird. Das Program aschtolay konvertiert unter der Verwendung der Analogblock-Routinen die SPICE-Netzliste nach Abb. 8.11 in ein Layoutprogramm. Das Layout kann durch die Erstellung vorprogrammierter Layoutobjekte (z.B. Abb. 8.12) am Besten auch mit unterschiedlichen Formfaktoren (z.B. Abb. 8.13) verbessert werden, da die Analogblockroutinen die Versionen durchpermutieren, bis sich die gering-

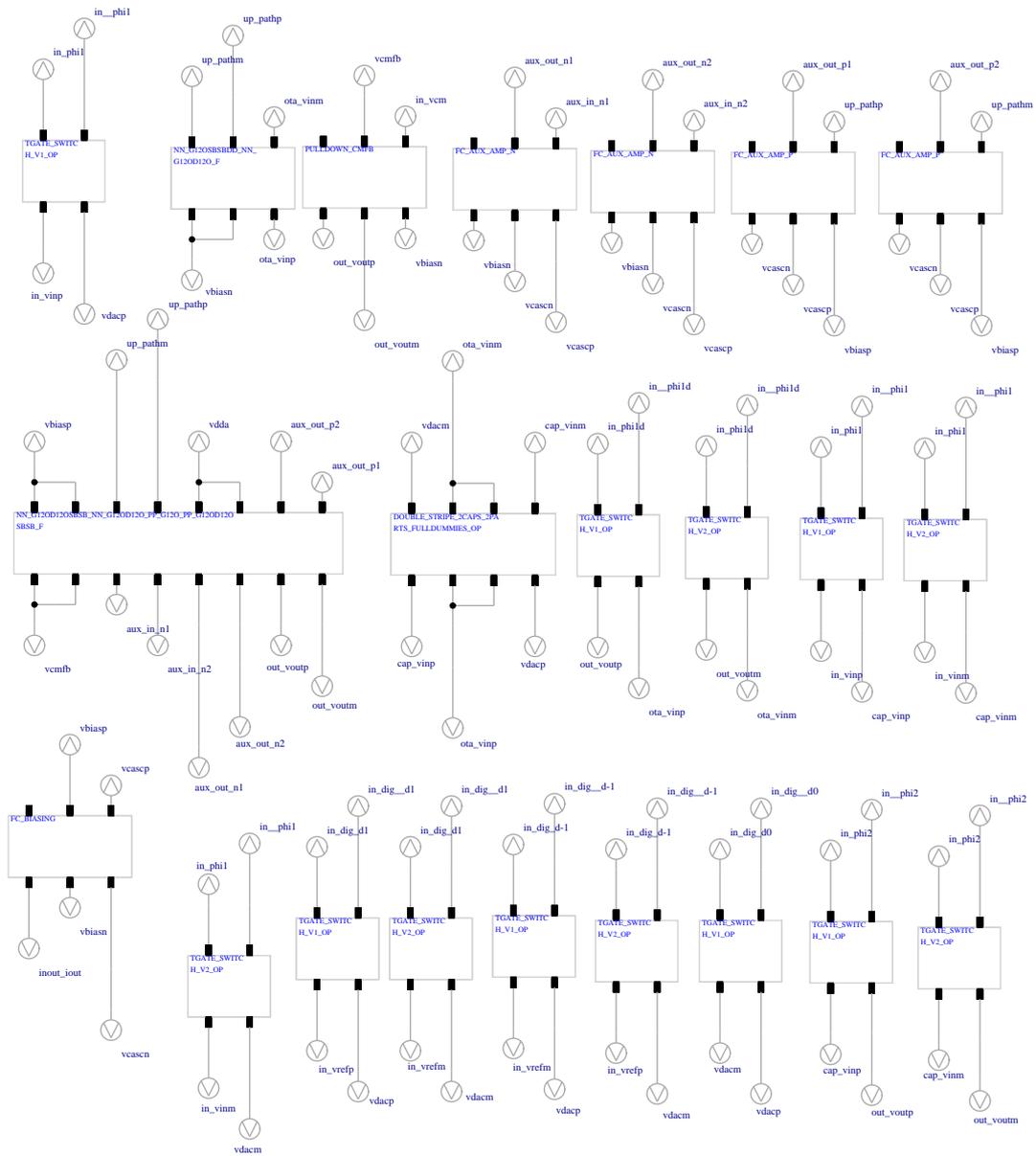


Abbildung 8.11: Schematische Zeichnung für die Synthese einer SC-MDAC-Verstärkerstufe mit dem Editor ICSchem

ste Layoutfläche ergibt. Für diese Objekte müssen jeweils ein Symbol und eine Makroschaltung (SPICE: subckt) mit spezieller Prefix-Namensgebung erstellt werden, um sie in aschtolay verwenden zu können.

Prefix:

- `macro_sysanalay_name`: Standard-Analog-Layoutelement  
Es existiert eine Layoutprozedur für „name“ im Layoutgenerator
- `macro_sysanalay_com_name`: Komponiertes-Analog-Layoutelement  
Die Layoutprozedur ergibt sich erst nach der Zusammenstellung aller Komponenten (Standard-Analog-Layoutelemente) von „name“ über ein annotiertes Platzierungs- und Verdrahtungsverfahren

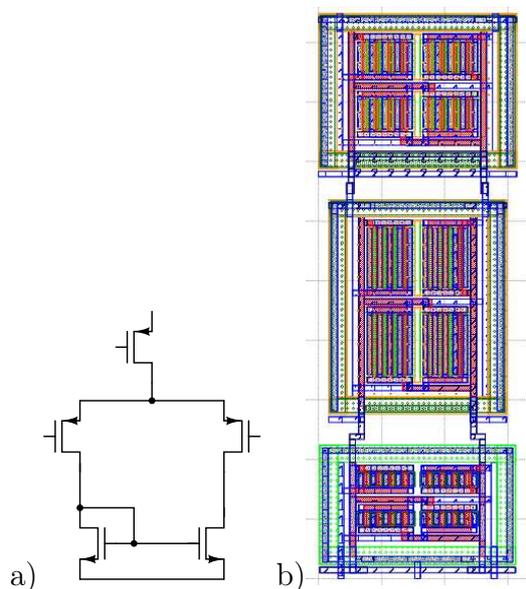


Abbildung 8.12: Schematische Zeichnung und Layout einer vorprogrammierten einfachen Single-Ended-OTA-Stufe

Digitale Schaltbilder können mit dem Programm dschtolay in ein Layout umgewandelt werden. Hier werden Digitalblock-Routinen verwendet.

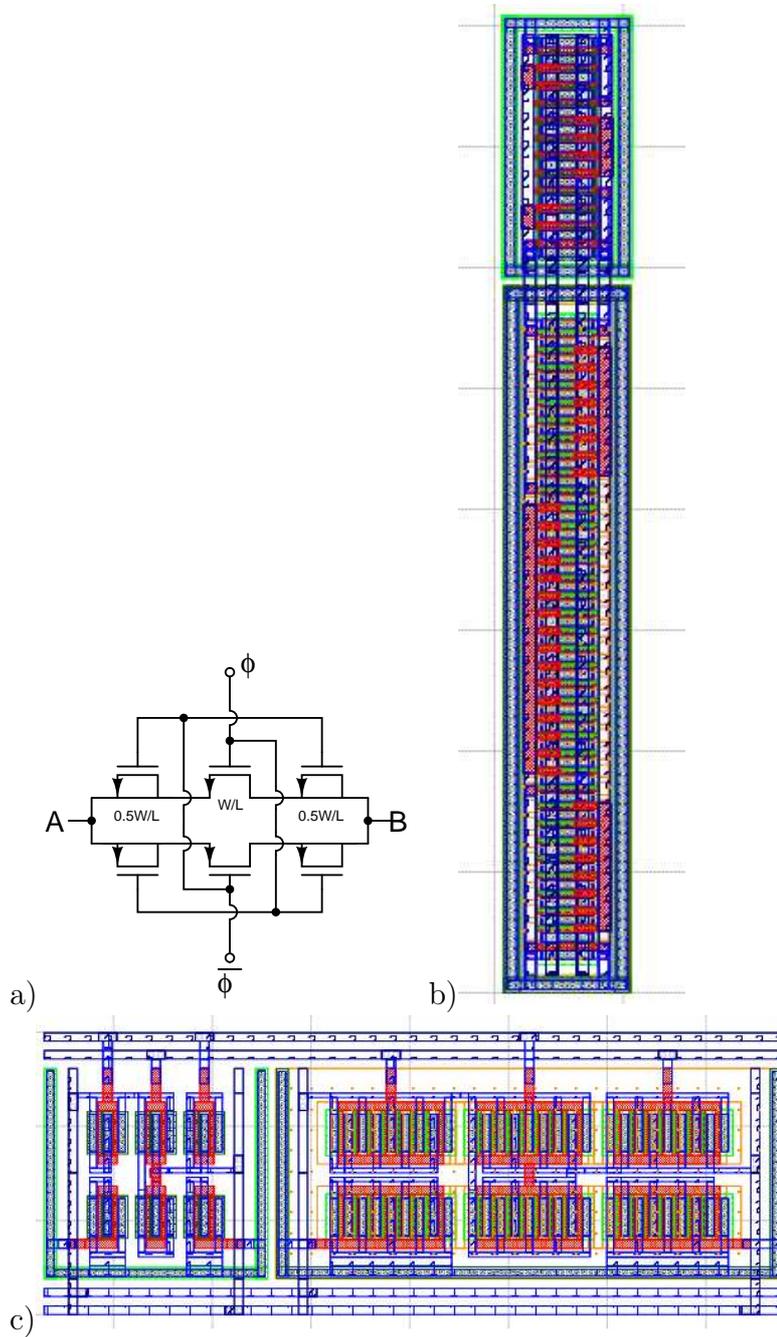


Abbildung 8.13: Schematische Zeichnung (a) und Layout (b und c) von zwei vorprogrammierten Versionen eines CMOS-Schalters mit Dummy-Schaltern

# Kapitel 9

## Implementierung der Prototypen

Es wurden zwei Prototypen mit Teilelementen des hier vorgestellten Synthesystems in einer  $0.28\mu\text{m}$  BiCMOS Technologie mit MIM-Kapazitäten erstellt. Hierbei wurden nur CMOS-Elemente verwendet. Zum Zeitpunkt der Erstellung des ersten Prototypen existierte der Layoutmodulgenerator nur in einer rudimentären Form. Das Layout wurde zu 70% generiert und zu 30% von Hand gelayoutet. Die Bearbeitungszeit des Layoutes betrug drei Wochen. Die Schaltungen des zweiten Prototypen wurden mit einer frühen Form des Systems synthetisiert und das Layout nahezu vollständig (90%) mit dem Layoutgenerator erstellt. Für die Synthese war eine Woche nötig, und die Gesamtlayouterstellungzeit betrug eine Woche. Hier kam der SC-Blockgenerator zum Einsatz, während die Innerblockverdrahtung durch den Kanalrouter für Dreimetalllagenprozesse ausgeführt wurde.

Da der Kapazitätsgleichlauf für zwei 1pF-Kapazitäten in einer kreuzgekoppelten Konfiguration bei 0.013% (typ. 0.1%) lag, wurde auf eine digitale Korrektur oder auf Kapazitätsmittelung verzichtet. Die Prototypen wurden auf eine Abtastrate von 70MS/s ausgelegt.

### 9.1 Taktgenerierung

Für die Funktion des Abtast- und Halteglieders, der SC- Verstärker und der Komparatoren wird ein nichtüberlappender Zweiphasentakt benötigt. Um das sogenannte Bottom-Plate-Sampling zu implementieren werden auch die Phasen  $\phi_1'$  und  $\phi_2'$  sowie deren negierte Äquivalente erzeugt. Hiefür wurde ein Taktgenerator nach Abbildung 9.1 für beide Prototypen implementiert.

Die Ausgangstreiberstärke des Taktgenerators wurde so dimensioniert, dass die Leitungen und die lokalen Buffer getrieben werden können. Der Taktge-

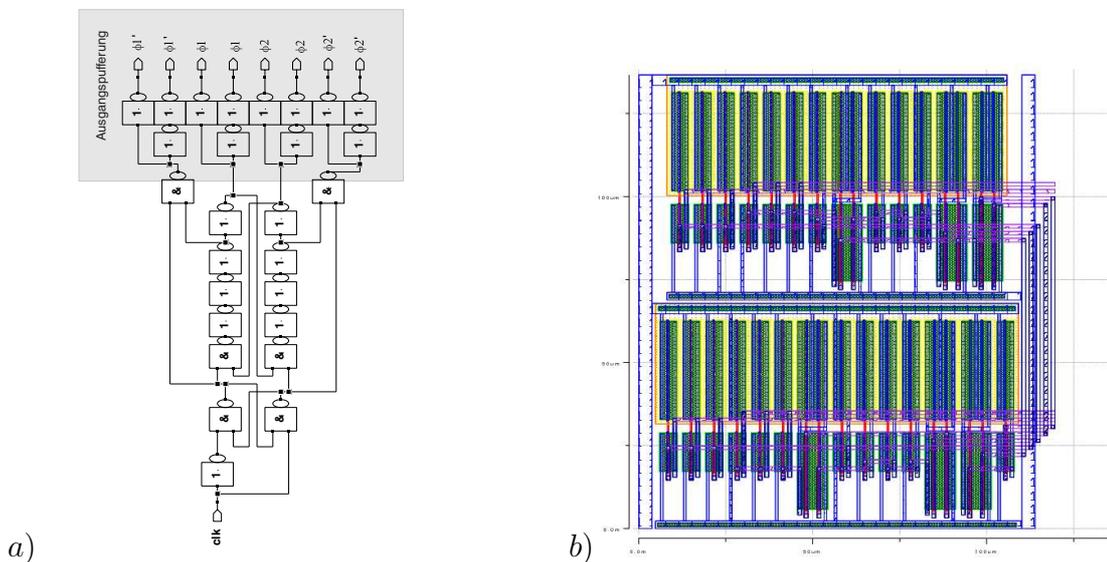


Abbildung 9.1: Taktgenerator für beide Prototypen und dessen generiertes Layout

erator und die lokalen Buffer wurden mit einem Substratblocker umgeben, um ein Übersprechen zu den Analogblöcken zu minimieren. Für den zweiten Prototypen wurden die Layouts mit dem Digitalblockgenerator erstellt.

## 9.2 Die Operationsverstärker

In Abbildung 9.2 ist der Operationsverstärker, der für den ersten Prototypen erstellt wurde, zu sehen. Die erste Stufe besteht aus einem Telescopic-Cascode-OTA, während die zweite Stufe aus einer Differenzstufe mit aktiver Last besteht. Für jede Stufe wurde ein eigener CMFB-Regulator implementiert.

Die Verstärkung dieses zweistufigen Operationsverstärker reicht für einen 10 Bit Pipeline A/D-Wandler aus. Die Strom-, Weiten- und Kapazitätsdimensionierung für den Einsatz als Abtast- und Halteglied und den als MX2-Stufe ist unterschiedlich, da die Rausch-,  $\phi_D$  und Bandbreitenanforderungen verschieden sind. Der Operationsverstärker wurde nach Miller frequenzkompensiert. Der Operationsverstärker erreicht folgende Kennwerte:

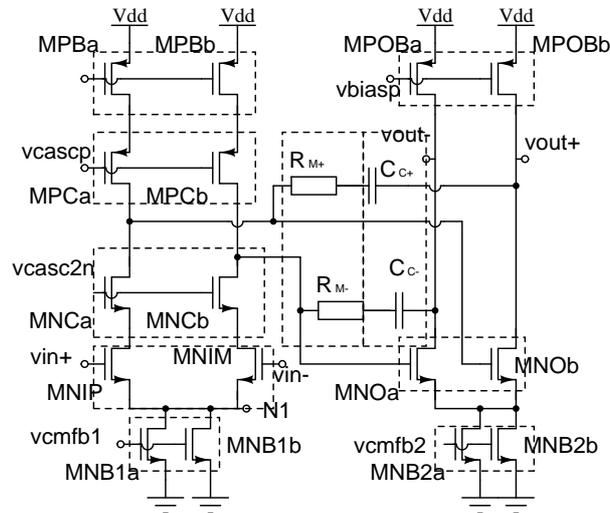


Abbildung 9.2: Zweistufiger Operationsverstärker für das Abtast- und Halteglied und die erste MX2-Stufe des ersten Prototypen (ohne CMFB und Biasing)

Bezeichnung	Wert
$A_0$	$> 72\text{dB}$
$f_T$	$> 600\text{MHz}$
Slewrate	$> 400 \frac{\text{V}}{\mu\text{s}}$
$\phi_D$	$> 58^\circ$
$C_L$	$2\text{pF}$
$V_{cm}$	$1.35\text{V}$
$\sqrt{S_i(1\text{MHz})}$	$4 \frac{\text{nV}}{\sqrt{\text{Hz}}}$

Zu erkennen ist auch, dass man das Layout durch zwei gleichlaufende Transistorpaarpfade und einem RC-Paarpfad erstellen kann. Alle weiteren MDAC-Stufen haben geringere Anforderungen an die Leerlaufverstärkung und skalierte Lastkapazitäten. In diesem Design eines 10 Bit Pipeline A/D-Wandlers wurde  $C_{S,min} = C_{F,min} = 0.5\text{pF}$  gesetzt und in den hinteren Pipeline Stufen ein einstufiger Telescopic-Cascade-OTA nach Abb. 9.3 implementiert.

Der Operationsverstärker nach Abb. 9.3 hat jedoch einen entscheidenden Nachteil, der bei kleineren Versorgungsspannungen ( $< 1.5\text{V}$ ) zum Tragen kommt. Der Ausgangsspannungsbereich ist um ein  $v_{DS,sat} + \Delta v$  reduziert. Im zweiten Prototypen wurde daher ein Folded-Cascade-OTA mit Gainboosting (siehe

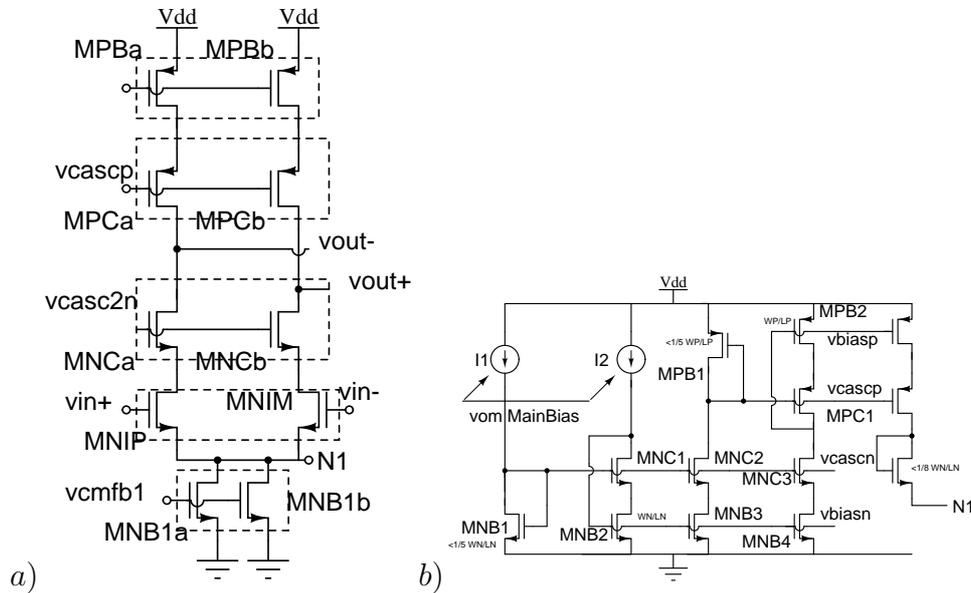


Abbildung 9.3: Telescopic OTA für die hinteren MX2-Stufen des ersten Prototypen und dessen Bias-Schaltung  
(ohne CMFB)

Abb. 9.4) erstellt. Gainboosting ist notwendig, da die Verstärkung einer Stufe für einen 12 Bit Pipeline A/D-Wandler nicht mehr ausreicht. Der Operationsverstärker der S&H-Schaltung und der ersten SC-Verstärkerstufen des zweiten Prototypen (Abb. 9.4) erreicht folgende Kennwerte.

Bezeichnung	Wert
$A_0$	$> 81\text{dB}$
$f_T$	$> 550\text{MHz}$
Slewrate	$> 500 \frac{\text{V}}{\mu\text{s}}$
$\phi_D$	$> 60^\circ$
$C_L$	4pF
$V_{cm}$	1.35V
$\sqrt{S_i(1\text{MHz})}$	$7 \frac{\text{nV}}{\sqrt{\text{Hz}}}$

Mit den üblichen Hilfsverstärkern muss die Eingangsspannung über  $v_{th,n} + v_{DS,sat}$  oder unter  $V_{dd} - |v_{th,p}| - |v_{DS,sat}|$  liegen. Um dies zu vermeiden, wurden die Hilfsverstärker nach Abbildung 9.5 implementiert [82]. Eine andere Möglichkeit wäre natürlich, einen Folded-Cascode-Hilfsverstärker einzusetzen. Die

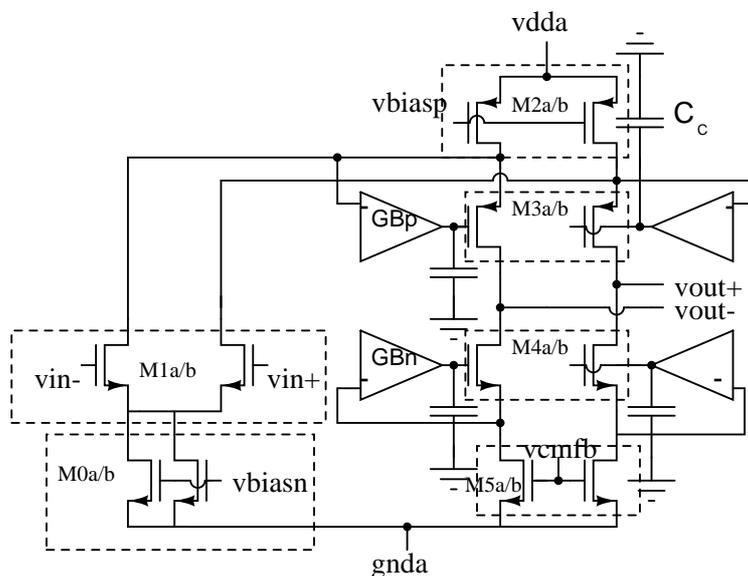


Abbildung 9.4: OTA für das Abtast- und Halteglied und die ersten MX2-Stufen des zweiten Prototypen  
(ohne CMFB-Schaltung und Biasing)

zusätzliche Rückkopplungsschleife kann zu Instabilitäten führen und wurde mit  $C_C = 125 fF$  kompensiert.

Die für diesen OTA nötige Biasing-Schaltung entspricht der Abbildung 5.4 a).

Die Gleichtaktregelung wurde durch eine zeitkontinuierliche Schaltung (siehe Abb. 9.7) realisiert.

### 9.3 Der Komparator

In der ersten Implementierung (10Bit-Pipeline-A/D-Wandler) wurde der Komparator wie in Abbildung 5.23 implementiert. Dieser zeigt jedoch sehr hohe dynamische Offsets, da die Eingangstransistoren im Triodenbereich sind.

Für den zweiten Prototypen wurde daher ein anderer Komparator eingesetzt [2]. Dieser besteht aus einer SC-Schaltung (Abb. 9.8), die in der SC-Schaltungstechnik eine Differenz der beiden differentiellen Signale  $v_{in,d}$  und  $v_{ref,d}$  bildet, einem Vorverstärker (Abb. 9.9a) und einen einfachen dynami-



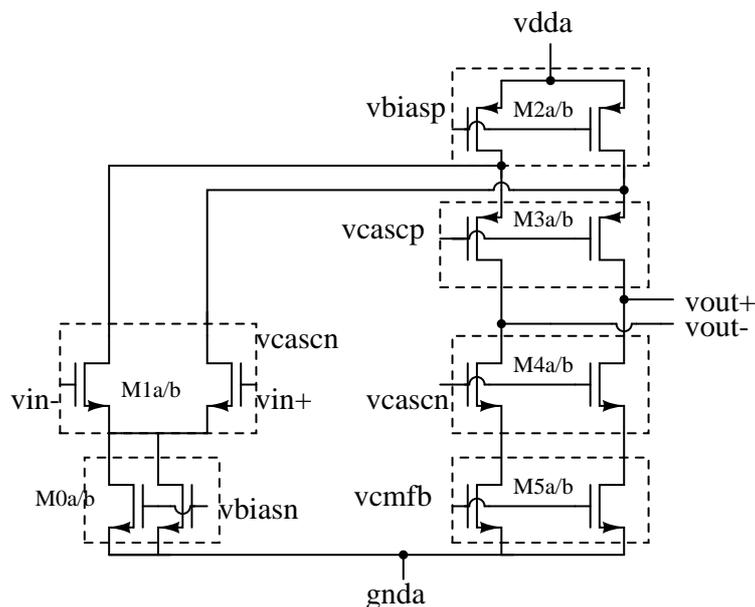


Abbildung 9.6: OTA für die hinteren MX2-Stufen des zweiten Prototypen (ohne CMFB-Schaltung und Biasing)

Für die restlichen Schalter, die als CMOS-Schalter mit Dummy-Schaltern realisiert wurden, existiert ein Modulgenerator, da sie eine viel höhere Symmetrie besitzen.

Der Reset-Schalter wurde wie in Abb. 9.11 b) implementiert, da eine parasitäre Kapazität zwischen den Punkten A und B im Aus-Fall einen Verstärkungsfehler verursachen würde.

## 9.5 Das Abtast- und Halteglied

Das Abtast- und Halteglied (Abb. 9.12) sieht noch ein zeitkontinuierliches Eingangssignal, daher wurden die Eingangsschalter als Gate-Boosted-Schalter realisiert. Aus zeitlichen Gründen wurden ebenfalls alle anderen Schalter derart realisiert.

Das Layout des Abtast- und Halteglieds des zweiten Prototypen wurde mit dem SC-Block-Generator erstellt.

Der erste Prototyp wurde auf ein  $\text{SNR} > 60\text{dB}$  ausgelegt und hat daher eine Abtastkapazität von  $1\text{pF}$ . Im Gegenzug sollte der zweite Prototyp ein  $\text{SNR} > 65\text{dB}$  erreichen. Dessen Abtastkapazität betrug daher  $2\text{pF}$ .

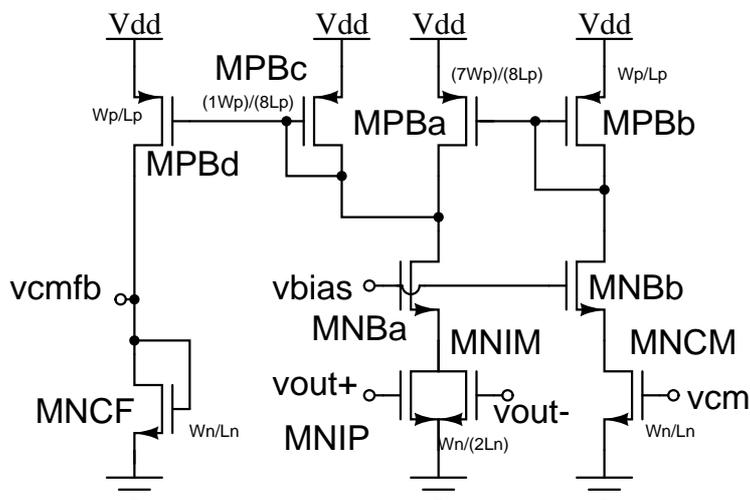


Abbildung 9.7: CMFB-Schaltung

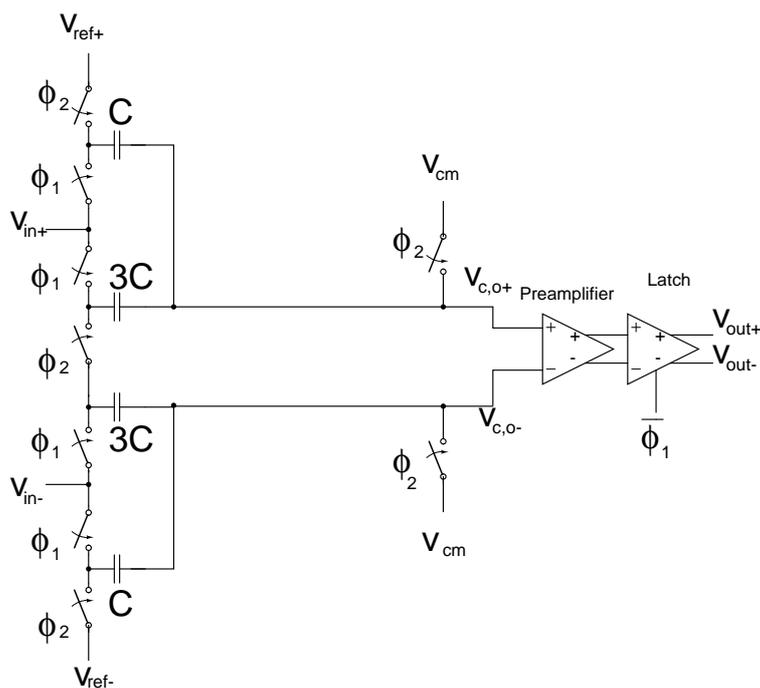


Abbildung 9.8: SC-artiger Komparator des Sub-A/D-Wandlers des zweiten Prototypen

## 9.6 Die 1.5 Bit Pipeline Stufe

Die 1.5 Bit Pipeline Stufe besteht aus einem Sub-A/D-Wandler, einem Sub-D/A-Wandler und einem SC-Zwischenstufenverstärker.



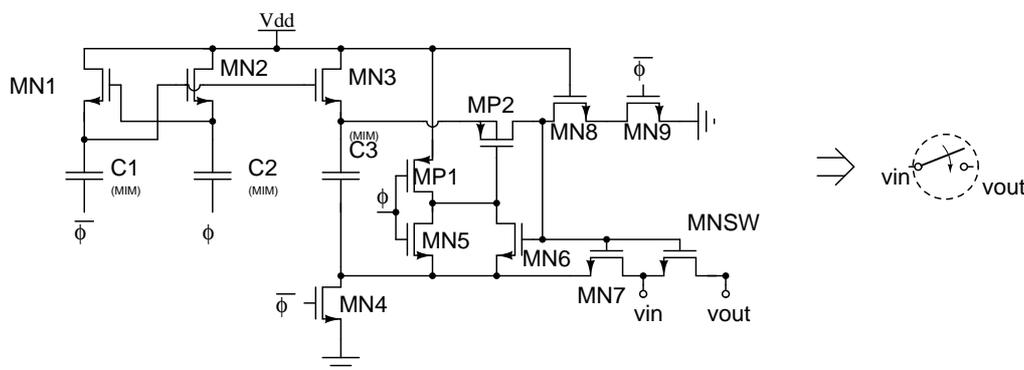


Abbildung 9.10: Implementierung des Gate-Boosted-Schalters

Abb. 9.14b) wurden ebenfalls mit dem SC-Blockgenerator erstellt.

## 9.7 Referenzstromverteilung

Jeder Operationsverstärker benötigt ein oder zwei Bias-Ströme. Der Hauptreferenzstrom wird extern erstellt und über einen Haupt-Stromspiegel verteilt, da Bias-Spannungen durch  $I \cdot R$ -Spannungsabfälle nicht über große Strecken verteilt werden sollten.

## 9.8 Die digitale Ausgangsworterstellung

Der digitale Anteil der Prototypen besteht aus einem finalen Addierer und einer digitalen Pipeline (siehe Abbildung 9.18), um die digitalen Ausgangssignale, die von den Pipeline Stufen stammen, wieder so zusammenzuführen, dass sie alle von einem Abtastzeitpunkt im Analogen stammen.

In Abbildung 9.18 ist die digitale Pipeline für den 12Bit Prototypen zu sehen. Die so verzögerten Signale werden dann mit einem Carry-Select-12Bit-Volladdierer [46] mit den Eingangsworten nach Abb. 9.17 aufaddiert und so das Ausgangswort  $dout0..dout12$  gebildet. Die Worst-Case-Laufzeit des Addierers lag bei 3ns. Dieser digitale Block wurde ebenfalls mit einem Substratblocker umgeben. Diese Implementierung entspricht nicht der üblichen Implementierung, wurde so in der Standardliteratur [8, 6] nicht gefunden und

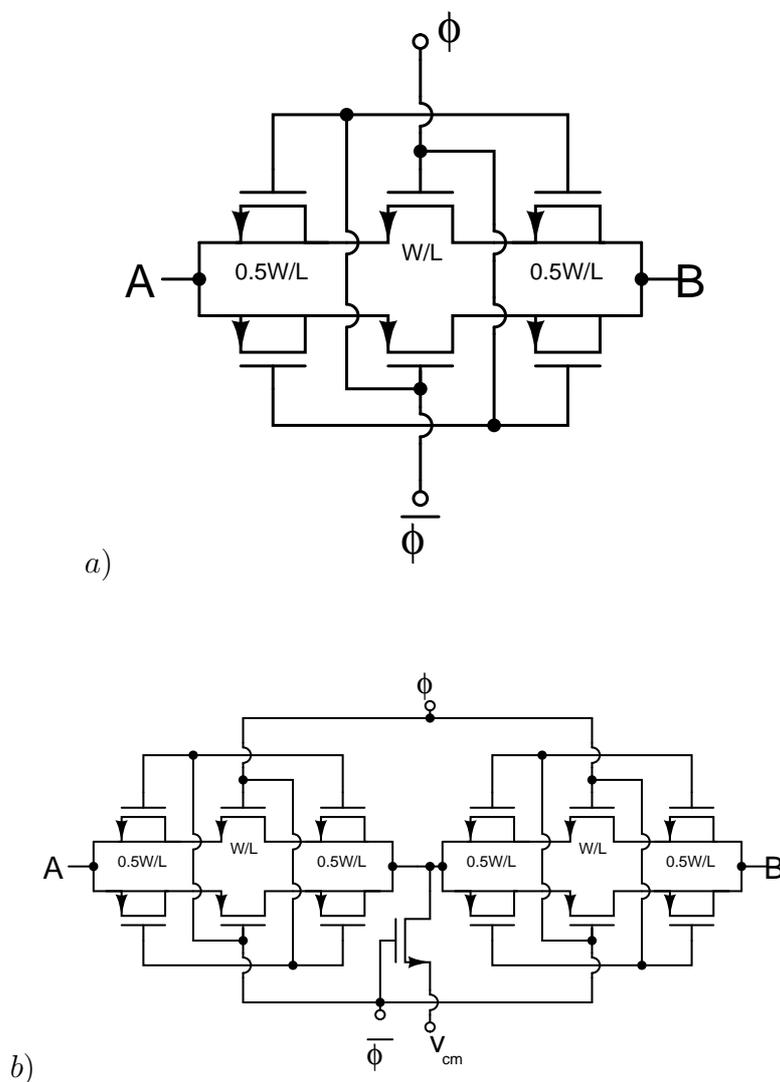


Abbildung 9.11: Implementierung der CMOS-Schalter mit Dummies a) und mit veringertter Kopplungskapazität b)

hat die halbe Latenzzeit  $\frac{N}{2}T_S$ . Da die Komparatoren von jeweils zwei Stufen in derselben Taktphase entscheiden, muss das digitale Zweibitwort, das jede Stufe  $k$  mit dem Sub-A/D-Wandler nach Abb. 9.15 ( $S_k\_D0$  &  $S_k\_D1$ ) erzeugt, nur zeitlich gehalten werden bis die zweite Stufe entschieden hat. Dies geschieht durch die Latches der ersten vertikalen Spalte in Abb. 9.18. Im Folgenden werden die 4-Bit Wörter jeweils so viele Taktphasen verzögert, dass alle vom gleichen analogen Abtastwert stammen. Dies geschieht durch das Schieberegister in den folgenden Spalten. Die Verteilung in den einzelnen

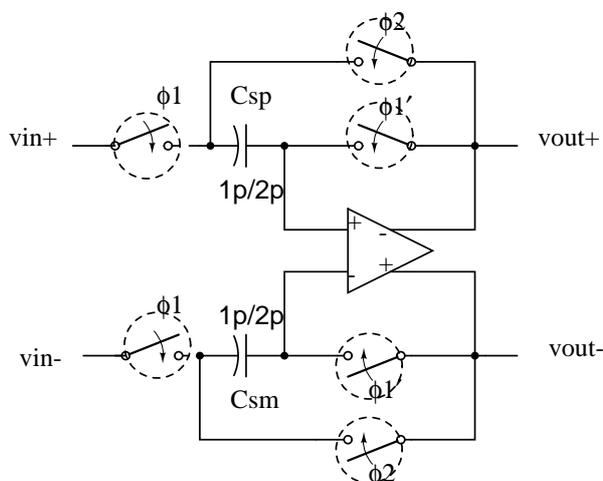


Abbildung 9.12: Implementierung des Abtast- und Haltegliedes

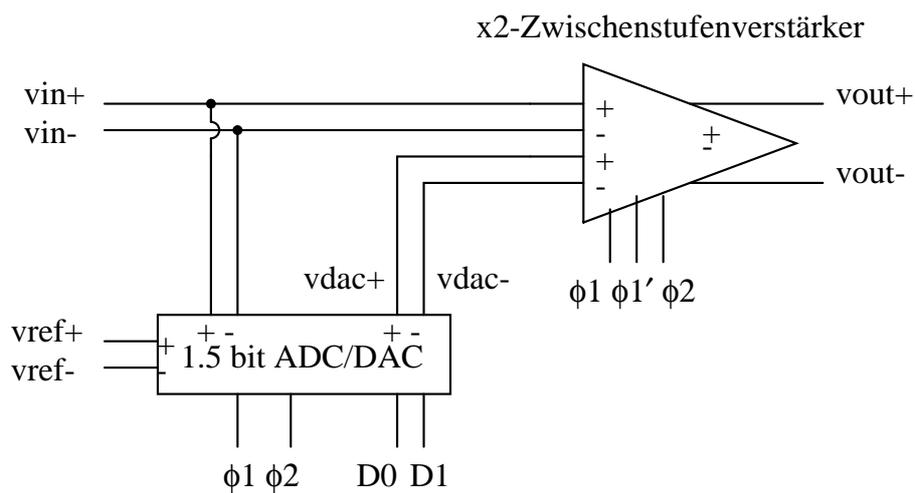


Abbildung 9.13: Implementierung der Pipeline Stufe

Spalten dient nur dazu, dass alle Taktbuffer eine ähnliche Last (Anzahl an D-Flipflops) haben. Die so verzögerten zwei Digitalwerte werden, wie in Kap. 3.2.1 beschrieben, mit dem finalen Addierer nach Abb. 9.17 zum Ausgangsbinarywort aufaddiert.



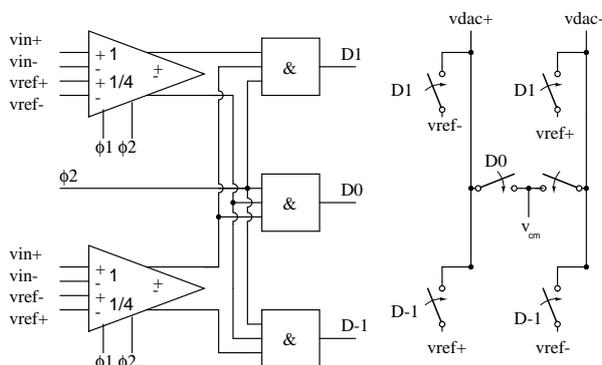


Abbildung 9.15: Implementierung des Sub-A/D-D/A-Wandler-Elementes

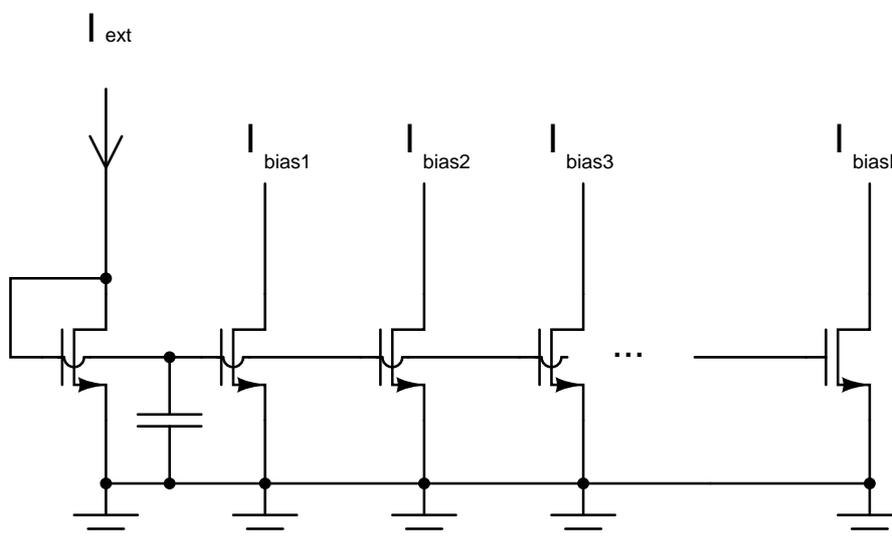


Abbildung 9.16: Hauptstromspiegel

## 9.10 Weiterführung

In einer Weiterführung wurde in einer 90nm-Technologie mit MOM-Kapazitäten und einer Betriebsspannung von 1.2V ein dritter Pipeline A/D-Wandler erstellt und simuliert. Dieses Design war für 100MS/s und 12Bit ausgelegt. Die avisierten Zielwerte lagen bei einem SNR von 60dB und einem SFDR von 70dB. Hier werden nur die Unterschiede zum zweiten Prototyp dargestellt. Die Verlustleistung liegt bei 120mW und die erwartete Chipfläche bei  $0.4mm^2$ .

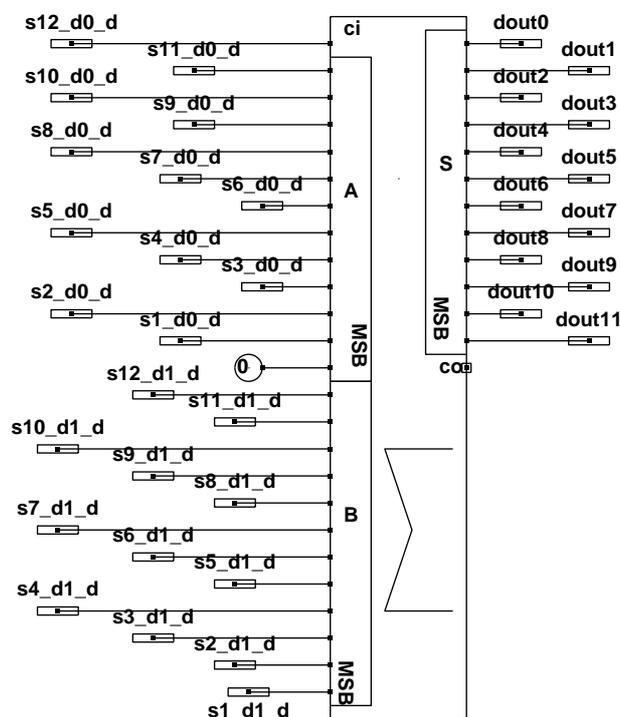


Abbildung 9.17: Finaler Addierer

1. Einfacher Operationsverstärker mit niedrigem Rauschen in der S&H-Stufe (zweistufiger Operationsverstärker mit einer einfachen Differenzstufe als Eingangsstufe, da ein Verstärkungsfehler und ein Offset im S&H keinen Einfluss auf die A/D-Wandler-Genauigkeit haben).
2. Operationsverstärker mit NMC-Kompensation in den folgenden SC-Verstärkerstufen (in den ersten vier Stufen wurde ein Operationsverstärker mit umschaltbarer Millerkapazität nach Abb. 9.22 verwendet, da der Feedback-Faktor in den Phasen variiert. Abb. 9.23 zeigt eine Transientsimulation in einem SC-Integrator mit ähnlichen Rückkopplungsfaktoren wie in einem MX2-SC-Verstärker. Es zeigten sich keine Instabilitäten. Die erste Stufe des Operationsverstärkers wurde mit einem „Telescopic-Cascode-OTA“ realisiert).
3. Opamp-Sharing [89] ab der 4.Stufe mit einem stromskalierten Operationsverstärker und mit einer Architektur wie im S&H.

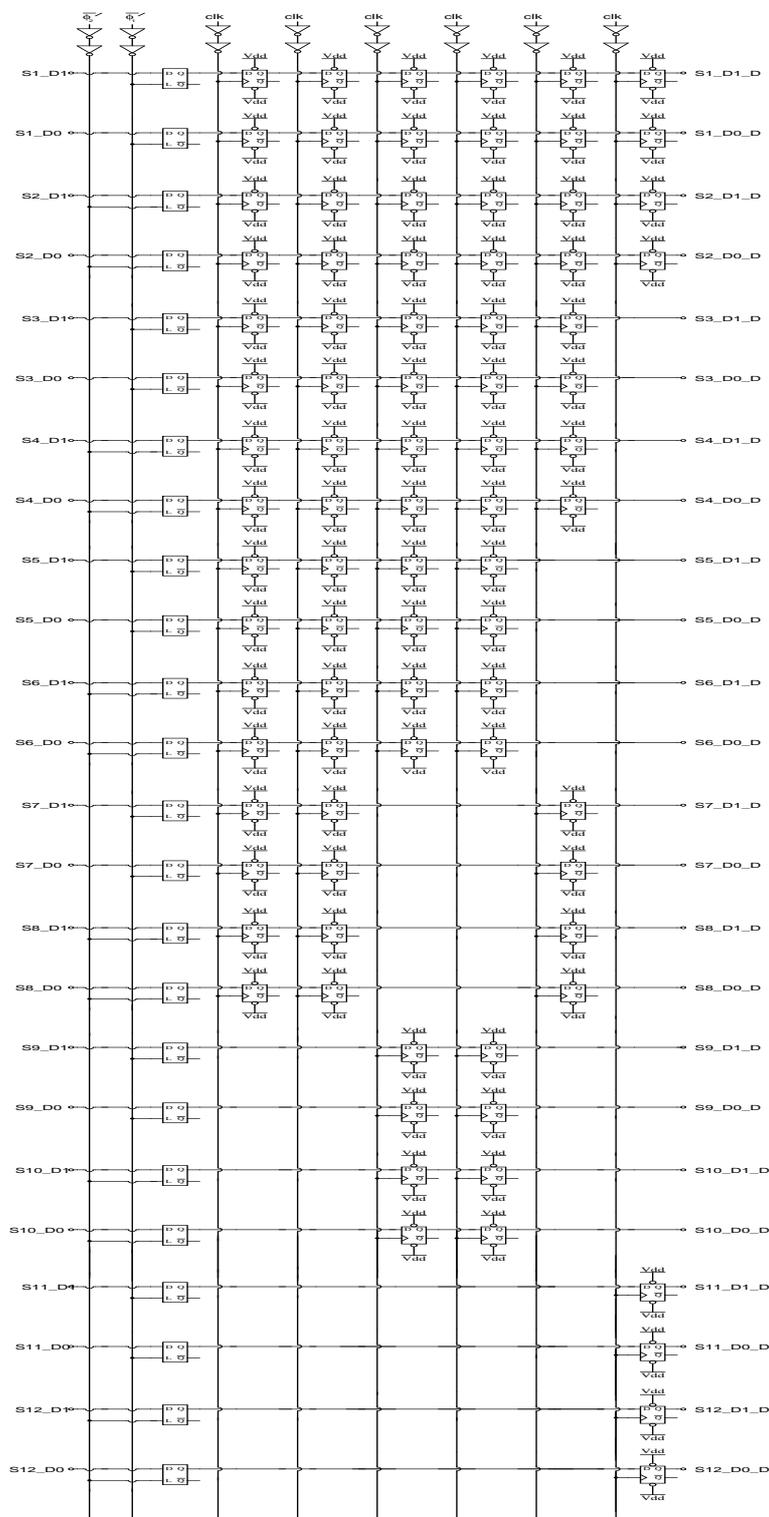


Abbildung 9.18: Digitale Pipeline

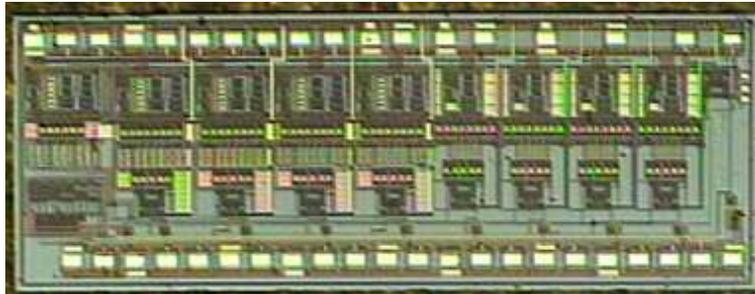


Abbildung 9.19: Chipfoto des ersten Prototypen

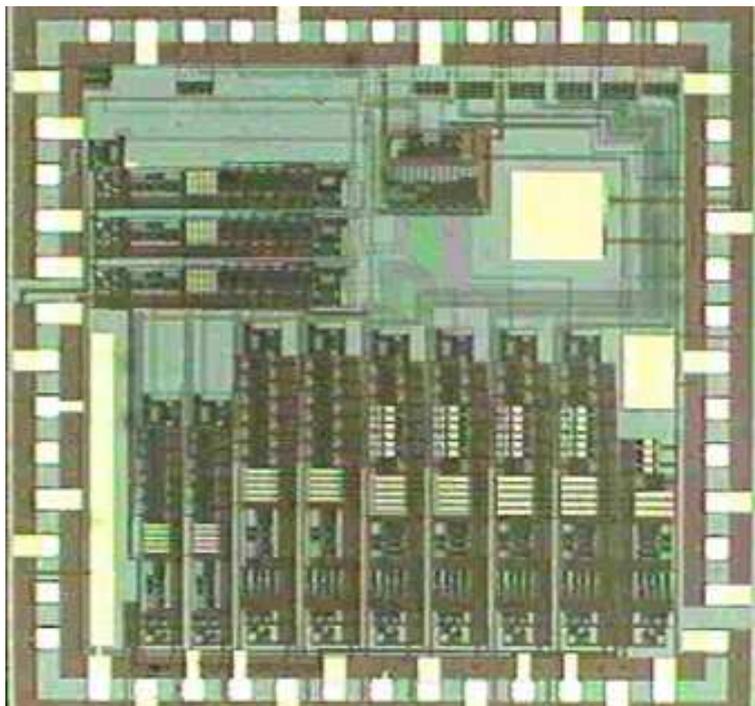


Abbildung 9.20: Chipfoto des zweiten Prototypen

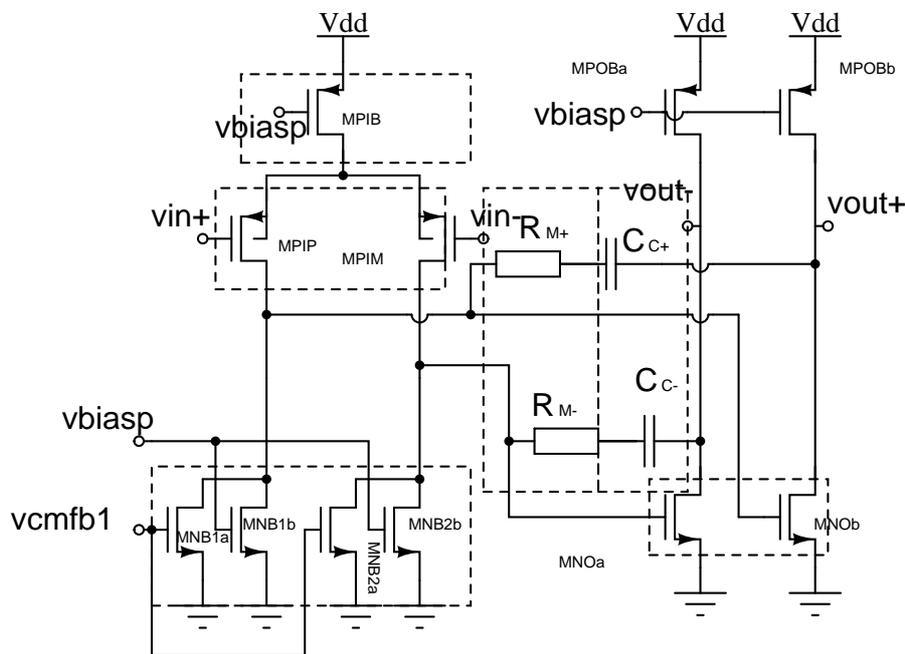


Abbildung 9.21: Einfacher Operationsverstärker für das S&H des dritten Designs

(ohne CMFB und Biasing)

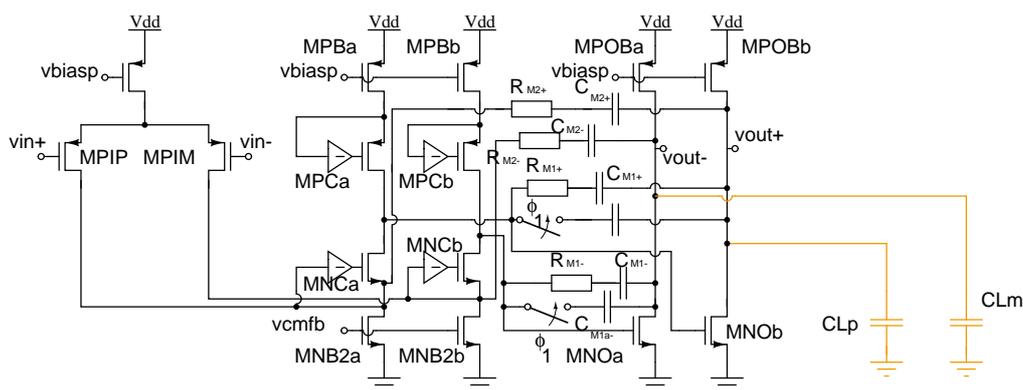


Abbildung 9.22: Operationsverstärker für die ersten SC-Verstärkerstufen des dritten Designs

(ohne CMFB und Biasing und mit umschaltbarer Millerkapazität)

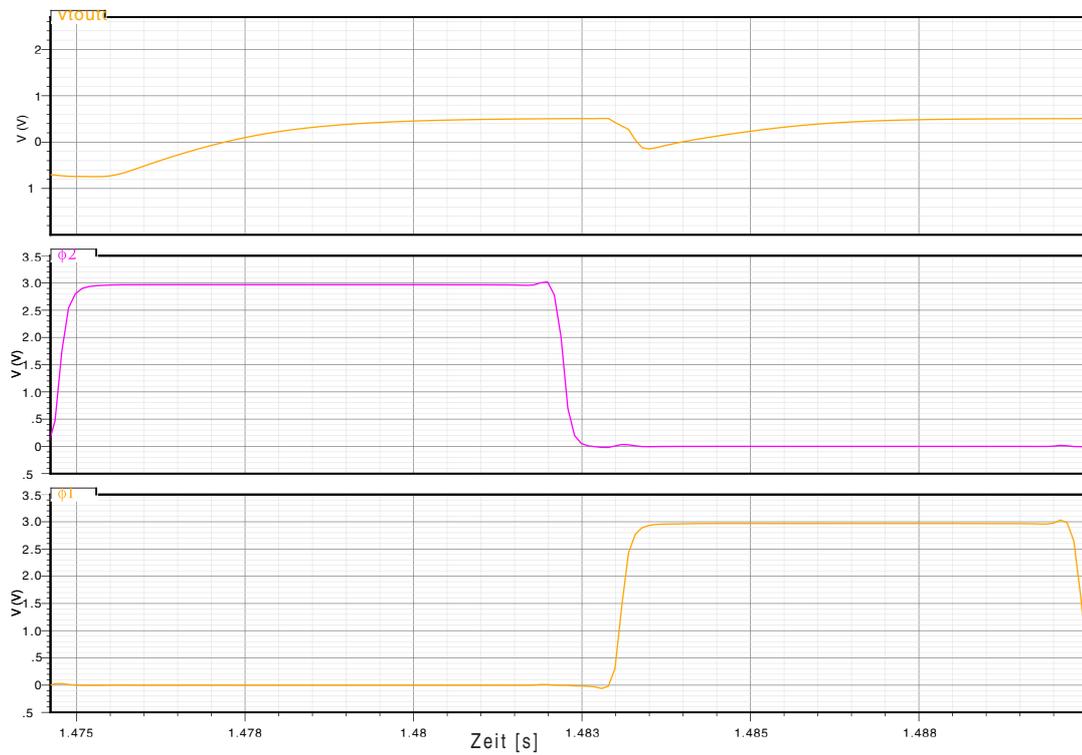


Abbildung 9.23: Transient-Simulation des Operationsverstärkers nach Abb. 9.22 in einem SC-Integrator

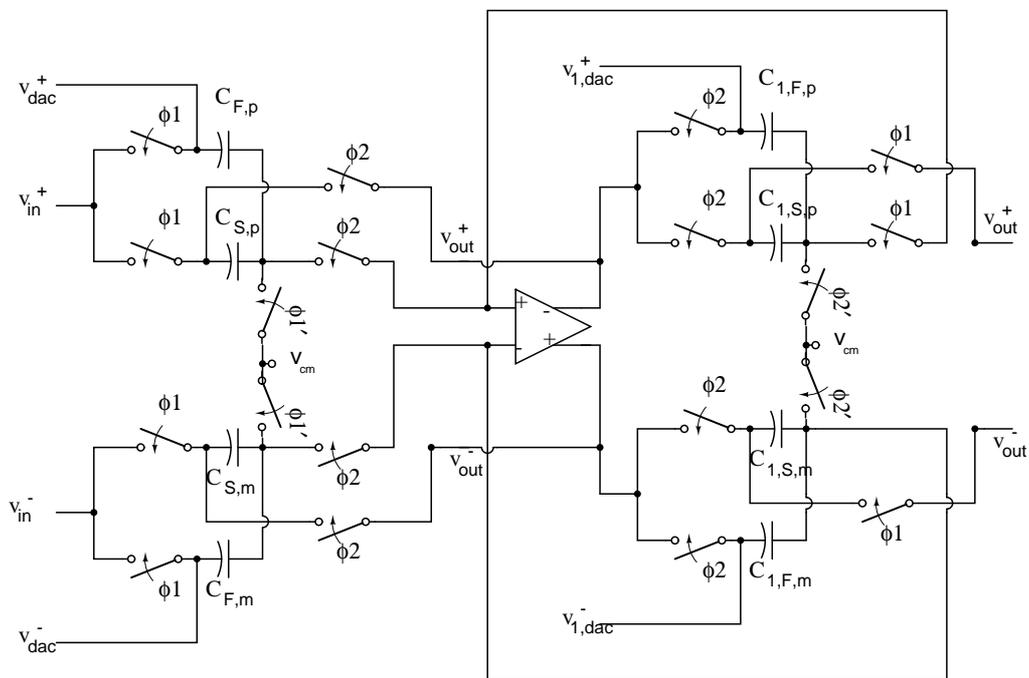


Abbildung 9.24: Zwei MX2-Stufen mit Opamp Sharing

# Kapitel 10

## Experimenteller Aufbau und Ergebnisse

Die Kennwerte für die A/D-Wandler Prototypen wurden mit einer Evaluationsplatine bestimmt. Als Vorlage für diese Platine diente das High Speed ADC FIFO Evaluation Kit von ANALOG DEVICES. Dieses Evaluationskit ermöglicht es, dynamische Kennwerte mit dem PC zu ermitteln. Die digitale Platine wurde unverändert übernommen. Diese Platine ermöglicht Messungen an A/D-Wandlern mit Auflösungen bis zu 16Bit und Abtastraten bis zu 133MS/s. Der Anschluss an den Computer erfolgt über den Centronics-Anschluss.

In Abbildung 10.1 sind die Platinenebenen für die Prototypenplatine zu sehen. Es handelt sich um eine 4-Lagen-Platine. In den inneren Lagen werden großflächig die Betriebsspannungen geführt. Während die positiven Betriebsspannungen  $V_{DDA}$ ,  $V_{DDD}$  usw. vollständig getrennt sind, wird Masse in einem Punkt unter der Prototypenfassung verbunden, um Masseschleifen zu verhindern.

Typische Signalgeneratoren besitzen nur einen einphasigen (single-ended) Ausgang. Dieser Ausgang ist zudem für einen  $50\Omega$ -Wellenwiderstand angepasst. Da jedoch der Eingang des A/D-Wandlers ein differentielles Signal erwartet, muss dieses differentielle Signal erzeugt werden. In Abbildung 10.2 und 10.3 sind zwei mögliche Eingangsbeschaltungen dargestellt. Die aktive Schaltung setzt den AD8138 von ANALOG DEVICES ein. Diese Beschaltung beinhaltet den  $50\Omega$ -Abschlusswiderstand, um eine Signalkorruption durch Leitungsreflektionen zu vermeiden.

Auch für den Takt ist eine  $50\Omega$ -Anpassung vorgesehen, da die Leitung für ein 50MHz-Signal länger als  $\frac{\lambda}{10}$  ist.

Der Referenzstrom (Abb. 10.5) wird durch den LM334 von National Semi-

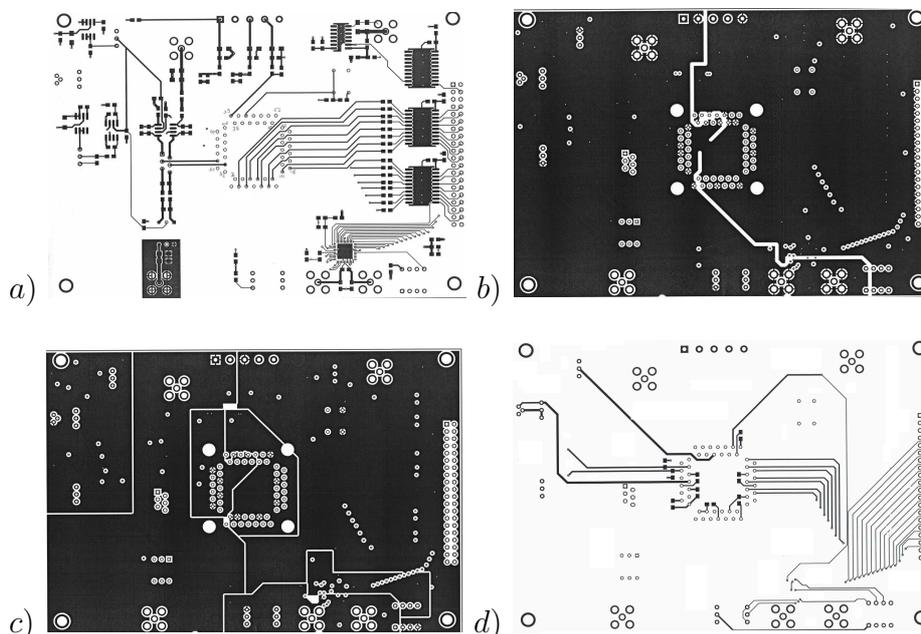


Abbildung 10.1: Platinenebenen der A/D-Wandler-Prototypen-Meßplatte (a) Signalebene 1, b) Massenebene, c) VDD-Ebene und d) Signalebene 2)

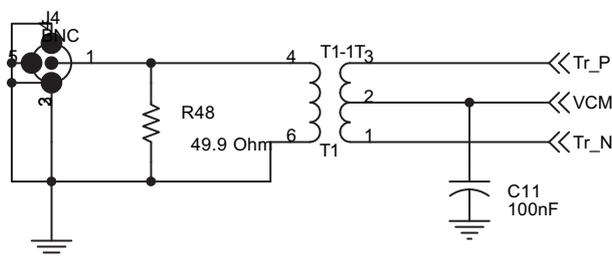


Abbildung 10.2: 50  $\Omega$ -Anpassung und Wandlung von Single- zu Differential-Ended mit einem Transformator

conductor erstellt. Dabei wird  $R_{var2}$  so variiert, dass  $I_{out} \approx \frac{227\mu\frac{V}{K} \cdot T}{R_{var2}}$  ungefähr  $500\mu A$  beträgt.

Intern wird  $V_{cm}$  nur an Gates appliziert und muss somit nie niederohmig getrieben werden, deshalb wurde angenommen, dass eine  $V_{cm}$ -Erstellung über einen Widerstandsteiler ausreicht. Dies könnte ein weiterer Grund für die gemessenen zu hohen Rauschwerte sein. Die Referenzspannungen werden mittels Widerstandsteiler und einer Single- zu Differential-Ended Wandlung über den AD8138 erzeugt. Der Vorteil ist, dass so garantiert wird, dass  $V_{refp}$  und

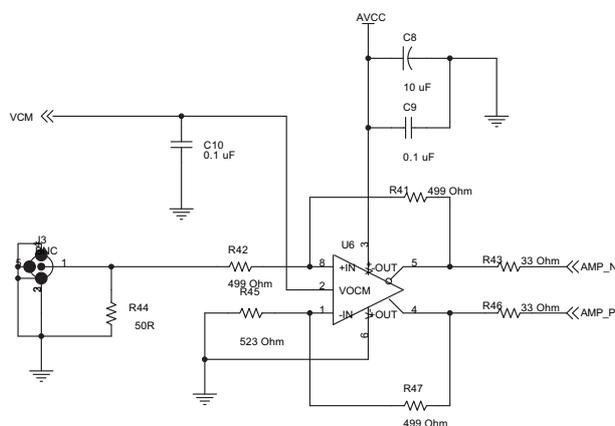


Abbildung 10.3: 50 Ω-Anpassung und Wandlung von Single- zu Differential-Ended mit einer aktiven Schaltung

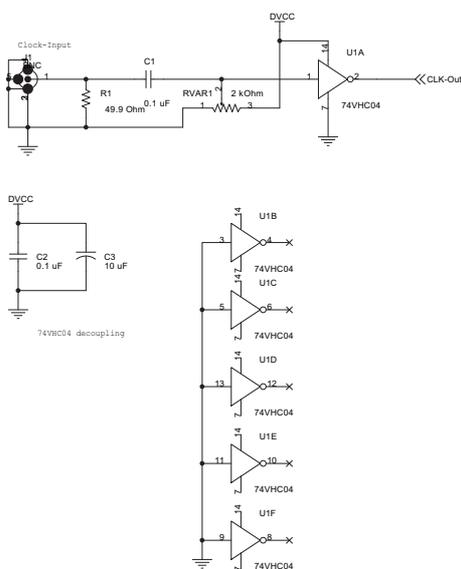


Abbildung 10.4: Takteingang mit 50 Ω-Anpassung

$V_{refm}$  differentiell um  $V_{cm}$  liegen und gepuffert sind. Virtuelle Massensprünge und Referenzspannungssprünge auf den internen Leitungen des Prototypen werden so reduziert.

**Ergebnisse:**

Der hier implementierte A/D-Wandler erreicht auch ohne Kalibrierung ein SFDR von über 70dB bei 40MS/s. Dies liegt am guten Gleichlauf der Kapazitäten des hier verwendeten Prozesses. Man kann jedoch nicht davon ausgehen,



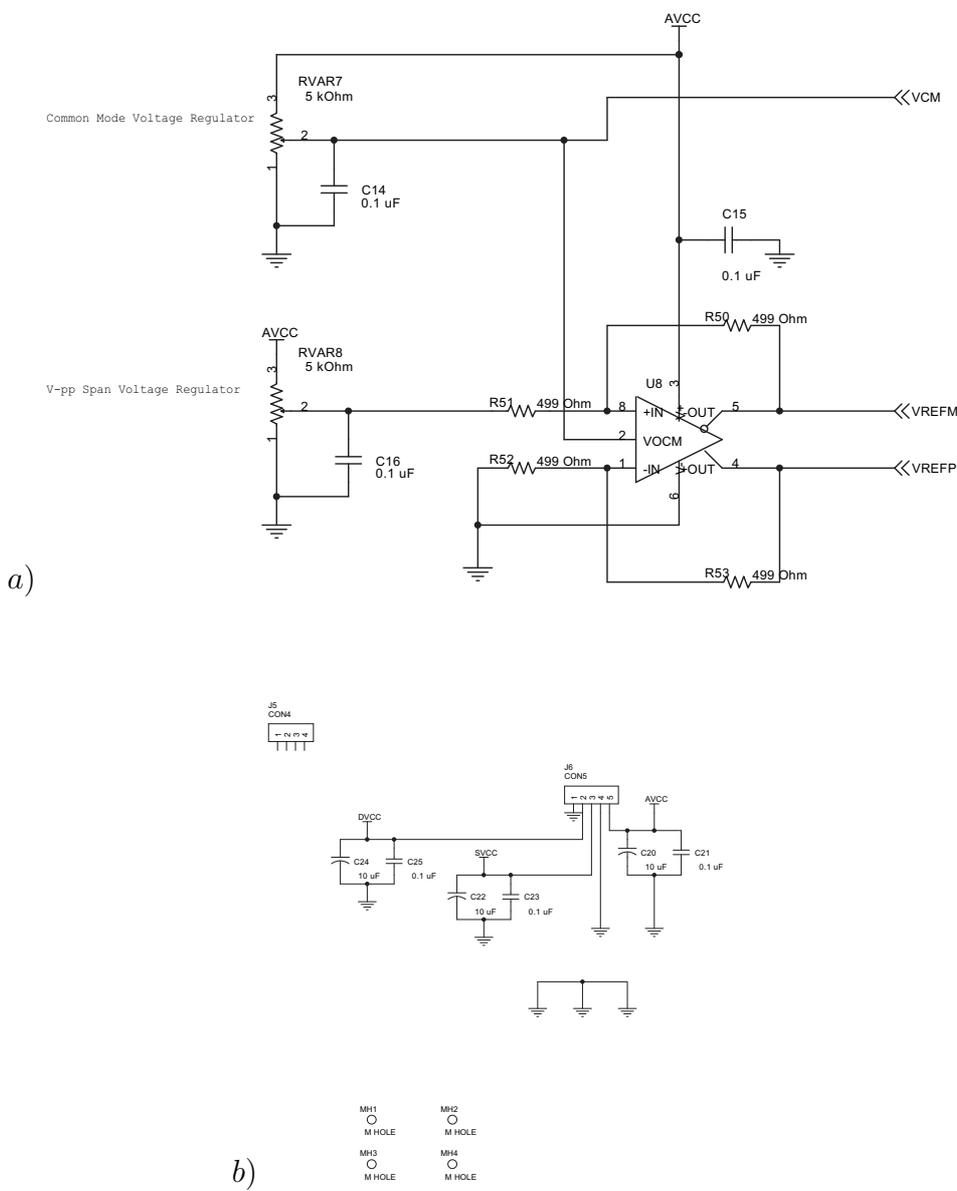


Abbildung 10.6: a) Referenzspannungserzeugung und b) Betriebsspannungsanschlüsse

ringen Phasenrand hat. Dies könnte eine Erklärung unter Berücksichtigung von Mischungen und Einschwingvorgängen für die nichtharmonischen Störtöne und das zusätzliche Rauschen sein. In zukünftigen Designs werden in dieser Art von Schaltungen statt der zeitkontinuierlichen CMFB-Schaltung eher SC-CMFB-Schaltungen eingesetzt.

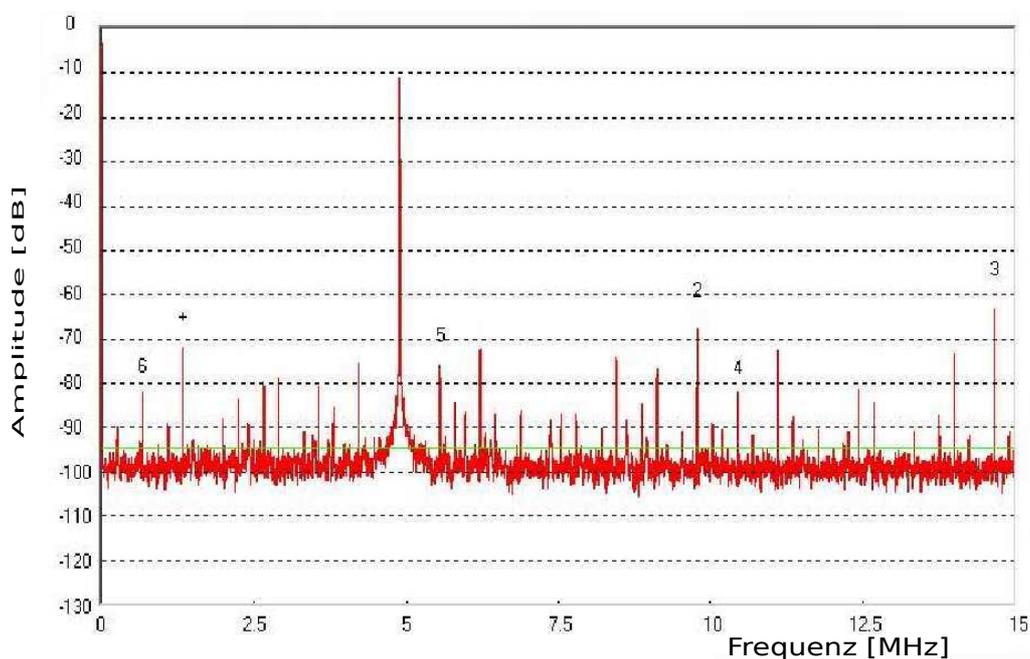


Abbildung 10.7: FFT einer Messung am 10Bit-Prototypen mit einem 5MHz  $1.5V_{pp}$  -Sinussignal und einer Abtastrate von 40MS/s (nichtkohärente Messung)

Kennwert	Wert
$V_{DD}$	2.7V
$I_{sup}$	150mA
Abtastrate	70MS/s
SNR	57dB
THD	-66.5 dB
SFDR	70.7 dB
Fläche (Pads+Core)	$3mm \times 3mm \cdot 0.7^2 = 4.41mm^2$ (vorgegebenes Recticle)
Core Area	$2.46mm^2$ (wenn auf nötiges reduziert)
Technologie	$0.4\mu m \cdot 0.7 = 0.28\mu m$

Tabelle 10.2: Kennwerte des 12 Bit A/D-Wandlers

Ein Vergleich von A/D-Wandlern über Technologien (Tab. 10.3) hinweg ist problematisch. Vergleicht man den Verluststrom  $I_{sup}$  bei gleicher Abtastrate und gleicher Auflösung, dann wird der Vergleich realistischer. Man erkennt in Tab. 10.3, dass die Stromaufnahme, wenn man diese auf die Abtastrate umrechnet, im gleichen Rahmen ( $\pm 20mA$ ) liegt. Nur [7] fällt heraus. Ein

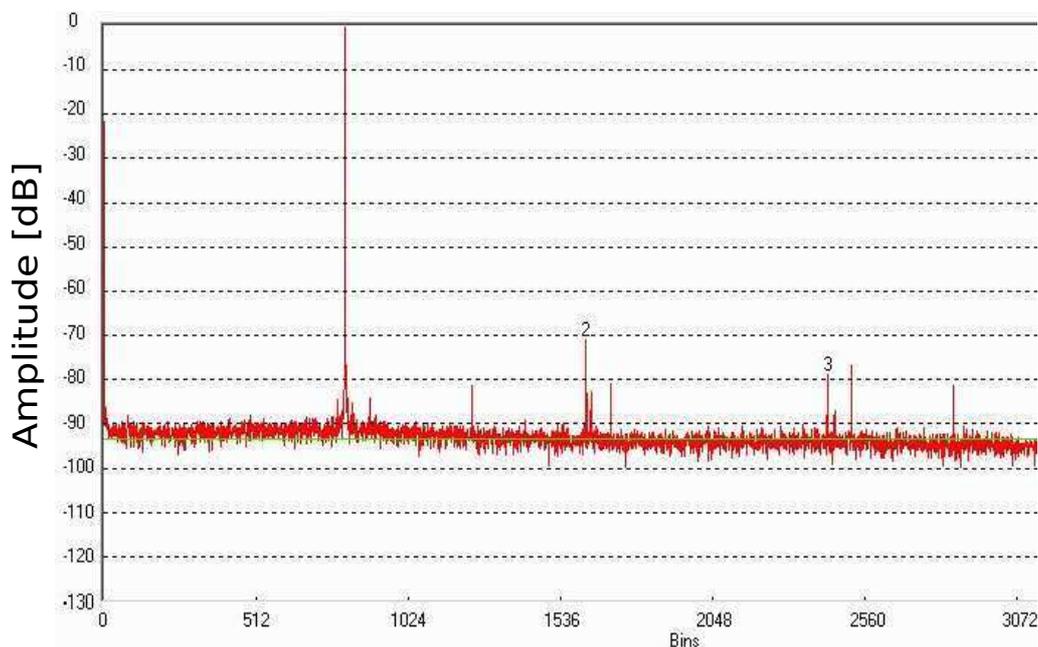


Abbildung 10.8: FFT einer Messung am 12Bit-Prototypen mit einem 3.965MHz  $1.5V_{pp}$  -Sinussignal und einer Abtastrate von 40MS/s (kohärente Messung durch Synchronisation des Taktgenerators mit dem Signalgenerator)

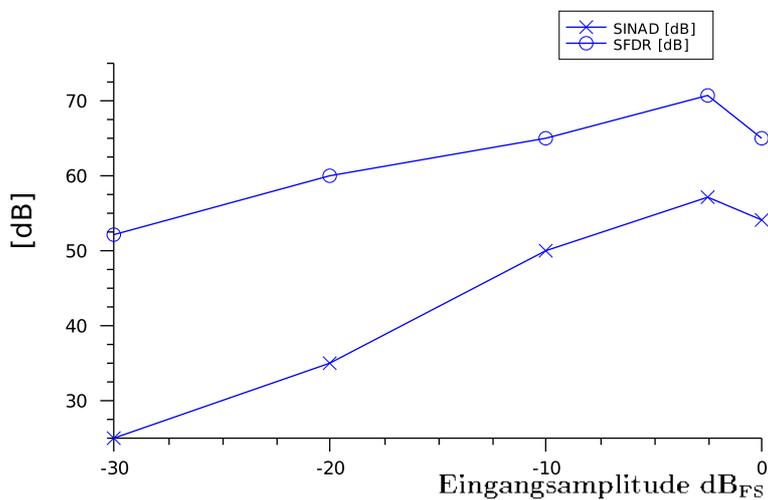


Abbildung 10.9: SFDR und SINAD über die Eingangsamplitude in  $dB_{FS}$  (Full Scale:  $v_{in,pp} \approx 2V_{pp}$ )

Technologie	$f_S$ MHz	$I_{sup}$ [mA]	SN(D)R [dB]	SFDR [dB]	Core Area [mm <sup>2</sup> ]	Arbeit
0.28 $\mu$ m	70	150mA	57.3@4MHz	70.7	2.46	Diese
0.13 $\mu$ m	51.25	100mA	65@0.8MHz	78	3.16	[88]
0.6 $\mu$ m	14.3	24mA	53.8@4MHz	ca. 65	5.75	[1]
0.18 $\mu$ m	110	54mA	64.2	69.4	0.86	[7]

Tabelle 10.3: A/D-Wandler Vergleich  
(Bei den SNDR-Werten ist, wenn bekannt, die Testsignalfrequenz  
angemerkt.)

Grund ist die Verwendung von Opamp-Sharing für das Abtast- und Halteglied und für die erste MDAC-Stufe. Das macht Sinn, da die Anforderungen bezüglich Rauschen und Operationsverstärkertransitfrequenz hier am höchsten sind und erst nach der ersten Verstärkerstufe ein Rest-A/D-Wandler existiert, der für einen Offsetfehler relevant wäre. Ein Offset-Fehler am Eingang eines A/D-Wandlers führt nicht zu einem Nichtlinearitätsfehler. Ein weiterer Grund ist die progressive Skalierung der Abtast- und Haltekapazitäten und die Verwendung dedizierter Operationsverstärker für jede Stufe.

# Kapitel 11

## Zusammenfassung und Ausblick

In dieser Arbeit wurden unterschiedlichste Ansätze verfolgt, den Entwurf von analogen integrierten Schaltungen und hier insbesondere von SC-Pipeline A/D-Wandlern zu beschleunigen. Ein Element war die Implementierung von Systemsimulationsmodellen für die Klasse der SC-Schaltungen (Integratoren für DT-Sigma-Deltamodulatoren und Verstärker) unter Berücksichtigung einer Vielzahl von Fehlerquellen. Dafür mussten in dieser Arbeit diese Fehlerquellen quantitativ ausformuliert (z.B. stetig differenzierbares Zeitverhalten für Zweipolssysteme in Kapitel 4.3.1 und thermisches Rauschen in Kap. 3.3.2) werden. Dies war in zweierlei Hinsicht sinnvoll. So konnten einerseits einige Designparameter quantitativ bestimmt werden, was in die Synthese einfließt und auf der anderen Seite Fehlerquellen auf der Systemseite modelliert werden, was für die Systemsimulation und die Optimierung des Systems hinsichtlich gewisser Zielwerte nützlich ist. Die Implementierung erfolgte in XSPICE [25] und CPPSim [71]. Die XSPICE-Kodemodelle können auch in kommerziellen Simulatoren wie Simetrix<sup>TM</sup> von Catena und ICAP/4<sup>TM</sup> von Intusoft verwendet werden. Mit diesen Modellen können u.a. die Einflüsse von Offsets, der Kapazitätsmissverhältnisse, des thermischen Rauschens, der endlichen offenen Schleifenverstärkung von Operationsverstärkern und OTAs und des dynamischen Einschwingverhaltens über Transient-Monte-Carlo-Simulationen evaluiert werden und Unwägbarkeiten ausgeschlossen werden. Dies wäre auf Transistorebene nahezu unmöglich. Einige dieser Fehler (Kapazitätsmissverhältnisse, Rauschen und Offsets) werden zudem in den Cornersimulationen und der klassischen Transientsimulation nicht oder nicht vollständig berücksichtigt.

Diese Arbeit leistet zudem einen Beitrag für die Entwurfs- und Layoutsynthese von analogen integrierten Schaltungen. Dabei wurde insbesondere auf Technologieunabhängigkeit geachtet.

Aufbauend auf dem hier vorgestellten und verwendeten wissensbasierten Ent-

wurfssynthesystem kann eine weitere Verfeinerung erfolgen, um eine höhere Qualität des Syntheseergebnisses zu garantieren, da dieses erheblich von den berücksichtigten Fehlerquellen abhängt. Zugleich können bessere Optimierungsalgorithmen implementiert werden.

Im Bereich der Systemsimulation existieren erhebliche Weiterentwicklungsmöglichkeiten. Insbesondere der Ansatz, Systemsimulationen von zeitdiskreten integrierten Schaltungen mittels CPPSIM auszuführen, kann erheblich erweitert werden. Hier ist eine bessere Implementierung der Rauschquellen (z.B. wie in [45, 4]) nötig, da die Eckfrequenzen des  $1/f$ -Rauschens nun nicht mehr im unteren Kilohertzbereich sind.

Ziel dieser Implementierung des Layoutgenerators war es zunächst, den langwierigen Prozess des Layouts analoger integrierter Schaltungen deutlich zu verkürzen. Dabei wurde über die Generierung von einfachen Modulgeneratoren [11, 92] hinausgegangen und es wurden auch nicht nahezu digitale Place&Route-Programme [23] sondern symmetrische Kanalverdrahtungs- und Kanalplatzierungsstrategien angewendet. Im nächsten Schritt müssen noch kompaktere Layouts mit geringeren parasitären Kapazitäten und Widerständen erstellt werden. Hierfür wurden die ersten Elemente bereits gefertigt, indem Modulgeneratoren mit symmetrischen Innermodulverdrahtungen (Metall2) erstellt wurden. Das Synthesystem wurde für die Layoutsynthese und teilweise für die Schaltungssynthese von zwei 1.5 Bit/Stufe Pipeline A/D-Wandlern (einen mit 10Bit und einen mit 12Bit, der ein SFDR von 70.7dB hat) erfolgreich eingesetzt. Die Entwurfszeit konnte erheblich (zwei Wochen) reduziert werden.

Es wurde zudem gezeigt, dass die Latenzzeit, je nach Synchronisierung, im Gegensatz zur Standardliteratur [8], wo es  $N$ -Zyklen sind, nur  $\frac{N}{2}$ - bzw.  $\frac{N}{2} - 1$ -Zyklen betragen kann. In Regelsystemen ist die Latenzzeit von Bedeutung. Im Bereich der Pipeline A/D-Wandler sollten, bei einer Weiterführung, Kalibrierungsverfahren wie die passive Kapazitätsmittelung [18] oder eine Form der digitalen Selbstkalibrierung [44, 61] implementiert werden. Um die Verlustleistung zu senken, kann man das Verfahren des Opamp-Sharings [7, 89] anwenden.

# Anhang A

## Schichten

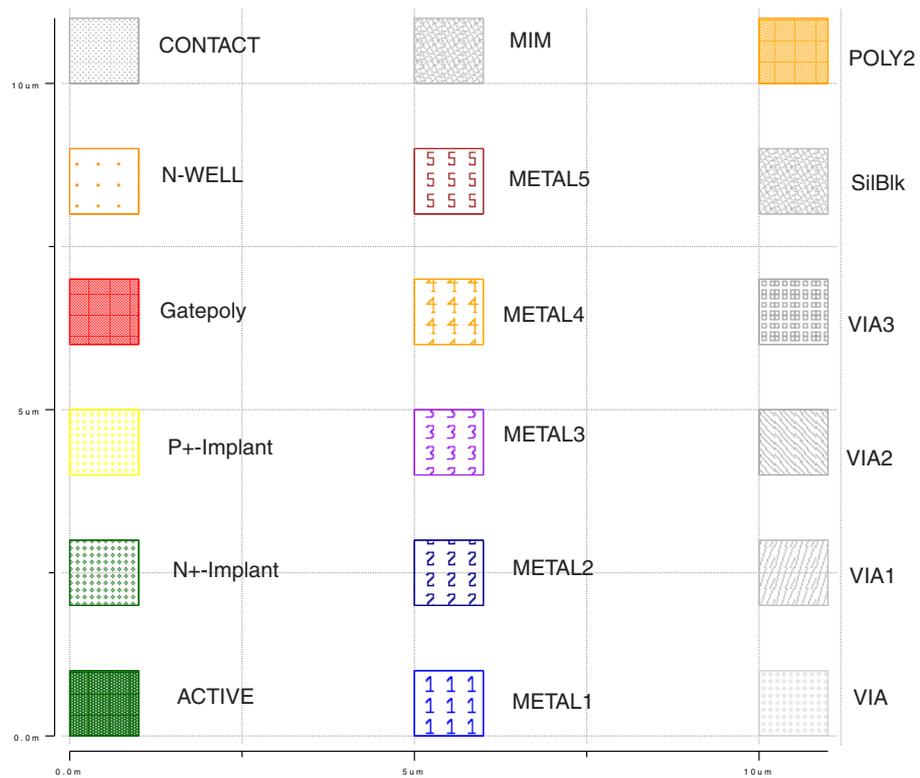


Abbildung A.1: In Layoutdarstellungen verwendete Schichten

# Anhang B

## Transistoren

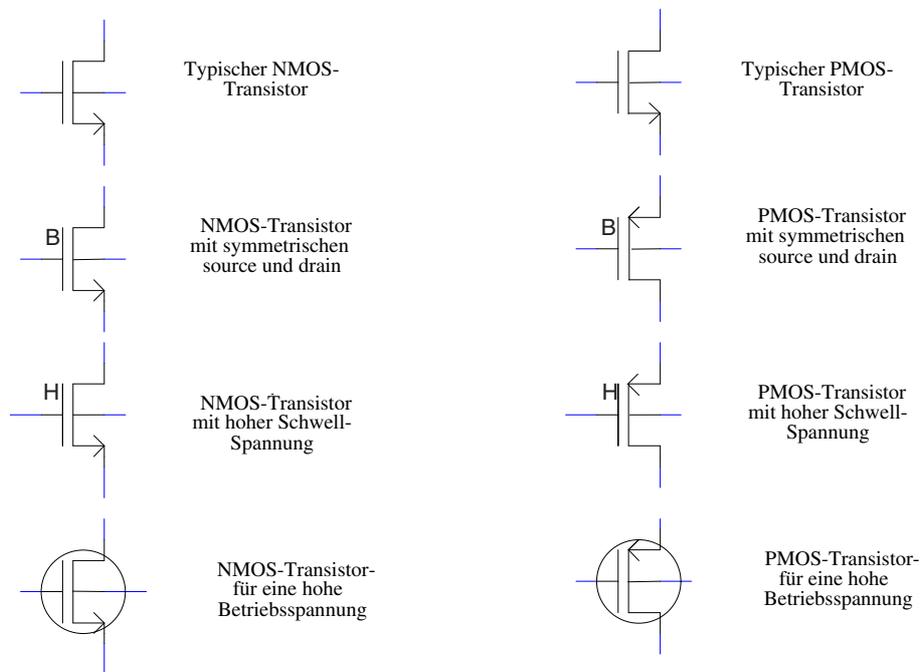


Abbildung B.1: Gebräuchliche integrierte MOS-Transistorbauelemente

Bei den hier implementierten Schaltungen wurden diese Bauelemente benutzt. Sollte es für den jeweiligen Transistor in der Zieltechnologie kein Äquivalent geben, so wird der ähnlichste Transistor herangezogen. In den Technologien bis  $0.25\mu\text{m}$  heißt das in der Regel, dass nur ein NMOS- und ein PMOS-Transistortypus existiert. Da die Schaltung parametrisiert ist, stellt dies jedoch kein Problem dar.

# Anhang C

## Simulatorvergleich am Beispiel eines OPV

Dank der nichtkommerziellen BSIM3- bzw. BSIM4-Modelle stimmen die Simulationsergebnisse nahezu aller dem Autor bekannten Simulatoren überein. Für die Simulation können auch nichtkommerzielle Simulatoren herangezogen werden. Dies ist insbesondere deshalb wichtig, da das Synthesystem unabhängig von bekannten Frameworks arbeiten können soll.

Die geringfügigen Unterschiede bei der Simulation des Operationsverstärkers nach Tab. C.1 können aus einer abweichenden Flächen- bzw. Umfangsberechnung der Drain- und Sourcereionen entstehen. Größere Differenzen entstehen zudem, wenn man eine ineinander verschachtelte Gatestruktur annimmt und die Flächen- bzw. Umfangsberechnung der Drain- und Sourcereionen unter dieser Annahme vornimmt, anstatt wie sonst üblich mit den m-Faktoren (reine Multiplikatoren). Dieser Operationsverstärker ist insbe-

Kennwerte	<i>Spectre</i> <sup>TM</sup>	spice3/ngspice/tclspice
$f_{0db}$	798MHz	806MHz
$A_0$	71.08dB	71.12dB
$\Phi_D$	46.7°	47.3°
$THD$	-72.3dB	-72.2dB
$\sqrt{\int_{10kHz}^{\infty} v_{on}^2(f) df}$	170 $\mu$ V	170 $\mu$ V

Tabelle C.1: Simulatorenvergleich  
( $C_L = 3pF$ ,  $V_{dd} = 1.1V$  und Transistormodell BSIM 3 v3.2.4)

sondere für Schaltungen mit einem hohem Rückkopplungsfaktor wie in Abbildung 3.19 und Abbildung 3.23 geeignet. Das THD wurde einer invertie-

## *ANHANG C. SIMULATORVERGLEICH AM BEISPIEL EINES OPV 191*

renden Struktur nach Abb. C.2 und das Rauschen in einer MX2-Struktur in der Haltephase (Abb. C.3) simuliert. Die Integration wird von 10KHz bis  $\infty$  ausgeführt, da das  $\frac{1}{f}$ -Rauschen durch IOS oder OOS reduziert wird. In Kommunikationssystemen würde dieses in der Regel bei der FFT in BIN 0 fallen und im Digitalen herausgefiltert werden.

## ANHANG C. SIMULATORVERGLEICH AM BEISPIEL EINES OPV 192

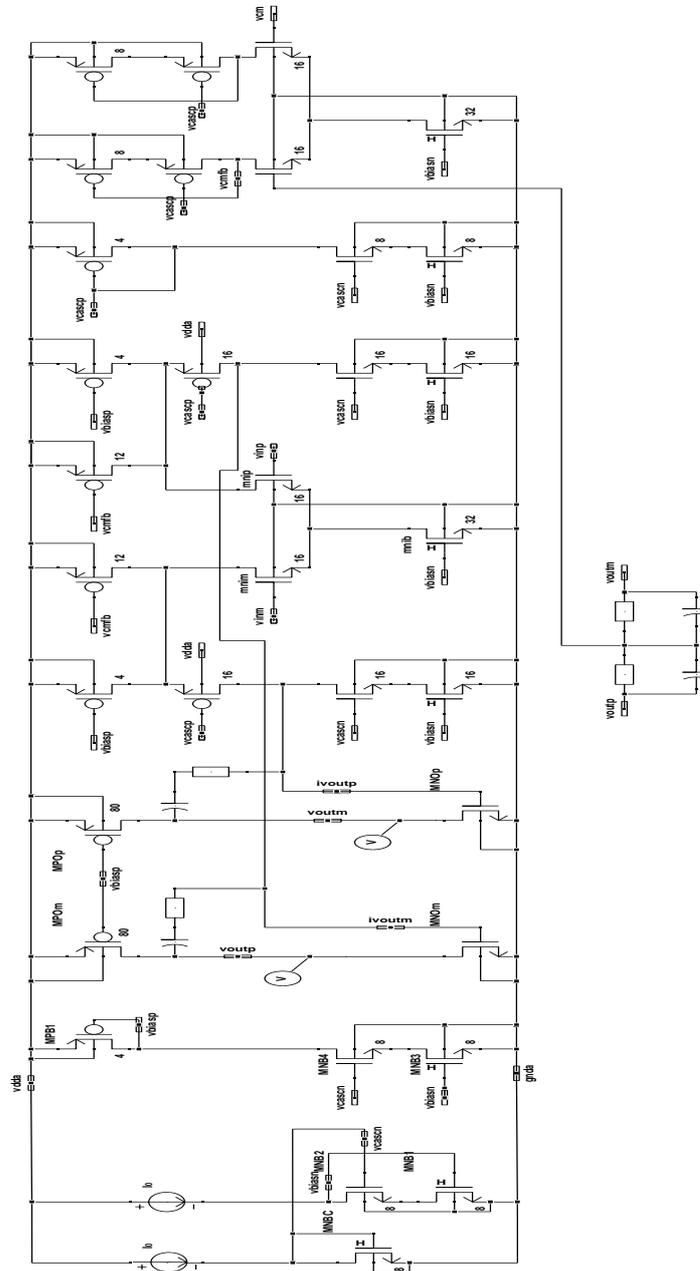


Abbildung C.1: Beispiel eines zweistufigen Operationsverstärkers in einer 130nm CMOS-Technologie

(Die Zahlen an den Transistoren entsprechen der Anzahl der Gates, während das W/L-Verhältnis von den Bias-Transistoren bestimmt wird.)

ANHANG C. SIMULATORVERGLEICH AM BEISPIEL EINES OPV 193

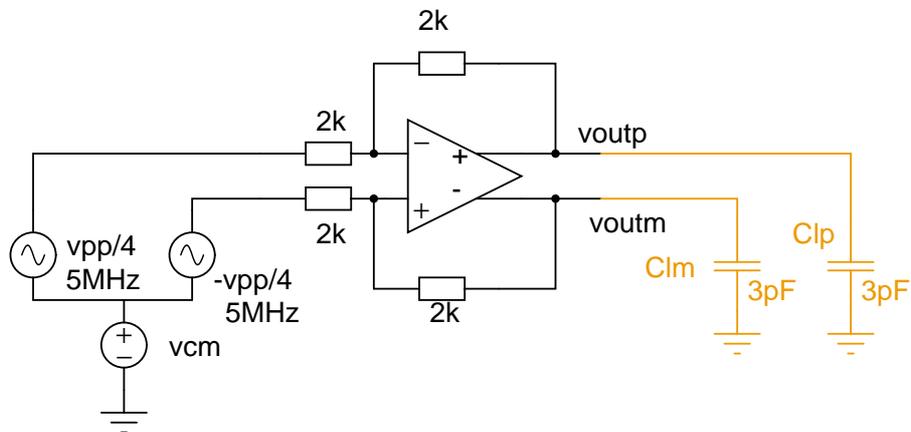


Abbildung C.2: Invertierende Verstärkerstruktur zur Bestimmung des THD

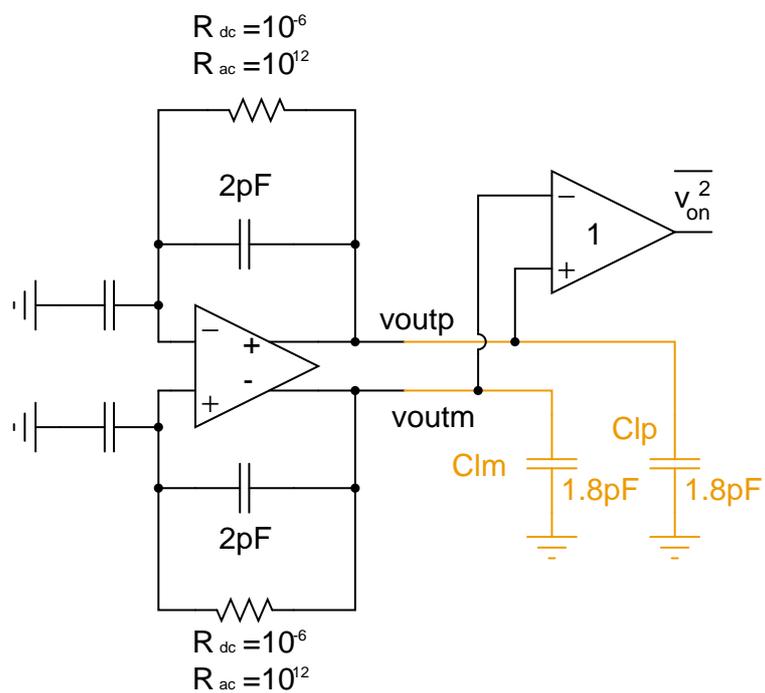


Abbildung C.3: MX2-Struktur in der Haltephase zur Bestimmung des Rauschens

# Anhang D

## Hilfsbetrachtungen

### D.1 Kohärente FFT

Die höchste Frequenzseparation bei der FFT erreicht man, wenn man eine Fensterung im Zeitbereich vermeiden kann. Eine Fensterung bei einer FFT eines Sinussignals  $v(t)$  ist nur dann notwendig, wenn das abgetastete Signal  $v_s(n)$  bei  $n = N_S$  nicht durch den Wert bei  $n = 1$  fortgesetzt wird. Seien  $f_{sig}$  die Signalfrequenz des interessierenden Sinuseingangssignals,  $N_S$  die Anzahl der Abtastzeitpunkte für die FFT im Zeitbereich,  $N_{periods}$  die Anzahl an Perioden des Eingangssignals für die FFT und  $f_S$  die Abtastfrequenz.

$$N_S = 2^x \text{ mit } x \in \{6, 7, 8, 9, \dots\}$$

$$N_{periods} = \text{ClosestOddNumber} \left( \frac{f_{sig} \cdot N_S}{f_S} \right) \quad (\text{D.1})$$

$$f'_{sig} = \frac{f_S}{N_S} \cdot N_{periods} \quad (\text{D.2})$$

$f'_{sig}$  ist dann die Signalfrequenz die statt  $f_{sig}$  appliziert wird. Die gleiche Prozedur wird auch bei der Bestimmung der IMD für beide Frequenzen angewendet.

# Anhang E

## Die Programme

### anacellcom

Dieses Programm basiert auf dem TCL/TK-Interpreter ([www.scriptics.com](http://www.scriptics.com)). Die interpretereigenen Befehle und Programmierstrukturen werden hier nicht aufgeführt. An dieser Stelle werden nur einige der hinzugefügten Befehle aufgezählt.

### Verbindungsrouinen

- `getconnection connections name`
- `obj_getconnection object name`
- `obj_getconnections object`
- `searchconnection connections name direction`
- `obj_searchconnection object name direction`
- `obj_searchconnections object name`
- `grid_autoroute objectlist layer1 layer2 space linewidth parallelvianum extralinesx extralinesy exceptnodes options (A*-Autorouter)`

### Busrouinen

- `obj_createbus object metaltype namelist currentlist direction options`
- `obj_fulllinebusrouter oldobject metaltype inoutnames direction options`

- `obj_fulllinedoublebusrouter` `oldobject` `metatypes` `inoutnames` `directions` `options`

## Objektroutinen

- `obj_createcap` `object` `w` `l` `capdir` `direction` `options`
- `obj_createcommonbottomplatematchedcapacitorpair` `object` `w` `current` `direction` `options`
- `obj_createcommontopplatematchedcapacitorpair` `object` `w` `current` `direction` `options`
- `obj_createinterdigitatedresistorpair` `object` `type` `w` `l` `nparts` `direction` `options`
- `obj_creatematchedcrosscoupledmostransistors` `object` `type` `w` `l` `basng` `distribution` `current` `direction` `options`
- `obj_creatematcheddoublestackedmostransistors` `object` `type` `owstripe` `length` `npath` `distribution` `direction` `options`
- `obj_createsimplecmosswitch` `object` `w` `l` `ng` `current` `direction` `options`

## Blockroutinen

- `obj_placeanalogchain` `object` `names` `lloldnodes` `llnewnodes` `llvars` `inoutnames` `loptions` `direction` `options`
- `obj_placedigitalchain` `object` `types` `drives` `current` `lloldnodes` `llnewnodes` `inoutnames` `loptions` `direction` `options`
- `obj_placefittedandnamedblock` `object` `name` `orders` `varsets` `direction` `options`
- `obj_placemultipleanalogchains` `object` `lnames` `lloldnodes` `llnewnodes` `llvars` `lloptions` `direction` `options`
- `obj_placemultipledigitalchains` `object` `ltypes` `ldrives` `current` `lloldnodes` `llnewnodes` `lloptions` `direction` `options`

## **vspicepp**

Dieses Programm (Routinensammlung) ist ein SPICE-Prä- und Postprozessor. Mit diesem Programm ist es möglich, unterschiedliche Simulatoren zu verwenden. Gleichzeitig findet hier die Namensauflösung für die Templates statt (z.B. `nmos_hv`  $\rightarrow$  `n_25`). Durch zusätzliche Befehle können verschiedene Permutationen von Variationen durchgespielt werden und dann mit Auswertefunktionen ( $f_T$ ,  $\phi_M$ ,  $\phi_D$ ,  $A_0$ , `fft`, `sampled_fft`, `sinad`, `snr`, `thd` ...) nachprozessiert werden.

## **trcalc**

Dieses Programm (Routinensammlung) optimiert Transistoren und kleinere Schaltungen mit dem SPICE-Simulator unter definierten Randbedingungen. Dabei wird in der Regel eine Simplex-Optimierung angewendet.

## **aschtolay**

Konvertiert ein Schaltbild für eine analoge Schaltung in ihr Äquivalent an Befehlen des Layoutgenerators `anacellcom`.

## **dschtolay**

Konvertiert ein Schaltbild für eine digitale Schaltung in ihr Äquivalent an Befehlen des Layoutgenerators `anacellcom`.

## **cppsimulator**

Konvertiert ein Schaltbild für eine quasizeitkontinuierliche Systemsimulationsschaltung in ihr C++-Äquivalent mit Befehlen des CPPSIM-Paketes.

## **Sue4 und ICSchem**

Sue4 (Public Domain ursprünglich programmiert von L. Tavrow [84]) und ICSchem (Eigenentwicklung) sind hier verwendete Editoren für schematische Zeichnungen. Die meisten Zusatzprogramme arbeiten mit beiden Editoren, da beide Editoren Tcl/Tk als Grundlage haben und das Austauschformat die Spice-Netzliste ist.

## **MAX4**

MAX4 ist ein Public-Domain-Layouteditor.

## **magic**

Magic [56] ist ein Programm oder vielmehr ein Programmpaket für das Editieren von Layouts, für das Konvertieren von Layouts und für die Extraktion (auch mit parasitären Elementen) von Spice-Netzlisten aus Layouts.

## **Designers Workbench**

Zentrales Programm, das die Systemsimulationselemente auf die Schaltungsebene herunterbricht und über tcalc, vspicepp, anacellcom und magic dimensioniert.

## **techfileeditor**

Zentrale Benutzeroberfläche zur Eingabe der technologieabhängigen Parameter und Designregeln. Dieses Programm erstellt die nötigen Technologiedateien für MAX, magic, vspicepp, tcalc und Designers Workbench.

# Anhang F

## Layoutmodule

### F.1 Analog Layout-Module

Neben den im Layout oft vorkommenden Modulen (Abb. F.1), normalen differentiellen und einfachen Transistorpfaden, wurden ebenfalls einfache kreuzgekoppelte Stufen erstellt. Diese Elemente werden in Komparatoren und Latches eingesetzt, deren Offset durch ein symmetrisches Layout verringert werden kann.

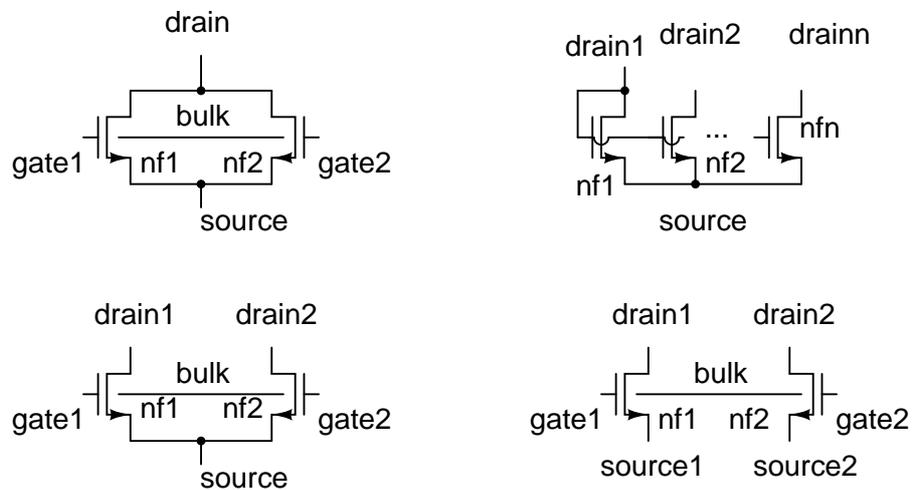


Abbildung F.1: Verschiedenste Module mit NMOS Transistoren

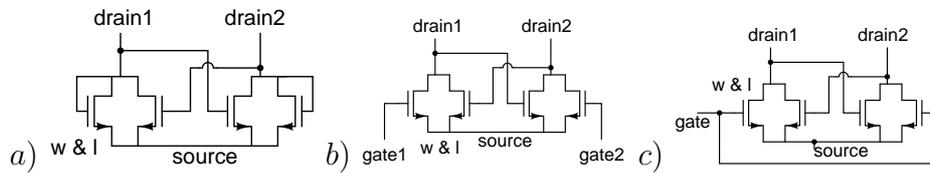


Abbildung F.2: Verschiedene kreuzgekoppelte Stufen mit NMOS Transistoren

## F.2 Digitalelemente

Die Digitalbibliothek besteht aus folgenden Elementen:

- Inverter, Doppelinverter, NAND2, NAND3, NAND4, NOR2, NOR3, NOR4, AND2, AND3, AND4, OR2, OR3, OR4 und Buffer
- $C^2$ MOS-Inverter,  $C^2$ MOS-NAND2,  $C^2$ MOS-NOR2 und Tristate-Buffer
- XOR2 und XNOR2
- Transmissionsgatter (T-Gate), T-Gate-XOR2 und T-Gate-XNOR2

Komplexere Gatter (z.B. Abb. F.3) werden aus diesen Elementen aufgebaut.

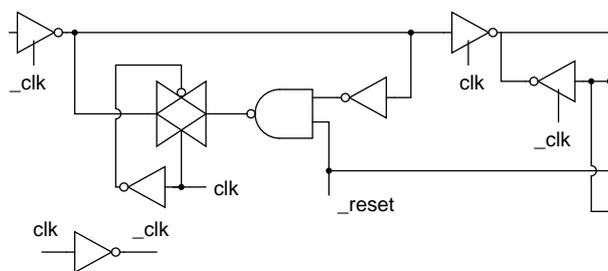


Abbildung F.3: Ein D-Flipflop mit asynchronem Reset (active low)

# Literaturverzeichnis

- [1] A. Abo and P. R. Gray, „A 1.5V 10bit 14.3 MSample/s CMOS Pipeline Analog-to-Digital Converter”, IEEE J. of Solid State Circuits, vol. 34, pp. 599-606, May. 1999.
- [2] A. Abo, „Design for Reliability of Low-voltage Switched-capacitor Circuits”, PHD Thesis, University of California, Berkeley, 1999.
- [3] B. K. Ahuja, „An Improved Frequency Compensation Technique for CMOS Operational Amplifiers, ” IEEE J. Solid-State Circuits, vol. SC-18, no 6, pp.629-633, December 1983.
- [4] Application Notes on Direct Time-Domain Noise Analysis using Virtuoso Spectre, 2006.
- [5] ASCO (ASCO A SPICE Circuit Optimizer) by Joao Ramos - <http://asco.sourceforge.net>
- [6] Phillip E. Allen and Douglas R. Holberg, „CMOS Analog Circuit Design”, ISBN 0-19-511644-5, Oxford University Press 2002.
- [7] T. N. Andersen, A. Briskemyr, F. Telstø, J. Bjørnsen, Thomas E. Bonnerud, B. Hernes, Ø. Moldsvor, „A 97mW 110MS/s 12b Pipeline ADC Implemented in 0.18 $\mu$ m Digital CMOS”, DATE 2005.
- [8] R. Jakob Baker, „CMOS Circuit Design, Layout, and Simulation”, ISBN 0-471-70055-X, IEEE Press 2005.
- [9] V. M. zu Bexten, C. Moraga, R. Klinke, W. Brockherde, and K. Hess, „ALSYN: Flexible Rule-Based Layout Synthesis for Analog IC's”, IEEE J. of Solid State Circuits, vol. 28, pp. 261-268, Mar. 1993.
- [10] I. N. Bronstein and K. A. Semendjajew, „Taschenbuch der Mathematik”, B.G. Teubner Verlagsgesellschaft, 1991.

- [11] J. D. Bruce, H. W. Li, M. J. Dallabetta, and R. J. Baker, „Analog Layout using ALAS!”, IEEE J. of Solid State Circuits, vol. 31, pp. 271-274, Feb. 1996.
- [12] K. Bult and G.J.G.M. Geelen, „A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain”, IEEE J. of Solid State Circuits, vol. SC-25, pp. 1379-1384, Dec. 1990.
- [13] U. K. Chakraborty, „Advances in Differential Evolution”, Springer, 2008.
- [14] Kenneth C. Dyer, Daihong Fu, Stephen H. Lewis, and Paul J. Hurst, „An Analog Background Calibration Technique for Time-Interleaved Analog-to-Digital Converters”, IEEE Journal of Solid State Circuits, vol. 33, pp. 1912-1919, December 1998.
- [15] Cadence Design Systems, „Virtuoso Parametrized Cell Reference Manual”, Cadence Design Systems, Inc, 555 River Oaks Parkway, San Jose, California 95134, September 1992.
- [16] Cadence Design Systems, „SKILL Language Reference Manual”, Cadence Design Systems, Inc, 555 River Oaks Parkway, San Jose, California 95134, März 1994.
- [17] Cadence Design Systems, „Virtuoso Layout Editor”, Cadence Design Systems, Inc, 555 River Oaks Parkway, San Jose, California 95134, März 1994.
- [18] Yun Chiu, „High Performance Pipeline A/D-Converter Design in Deep Sub-Micron CMOS Noise, ” PHD Thesis, University of California, Berkeley, 2004.
- [19] D. Cline, „Noise, Speed, and Power Trade-offs in Pipelined Analog-to-Digital Converters, ” PHD Thesis, University of California, Berkeley, 1995.
- [20] H. Chang, E. Charbon, U. Choudhury, A. Demir, E. Felt, E. Liu, E. Malavasi, A. Sangiovanni-Vincentelli, and I. Vassiliou, „A Top-Down Constraint-Driven Design Methodology for Analog Integrated Circuits” Kluwer Academic Publishers, first edition, 1997.
- [21] T. Cho, „Low-power Low-voltage Analog-to-digital Conversion Techniques Using Pipelined Architectures”, PHD Thesis, University of California, Berkeley, 1995.

- [22] C. T. Chuang, „Analysis of the Settling Behavior of an Operational Amplifier”, IEEE Journal of Solid State Circuits, vol. SC-17, No 1, pp. 74-80, February 1982.
- [23] J. M. Cohn, D. J. Garrod, „KOAN/ANAGRAM II: New Tools for Device-Level Analog Placement and Routing”, IEEE J. of Solid State Circuits, vol. 26, pp. 330-342, Mar. 1991.
- [24] J. D. Conway and G. G. Schrooten, „An Automatic Layout Generator for Analog Circuits”, In Proc. European Design Automation Conf., pp. 513-519, 1992.
- [25] F. L. Cox III, W. B. Kuhn, J. P. Murray and S. D. Tynor, „Code-level modeling in XSPICE”, In Proc. IEEE International Symposium on Circuits and Systems, vol. 2, pp. 871-874, May 1992.
- [26] J. E. Dennis, Jr. and D. J. Woods, „New Computing Environments: Microcomputers in Large-Scale Computing”, edited by A. Wouk, SIAM, 1987, pp. 116-122.
- [27] M. Dessouky and A. Kaiser, „Input switch configuration for rail-to-rail operation of switched opamp circuits”, Electronics Letters, vol. 35, no. 1, pp. 8-10, Jan 1999.
- [28] M. Dessouky and M.-M. Louërat, „A Layout Approach for Electrical and Physical Design Integration of High Performance Analog Circuits”, International Symposium on Quality Electronic Design Mar. 2000.
- [29] M. Dessouky, „Design for Reuse of Analog Circuits. Case Study: Very Low-Voltage. Delta-Sigma Modulator”, PHD Thesis, University of Paris VI, 2001.
- [30] C. Enz, G. Temes, „Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilisation, ” Proceedings of IEEE, vol. 84, no 11, November 1996.
- [31] A. R. Feldman, „High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications, ” PHD Thesis, University of California, Berkeley, 1997.
- [32] R. del Río Fernández, „Convertidores A/D  $\Sigma\Delta$  de Altas Prestaciones en Tecnologías CMOS Submicrométricas, ” PHD Sevilla, Abril de 2004.

- [33] J. H. Fischer, „Noise Sources and Calculation Techniques for Switched Capacitor Filters.” *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 742-752, Aug. 1982.
- [34] Daihong Fu, Kenneth C. Dyer, Stephen H. Lewis, and Paul J. Hurst, „A Digital Background Calibration Technique for Time-Interleaved Analog-to-Digital Converters”, *IEEE Journal of Solid State Circuits*, vol. 33, pp. 1904-1911, December 1998.
- [35] G. Gielen, K. Swings, and W. Sansen. „Open analog synthesis system based on declarative methods.” In Johan H. Huijsing, Rudy J. van der Plassche, and Willy Sansen, editors, *Analog Circuit Design: Operational Amplifiers, Analog to Digital Converters and Analog Computer Aided Design*, pages 421-445. Kluwer Academic Publishers, 1993.
- [36] George G.E. Gielen and Rob A. Rutenbar. *Computer-Aided Design of Analog and Mixed-Signal Integrated Circuits. Computer-Aided Design of Analog Integrated Circuits and Systems*, pages 3-30, 2002.
- [37] João Goes, João C. Vital, and José E. Franca, „Systematic Design for Optimization of High-Speed Self-Calibrated Pipelined A/D Converters”, *IEEE Transactions on Circuits and Systems-II*, vol. 45, pp. 1517-1526, December 1998.
- [38] R. Gregorian and G. C. Temes, „Analog MOS Integrated Circuits for Signal Processing”, Wiley-Interscience, 1986.
- [39] M. Gustavsson, J. Wikner and N. Tan, „CMOS Data Converters for Communications”, Kluwer Academic Publishers, Boston, 2000.
- [40] Clemens M. Hammerschmidt and Paul Quiting Huang, „Design and Implementation of an Untrimmed MOSFET-Only 10-Bit A/D Converter with -79-dB THD”, *IEEE Journal of Solid State Circuits*, vol. 33, pp. 1148-1157, August 1998.
- [41] R. Hogervorst, J. H. Huijsing „Design of low-voltage, lowpower operational amplifier cells” Kluwer Academic Publishers, Netherlands, 1996.
- [42] R. Harjani, R. Rutenbar, and L.R. Carley. „OASYS: A Framework for Analog Circuit Synthesis.” *IEEE Trans. Computer-Aided Design*, 8:1247-1265, December 1989.
- [43] Joseph M. Ingino, and Bruce A. Wooley, „A Continuously Calibrated 12-b 10-MS/s, 3.3-V A/D Converter”, *IEEE Journal of Solid State Circuits*, vol. 33, pp. 1920-1931, December 1998.

- [44] A. N. Karanicolas, „Digital Self-Calibration Techniques for High-Accuracy, High-Speed Analog-to-Digital Converters, ” PHD Thesis, 1994.
- [45] N. J. Kasdin, „Discrete Simulation of Colored Noise and Stochastic Processes and  $1/f^\alpha$  Power Law Noise Generation”, Proceedings of the IEEE, vol. 83, No. 5, May 1995.
- [46] H. Klar, „Integrierte Digitale Schaltungen MOS/BICMOS”, 2th Edition, January 1996.
- [47] H. Klar, „Integrierte Analogschaltungen (MOS)”, Vorlesungsskript Integrierte Analogschaltungen, TU-Berlin, Institut für Mikroelektronik, 2000.
- [48] H. Y. Koh, C. H. Sequin, and P. R. Gray, „OPASYN: A Compiler for CMOS Operational Amplifiers”, IEEE Trans. on CAD, vol. 9, pp. 113-115. 1990.
- [49] Michael Kransnicki, Rodney Phelps, Rob A. Rutenbar, and L. Richard Carley. „MAELSTROM: Efficient Simulation-Based Synthesis for Custom Analog Cells.” In Proc. Design Automation Conference, pages 945-950. IEEE/ACM, June 1999.
- [50] Michael Kransnicki, Rodney Phelps, James R. Hellums, Mark McClung, Rob A. Rutenbar, and L. Richard Carley. „ASF: A Practical Simulation-Based Methodology for the Synthesis of Custom Analog Circuits.” In Proc. International Conference on Computer Aided Design, pages 350-357. IEEE/ACM, November 2001.
- [51] Ken Kunert. „Simulating Switched-Capacitor Filters”, [www.designers-guide.org](http://www.designers-guide.org), July 2006.
- [52] Paulux T. F. Kwok and Howard C. Luong, „Power Optimization for Pipeline Analog-to-Digital Converters”, IEEE Transactions on Circuits and Systems-II, vol. 46, pp. 549-553, May 1999.
- [53] K. Lampaert, G. Gielen, and W. M. Sansen. „A Performance- Driven Placement Tool for Analog Integrated Circuits.” IEEE J. of Solid-State Circuits, 30(7):773-780, July 1995.
- [54] S.H. Lewis, et. al., „10b 20Msample/s analog-to-digital converter”, IEEE J. Solid State Circuits, vol 27, pp 351-358, March 1992.

- [55] R. G. Lyons, „Understanding Digital Signal Processing”, Addison-Wesley Publishing Company, 1997.
- [56] <http://www.opencircuitdesign.com/magic/index.html>
- [57] E. Malavasi, „Adore: Layout Generator for Switched-Capacitor Filters”, User’s Guide for Version 2.42, 1992.
- [58] E. Malavasi, E. Charbon, E. Felt, and A. Sangiovanni, „Automation of IC Layout with Analog Constraints”, IEEE Trans. of Computer Aided Design. vol. 15, pp. 923-942, Aug. 1996.
- [59] F. Medeiro, B. Pérez-Verdú, A. Rodríguez-Vázquez, and J. L. Huertas. „Global design of analog cells using statistical optimization techniques.” Analog Integrated Circuits and Signal Processing, Kluwer Academic Publishers, 6:179-195, 1994.
- [60] F. Medeiro, B. Pérez-Verdú and A. Rodríguez-Vázquez, „Top-Down Design of High-Performance Sigma-Delta Modulators, ” ISBN 0-7923-8352-4, 1999.
- [61] B. Murmann, B. E. Boser, ”Digitally assisted pipeline ADCs”, Kluwer Academic Publishers, 2004.
- [62] R. Naiiknaware and T. S. Fiez. „Automated hierarchical CMOS analog circuit stack generation with intramodule connectivity and matching considerations.” IEEE J. of Solid-State Circuits, 34(3):304-317, March 1999.
- [63] R. Neff, „Automatic Synthesis of CMOS Digital/Analog Converters. PhD thesis, University of California at Berkeley”, <http://kabuki.eecs.berkeley.edu/~neff>, 1995.
- [64] W. Nye, D.C. Riley, A. Sangiovanni-Vincentelli, and A. L. Tits. „DELIGHT. SPICE: An Optimization-Based System for Design of Integrated Circuits.” IEEE Trans. Computer-Aided Design, 7(4):501-518, April 1988.
- [65] E. Ochotta, Rob A. Rutenbar, and L. Richard Carley. „Synthesis of High-Performance Analog Circuits in ASTRX/OBLX.” IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 16:273-294, March 1996.

- [66] Ion E. Opris, Laurence D. Lewicki and Bill C. Wong , „A Single Ended 12-bit 20Msample/s Self-Calibrating Pipeline A/D Converter”, IEEE Journal of Solid State Circuits, vol. 33, pp. 1898-1903, December 1998.
- [67] J. Ousterhout, „Tcl and the Tk Toolkit”, Addison-Wesley, ISBN 0-201-63337-X, 1994.
- [68] B. R. Owen, R. Duncan, S. Jantzi, C. Ouslis, S. Rezania, and K. Martin, „BALLISTIC: An Analog Layout Language”, In Proc. IEEE Custom Integrated Circuits Conf., 1995.
- [69] Y.-I. Park, S. Karthikeyan, et al., „A 10b 80 Ms/s CMOS pipelined ADC at 1.8V power supply”, IEEE ISCS, pp. 580-583, 2001.
- [70] M. J. M. Pelgrom, A. C. J. Duinmaijer, A. P. G. Welbers „Matching properties of MOS transistors, ” IEEE J. Solid-State Circuits, vol. 24, no 5, pp.1433-1439, October 1989.
- [71] M.H. Perrott, „Fast and Accurate Behavioral Simulation of Fractional-N Frequency Synthesizers and Other PLL/DLL Circuits”, Proc. 39th Design Automation Conf. (DAC 2002), ACM Press, New York, 2002, pp.498-503.
- [72] Rodney Phelps, Michael Krasnicki, Rob A. Rutenbar, L. Richard Carley, and James R. Hellums. „Anaconda: Simulation-Based Synthesis of Analog Circuits via Stochastic Pattern Search.” IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 19(6):703-717, June 2000.
- [73] J. Porte. „COMDIAC: Compilateur de Dispositifs Actifs”, reference manual. Ecole Nationale Supérieure des Télécommunications, Paris, September 1997.
- [74] W. H. Press, S. A. Teukolsky, W. T. Vetterling and B. P. Flannery, „Numerical Recipes in C”, CAMBRIDGE UNIVERSITY PRESS, 1992.
- [75] C. Quarles and L. Thomas, „SPICE3 Version 3C1 User’s Guide”, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, Apr. 1989.
- [76] <http://qucs.sourceforge.net/docs/workbook.pdf>

- [77] N. Ravindranath, „Automated Hierarchical CMOS Analog Circuit Stack Generation with Intramodule Connectivity and Matching Considerations”, IEEE J. Solid-State Circuits, vol. 34, pp. 304-317, Mar. 1999.
- [78] B. Razavi, „Principles of Data Conversion System Design”, IEEE Press, 1995.
- [79] B. Razavi, „Design of Analog CMOS Integrated Circuits”, McGraw-Hill, 2001.
- [80] Y. Ren, B. H. Leung and Yuh-Min Lin, „A Mismatch-Independent DNL Pipelined Analog-to-Digital Converter”, IEEE Transactions on Circuits and Systems-II, vol. 46, pp. 517-526, May 1999.
- [81] Lauri Sumanen, Mikko Waltari and Kari Halonen, „An 8-bit 40MS/s Pipeline A/D Converter for WDMA Testbed”, NORCHIP'98 Conference.
- [82] L. Sumanen, M. Waltari, K. A. I. Halonen, „A 10-bit 200-MS/s CMOS Parallel Pipeline A/D Converter”, IEEE J. of Solid-State Circuits, v. 36, no. 7, July 2001.
- [83] W. P. Swartz, „Automatic Layout of Analog and Digital Mixed Macro/Standard Cell Integrated Circuits”, PHD Thesis, Yale University 1993.
- [84] Lee Tavrow. Schematic User Environment. Micro-Magic Inc., Sunnyvale, CA, 1994.
- [85] S. Thiel und H. Klar, „Routines für die Layoutgenerierung analoger Schaltungen als Teil eines wissensbasierten Synthesystems”, 11. E.I.S. Workshop, pp 75, 2003. ISBN 3-8007-2760-9.
- [86] S. Thiel und H. Klar, „Templates für die Layoutgenerierung analoger Schaltungen als Teilelement in einem Synthesystem”, Austrochip 2003, pp. 25-28, 2003. ISBN 3-200- 00021-X.
- [87] S. Thiel, N. Ay, P. Wennekers und H. Klar, „Automatic Synthesis of a Pipeline ADC using a Layout orientated Synthesis Methodology”, Austrochip 2004, pp. 21-26, 2004. ISBN 3- 200-000211-5.
- [88] J. Treichler, Q. Huang and T. Burger. „A 10-bit ENOB 50-MSps Pipeline ADC in 130-nm CMOS at 1.2 V Supply”, VLSI CIRC, 2006.
- [89] Trojer, M. Cleris, M. „A 1.2V 56mW 10 bit 165Ms/s pipeline-ADC for HD-video applications”, ESSCIRC 2008.

- [90] Claudio Turchetti and Guido Masetti, „A Macromodell for a All-MOS Operational Amplifiers”, IEEE Journal of Solid State Circuits, vol. SC-18, No 4, pp. 389-394, August 1983.
- [91] Rudy J. van de Plassche, „Integrated Analog-to-Digital and Digital-to-Analog Converters”, 2nd Ed., Kluwer Academic Publishers, Boston, 2003.
- [92] M. Wolf und U. Kleine, „Reliability Driven Module Generation for Analog Layouts”, Proc. Int. Symposium on Circuits and Systems, pages 412-415, June 1999.
- [93] Michio Yotsuyanagi, Toshiyuki Etoh, and Kazumi Hirata, „A 10-b 50-MS/s Pipelined CMOS A/D Converter with S/H”, IEEE Journal of Solid State Circuits, vol. 28, pp. 292-300, March 1993.

# Index

- 1-Bit pro Stufe, 28
- 1.5 Bit Pipeline Stufe, 165
- 1.5-Bit pro Stufe, 29
- A/D-Wandler, 5
- Abtast- und Halteglied, 52
- CPPSIM, 79
- Dämpfungsfaktor, 89
- Dynamic Range, 10
- Einschwingfehler, 67
- Einschwingverhalten, 88
- Ereignisorientierte Simulation, 81
- FOM, 12
- Jitter, 24
- Kapazitätsmissverhältnis, 65, 103
- Komparatoroffset, 28
- KT/C-Rauschen, 18
- Layoutmodule, 199
- Leerlaufverstärkung, 62, 86
- Offset, 40
- Operationsverstärker, 90
- Optimierung, 98
- Phasenrand, 77, 90
- Pipeline A/D-Wandler, 16
- Pipeline-A/D-Wandler, 26, 91
- Quantisierungsfehler, 9
- Rückkopplung, 85
- RSD-Enkodierung, 31
- SC-Verstärker, 56, 83
- SFDR, 11
- SINAD, 10
- Slewrates, 78, 85
- SNR, 7
- THD, 6
- Thermisches Rauschen, 70, 90
- Transistormodell, 99
- XSPICE, 65, 74, 92