

Entwurf und Realisierung biologienaher Bildvorverarbeitung in analoger CMOS-Schaltungstechnik

vorgelegt von
Diplom-Ingenieur
Chang-Han Yi

Von der Fakultät IV – Elektrotechnik und Informatik
der Technischen Universität Berlin
zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften
- Dr.-Ing. -

genehmigte Dissertation

Promotionsausschuß:

Vorsitzender: Prof. Dr.-Ing. Reinhold Orglmeister
1. Bericht: Prof. Dr.-Ing. Heinrich Klar
2. Bericht: Prof. Bedrich Hosticka, Ph. D.

Tag der wissenschaftlichen Aussprache: 16. Mai 2001

Berlin 2001

D 83

Vorwort

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Mikroelektronik der Technischen Universität Berlin. Gefördert wurde sie durch das Drittmittel-Forschungsprojekt des BMBF (Bundesministerium für Bildung und Forschung) im Rahmen des Siemens-Forschungsvorhabens „Elektronisches Auge“.

Mein besonderer Dank gilt meinem „Doktorvater“, Prof. Dr.-Ing. Heinrich Klar, für seine konstruktive Unterstützung und die anregende Arbeitsatmosphäre in seiner Abteilung. Prof. Bedrich Hosticka, Ph. D., danke ich für die Übernahme des Zweitberichtes und die hilfreiche Betreuung während meiner Forschungstätigkeit. Den Vorsitz der wissenschaftlichen Aussprache übernahm dankenswerterweise Prof. Dr.-Ing. Reinhold Orglmeister.

Für unzählige anregende Diskussionen bedanke ich mich bei meinen Kollegen am Institut, insbesondere bei Dr. Martin Ehlert, Johann Höhn, Axel Jahnke, Jens Stellmacher, Ulrich Roth, Dr. Jörg-Michael Green und Heiner Stockmanns. Weiterhin danke ich herzlich Uwe Voss für die Unterstützung bei den Messungen der Testchips und Winfried Naumann sowie Werner Eschenberg für die zuverlässigen Hilfen in Sachen Hard- und Software.

Für ihre wertvollen Anregungen und Hinweise bei der Ausarbeitung dieser Arbeit bin ich Robert Schlabbach, Holger Kroth, Dr. Michael Schanz, Dr. Arnd Krönig und Prof. Ulrich Ramacher zu großem Dank verpflichtet.

Mein ganz besonderer Dank gilt meiner Familie und insbesondere meiner Mutter, durch deren Hilfe es mir ermöglicht wurde, diese Arbeit anzufertigen.

Chang-Han Yi

Berlin, 31. Mai 2001

Inhaltsverzeichnis

1	Einleitung.....	1
2	Einführung in die Kantenerkennung der künstlichen Retina.....	5
2.1	Aufbau der biologischen Retina.....	5
2.2	Funktion der Retina.....	7
2.3	Eigenschaften der Mexican-Hat-Funktion als Bandpaß.....	9
2.4	Zusammenfassung.....	12
3	Technische Modellbildung.....	13
3.1	Einlagiges Widerstandsnetzwerk zur Kantenerkennung.....	13
3.1.1	Aufbau und Grundlagen des einlagigen Netzwerks.....	13
3.1.2	Simulationsergebnisse des einlagigen Netzwerks.....	15
3.1.3	Vor- und Nachteile des einlagigen Netzwerks.....	17
3.1.4	Ergebnisse der Software-Simulationen.....	19
3.1.5	Ergebnis des einlagigen Netzwerks.....	21
3.2	Zweilagiges Widerstandsnetzwerk zur Kantenerkennung.....	22
3.2.1	Aufbau des zweilagigen Netzwerks.....	22
3.2.2	Simulationsergebnisse des zweilagigen Netzwerks.....	22
3.2.3	Ergebnisse der Software-Simulationen.....	25
3.2.4	Ergebnis des zweilagigen Netzwerks.....	28
3.3	Zweilagig-paralleles Widerstandsnetzwerk zur Kantenerkennung.....	29
3.3.1	Aufbau des zweilagig-parallelen Widerstandsnetzwerks.....	29
3.3.2	Simulationsergebnisse des zweilagig-parallelen Netzwerks.....	29
3.3.3	Reaktion auf eine unscharfe Kante.....	32
3.3.4	Steuerung des Detailreichtums der Kanteninformation.....	33
3.3.5	Ergebnisse der Software-Simulationen.....	33
3.3.6	Ergebnis des zweilagig-parallelen Widerstandsnetzwerks.....	35
3.4	Kantenerkennung und Segmentierung mit Resistive Fuses.....	36
3.4.1	Aufbau des nichtlinearen Widerstandsnetzwerks mit Resistive Fuses.....	36
3.4.2	Reaktion auf eine unscharfe Kante.....	36
3.4.3	Ergebnisse der Software-Simulationen.....	37
3.4.4	Ergebnis des Widerstandsnetzwerks mit Resistive Fuses.....	39

4	Kantenerkennung und Segmentierung durch zeitliches Multiplexen	41
4.1	Aufbau und Funktion des gemultiplexten Netzwerks	41
4.2	Segmentierung an einer unscharfen Kante	43
4.3	Ergebnisse der Software-Simulationen	44
4.4	Weitere Verarbeitung des segmentierten Bildes	49
4.5	Implementierung des segmentierenden Netzwerks	52
4.5.1	Blockschaltbild	52
4.5.2	Zero-Crossing Verfahren	53
5	Realisierung der Vertikalwiderstände	57
5.1	Gegengekoppelter Differenzverstärker	58
5.1.1	Betrachtung ohne Lastwiderstand	58
5.1.2	Betrachtung mit Lastwiderstand	59
5.1.3	Betrachtung mit Lastwiderstand (Großsignalverhalten).....	61
5.1.4	Simulation des einstufigen gegengekoppelten Differenzverstärkers.....	64
5.2	Linearisierter OTA	67
5.2.1	Prinzip der Linearisierung nach Z. Wang.....	67
5.2.2	Linearisierter OTA nach Z. Wang	69
5.2.3	Grounded-Resistor nach Z. Wang	71
5.2.4	Grounded-Resistor als Lastwiderstand.....	73
5.2.5	Bidirektionaler Widerstand.....	74
5.2.6	Simulation des bidirektionalen linearisierten OTAs	76
5.2.7	Bidirektionaler linearisierter OTA mit Kaskode-Stromspiegel.....	78
5.3	Einsatz des linearisierten OTAs im Widerstandsnetz	80
5.3.1	Zweistufiger Differenzverstärker mit Source-Schaltung.....	80
5.3.2	Bidirektionaler linearisierter OTA.....	81
5.3.3	Bidirektionaler linearisierter OTA mit zwei Ausgängen..... (Dual-Output-Linear-OTA)	82
5.3.4	Simulation des Dual-Output-Linear-OTAs	83
5.4	Vergleich der schaltungstechnischen Realisierungsmöglichkeiten.....	85
5.4.1	Linearität.....	85
5.4.2	Schaltungsaufwand	86
6	Realisierung der Horizontalwiderstände.....	89
6.1	Allgemeiner Aufbau der Horizontalwiderstände.....	89
6.2	MOS-Transistor als linearer Widerstand.....	91
6.2.1	Betrachtung der Widerstandsgleichung.....	91
6.2.2	Widerstandsdimensionierung	92
6.3	Schaltungsmodule für die Horizontalwiderstände.....	95
6.3.1	Ladungspumpe nach Dickson.....	95
6.3.2	Spannungsbegrenzer	96
6.3.3	Taktgenerator	97

6.3.4	Simulationsergebnisse der Ladungspumpe mit Spannungsbegrenzer	98
6.3.5	Pegelkonverter und Demultiplexer für Spannungen $>V_{DD}$	99
6.3.6	Gesamtblockschaltbild.....	100
6.4	Realisierung des Multiplexers zur Segmentierung.....	102
6.4.1	Multiplexerschaltung	102
6.4.2	Simulationsergebnisse der Multiplexerschaltung.....	103
7	Differenzbildung	105
7.1	Differenzverstärker mit Differential-Output	105
7.2	Variation des Differenzverstärkers nach Tsvividis	110
7.2.1	Schaltungsaufbau.....	110
7.2.2	Simulationsergebnisse	113
8	Offsetkompensation	117
8.1	Konventionelles Chopper-Verfahren	117
8.2	Einsatz der konventionellen Chopper-Methode im Netzwerk	119
8.2.1	Chopper-Verfahren für den Fully-Balanced-OpAmp.....	119
8.2.2	Modulation.....	119
8.2.3	Demodulation	122
8.2.4	Tiefpaßfilterung	123
8.3	Variation des Chopper-Verfahrens.....	126
8.3.1	Aufbau der modifizierten Chopper-Offsetkompensation	126
8.3.2	Hochpaßfilterung	127
8.3.3	Demodulation	128
8.4	Schaltungstechnische Realisierung der Chopper-Offsetkompensation.....	130
8.4.1	Abtastschaltung	130
8.4.2	Hochpaßfilter	132
8.4.2.1	Realisierung des Hochpaßfilters	132
8.4.2.2	Berücksichtigung des Tiefpaßverhaltens des OpAmps	133
8.4.2.3	Dimensionierung	135
8.4.2.4	Simulationsergebnisse	136
8.4.3	Demodulation mit Hilfe eines Gilbert-Multiplizierers	137
8.4.4	Gesamtblockschaltbild der Chopper-Offsetkompensation.....	140
8.4.5	Simulationsergebnisse	141
8.4.5.1	Offsetfreier Differenzverstärker	142
8.4.5.2	Offsetbelasteter Differenzverstärker.....	144
8.4.5.3	Zusammenfassung	148
9	Testchip-Realisierung.....	149
9.1	Variation des horizontalen Widerstandes R_{h1} der ersten Netzwerklage.....	150
9.2	Testergebnisse zur Kantenerkennung.....	152
9.3	Testergebnisse zur Segmentierung	154

9.4	Kantenerkennung und Segmentierung	155
9.4.1	Bei einer „verrauschten“ Kante	155
9.4.2	Bei einer „unscharfen“ Kante	155
9.4.3	Zusammenfassung	156
10	Zusammenfassung	157
11	Anwendungen und Ausblick	161
	Literaturverzeichnis	163
Anhang A:	Layout der Schaltungsmodule	169

1 Einleitung

Aufgaben der Bildverarbeitung - wie z.B. Qualitätskontrolle in der Industrie - lassen sich mit derzeit verfügbaren digitalen Systemen zwar lösen, aber diese Lösungen sind nicht unbedingt effizient in Hinsicht auf Hardwareaufwand, Leistungsverbrauch und Kosten. Ein wesentliches Problem ist die große Datenmenge, die in Echtzeit zu verarbeiten ist. In digitalen Verfahren werden diese Aufgaben meist auf Optimierungsprobleme zurückgeführt oder durch bestimmte Arten von Filterungen wie z.B. mit Sobeloperatoren gelöst [20][30][68][81][82][83][101].

Durch eine effiziente Bildvorverarbeitung sollen die bei der Bildaufnahme anfallenden Daten frühzeitig reduziert und, soweit möglich, vereinfacht werden. Seit einigen Jahren beschäftigt sich die Forschung daher mit der Untersuchung und der schaltungstechnischen Realisierung von Bildverarbeitungsarchitekturen der Biologie wie z.B. die des Menschen und im speziellen der menschlichen Netzhaut (Retina). Es werden Möglichkeiten untersucht, derartige Architekturen effizient in Form analoger Hardware zu realisieren und in Kombination mit CMOS-Bildsensoren kostengünstige und leistungsfähige Bildverarbeitungssysteme aufzubauen.

Erste Ansätze zur Abbildung des Bildverarbeitungssystems der menschlichen Retina in ein technisches Modell wurden von Carver Mead am California Institute of Technology mit der „Silicon Retina“ unternommen [69][70]. Diese besteht aus einem einlagigen, analogen Widerstandsnetzwerk, das die zur Bildaufnahme eingesetzten Photosensoren mit Widerständen verbindet. Dadurch erfolgt ein Potentialausgleich zwischen den Photosensoren, die sich visuell als eine „Glättung“ des Bildes darstellt (das Bild erscheint dem Betrachter verschwommen). In der Bildverarbeitung bezeichnet man dies als räumliche Tiefpaßfilterung. Durch Differenzbildung mit dem Originalsignal der Photosensoren und Nulldurchgangserkennung (engl.: zero crossing detection) lassen sich direkt Kanteninformationen ohne weiteren Berechnungsaufwand gewinnen. Damit lassen sich gleich bei der Bildaufnahme die weiter zu verarbeitenden Daten auf die für viele Anwendungen ausreichenden Informationen deutlich reduzieren (Kanteninformation gleich 1 Bit pro Bildpunkt). Weitere Entwicklungen und andere „künstliche Retinae“ basierend auf biologieorientierten analogen Widerstandsnetzwerken, die die Bilderfassung und die Bildvorverarbeitung gleichzeitig und parallel durchführen, sind z.B. in [7][50][122] beschrieben.

Ausschließlich mit den Kanteninformationen lassen sich jedoch nur Umrisse und Konturen eines Objektes erkennen. Bei Anwendungen, für die Kanteninformationen alleine nicht ausreichen, kann man durch Segmentierung des Ausgangsbildes zusätzliche Informationen über die Flächen gewinnen. Segmentierung ist die Unterteilung von Bildern in Flächen annähernd gleicher Helligkeit. Mit diesen Zusatzinformationen lassen sich beispielsweise Objekte nach einer Veränderung (z. B. Bewegung) zuverlässiger wiedererkennen.

Für die Kantenerkennung und Segmentierung basierend auf analogen Widerstandsnetzwerken gibt es allerdings noch keine zufriedenstellenden Ansätze: Untersuchungen haben zwar gezeigt, daß „zweilagig-parallele Netzwerke“ sich gut für die Kantenerkennung eignen; aller-

dings liefern diese kein segmentiertes Bild [50][69]. Bisherige Verfahren zur Segmentierung basieren auf nichtlinearen Widerstandsnetzwerken mit „Resistive Fuses“ [69][122]. Diese ermöglichen neben der Segmentierung auch eine Kantenerkennung des Ausgangsbildes. Allerdings weist dieser Ansatz schwerwiegende Mängel bei der Kantenerkennung auf. Eine unscharfe, über mehrere Bildpunkte verteilte Kante wird nicht eindeutig detektiert, sondern als mehrere aneinanderliegende Kanten erkannt. Ein weiterer Nachteil der Netzwerke mit Resistive Fuses ist der große schaltungstechnische Aufwand [50][69][122].

Ziel der vorliegenden Arbeit ist es, basierend auf biologienahen analogen Widerstandsnetzwerken, eine möglichst einfache Methode aufzuzeigen, mit der es gelingt, sowohl Kantenerkennung als auch Segmentierung von Standbildsignalen durchzuführen, die in Form von Spannungen vorliegen. Einen weiteren Schwerpunkt dieser Arbeit bildet der Entwurf von CMOS-Schaltungen zur Implementierung des vorgestellten Widerstandsnetzwerks zur Kantenerkennung und Segmentierung.

Um die (im Vergleich zu Ansätzen mit Resistive Fuses) zuverlässigere Kantenerkennung der zweilagig-parallelen Widerstandsnetzwerke und die zusätzliche Segmentierung ähnlich wie die der Resistive Fuses miteinander zu kombinieren, wird ein neuer Ansatz vorgestellt, bei dem das zweilagig-parallele Widerstandsnetzwerk nach Art eines Multiplexprinzips verwendet wird. Die Kantenerkennung erfolgt zunächst durch die Feststellung der Nulldurchgänge der beiden Lagen des Netzwerks. Ein zusätzliches segmentiertes Ausgangssignal erhält man, indem die binären Kantensignale nach Art eines Multiplexprinzips als Steuersignale auf die Horizontalwiderstände einer Lage des Netzwerks so rückgekoppelt werden, daß das Bild segmentiert wird, ohne dafür selbst die Resistive Fuses einzusetzen. Somit wird mit nur wenig Mehraufwand gegenüber bisherigen Implementierungen von zweilagig-parallelen Netzwerken zusätzlich zur Kantenerkennung eine Segmentierung implementiert und damit die funktionale Dichte erhöht.

In Kapitel 2 werden der Aufbau, die Funktion und die Eigenschaften der biologischen Retina erläutert, um einen Einblick und ein Verständnis der Wirkungsweise der Retina bei der Kantenerkennung zu vermitteln. Im Anschluß daran werden in Kapitel 3 die ersten Ansätze zur schaltungstechnischen Abbildung der Architektur der Retina vorgestellt. Diese basieren auf Widerstandsnetzwerken, die wie die Synapsen in der menschlichen Retina eine räumliche Tiefpaßfilterung, d.h. eine Rauschreduzierung des erfaßten Bildes, bewirken. Weiterhin werden Ergebnisse eines in der Programmiersprache C erstellten Simulationsprogramms vorgestellt, das die unterschiedlichen Netzwerke hinsichtlich ihrer Funktionalität zur Bildvorverarbeitung simuliert. Damit wird eine frühzeitige qualitative Überprüfung der realisierbaren Netzwerk-Algorithmen zur Bildvorverarbeitung ermöglicht.

Anschließend wird in Kapitel 4 der Aufbau und die Funktion des neuen gemultiplexten zweilagig-parallelen Widerstandsnetzwerk zur Kantenerkennung und Segmentierung vorgestellt. Anhand von Software-Simulationen einiger Testbilder werden auch für dieses Netzwerk frühzeitig Erkenntnisse und Ergebnisse gewonnen, die für die anschließende schaltungstechnische Realisierung nützlich sind. Ferner dienen die in den Software-Simulationen verwendeten Widerstandswerte als Grundlage für die Dimensionierung der verwendeten Bauelemente in der späteren schaltungstechnischen Realisierung. Weiterhin wird ein neuer Algorithmus zur Feststellung der Nulldurchgänge für die Kantenerkennung vorgestellt. Dieser kann mit Hilfe eines Gilbert-Multiplizierers und Stromkomparators implementiert werden und ermöglicht somit gegenüber der konventionellen Methode nach [7] eine Hardwarereduzierung um bis zu 33% in der Anzahl der Transistoren.

Die Beschreibung und Untersuchung der schaltungstechnischen Realisierung der einzelnen Module des gemultiplexten Netzwerks werden in den nachfolgenden Kapiteln beschrieben. In Kapitel 5 erfolgt die Untersuchung und Realisierung des „Vertikalwiderstandes“, über die das Eingangssignal in das Netzwerk gespeist wird. Ein wichtiges Kriterium bei der Implementierung ist u.a. der Platzbedarf. Ferner spielt die Linearität der Widerstände selbst eine wichtige Rolle, da die Empfindlichkeit der Kantenerkennung über den gesamten Helligkeitsbereich möglichst gleich sein sollte. Daher wird eine speziell für das zweilagig-parallele optimierte Schaltungslösung vorgestellt, die gegenüber konventionellen Implementierungsmethoden einen Linearitätsgewinn um bis zu 30 dB in der Total Harmonic Distortion ermöglicht.

Kapitel 6 befaßt sich mit der Untersuchung und der Realisierung der „Horizontalwiderstände“, die die einzelnen Netzknoten verbinden. Diese werden im Gegensatz zu herkömmlichen Implementierungen (bestehend aus 7 bis 33 Transistoren) durch einzelne MOS Transistoren realisiert, die im Triodenbereich betrieben werden. Diese werden dabei durch eine Ladungspumpe (engl.: charge pump) on-Chip mit Spannungen versorgt, die über der Betriebsspannung V_{DD} liegen. Dadurch soll gewährleistet werden, daß die Transistoren bei minimaler physikalischer Dimensionierung im linearen Bereich arbeiten. Weiterhin wird in diesem Kapitel die Multiplexerschaltung zur Segmentierung vorgestellt.

Die Implementierung des Zero-Crossing-Detektors erfolgt wie zuvor erwähnt mit Hilfe eines Gilbert-Multiplizierers, der am Eingang zwei differentielle Eingangsspannungen benötigt. Diese werden mit Hilfe des in Kapitel 7 beschriebenen Fully-Balanced-Differential-Output-Differenzverstärkers erzeugt, der jedoch mit einem Offset behaftet ist. Dadurch wird die Empfindlichkeit der Kantenerkennung beeinträchtigt. Um die Empfindlichkeit zu erhöhen, wurde daher zusätzlich eine Schaltung zur Offsetkompensation basierend auf dem Chopper-Verfahren implementiert. Eine ausführliche Schaltungsbeschreibung erfolgt in Kapitel 8.

Zur Überprüfung der Simulationsergebnisse der Kantenerkennung und Segmentierung wurde ein Testchip in einer $1.2\ \mu\text{m}$ CMOS-Technologie entwickelt und bei Austria Mikro Systems AMS gefertigt. Als Teststruktur wurde ein eindimensionales, gemultiplextes zweilagig-paralleles Widerstandsnetzwerk bestehend aus 10 Knoten implementiert. Ziel der Testschaltungen war vorrangig die Verifikation der Simulationsergebnisse, so daß auf den Aufbau größerer komplexer Widerstandsnetzwerke verzichtet wurde. Die Meßergebnisse an diesem Testchip werden in Kapitel 9 gegeben.

Die wichtigsten Ergebnisse sind in Kapitel 10 zusammengefaßt. Im anschließenden Kapitel 11 werden zudem Anwendungsbeispiele und ein Ausblick auf mögliche zukünftige Entwicklungen gegeben.

2 Einführung in die Kantenerkennung der künstlichen Retina

Das menschliche Auge und im speziellen die Retina (Netzhaut) lösen durch ihren anatomischen Aufbau u.a. die Probleme der optischen Bildaufnahme und der Bildvorverarbeitung, d.h. die der Geschwindigkeit, des Leistungsverbrauchs und der Störsicherheit bei minimalen Raumbedarf [28]. Untersuchungen und Forschungen auf dem Gebiet der künstlichen Retina befassen sich daher mit schaltungstechnischen Abbildungsmöglichkeiten eines Bildverarbeitungssystems, die sich nahe an der Architektur und den Algorithmen der Retina orientieren.

Insbesondere die Kantenerkennung mit Hilfe analoger Widerstandsnetzwerke basiert auf der Signalverarbeitung der biologischen Retina [50][57][69][70]. Daher werden in diesem Kapitel zunächst die biologischen Grundlagen und Funktionen der Retina vorgestellt, die für eine anschließende technische Abbildung zur Kantenerkennung von Bedeutung sind.

2.1 Aufbau der biologischen Retina

In der Retina (Netzhaut) findet sowohl die Bildaufnahme als auch eine Bildvorverarbeitung der aufgenommenen Bildinformationen statt. Dies ergibt sich durch den besonderen anatomischen Aufbau der Retina (siehe Abb.2.1) [16][52].

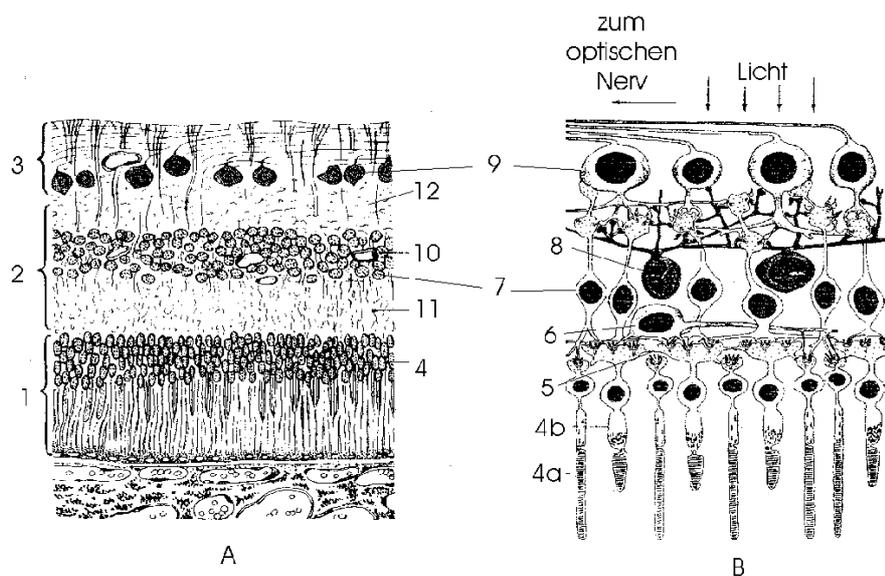


Abb. 2.1: Aufbau der Retina: (A) Zellfärbung, (B) Schematische Darstellung

Die Retina läßt sich grob in die folgenden drei Abschnitte unterteilen:

- Stratum neuroepitheliale (Neuroepithel) (1)
- Stratum ganglionare retinae (2)
- Stratum ganglionare nervi optici (3)

Im **Neuroepithel** befinden sich die Photorezeptoren (4), die das einfallende Licht in chemische Signale umwandeln. Die Rezeptoren befinden sich in der untersten Schicht der Retina, d.h. das einfallende Licht muß zunächst die Nervenfasern und die Zellen der oberen Schichten durchdringen, bevor sie von den Rezeptoren wahrgenommen werden können. Diese Umkehr der Reihenfolge von Signalaufnahme und Signalweiterleitung wird als *Inversion* bezeichnet. Dadurch gelangen aber auch nur etwa 50% des einfallenden Lichts bis zu den Rezeptoren.

Es existieren zwei unterschiedliche Arten von Photorezeptoren: Die Stäbchen (4a) und die Zapfen (4b). Die Stäbchen dienen zur Hell-Dunkel-Wahrnehmung und die Zapfen zur Farbwahrnehmung. Im folgenden wird zur Vereinfachung nur das Schwarz-Weiß-Sehen betrachtet, d.h. die Zapfen werden nicht berücksichtigt.

Die Stäbchen sind miteinander durch Synapsen (5) verbunden. Diese Verbindungen übertragen den Reiz eines Rezeptors auf die benachbarten Rezeptoren. Somit ergibt sich eine räumliche Mittelwertbildung des optischen Eingangssignals. Weiterhin sind die Photorezeptoren im **Stratum ganglionare retinae** über Horizontalzellen (6) miteinander verbunden. Die Differenz aus den Signalen der Photorezeptoren und den der Horizontalzellen bilden die Bipolarzellen (7). Die Zellkerne der Bipolarzellen liegen im Bereich der inneren Körnerschicht (10). Die Schicht, in der sich die Horizontalzellen befinden, wird als innere Plexiform (11) bezeichnet. Oberhalb dieser inneren Körnerschicht schließt sich die äußere Plexiform (12) an, in der Amakrinzellen (8) weitere Querverbindungen der Signalpfade bilden. Im **Stratum ganglionare nervi optici** enden die Bipolarzellen auf den Ganglionzellen (9), die die Signale „digitalisieren“ und zum Gehirn weiterleiten.

2.2 Funktion der Retina

Die Netzhaut führt über die Synapsen der Photorezeptoren eine lokale räumliche Mittelwertbildung bzw. Tiefpaßfilterung des optischen Eingangssignals durch. Diese Mittelwertbildung führt jedoch dazu, daß das Signal nicht nur zu einer Ganglionzelle geführt wird, sondern auch in der Umgebung der Erregung eine Reaktion ausgelöst wird (*Divergenz*). Solch eine Ausbreitung des Signals kann durch sogenannte inhibitorische Zwischenzellen verhindert bzw. gehemmt werden (*Konvergenz*) [52]. Horizontal- und Bipolarzellen stellen solch ein Zwischenneuron dar.

An den Ganglionzelleingängen ergibt sich somit ein rezeptives Feld, das sich aus der Differenz des geglätteten Eingangssignals der Photorezeptoren und des stärker geglätteten Signals der Horizontalzellen zusammensetzt (siehe Abb.2.2). Das Ausgangssignal der Horizontalzellen in Abb.2.2 ist zur Vereinfachung der Betrachtungsweise negiert dargestellt.

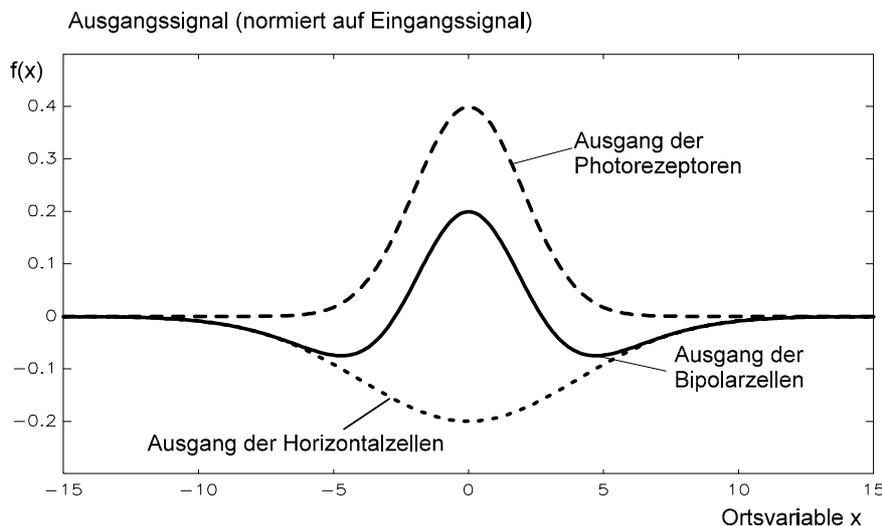


Abb. 2.2: Impulsantwort der Retina¹

Die Funktion, die sich als Impulsantwort ergibt, wird als Difference-of-two-Gaussians (DoG) oder Mexican-Hat-Funktion $b(x)$ bezeichnet. Sie setzt sich aus der Differenz der Stäbchengaußfunktion $s(x)$ und der Horizontalzellengaußfunktion $h(x)$ zusammen [16]:

$$\begin{aligned}
 b(x) &= s(x) - h(x) \\
 &= \frac{s_0}{\sqrt{2\pi} \sigma_s} \exp\left(-\frac{1}{2} \frac{x^2}{\sigma_s^2}\right) - \frac{h_0}{\sqrt{2\pi} \sigma_h} \exp\left(-\frac{1}{2} \frac{x^2}{\sigma_h^2}\right)
 \end{aligned}
 \tag{2.1}$$

¹ Die Ortsvariable x wird auf eine Einheitslänge bezogen, wobei diese den Abstand zwischen zwei Photorezeptoren darstellt.

Hierbei stellen s_0 und h_0 die Eingangsamplituden dar; σ_s entspricht der Standardabweichung der Stäbchengaußfunktion und σ_h der der Horizontalzellengaußfunktion. Experimentelle Messungen gemäß [16] haben gezeigt, daß die Impulsantwort $s(x)$ der Retina einer Gaußfunktion entspricht. Dies ergibt sich durch den hohen Grad der Vernetzungen der Synapsen untereinander. Die Standardabweichung der Horizontalzellen ist allerdings größer als die der Stäbchensynapsen, da durch ihre langen Dendriten auch örtlich weiter entfernte Rezeptoren mit in die Mittelwertbildung eingehen.

2.3 Eigenschaften der Mexican-Hat-Funktion als Bandpaß

Die Aufgabe der Mexican-Hat-Funktion für die Bildvorverarbeitung läßt sich aus dem Spektrum ableiten. Die Fourier-Transformierte der Gl. (2.1) ergibt nach [17]:

$$\mathfrak{F}[b(x)] = \mathfrak{F}[s(x)] - \mathfrak{F}[h(x)] = \frac{s_0}{\sqrt{2\pi}} \exp\left(-\frac{\omega^2 \sigma_s^2}{2}\right) - \frac{h_0}{\sqrt{2\pi}} \exp\left(-\frac{\omega^2 \sigma_h^2}{2}\right) \quad (2.2)$$

Aus dieser Gleichung kann man entnehmen, daß der Frequenzgang an der Stelle $\omega=0$ nur von den Eingangsamplituden s_0 und h_0 abhängig ist und nicht von der Standardabweichung σ . Unter der Voraussetzung, daß die Eingangsamplituden s_0 und h_0 gleich sind, erhält man im Spektrum der Bipolarzellen einen Bandpaß nach Abb. 2.3.

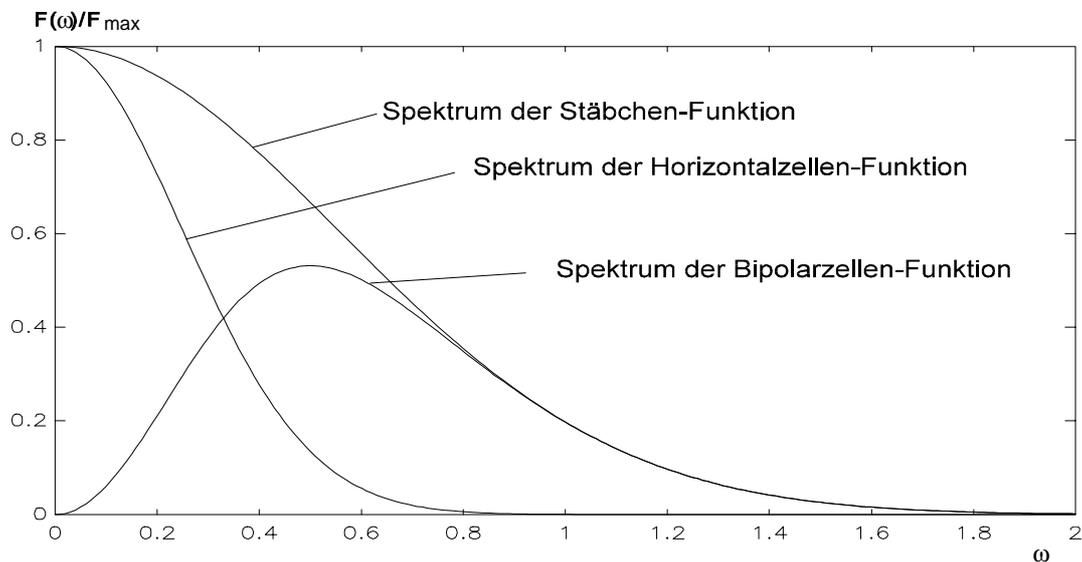


Abb. 2.3: Spektrum eines aus einer Mexican-Hat-Funktion gebildeten Bandpasses

Durch die Wahl der Standardabweichungen σ_s und σ_h kann der Bandpaß derart eingestellt werden, so daß nur bestimmte Kanteninformationen herausgefiltert werden. Die folgende Abbildung zeigt die Bandpaßfilterung eines rauschbehafteten Kanteneingangssignals.

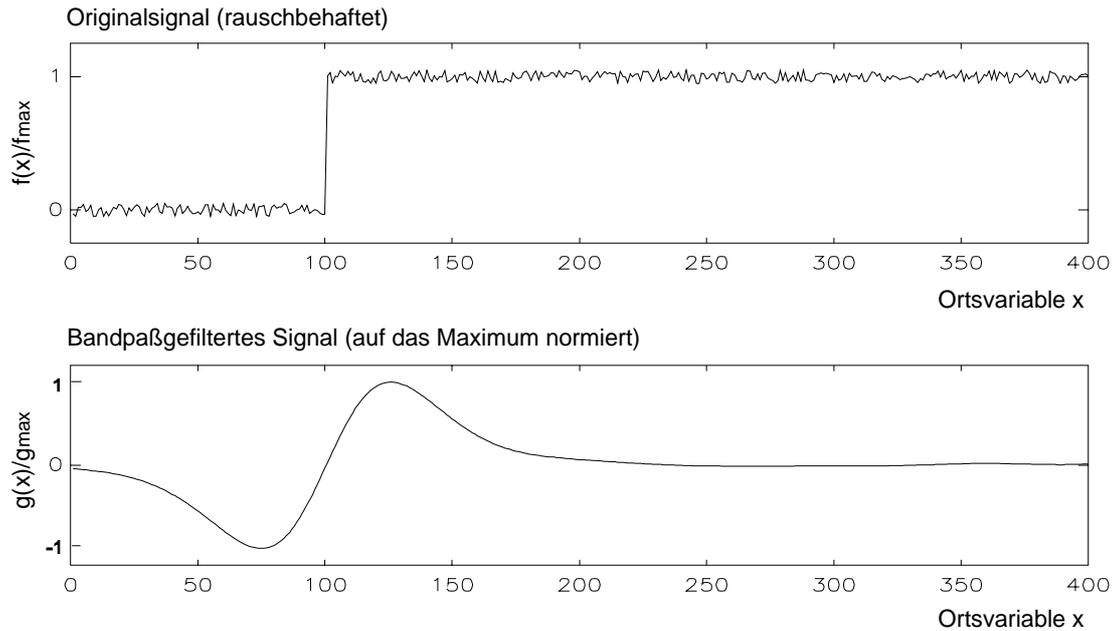


Abb. 2.4: Bandpaßfilterung eines rauschbehafteten Kanteneingangssignals

Es ist deutlich zu erkennen, daß das Eingangssignal nach der Filterung nur an den Stellen um eine Kante Werte besitzt, die von Null verschieden sind. Die Größe des Ausgangssignals ist dabei von der Breite des Durchlaßbereichs des Bandpasses und von der Steigung des Kantensignals abhängig (siehe Abb. 2.5).

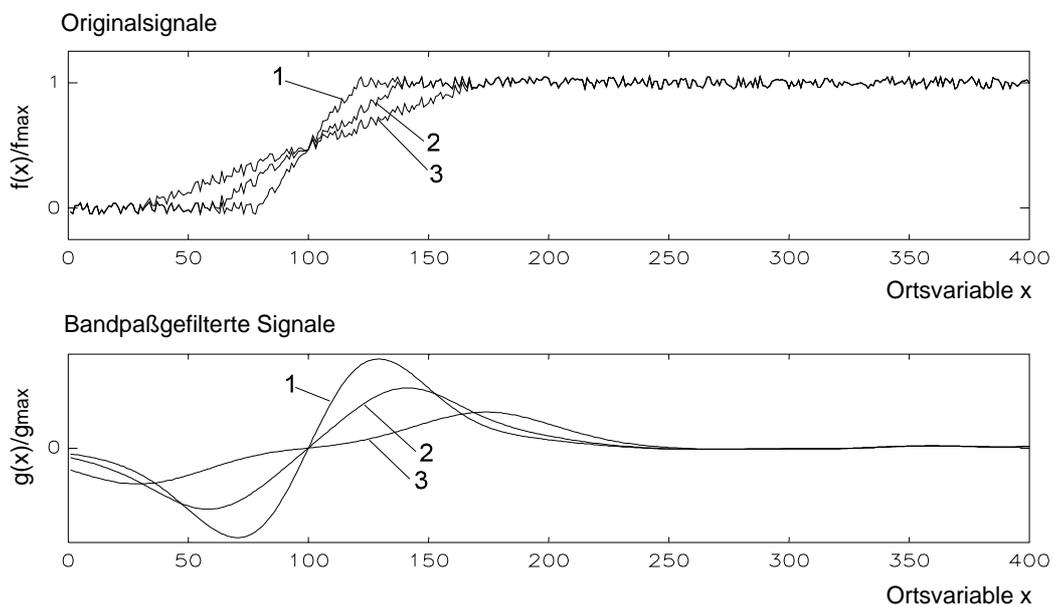


Abb. 2.5: Abhängigkeit der bandpaßgefilterten Ausgangssignale von der Steigung der Kante

Die Abhängigkeit des Ausgangssignals von der Steigung der Kante läßt sich durch die spektralen Eigenschaften des Eingangssignals erklären: Je flacher eine Kante ist, desto weniger hochfrequente Anteile sind im Signal enthalten, die von einem Bandpaß herausgefiltert werden können.

Aus den Abbildungen 2.4 und 2.5 ist weiterhin zu erkennen, daß im Bereich der Kante das gefilterte Ausgangssignal zwei Maxima mit inversem Vorzeichen besitzt, zwischen denen die Mitte der Kante liegt. Diese Stelle läßt sich anschließend durch den Nulldurchgang des Ausgangssignals detektieren. Mathematisch läßt sich dieser Nulldurchgang als Nullstelle der zweiten Ableitung des Eingangssignals interpretieren. Zur Verdeutlichung werden in der Abb.2.6 eine „schwach ansteigende“ Kante und deren erste und zweite Ableitung dargestellt.

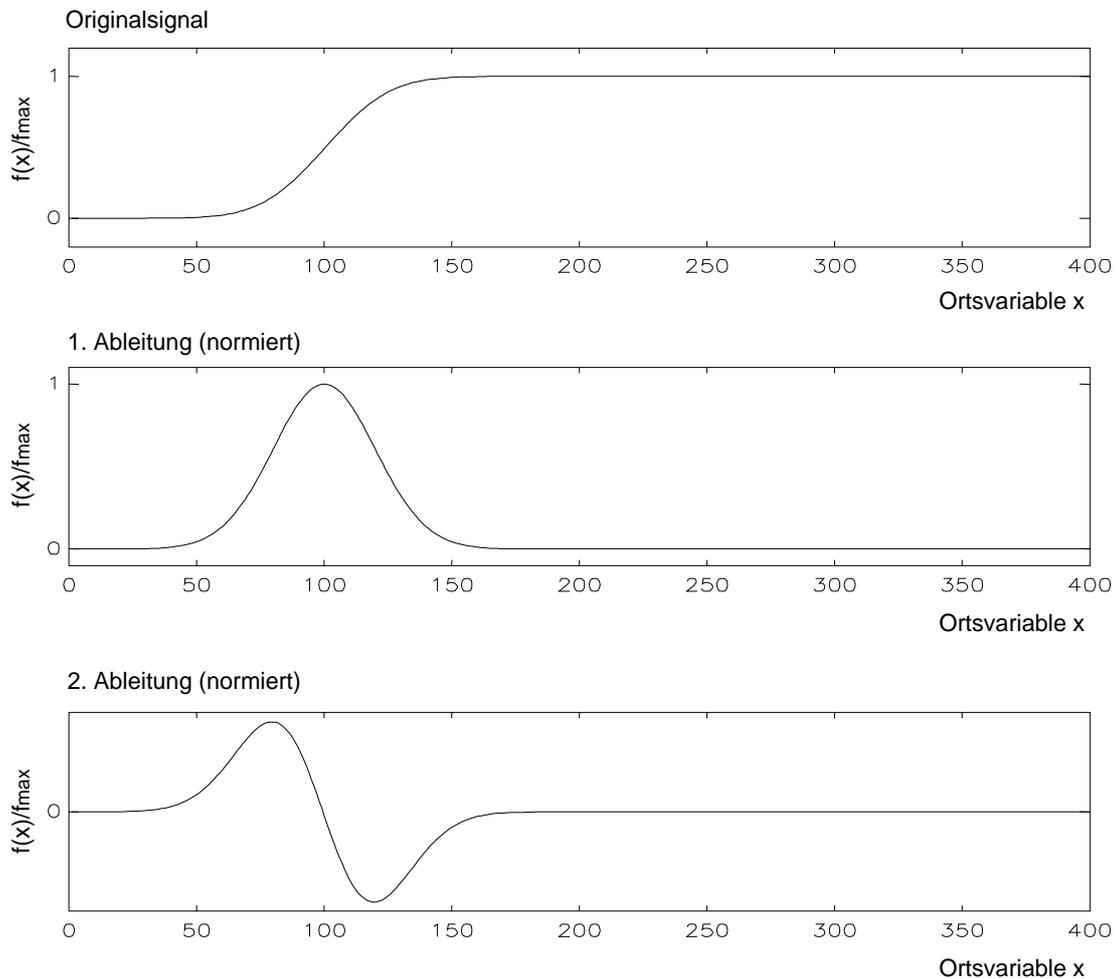


Abb. 2.6: Flach ansteigende Kante und deren erste und zweite Ableitung

An der Stelle der maximalen Steigung bzw. des Wendepunktes des Kantensignals besitzt die erste Ableitung ein Maximum. Die Tangente dieses Maximums ist demnach waagrecht, woraus für die zweite Ableitung an dieser Stelle ein Nulldurchgang folgt. Die graphische Darstellung der zweiten Ableitung hat somit die gleichen Eigenschaften wie das bandpaßgefilterte Signal aus Abb.2.4 (, jedoch mit inversem Vorzeichen).

Der Nulldurchgang des DoG-gefilterten Signals entspricht also dem Ort der maximalen Steigung des Originalkantensignals. Dieses Verfahren zur Kantenerkennung basierend auf der biologischen Retina eignet sich besonders für die Kantenerkennung bei einer anschließenden Segmentierung des Bildes. Es werden scharfe Abgrenzungen zwischen z.B. zwei Objekten bestimmt, und somit kann jeder Bildpunkt eindeutig dem Objekt bzw. Segment links oder rechts von der Kante zugeordnet werden.

2.4 Zusammenfassung

Grundlage für die Kantenerkennung mit Hilfe analoger Widerstandsnetzwerke ist die biologische Retina. Diese führt durch ihren anatomischen Aufbau eine Difference-of-two-Gaussians-Bandpaßfilterung aus. Die Filterung eines Kantensignals mit solch einer Bandpaßfunktion führt zu einem Nulldurchgang im Ausgangssignal. Die Stelle des Nulldurchgangs entspricht dabei dem Ort der Kante. Mathematisch läßt sich diese Stelle als Ort der maximalen Steigung des Originalkantensignals interpretieren.

3 Technische Modellbildung

Erste Ansätze die Architektur und Algorithmen der menschlichen Retina in ein analoges technisches Modell abzubilden, basieren auf Netzwerken mit linearen Widerständen [7][13][40][50][56][62][69]. Die Widerstände verbinden die zur Bildaufnahme eingesetzten Photosensoren und bewirken wie die Synapsen in der menschlichen Retina eine räumliche Tiefpaßfilterung des aufgenommen Bildes, die sich visuell als eine „Glättung“ des Bildes darstellt. Konventionelle Widerstandsnetzwerke, die eine räumliche Tiefpaßfilterung und eine Kantendetektion des Bildsignals durchführen, sind

- die einlagigen, *(Abschnitt 3.1)*
- die zweilagigen und *(Abschnitt 3.2)*
- die zweilagig-parallelen Netzwerke. *(Abschnitt 3.3)*

Allerdings führen diese Netzwerke keine Segmentierung des Ausgangsbildes durch. Eine Kantenerkennung bei gleichzeitiger Segmentierung des Ausgangsbildes ermöglichen

- nichtlineare Widerstandsnetzwerke mit Resistive Fuses. *(Abschnitt 3.4)*

Die Netzwerke mit Resistive Fuses weisen aber schwerwiegende Mängel bei der Kantenerkennung auf [122][50]. Um die eindeutige Kantenerkennung des zweilagig-parallelen Widerstandsnetzwerks mit einer zusätzlichen Segmentierung zu kombinieren, ohne dabei die Resistive Fuses zu verwenden, wird ein neuer Ansatz vorgestellt, bei dem das zweilagig-parallele Widerstandsnetzwerk nach Art eines Multiplexprinzips verwendet wird.

Bevor im nächsten Kapitel 4 das gemultiplexte zweilagig-parallele Netzwerk vorgestellt wird, erfolgt in diesem Kapitel zunächst eine Beschreibung der Theorie und der Funktionsweise der einzelnen konventionellen Widerstandsnetzwerke. Weiterhin werden Ergebnisse eines in der Programmiersprache C erstellten Simulationsprogramms vorgestellt, das die unterschiedlichen Netzwerke simuliert. Damit wird eine frühzeitige qualitative Überprüfung der realisierbaren Netzwerk-Algorithmen zur Bildvorverarbeitung ermöglicht. Ferner dienen die in den Software-Simulationen verwendeten Widerstandswerte als Grundlage für die Dimensionierung der verwendeten Bauelemente in der späteren schaltungstechnischen Realisierung.

3.1 Einlagiges Widerstandsnetzwerk zur Kantenerkennung

3.1.1 Aufbau und Grundlagen des einlagigen Netzwerks

Die grundlegende Struktur eines analogen einlagigen Widerstandsnetzwerk zur Bildvorverarbeitung ist in Abb. 3.1 dargestellt.

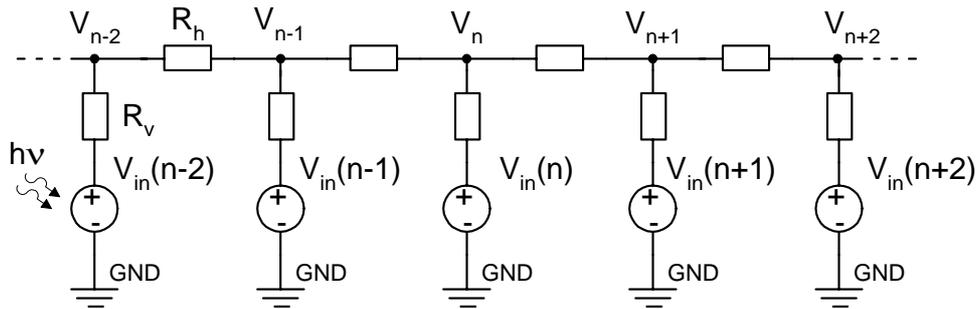


Abb. 3.1: Eindimensionales, einlagiges Widerstandsnetzwerk

Die Spannungsquellen V_{in} stellen als „Rezeptoren“ die Eingangssignale dar, die beispielsweise von Photosensoren gemäß [92] geliefert werden. Ihre Spannungswerte resultieren aus der Intensität des einfallenden Lichtes an den einzelnen Bildpunkten. Diese Spannungsquellen speisen ein Widerstandsnetz, das sich aus Vertikalwiderständen R_v und Horizontalwiderständen R_h zusammensetzt. An den Knoten des Netzes stellt sich eine Potentialverteilung V_n ein, die der geglätteten Eingangspotentialverteilung $V_{in}(n)$ entspricht. Die Knotenpotentiale repräsentieren somit die Ausgangssignale, die die Bildpunkte des vorverarbeiteten Bildes darstellen.

Die Horizontalwiderstände R_h bewirken als „Synapsen“ einen Potentialausgleich zwischen den Bildpunkten. Die Vertikalwiderstände R_v hingegen regeln, wie stark das Eingangssignal direkt auf das Ausgangssignal einwirkt. Über das Verhältnis R_h/R_v kann eingestellt werden, in welchem Maß feine Details und Kanten des ursprünglichen Bildsignals erhalten bleiben bzw. in welchem Maß das Ursprungsbild geglättet und somit Rauschen reduziert wird (siehe dazu auch Abschnitt 3.3).

Um die räumliche Tiefpaßcharakteristik des einlagigen Netzwerks zu verdeutlichen, wird die Impulsantwort des Systems einer Eingangsspannung $V_{in}(0)$ an der Stelle $n=0$ betrachtet. Die sich daraus ergebende Potentialverteilung berechnet sich unter Berücksichtigung der Diffusionsgleichung nach [17][62][67] näherungsweise zu:

$$V_n \approx \frac{R_h}{R_v} \frac{V_{in}(0)}{2\sqrt{R_h/R_v}} \exp(-\sqrt{R_h/R_v} n), \quad (3.1)$$

mit

$$n = \frac{x}{x_{\text{norm}}},$$

x_{norm} ...normierter Abstand zwischen zwei Knoten (z.B. 1cm),

xOrt im Netzwerk (ganzzahliges Vielfaches von x_{norm})

und

$$\text{Impuls ... } V_{in}(0)=1$$

Die Fouriertransformierte der Gl. (3.1) ergibt:

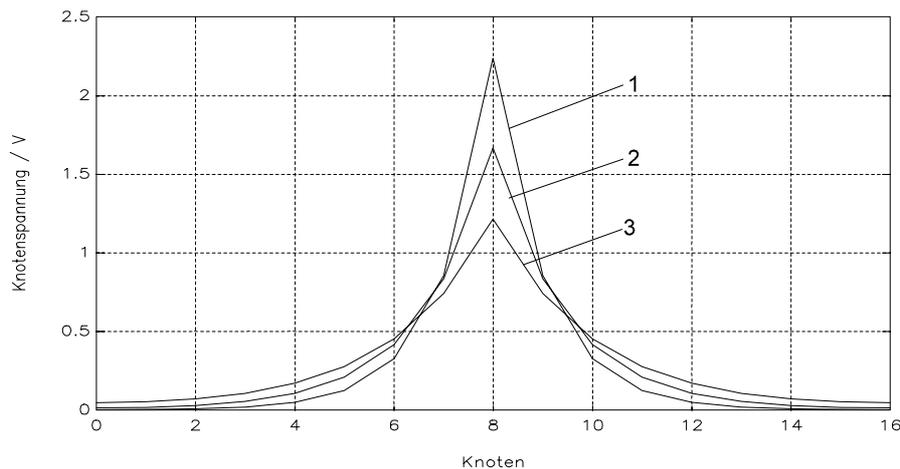
$$\mathfrak{S}(\omega) = \frac{1}{2} \sqrt{\frac{2}{\pi}} \frac{V_{in}(0)}{2} \frac{1}{1 - \frac{j}{\sqrt{R_h/R_v}} \omega} = \frac{1}{2} \sqrt{\frac{2}{\pi}} \frac{1}{1 - \frac{j}{\sqrt{R_h/R_v}} \omega} \quad (3.2)$$

Dies entspricht einem örtlichen Tiefpaß mit einer Grenzfrequenz von

$$\omega_{\text{grenz}} = \sqrt{R_h/R_v}. \quad (3.3)$$

3.1.2 Simulationsergebnisse des einlagigen Netzwerks

Zum Vergleich der Ergebnisse der theoretischen Berechnungen mit Simulationsergebnissen, wird eine einlagige Widerstandskaskade aus 17 Knoten simuliert. Zunächst werden die Ergebnisse der Impulsantwort des Systems dargestellt. Dazu wird die Inputspannung in der Mitte der Widerstandskaskade zu $V_{in}(8)=5\text{ V}$ gewählt und alle weiteren Spannungsquellen auf 0 V gesetzt. Die Impulsantworten für verschiedene Widerstandsverhältnisse R_h/R_v sind in Abb. 3.2 dargestellt.



$R_h = 500\Omega = \text{const.}$
 1: $R_v = 500\Omega$ 2: $R_v = 1\text{k}\Omega$ 3: $R_v = 2\text{k}\Omega$

Abb. 3.2: Impulsantworten eines einlagigen Widerstandsnetzwerks

Die simulierten Ergebnisse werden in Tabelle 3.1 den nach Gl. (3.1) berechneten Werten gegenübergestellt. Es ist zu erkennen, daß die berechneten Werte näherungsweise mit den simulierten Werten übereinstimmen. Abweichungen sind ausschließlich bei größeren Entfernungen der Knoten vom Ort des Impulsinputs festzustellen. Dies liegt darin begründet, daß bei den theoretischen Berechnungen von einer unendlich ausgedehnten Widerstandskaskade ausgegangen wird. Simuliert wurde jedoch eine Kaskade mit 17 Knoten.

Knoten	$R_h/R_v=1$		$R_h/R_v=0,5$		$R_h/R_v=0,25$	
	Simuliert	berechnet	simuliert	berechnet	Simuliert	Berechnet
8	2,236	2,236	1,667	1,667	1,214	1,213
7, 9	0,854	0,854	0,833	0,833	0,740	0,739
6, 10	0,326	0,326	0,417	0,417	0,452	0,451
5, 11	0,125	0,125	0,209	0,208	0,277	0,275
4, 12	0,048	0,048	0,105	0,104	0,171	0,168
3, 13	0,018	0,018	0,053	0,052	0,105	0,103
2, 14	0,007	0,069	0,028	0,026	0,071	0,062
1, 15	0,003	0,003	0,016	0,013	0,052	0,040
0, 16	0,020	0,001	0,013	0,001	0,046	0,023

Tabelle 3.1: Simulierte versus berechnete Ergebnisse der Impulsantworten

Über das Widerstandsverhältnis R_h/R_v wird die Grenzfrequenz der räumlichen Tiefpaßfilterung des einlagigen Widerstandsnetzwerks bestimmt. Für die Simulationsergebnisse der Abb. 3.2 ergeben sich folgende drei Grenzfrequenzen:

Kurve	R_h / R_v	$\omega_{\text{grenz}} = \sqrt{R_h / R_v}$
1	1	1
2	0,5	0,707
3	0,25	0,5

Tabelle 3.2: Grenzfrequenzen der simulierten Netzwerke

Mit sinkenden Widerstandsverhältnissen fällt auch die Grenzfrequenz der Tiefpaßfilterung. Das bedeutet demnach, daß bei kleineren Verhältnissen von R_h/R_v eine Kante bei einlagigen Widerstandsnetzwerken stärker geglättet wird.

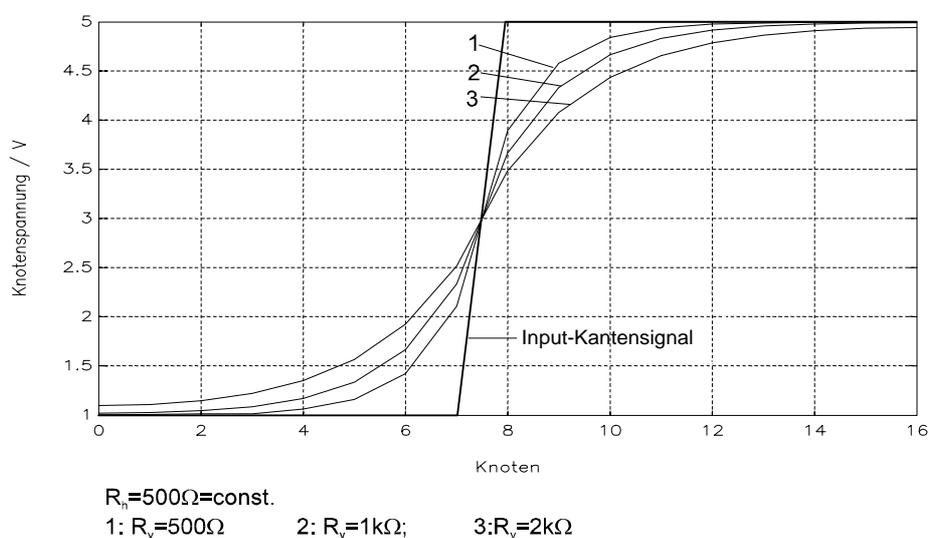


Abb. 3.3: Reaktion eines einlagigen Widerstandsnetzes auf eine Kante

Für die Kantenerkennung beim einlagigen Widerstandsnetzwerk wird die Differenz aus dem gefilterten Signal und dem Originalsignal der Photosensoren gebildet. Die Nulldurchgänge (engl.: zero-crossings) der Differenzsignale entsprechen den Orten der Kanten. In Abb. 3.4 sind die Differenzsignale für das gezeigte Beispiel dargestellt.

Kleinere Widerstandsverhältnisse R_h/R_v ergeben größere Ausgangssignale an den Kanten. Unabhängig davon tritt am Ort der Kanten ein Vorzeichenwechsel auf. Diese können ohne weiteren Berechnungsaufwand durch ein entsprechendes Zero-Crossing-Verfahren detektiert werden [7][50].

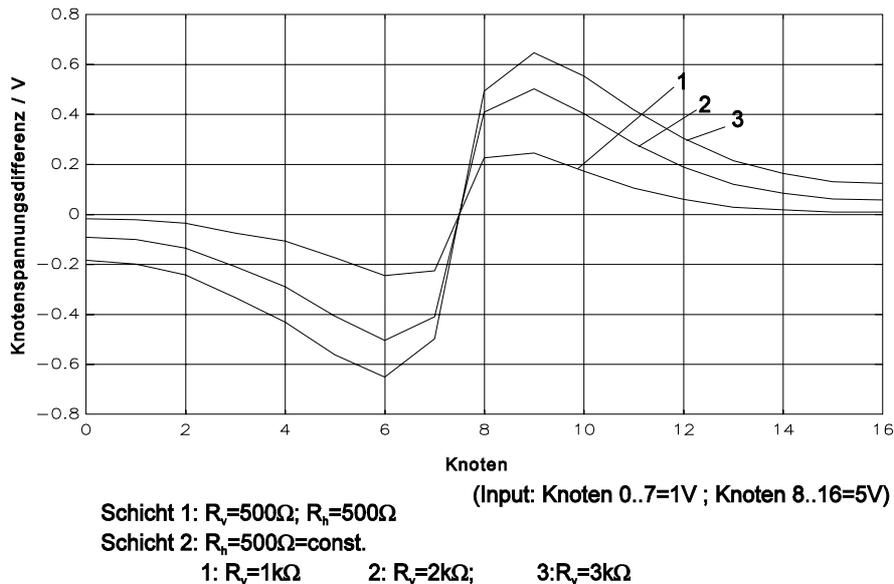


Abb. 3.4: Differenz aus tiefpaßgefiltertem Signal und Originalsignal

3.1.3 Vor- und Nachteile des einlagigen Netzwerks

Im Vergleich zu den später vorgestellten zweilagigen Netzwerken haben einlagige Widerstandsnetzwerke den Vorteil eines „einfachen“ schaltungstechnischen Aufbaus; d.h. sie weisen den minimalen Hardwareaufwand auf, der für eine Kantenerkennung mit Hilfe analoger Widerstandsnetzwerke notwendig ist.

Allerdings ergeben sich bei der Kantenerkennung Probleme mit rauschbehafteten Signalen. Es können zusätzliche Nulldurchgänge auftreten, so daß eine eindeutige Kantenerkennung durch ein Zero-Crossing-Verfahren nicht mehr möglich ist. Abb. 3.5 zeigt ein verrauschtes Kantensignal und das durch ein einlagiges Netzwerk tiefpaßgefilterte Ausgangssignal.

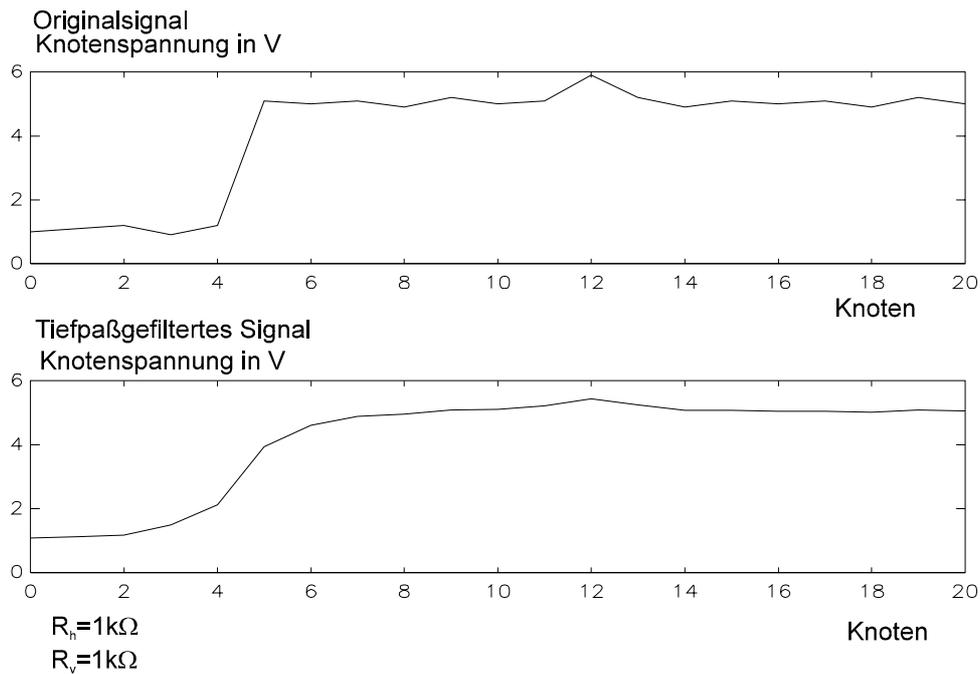


Abb. 3.5: Eingangssignal (rauschbehaftet) und tiefpaßgefiltertes Signal

Die Differenz beider Signale ergibt allerdings nicht nur einen Nulldurchgang. Durch den Rauschteil treten weitere Nulldurchgänge auf, die als Kanten fehlinterpretiert werden können (siehe Abb. 3.6).

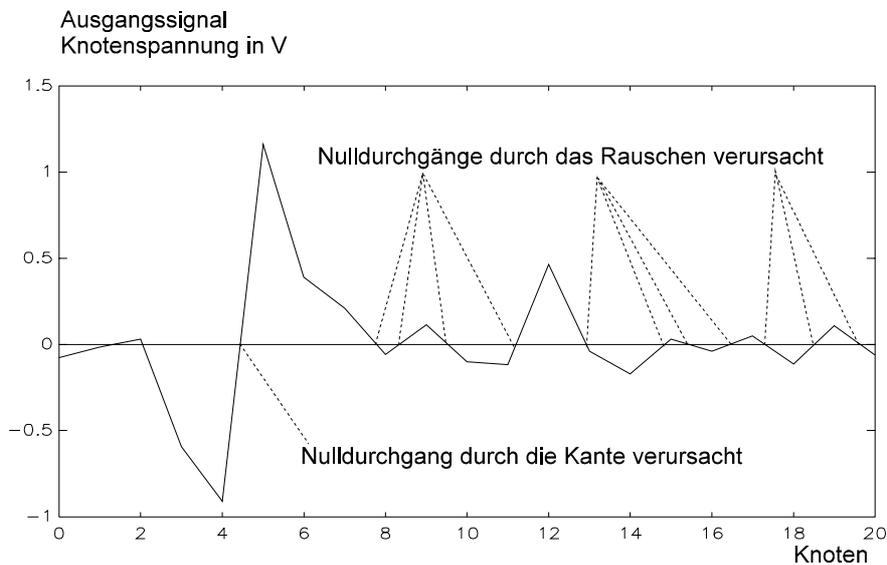


Abb. 3.6: Differenzsignal aus rauschbehafteten Eingangs- und Tiefpaßsignal

Dieser Nachteil kann durch zweilagige Netzwerke vermieden werden, die in den Abschnitten 3.4 und 3.5 beschrieben sind. Zuvor werden im folgenden Simulationsergebnisse eines Softwareprogramms gezeigt, das anhand zweidimensionaler Bilder das Verhalten des einlagigen Widerstandsnetzwerks verdeutlicht.

3.1.4 Ergebnisse der Software-Simulationen

Anhand eines Softwareprogramms wird ein Widerstandsnetzwerk simuliert, das in der Breite und Höhe genau den Maßen des Bildes der Bilddatei entspricht. Die Bildpunkte werden in Grauwerte umgesetzt und als Eingangssignale in die Werte für die Spannungsquellen an den einzelnen Knoten umgerechnet. Bei den simulierten Netzwerken wurden stets alle Bauelemente als ideal angenommen. Eine Einbeziehung nichtidealer Charakteristiken war nicht sinnvoll, da das Ziel der Software-Simulationen in erster Linie eine frühzeitige qualitative Überprüfung der mit den Netzwerkschaltungen realisierbaren Algorithmen war. Komplexere Modelle hätten das Simulationsprogramm deutlich verlangsamt.

Für die Berechnung der Ausgangssignale des Netzwerks wird ein iteratives Rechenverfahren verwendet, das die Umladevorgänge des Netzes bis zum Erreichen eines stabilen Endzustandes näherungsweise berechnet. Eine ausführlichere Beschreibung des Rechenverfahrens ist in [93] gegeben.

- Zur Simulation einlagiger Netzwerke wurde das Bild *yacht.ppm* der Größe von 512x480 Bildpunkten verwendet. Dieses Bild weist viele verschieden helle Flächen auf, die jedoch bei Vergrößerung, wie am Beispiel der linken oberen Ecke sichtbar, verrauscht sind. Dieses Rauschen sollte durch entsprechend starke Glättung bei der Vorverarbeitung im Widerstandsnetzwerk weitgehend eliminiert werden.



Abb. 3.7a: Originalbild yacht.ppm



Abb. 3.7b: Vergrößerung der linken oberen Ecke des Originalbildes

- Für die erste Simulation wurden für die Horizontal- und die Vertikalwiderstände Widerstandswerte von 1000Ω und 100Ω gewählt ($R_h:R_v=10:1$). Dadurch sollte das Ausgangssignal mehr vom Eingangssignal abhängen als von den Ausgleichsvorgängen im Netzwerk. Das Simulationsergebnis bestätigt diese Annahme.



Abb. 3.8a: Simulationsergebnis bei einem Verhältnis $R_H:R_V = 10:1$

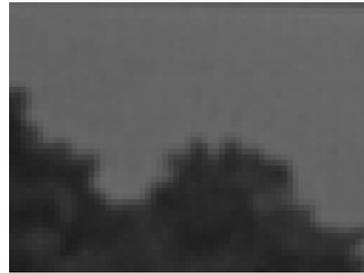


Abb. 3.8b: Vergrößerte Ecke des Ergebnisses bei einem Verhältnis $R_H:R_V = 10:1$

Wie erwartet, ist das Ergebnis dem Originalbild sehr ähnlich. Auch eine nähere Betrachtung der linken oberen Ecke zeigt kaum eine Änderung. Die Fläche ist zwar geringfügig weniger als beim Originalbild verrauscht, aber dennoch ist das Rauschen weiterhin deutlich erkennbar.

- Eine Simulation mit dem Widerstandswert 100Ω für die Horizontal- und die Vertikalwiderstände ($R_H:R_V=1:1$) führt dazu, daß die Ausgleichsvorgänge im Widerstandsnetzwerk stärker gewichtet werden und somit eine stärkere Glättung des Bildes eintritt:



Abb. 3.9a: Simulationsergebnis bei einem Verhältnis $R_H:R_V = 1:1$



Abb. 3.9b: Vergrößerte Ecke des Ergebnisses bei einem Verhältnis $R_H:R_V = 1:1$

Die Kanten sind leicht verschwommen; dafür sind die im Originalbild verrauschten Flächen glatter geworden, wie der vergrößerte Ausschnitt zeigt. Hier erscheint die Fläche weitgehend einfarbig; eine deutliche Rauschreduzierung gegenüber dem Originalbild ist festzustellen.

- Schließlich wurde mit den Widerstandswerten 100Ω für die Horizontalwiderstände und 1000Ω für die Vertikalwiderstände ein Widerstandsverhältnis $R_H:R_V=1:10$ gewählt. Dadurch liegt das größere Gewicht auf der Glättung des Bildes, was auch deutlich am Simulationser-

gebnis zu erkennen ist:



Abb. 3.10a: Simulationsergebnis bei einem Verhältnis $R_H:R_V = 1:10$

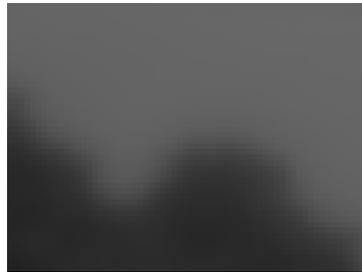


Abb. 3.10b: Vergrößerte Ecke des Ergebnisses bei einem Verhältnis $R_H:R_V = 1:10$

Auch der vergrößerte Ausschnitt zeigt nun deutlich verschwommene Kanten, dafür aber besonders glatte Flächen: Das Rauschen des Originalbildes ist hier vollständig eliminiert, allerdings zu Lasten der ursprünglich vorhandenen Kanten.

- Zusätzlich wurde zum Vergleich noch ein Widerstandsnetzwerk mit Horizontal- und Vertikalwiderständen von 1000Ω simuliert. Diese Simulation erbrachte jedoch mit nur geringsten Abweichungen das gleiche Simulationsergebnis wie das Netzwerk mit 100Ω -Widerständen.

3.1.5 Ergebnis des einlagigen Netzwerks

Die Simulationen haben gezeigt, daß das einfache Widerstandsnetzwerk sich wie erwartet zur Glättung des eingespeisten Bildes und somit zur Rauschreduzierung eignet. Für das Ergebnis ist das relative Widerstandsverhältnis der Horizontal- und der Vertikalwiderstände entscheidend. Eine Veränderung der absoluten Widerstandswerte führt lediglich zu einer Änderung der Dauer der Ausgleichsvorgänge, nicht aber zu anderen Ergebnissen. Diese Tatsache ist für eine Realisierung dieser Schaltung sehr günstig, da bei der Herstellung von integrierten Schaltungen absolute Widerstandswerte zwar sehr großen Schwankungen unterliegen, aber Relationen dabei sehr genau eingehalten werden.

Allerdings wurde ebenfalls bestätigt, daß das einlagige Netz, in gleichem Maße wie sie durch die Glättung das Rauschen unterdrückt, auch Kanten und feine Details des ursprünglich eingespeisten Bildes eliminieren. In der Bildvorverarbeitung wurden daher ausgehend von einlagigen Widerstandsnetzwerken weitere Ansätze verfolgt, die zusätzlich zur Rauschreduzierung auch eine Steuerung des Detailreichtums der Kanteninformationen ermöglichen (siehe Abschnitt 3.3.4). Ein biologienaher Ansatz ist das zweilagige Widerstandsnetzwerk, das im nächsten Abschnitt behandelt wird.

3.2 Zweilagiges Widerstandsnetzwerk zur Kantenerkennung

Eine genauere Betrachtung der menschlichen Retina zeigt, daß diese nicht nur eine Schicht mit Horizontalzellen zur Tiefpaßfilterung aufweist, sondern auch die Photorezeptoren untereinander verbunden sind, wodurch eine zusätzliche räumliche Tiefpaßfilterung stattfindet. Diese Tiefpaßfilterung hat die Aufgabe frühzeitig Rauschen, das bei der Aufnahme des Bildes durch die Photorezeptoren auftritt, zu unterdrücken. Ein zweilagiges Widerstandsnetzwerk kommt daher der Biologie näher als das einfache Netzwerk.

3.2.1 Aufbau des zweilagigen Netzwerks

Das zweilagige Widerstandsnetzwerk ist eine Erweiterung des bereits vorgestellten einlagigen Netzwerks um eine weitere Schicht von Horizontal- und Vertikalwiderständen. Diese wird auf die Knoten des einlagigen Netzwerks aufgesetzt [50][67][69].

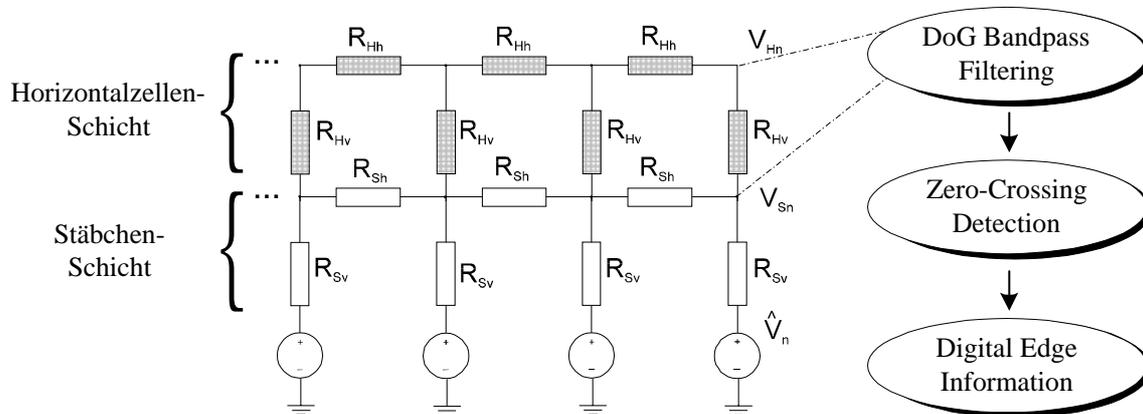


Abb. 3.11: Zweilagige Widerstandsnetzwerk

Das über die Spannungsquellen eingespeiste Originalbild wird durch die beiden Widerstandslagen unterschiedlich stark geglättet. Die Knotenspannungen der beiden Netzlagen (V_{Hn} , V_{Sn}) repräsentieren zwei räumlich tiefpaßgefilterte Ausgangssignale. Die Potentialdifferenzen der beiden Signale ergeben somit eine räumliche Bandpaßfilterung des Ausgangsbildes und stellen eine Annäherung an eine Difference-of-two-Gaussians-Funktion dar. Über die Feststellung von Nulldurchgängen zwischen zwei Knoten in diesem Differenzbild können ohne weiteren Berechnungsaufwand binäre Kanteninformationen gewonnen werden.

3.2.2 Simulationsergebnisse des zweilagigen Netzwerks

Für ein zweilagiges Widerstandsnetzwerk mit 17 Knoten werden Impulsantworten simuliert, wobei nur die Widerstandshältnisse der zweiten Schicht variiert werden. Dabei wird eine Inputspannung in der Mitte der Kaskade zu $V_{in}(8)=5\text{ V}$ gewählt und alle weiteren Spannungsquellen auf 0 V gesetzt. An den Knoten beider Netzschichten stellt sich jeweils ein räumlich-tiefpaßgefiltertes Ausgangssignal gemäß Abb. 3.12 ein.

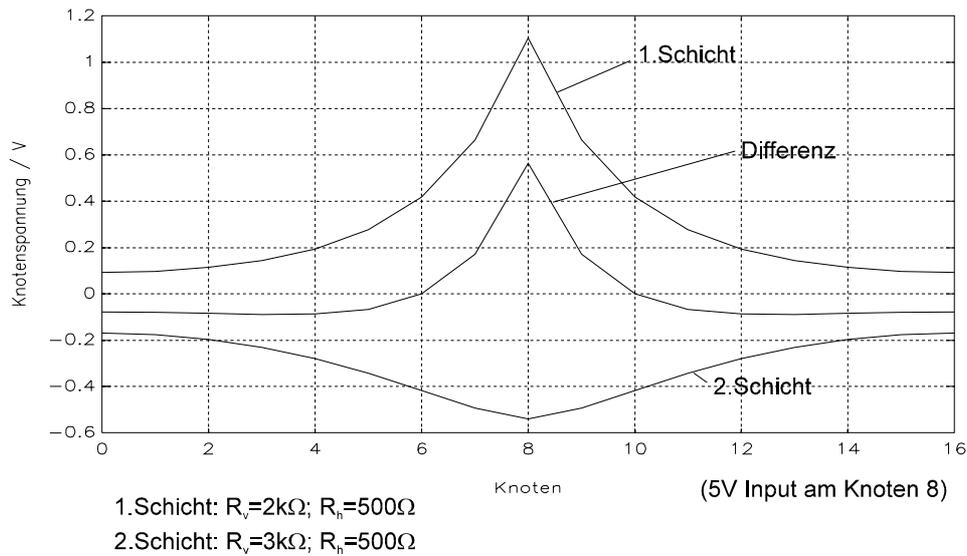


Abb. 3.12: Zusammensetzung der Impulsantwort aus der Differenz der Potentialverteilung des unteren und des oberen Netzes

Die Differenzbilder für weitere Widerstandsverhältnisse sind in Abb. 3.13 dargestellt.

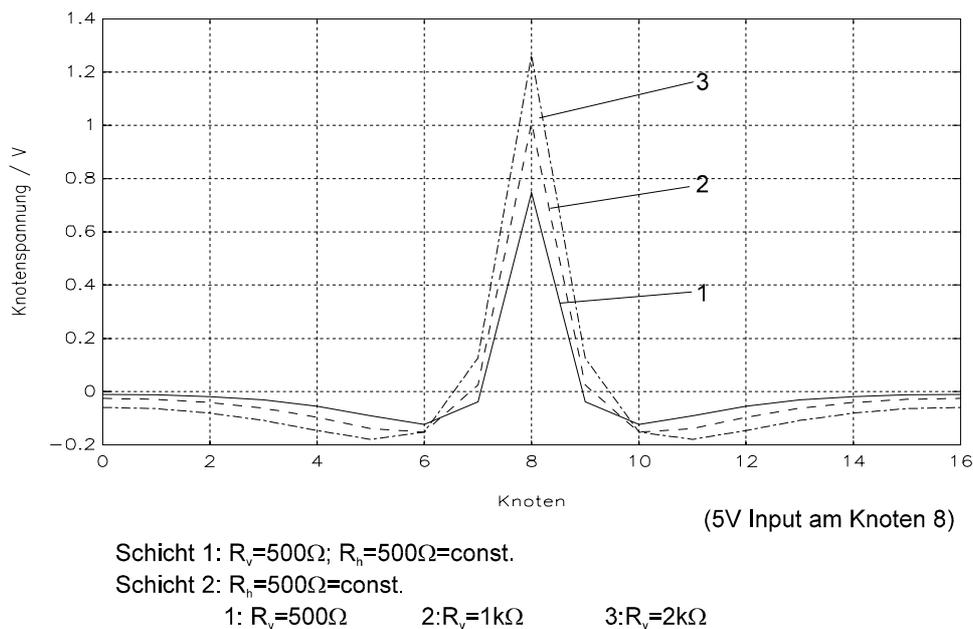


Abb. 3.13: Impulsantworten einer zweilagigen Widerstandsdekade

Die Impulsantworten zeigen auch hier die Mexican-Hat-Charakteristik der Retina. Allerdings lassen sich die Potentialverteilungen im zweilagigen Netz nicht mehr durch die in Kapitel 2 beschriebenen Gleichungen bestimmen, da sich die beiden Netzwerkschichten gegenseitig beeinflussen. Unter der Annahme, daß der Einfluß der oberen auf die untere Netzwerkschicht klein ist, folgt für das Eingangssignal nach der ersten Tiefpaßfilterung durch die untere Schicht [69]:

$$|\mathfrak{S}(\omega)| = \sqrt{\frac{2}{\pi}} \frac{V_{in}(0)}{2} \frac{1}{\sqrt{1 + \frac{R_{Sv}}{R_{Sh}} \omega^2}} = \sqrt{\frac{2}{\pi}} \frac{1}{2} \frac{1}{\sqrt{1 + \frac{R_{Sv}}{R_{Sh}} \omega^2}}, \text{ mit } V_{in}(0)=1 \quad (3.4)$$

Die Gl. (3.4) entspricht dem Betrag der Fouriertransformierten der Impulsantwort einer Eingangsspannung $V_{in}(0)$ an der Stelle $n=0$.

Durch die obere Netzwerkschicht erfolgt eine zweite Tiefpaßfilterung. Dies entspricht im Frequenzbereich einer Multiplikation der Einzelspektren:

$$\begin{aligned} |\mathfrak{S}_{2,TP}(\omega)| &= |\mathfrak{S}_S(\omega)| \cdot |\mathfrak{S}_H(\omega)| \\ &= \frac{1}{2\pi} \frac{1}{\sqrt{1 + \frac{R_{Sv}}{R_{Sh}} \omega^2}} \cdot \frac{1}{\sqrt{1 + \frac{R_{Hv}}{R_{Hh}} \omega^2}} \\ &= \frac{1}{2\pi} \frac{1}{\sqrt{1 + \frac{R_{Sv}}{R_{Sh}} \omega^2 + \frac{R_{Hv}}{R_{Hh}} \omega^2 + \frac{R_{Sv} R_{Hv}}{R_{Sh} R_{Hh}} \omega^4}} \\ &= \frac{1}{2\pi} \frac{1}{\sqrt{1 + \left(\frac{R_{Sv}}{R_{Sh}} + \frac{R_{Hv}}{R_{Hh}} \right) \omega^2 + \frac{R_{Sv} R_{Hv}}{R_{Sh} R_{Hh}} \omega^4}} \end{aligned} \quad (3.5)$$

Dies entspricht nach [102] einem Tiefpaßfilter 2. Ordnung. Für gleiche Widerstandsverhältnisse (R_{sh}/R_{sv}) und (R_{Hh}/R_{Hv}) ergibt sich das folgende Bode-Diagramm:

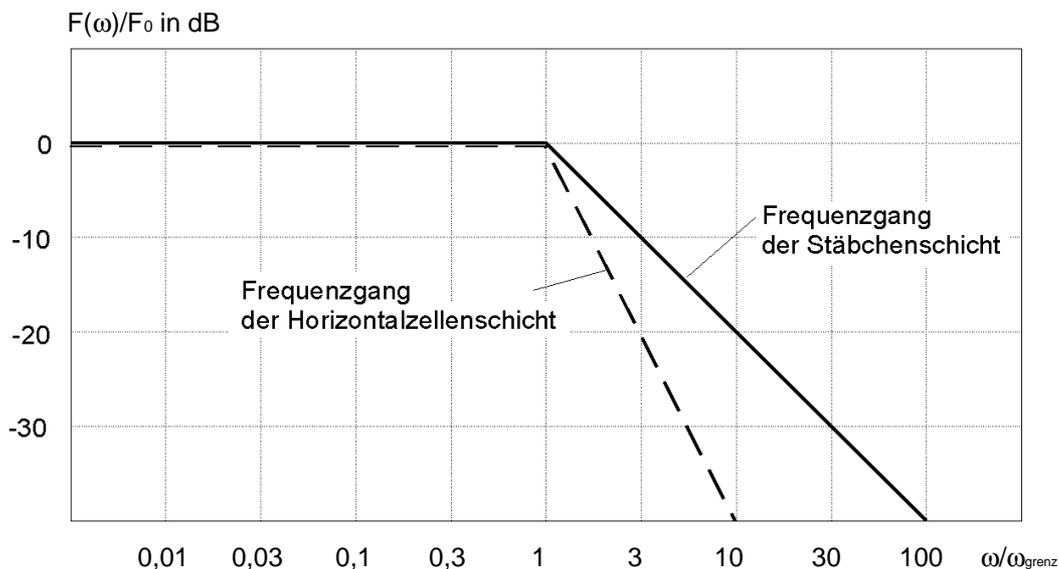


Abb. 3.14: Bode-Diagramm der Tiefpaßfilterung der Stäbchen und der Horizontalzellen

In diesem Fall besitzen beide Tiefpaßfilterungen die gleiche Grenzfrequenz. Die Filterung 1. Ordnung zeigt einen Abfall von 20 dB/Dekade und die der 2. Ordnung einen Abfall von 40 dB/Dekade. Die Differenz beider Schichten ergibt wiederum einen Bandpaß. Die Grenz-

frequenz der zweiten Tiefpaßfilterung ist von den Widerstandsverhältnissen beider Schichten abhängig. Sie läßt sich durch die Widerstandsverhältnisse (R_{sh}/R_{sv}) und (R_{Hh}/R_{Hv}) bestimmen.

Im folgenden wird die Reaktion des zweilagigen Netzwerks auf ein Kantensignal simuliert. Die Differenz der beiden tiefpaßgefilterten Signale im zweilagigen Netz ist in Abb. 3.15 für verschiedene Widerstandsverhältnisse der zweiten Netzschicht dargestellt. Auch hier ist deutlich erkennbar, daß der Ort der Kante durch den Nulldurchgang des Differenzsignals gegeben ist.

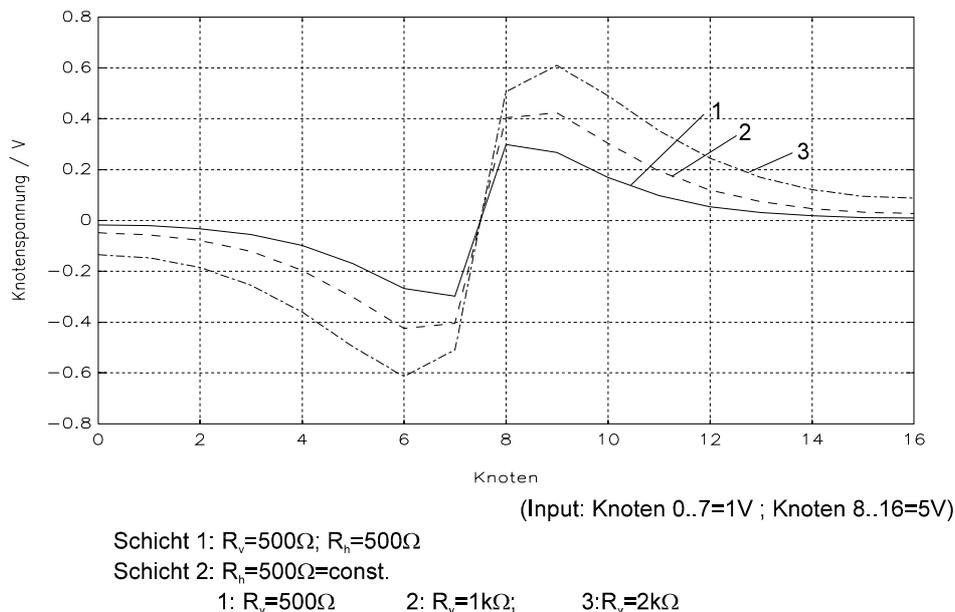


Abb. 3.15: Reaktion zweilagiger Widerstandsnetzwerke auf eine Kante

3.2.3 Ergebnisse der Software-Simulationen

- Für Vergleichszwecke wird zunächst eine Simulation mit dem bereits beim einfachen Widerstandsnetzwerks verwendeten Bild *yacht.ppm* durchgeführt. Die Werte der Horizontal- und Vertikalwiderstände werden dabei in der „unteren“ Netzschicht beispielsweise zu $10\text{ k}\Omega$ ($R_h:R_v=1:1$) und in der „oberen“ Netzschicht zu $2,5\text{ k}\Omega$ und $10\text{ k}\Omega$ gewählt ($R_h:R_v=1:4$). Größere Widerstandswerte in der „oberen“ Netzschicht wie z.B. $250\text{ k}\Omega$ und $10\text{ k}\Omega$ ($R_h:R_v=1:4$), liefern ähnliche Simulationsergebnisse, da hierfür das relative Widerstandsverhältnis $R_h:R_v$ entscheidend ist.

Das Simulationsergebnis der „oberen“ Netzschicht (Abb. 3.16a) weist bei einem Verhältnis von $R_{H2}:R_{V2}=1:4$ eine stärkere Glättung auf als das Ergebnis des einfachen Widerstandsnetzwerkes bei $R_H:R_V=1:10$. Dies ist darauf zurückzuführen, daß in der „oberen“ Netzschicht des zweilagigen Netzwerks nicht das Originalbild, sondern das bereits in der „unteren“ Lage geglättete Bild weiterverarbeitet wird. Dadurch verstärkt sich entsprechend die Gesamtglättung des Eingangsbildes.

Abb. 3.16b zeigt das Einzelergebnis der „unteren“ Netzschicht des zweilagigen Netzwerks. Dieses entspricht qualitativ dem Ergebnis des einfachen Widerstandsnetzwerkes, das bei dem gleichen Widerstandsverhältnis von $R_H:R_V=1:1$ erzielt wurde.

Die Differenz der beiden geglätteten Bilder ist in Abb. 3.18a zu sehen. Es stellt näherungsweise das Ergebnis einer Difference-of-two-Gaussians-Bandpaß-Funktion dar.



a) „Obere“ Lage mit $R_{H2}=2,5\text{ k}\Omega$, $R_{V2}=10\text{ k}\Omega$



b) „Untere“ Lage mit $R_{H1}=10\text{ k}\Omega$, $R_{V1}=10\text{ k}\Omega$

Abb. 3.16: Simulationsergebnisse des zweilagigen Widerstandsnetzwerks

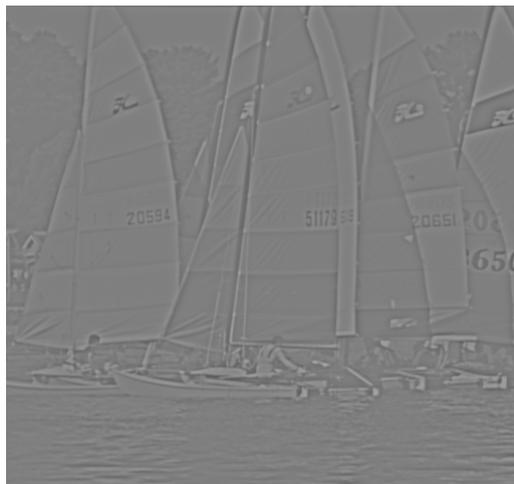


Abb. 3.17: Differenzbild der beiden Widerstandslagen

In Abb. 3.18 ist als Ergebnis der Kantenerkennung die Visualisierung der Nulldurchgänge zwischen den benachbarten Potentialdifferenzen der beiden Netzwerke dargestellt. Die Umrisse der Segel sowie der Beschriftungen sind deutlich als Kanten erkannt worden. Jedoch sind dabei auch durch Rauschen hervorgerufene unerwünschte Kanten am Himmel und auf den Flächen der Segel erkennbar.

Daher wurde das Programm um einen Schwellwert zur Erkennung von Nulldurchgängen erweitert. Zur Erkennung eines Nulldurchganges zwischen benachbarten Knoten muß das Produkt der Potentialdifferenzen benachbarter Knotenpaare kleiner als der Schwellwert sein. Bei einem Schwellwert von *Null* wird jeder Nulldurchgang erkannt, und das Ergebnis entspricht dem der Abb. 3.18a. Wird jedoch ein geringfügig kleinerer Wert als *Null* gewählt, so muß ein Nulldurchgang mit entsprechender Steilheit durchlaufen werden, um noch erkannt zu werden. Abb. 3.18b zeigt, daß bei einem Schwellwert von -0.001 das Rauschen auf den Segeln und am Himmel weitgehend eliminiert ist.

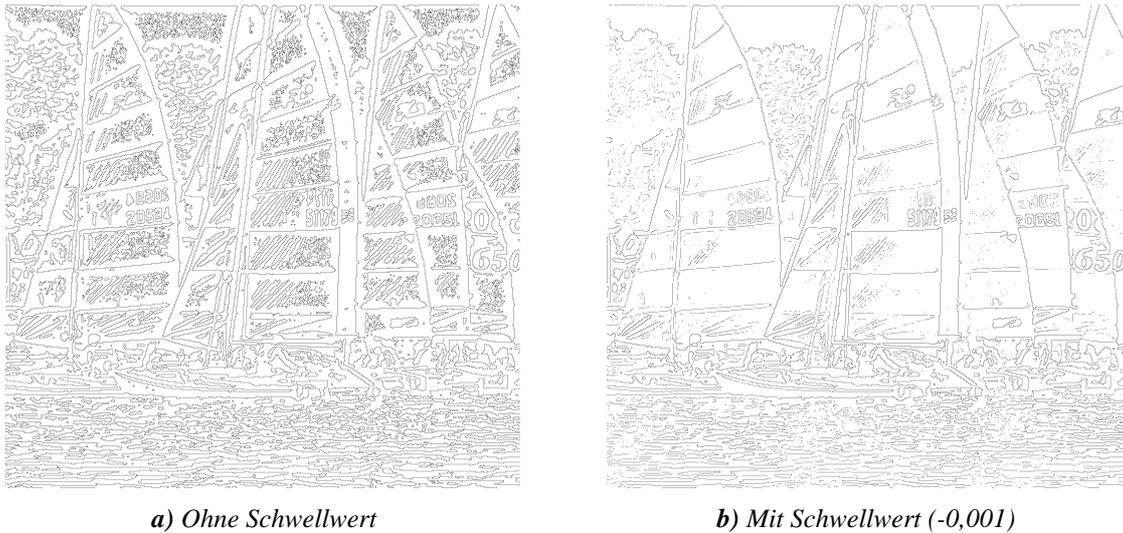


Abb. 3.18: Visualisierte Nulldurchgänge zwischen den Potentialdifferenzen der Knoten der beiden Lagen des zweilagigen Widerstandsnetzwerks

- Zur weiteren Untersuchung der Kantenerkennung bei starkem Rauschen wird eine Simulation mit dem stark verrauschten Bild *bugatti.ppm* durchgeführt.

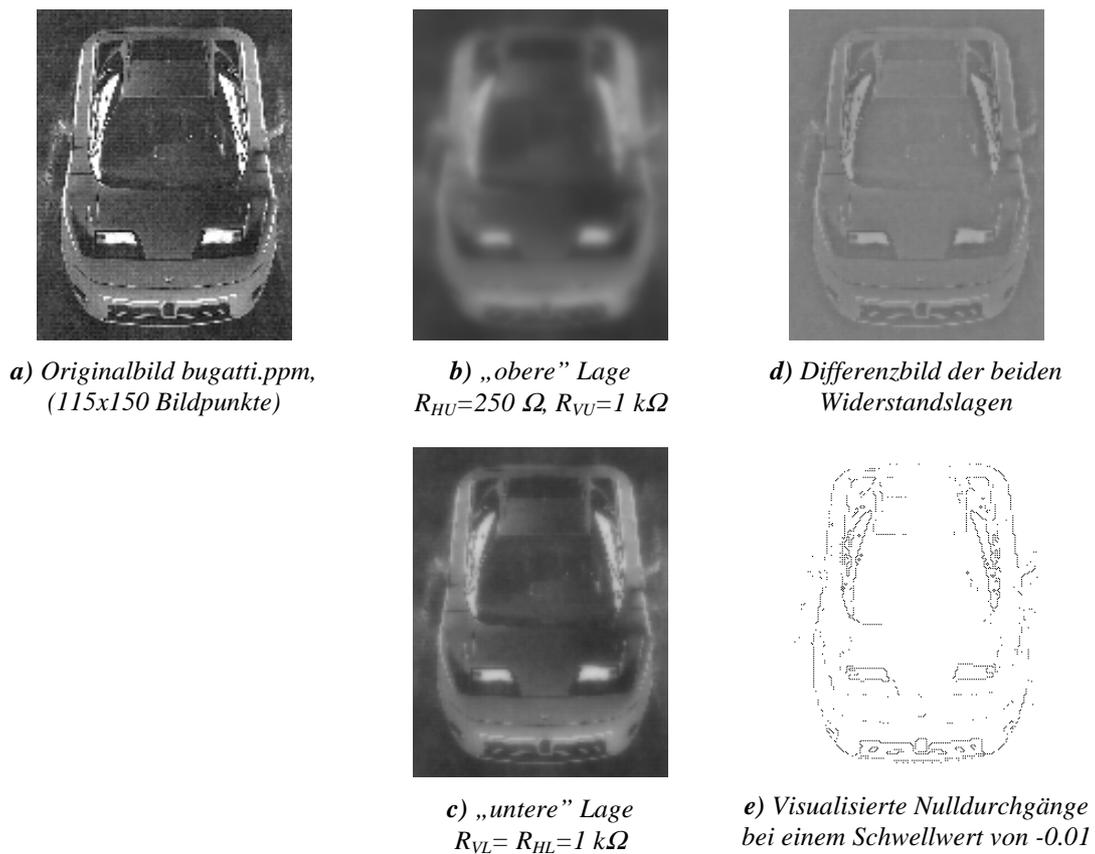


Abb. 3.19: Simulationsergebnisse des zweilagigen Widerstandsnetzwerk

In der „unteren“ Lage werden für beide Widerstände R_h und R_v Werte von $1 \text{ k}\Omega$ gewählt ($R_H:R_V=1:10$). In der „oberen“ Lage betragen die Horizontalwiderstände 250Ω und die Vertikalwiderstände $1 \text{ k}\Omega$ ($R_H:R_V=1:4$). Diese Widerstandswerte werden so klein gewählt, um die

Berechnungszeit der Simulation zu verkürzen. Wie schon in Kapitel 2 festgestellt wurde, sind nur die Widerstandsverhältnisse und nicht die absoluten Werte für das Ergebnis relevant.

Abb. 3.19b und 3.19c zeigen die Einzelergebnisse der beiden Widerstandslagen, und in Abb. 3.19d ist das Differenzbild dargestellt.

Bei der Visualisierung der Nulldurchgänge ist bei einem Schwellwert von -0.01 das Rauschen weitgehend eliminiert (siehe Abb. 3.19e). Trotz des stark verrauschten Ausgangsbildes konnten die wichtigsten Kanteninformationen bei gleichzeitiger Rauschunterdrückung aus dem Bild gewonnen werden.

3.2.4 Ergebnis des zweilagigen Netzwerks

Simulationsergebnisse haben bestätigt, daß mit Hilfe zweilagiger Widerstandsnetzwerke Kanteninformationen aus dem Eingangsbild gewonnen werden können. Durch Differenzbildung der beiden räumlich tiefpaßgefilterten Signale der beiden Netzlagen wird näherungsweise eine Difference-of-two-Gaussians-Bandpaßfilterung realisiert. Die Kantenerkennung erfolgt durch eine anschließende Feststellung von Nulldurchgängen im Differenzbild.

3.3 Zweilagig-paralleles Widerstandsnetzwerk zur Kantenerkennung

3.3.1 Aufbau des zweilagig-parallelen Widerstandsnetzwerks

In diesem Abschnitt wird im Vergleich zum zweilagigen Netzwerk eine geringfügig veränderte Schaltung betrachtet: das zweilagig-parallele Widerstandsnetzwerk. Im Gegensatz zum zweilagigen Netzwerk wird die zweite Netzwerklage nicht auf die Knoten der ersten Netzwerklage aufgesetzt, sondern parallel dazu ohne zusätzlichen Hardwareaufwand an die Eingangsspannungsquellen angeschlossen (siehe Abb. 3.20) [8].

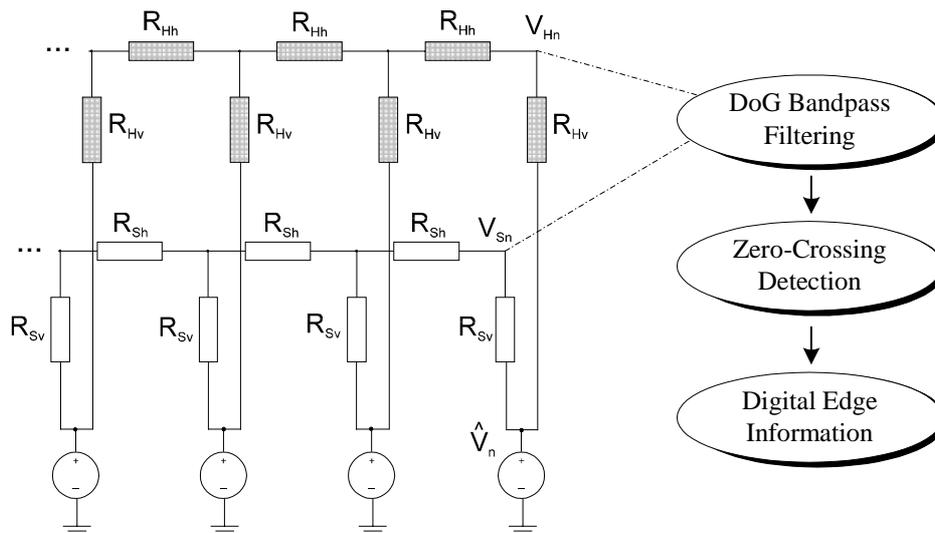
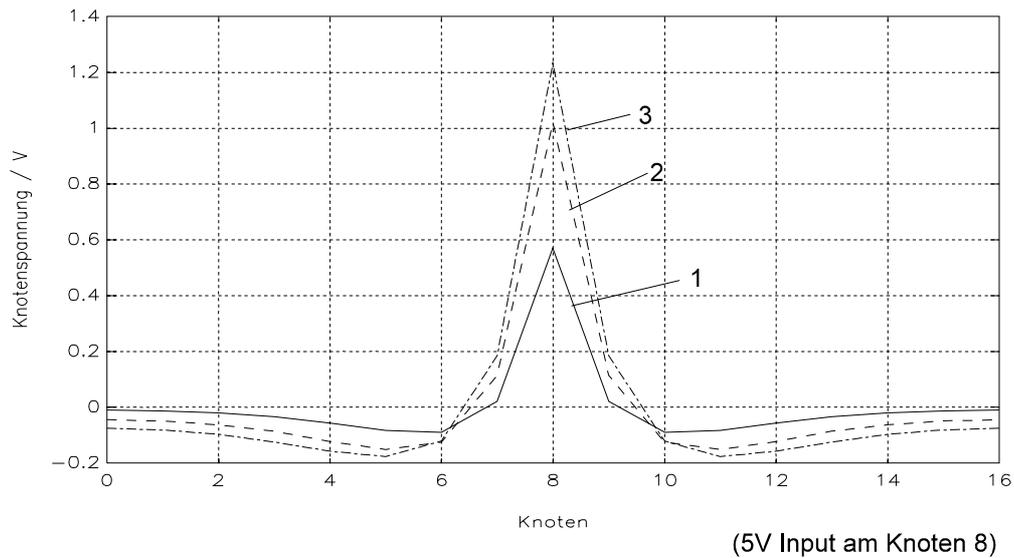


Abb. 3.20: Zweilagig-parallele Widerstandsnetzwerk

Das Eingangssignal wird in Abhängigkeit der Widerstandsverhältnisse in beiden parallelen Netzlagen zweimal räumlich tiefpaßgefiltert. Die Differenz der beiden vorverarbeiteten Signale entspricht dem bekannten DoG-bandpaßgefiltertem Signal, dessen Nulldurchgänge wieder den Kanten entsprechen.

3.3.2 Simulationsergebnisse des zweilagig-parallelen Netzwerks

In der Abb. 3.21 sind die simulierten Impulsantworten eines zweilagig-parallelen Widerstandsnetzwerks dargestellt. Auch hier zeigt sich wie beim zweilagigen Netzwerk das Mexican-Hat-Verhalten.



Schicht 1: $R_v=500\Omega$; $R_h=500\Omega$

Schicht 2: $R_h=500\Omega=\text{const.}$

1: $R_v=1k\Omega$ 2: $R_v=2k\Omega$; 3: $R_v=3k\Omega$

Abb. 3.21: Impulsantworten zweilagig-paralleler Widerstandsnetze

Im folgenden wird die Filterung des zweilagig-parallelen Netzwerk mathematisch beschrieben. Zunächst sei noch einmal festzuhalten, dass die beiden parallelen Netzwerklagen der Abb. 3.20 eine Tiefpaßfilterung erster Ordnung ausführen. Unter Berücksichtigung der Gl. (3.2) ergibt sich somit für die Differenz der beiden Tiefpaßfilterungen:

$$\begin{aligned}
 \mathfrak{S}_{\text{gesamt}}(\omega) &= \mathfrak{S}_S(\omega) - \mathfrak{S}_H(\omega) \\
 &= \sqrt{\frac{2}{\pi}} \frac{1}{2} \frac{1}{1 - \frac{j}{\sqrt{R_{Sh}/R_{Sv}}} \omega} - \sqrt{\frac{2}{\pi}} \frac{1}{2} \frac{1}{1 - \frac{j}{\sqrt{R_{Hh}/R_{Hv}}} \omega} \\
 &= \sqrt{\frac{1}{2\pi}} \frac{1 - \frac{j}{\sqrt{R_{Hh}/R_{Hv}}} \omega - 1 + \frac{j}{\sqrt{R_{Sh}/R_{Sv}}} \omega}{\left(1 - \frac{j}{\sqrt{R_{Sh}/R_{Sv}}} \omega\right) \left(1 - \frac{j}{\sqrt{R_{Hh}/R_{Hv}}} \omega\right)} \\
 &= \sqrt{\frac{1}{2\pi}} \frac{j\omega \cdot \left(\frac{-1}{\sqrt{R_{Hh}/R_{Hv}}} + \frac{1}{\sqrt{R_{Sh}/R_{Sv}}}\right)}{\left(1 - \frac{j}{\sqrt{R_{Sh}/R_{Sv}}} \omega\right) \left(1 - \frac{j}{\sqrt{R_{Hh}/R_{Hv}}} \omega\right)} = \dots
 \end{aligned}$$

$$\dots = \sqrt{\frac{1}{2\pi}} \left(\frac{-1}{\sqrt{R_{Hh}/R_{Hv}}} + \frac{1}{\sqrt{R_{Sh}/R_{Sv}}} \right) \cdot \frac{1}{\left(1 - \frac{j}{\sqrt{R_{Sh}/R_{Sv}}} \omega\right)} \cdot \frac{j\omega}{\left(1 - \frac{j}{\sqrt{R_{Hh}/R_{Hv}}} \omega\right)} \quad (3.6)$$

- 1. Term - 2. Term - 3. Term -

Die Gleichung (3.6) setzt sich aus drei Termen zusammen, wobei der erste einen Faktor, der zweite einen Tiefpaß und der dritte einen Hochpaß beschreibt. Im Bode-Diagramm ergibt sich folglich der Bandpaß nach Abb. 3.22.

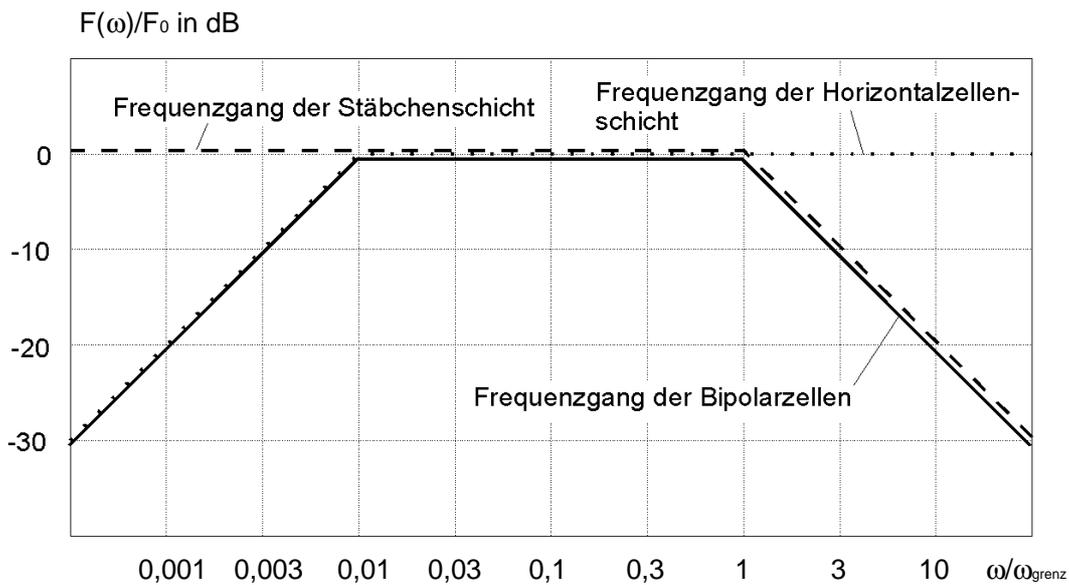


Abb. 3.22: Bode-Diagramm des zweilagig-parallelen Widerstandsnetzwerks

Zum Vergleich mit dem zweilagigen Netzwerk wird in Abb. 3.23 die Reaktion eines zweilagig-parallelen Netzwerks auf eine Kante gezeigt.

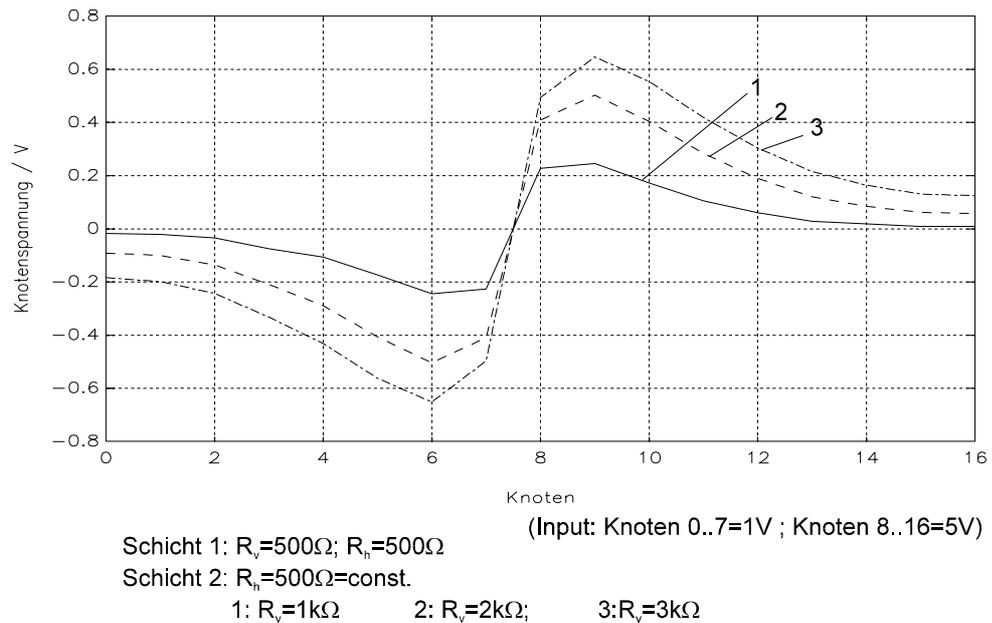


Abb. 3.23: Reaktion eines zweilagig-parallelen Netzwerks auf eine Kante

Zwischen den Ergebnissen beider zweilagiger Netzwerke sind keine wesentlichen Unterschiede festzustellen. Auch beim zweilagig-parallelen Netzwerk ergibt sich am Ort der Kante ein Vorzeichenwechsel, der durch ein Zero-Crossing-Verfahren bestimmt werden kann.

3.3.3 Reaktion auf eine unscharfe Kante

Auch bei einer unscharfen, über mehrere Bildpunkte verteilten Kante ergibt die Bandpaßfilterung des zweilagig-parallelen Netzwerks einen eindeutigen Nulldurchgang im Differenzbild (siehe Abb. 3.24).

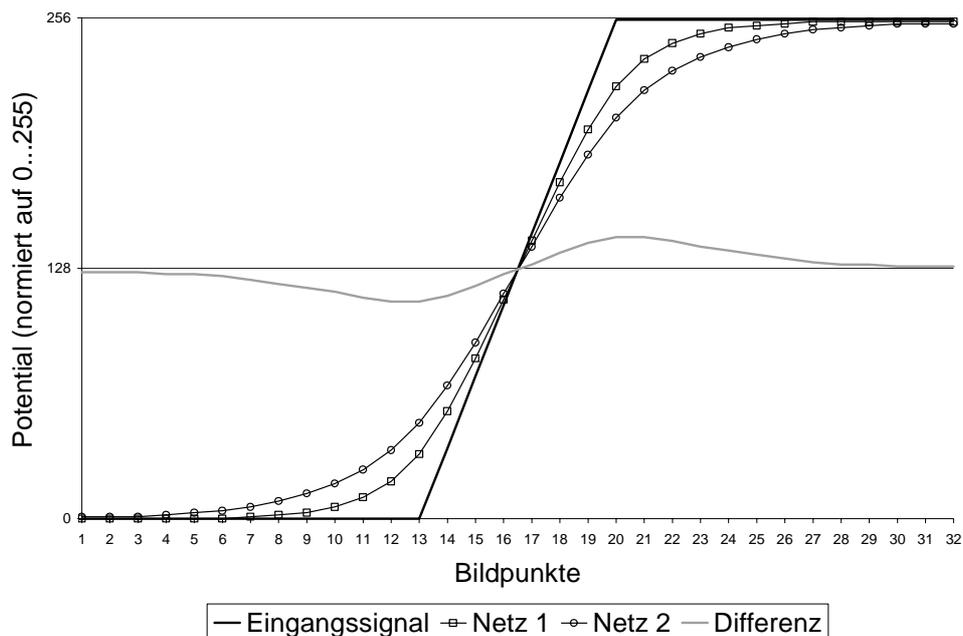


Abb. 3.24: Eindeutiger Nulldurchgang nach Bandpaßfilterung einer unscharfen Kante

Somit werden Flächen bei einer unscharf aufgenommenen Kante eindeutig durch eine Kante getrennt, ohne daß Zwischenflächen entstehen, sodaß die weitere Verarbeitung vereinfacht wird.

3.3.4 Steuerung des Detailreichtums der Kanteninformationen

Das zweilagig-parallele Netzwerk ermöglicht zusätzlich zur eindeutigen Kantenerkennung auch eine Steuerung des Detailreichtums des Kantenbildes durch eine entsprechende Variation der Widerstandsverhältnisse in den beiden Netzlagen (siehe Abb. 3.25).

Bei dem Beispiel in Abb. 3.25 wurde als Eingangssignal eine „schwache Kante“ (zwischen Knoten 8 und 9) und eine benachbarte „stärkere Kante“ (zwischen Knoten 16 und 17) gewählt. Desweiteren wurden die Widerstandsverhältnisse beider paralleler Netzlagen derart gewählt, sodaß sich eine starke Glättung in beiden Netzlagen einstellt. Somit werden „schwache Kanten“ mit geringem Potentialunterschied von benachbarten „stärkeren“ Kanten mit größerem Potentialunterschied unterdrückt, und das bandpaßgefilterte Signal weist nur einen Nulldurchgang zwischen den Knoten 16 und 17 auf. Bei einer schwächeren Glättung in einer der beiden Netzlagen würde sich auch ein Nulldurchgang zwischen 8 und 9 ergeben.

Der Vorteil dieser Steuerung liegt vor allem darin, daß dabei Linien und Umrisse eines Objektes geschlossen bleiben und somit keine „Unterbrechungen“ bzw. „Bruchstücke“ bei einer Reduktion der Kanteninformationen entstehen.

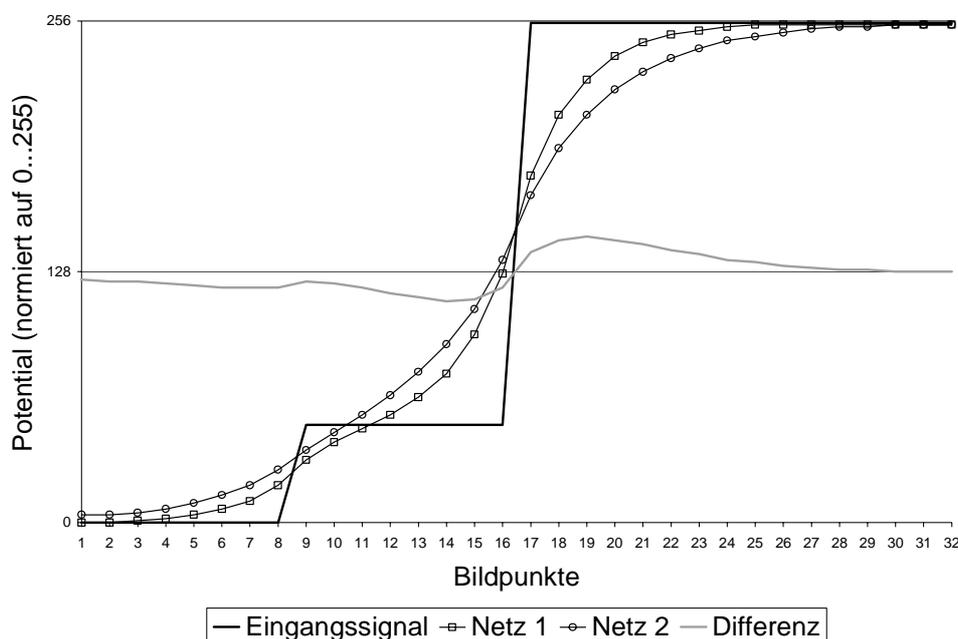


Abb. 3.25: Unterdrückung einer „schwachen Kante“ durch eine benachbarte „stärkere Kante“

3.3.5 Ergebnisse der Software-Simulationen

- Zum Vergleich mit dem zweilagigen Widerstandsnetzwerk wurde erneut eine Simulation mit dem Bild *bugatti.ppm* bei gleichen Widerstandswerten durchgeführt.

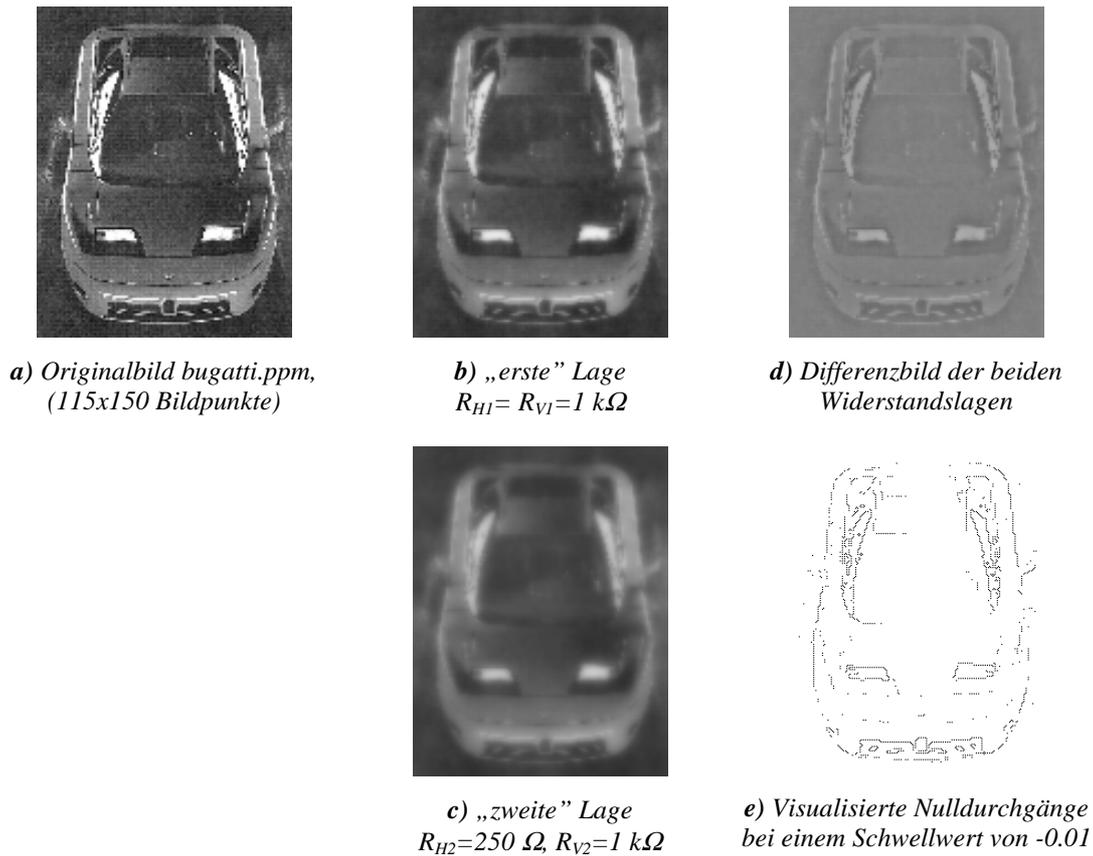


Abb. 3.26: Simulationsergebnisse des zweilagig-parallelen Widerstandsnetzwerks

Im Vergleich zu den Ergebnissen des zweilagigen Netzwerks sind im Differenzbild des zweilagig-parallelen Netzwerks kaum sichtbare Unterschiede festzustellen. Ebenso sind die Ergebnisse der visualisierten Nulldurchgänge nahezu identisch.

- Zusätzlich wurde mit den selben Widerstandswerten eine Simulation mit dem nahezu rauschfreien Bild *lenan.ppm* durchgeführt. Die Abbildungen 3.27b und 3.27c zeigen die Einzelergebnisse der beiden Widerstandslagen, und in Abb. 3.27d ist das Differenzbild dargestellt. Da das Ursprungsbild nahezu rauschfrei ist, wird bei der Erkennung von Nulldurchgängen auf einen Schwellwert verzichtet; d.h. jeder Vorzeichenwechsel im Differenzbild wird als Kante dargestellt. Wie das Ergebnis in Abb. 3.27e zeigt, werden auch kaum unerwünschte Kanten durch Rauschen erzeugt.

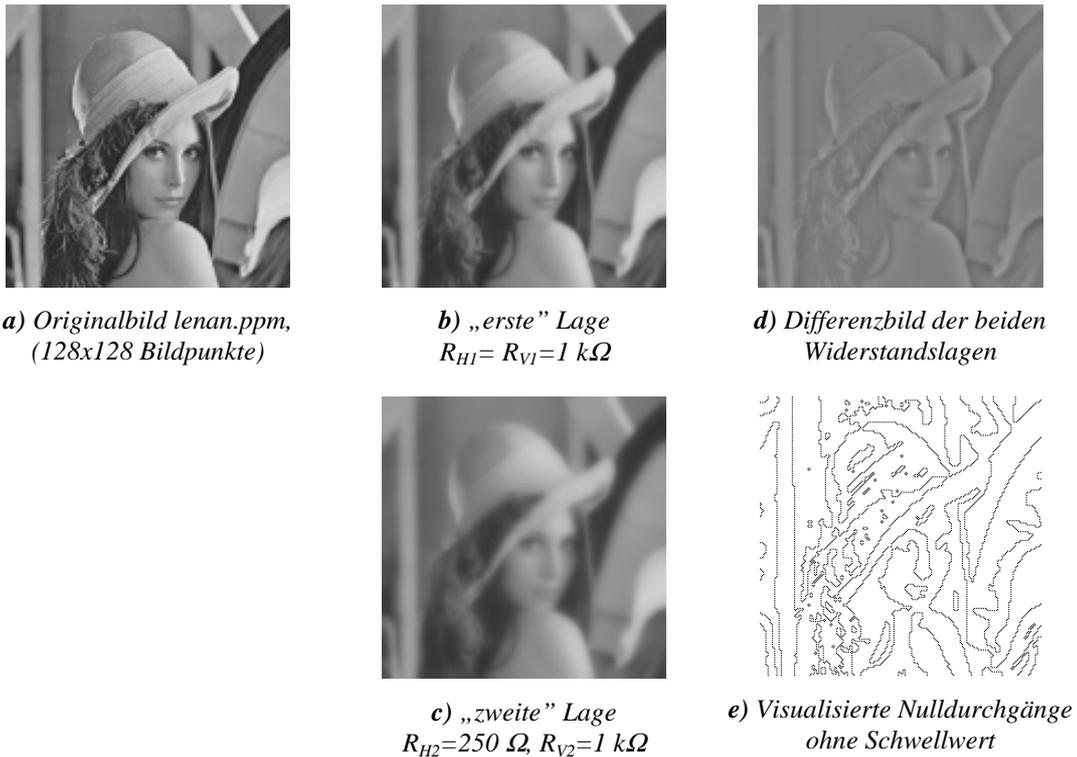


Abb. 3.27: Simulationsergebnisse des zweilagig-parallelen Widerstandsnetzwerks

3.3.6 Ergebnis des zweilagig-parallelen Widerstandsnetzwerks

Bezüglich der Kantenerkennung liefert das zweilagig-parallele Widerstandsnetzwerk nahezu identische Ergebnisse wie das zweilagige Widerstandsnetzwerk. Ferner sind keine nennenswerten Unterschiede bei der schaltungstechnischen Realisierung bezüglich des Hardwareaufwandes festzustellen. Allerdings läßt sich das Verhalten im zweilagig-parallelen Netzwerk analytisch einfacher beschreiben.

Ausschließlich mit den Kanteninformationen lassen sich jedoch nur Umrisse und Konturen eines Objektes erkennen. Bei Anwendungen, für die Kanteninformationen alleine nicht ausreichen, kann man durch Segmentierung des Ausgangsbildes zusätzliche Informationen über die Flächen gewinnen. Segmentierung ist die Unterteilung von Bildern in Flächen annähernd gleicher Helligkeit (siehe Kapitel 4.2). Mit diesen Zusatzinformationen lassen sich beispielsweise Objekte nach einer Veränderung (z. B. Bewegung) zuverlässiger wiedererkennen. Im nächsten Abschnitt wird daher ein nicht unmittelbar an die Biologie angelehnter Ansatz zur Kantenerkennung und Segmentierung mit Hilfe von sogenannten „Resistive Fuses“ betrachtet.

3.4 Kantenerkennung und Segmentierung mit Resistive Fuses

3.4.1 Aufbau des nichtlinearen Widerstandsnetzwerks mit Resistive Fuses

Zur Rauschreduzierung und Kantenerkennung bei gleichzeitiger Segmentierung des Ausgangsbildes werden Widerstandsnetzwerke mit nichtlinearen Widerständen, sogenannten Resistive Fuses verwendet [50][41][122]. Resistive Fuses sind Zweipole, die sich bis zu einer gewissen Potentialdifferenz (der Schwellspannung V_T) wie lineare Widerstände verhalten und bei größeren Potentialdifferenzen eine Sperrcharakteristik aufweisen (siehe Abb. 3.28). Die Schaltung des Widerstandsnetzwerks mit Resistive Fuses entspricht im Aufbau der des einlagigen Netzwerks aus Abschnitt 3.1, wobei die Horizontalwiderstände R_H durch Resistive Fuses ersetzt werden.

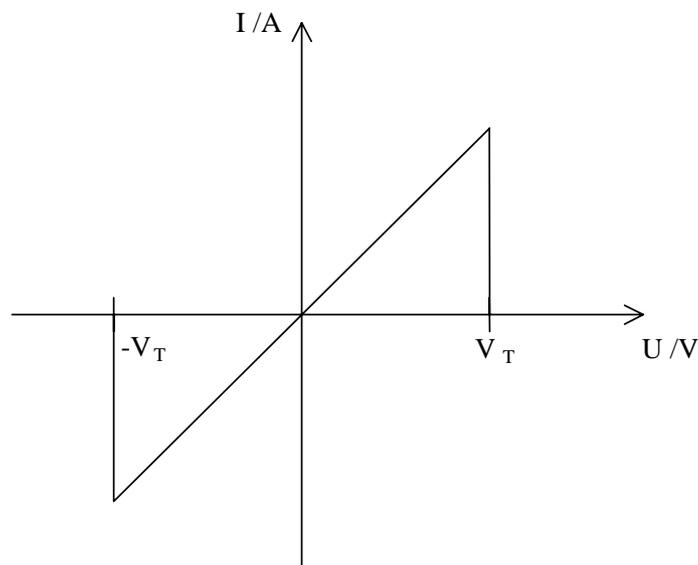


Abb. 3.28: Kennlinie einer idealen „Resistive Fuse“

Durch die Kennlinien-Charakteristik der Resistive Fuses werden geringe Spannungsunterschiede, d.h. kleine Helligkeitsunterschiede im Bild, ausgeglichen, während größere Spannungsdifferenzen, die Kanten entsprechen, erhalten bleiben. Somit wird das Bild in Flächen mit Bildpunkten von annähernd gleicher Helligkeit segmentiert. Die Empfindlichkeit bei der Kantenerkennung wird dabei durch die Schwellspannung V_T bestimmt.

3.4.2 Reaktion auf eine unscharfe Kante

Dieses Verfahren hat jedoch den entscheidenden Nachteil, daß Kanten nur in unmittelbarer Nachbarschaft zwischen zwei Knoten erkannt werden können. Bei einer unscharf aufgenommenen über mehrere Bildpunkte verteilten Kante, kann diese nicht mehr einwandfrei erkannt werden. Je nach Schwellspannung wird sie gar nicht oder als mehrere aneinanderliegende Kanten erkannt, da stets die Potentialdifferenz zweier benachbarter Knoten mit der Schwellspannung V_T verglichen wird (siehe Abb. 3.29). Dieses Problem der „Mehrfachkanten“ haben auch andere Verfahren, die Kanten nur in unmittelbarer Nachbarschaft zwischen zwei Bildpunkten erkennen [122].

Da die Kanteninformationen die Grundlage für die weitere Segmentierung bilden, ist das segmentierte Bild ebenfalls mit diesem Mangel behaftet. Flächen werden nicht eindeutig getrennt, vielmehr entstehen abgestufte kleine Zwischenflächen zwischen größeren Flächen, die bei der weiteren Verarbeitung hinderlich sind.

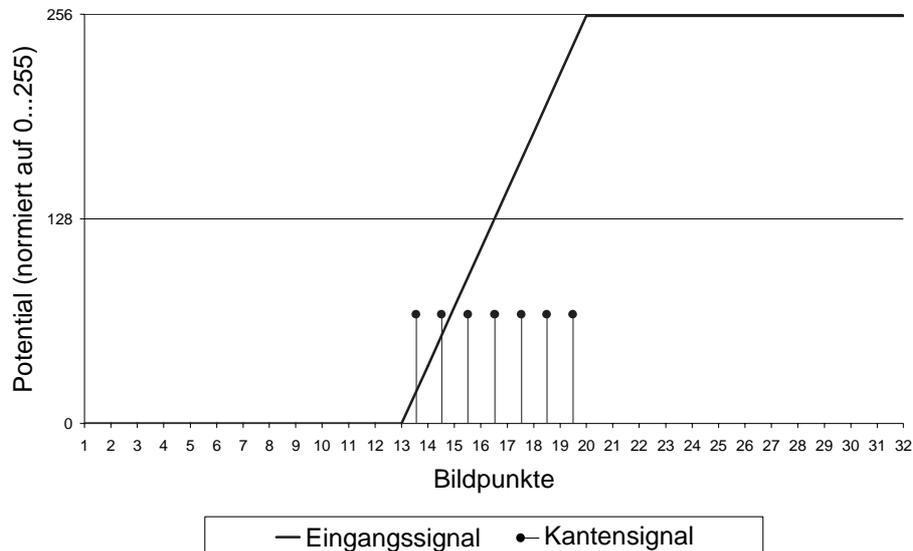


Abb. 3.29: Mehrfache Erkennung einer einzelnen unsharpen Kante in einem Netzwerk mit Resistive Fuses (schematische Darstellung zur Erläuterung des Problems)

Im nächsten Abschnitt wird anhand von Simulationsergebnissen gezeigt, daß durch Regelung der Schwellspannung V_T auch kaum eine Verbesserung bei der Kantenerkennung erzielt werden kann. Zudem führt eine Erhöhung der Schwellspannung dazu, daß Umrisse und Linien nicht gleichsam verschwinden, sondern unterbrochen werden, womit sich die Resultate weiter verschlechtern.

3.4.3 Ergebnisse der Software-Simulationen

- Es werden zunächst Simulationen mit dem Bild *bugatti.ppm* durchgeführt. Die Vertikalwiderstände haben dabei einen Wert von 1000Ω und die Resistive Fuses im linearen Bereich einen Wert von 100Ω . Die folgenden Abbildungen zeigen die Simulationsergebnisse bei unterschiedlichen Schwellspannungen der Resistive Fuses.

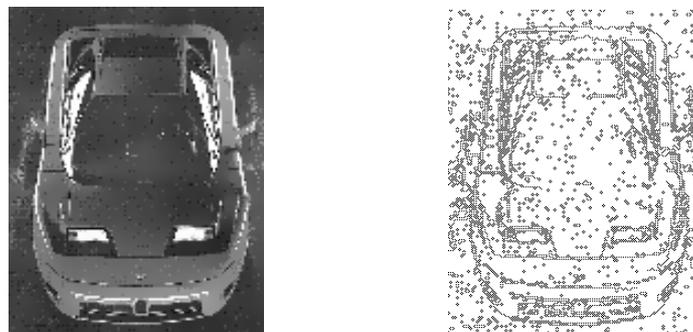


Abb. 3.30: Ergebnisse bei einer Schwellspannung von 0,25 V

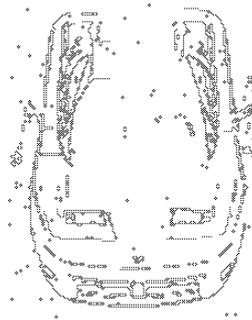
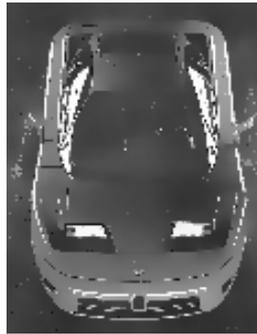


Abb. 3.31: Ergebnisse bei einer Schwellspannung von 0,5 V

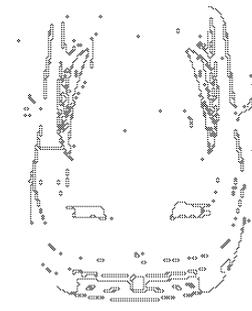
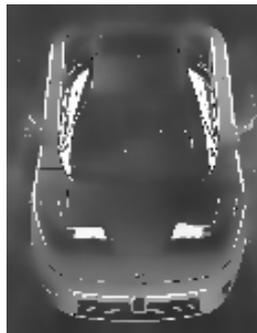


Abb. 3.32: Ergebnisse bei einer Schwellspannung von 0,75 V

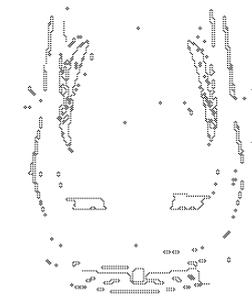
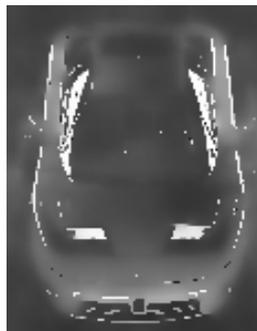


Abb. 3.33: Ergebnisse bei einer Schwellspannung von 1 V

Ein qualitativer Vergleich mit den Ergebnissen des zweilagigen Widerstandsnetzwerks (siehe Abb. 3.19e) zeigt, daß Widerstandsnetzwerke mit Resistive Fuses bei einem gleichem Maß an Rauschreduzierung einen höheren Verlust von Kanteninformationen liefern.

- Für einen weiteren Vergleich der Ergebnisse bei einem weniger verrauschten Eingangsbild wird das Bild *lenan.ppm* mit den gleichen Widerstandswerten für unterschiedliche Schwellspannungen simuliert (siehe Abb. 3.34-3.37).

Das zuvor beschriebene Problem der mehrfachen Erkennung einer einzelnen unscharfen Kante ist in den Simulationsergebnissen deutlich erkennbar. Bei der Kantenerkennung sind daher Netzwerke mit Resistive Fuses den zweilagigen Widerstandsnetzwerken unterlegen. Auch eine Änderung der Schwellspannung liefert keine besseren Ergebnisse bei der Kantenerkennung als zweilagige Netzwerke.



Abb. 3.34: Ergebnisse bei einer Schwellspannung von 0,1 V

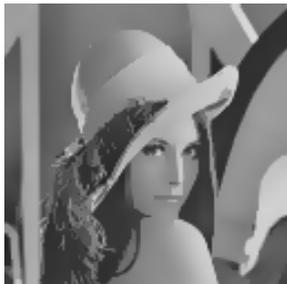


Abb. 3.35: Ergebnisse bei einer Schwellspannung von 0,25 V

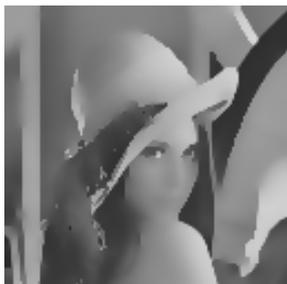


Abb. 3.36: Ergebnisse bei einer Schwellspannung von 0,5 V

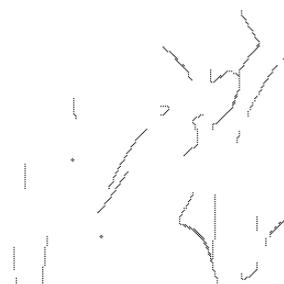


Abb. 3.37: Ergebnisse bei einer Schwellspannung von 0,75 V

3.4.4 Ergebnis des Widerstandsnetzwerks mit Resistive Fuses

Das nichtlineare Widerstandsnetzwerk mit Resistive Fuses erbrachte zwar die gewünschte Segmentierung des Bildes, zeigte sich jedoch in der Simulation bei der Kantenerkennung dem zweilagigen/zweilagig-parallelen Widerstandsnetzwerk unterlegen, da es Kanten nicht immer eindeutig erkennt, sondern je nach gewählter Schwellspannung, als mehrere direkt aneinanderliegende Kanten erkennt. Für eine eindeutige Kantenerkennung ist daher der Ansatz des zweilagigen oder der des zweilagig-parallelen Widerstandsnetzwerk besser geeignet.

4 Kantenerkennung und Segmentierung durch zeitliches Multiplexen

In Kapitel 3 wurde gezeigt, daß für die Kantenerkennung die konventionellen zweilagig-parallelen Netzwerke gegenüber anderen Widerstandsnetzwerken von Vorteil sind. Auch verwischte bzw. unscharfe Kanten werden mit zweilagig-parallelen Netzwerken eindeutig erkannt. Allerdings liefern diese Netzwerke kein segmentiertes Ausgangssignal [50][57][69][119].

Für eine Segmentierung bei gleichzeitiger Kantenerkennung wurden ebenfalls in Kapitel 3 Netzwerke mit Resistive Fuses vorgestellt. Probleme ergaben sich allerdings bei unscharfen Kanten. Diese werden nicht eindeutig erkannt, sondern fälschlicherweise als mehrere aneinanderliegende Kanten detektiert. Dies führt folglich bei der zusätzlichen Segmentierung zu Problemen.

Um die eindeutige Kantenerkennung des zweilagig-parallelen Widerstandsnetzwerks mit einer zusätzlichen Segmentierung zu kombinieren, ohne dabei die Resistive Fuses zu verwenden, wird ein neuer Ansatz vorgestellt, bei dem das zweilagig-parallele Widerstandsnetzwerk nach Art eines Multiplexprinzips verwendet wird. Somit wird mit nur wenig Mehraufwand gegenüber bisherigen Implementierungen von zweilagig-parallelen Netzwerken zusätzlich zur Kantenerkennung eine Segmentierung implementiert.

In diesem Kapitel wird zunächst in Abschnitt 4.1 der Aufbau und die Funktion des gemultiplexten zweilagig-parallelen Netzwerks erläutert. Anschließend werden in den Abschnitten 4.2 und 4.3 anhand von Simulationsergebnissen die Vorteile des gemultiplexten Netzwerks gegenüber konventionellen Netzwerken dargestellt. Ferner dienen die in den Software-Simulationen verwendeten Widerstandswerte als Grundlage für die Dimensionierung der verwendeten Bauelemente in der späteren schaltungstechnischen Realisierung. In Abschnitt 4.5 wird überprüft, welche Vorteile das segmentierte Signal gegenüber dem Original- bzw. den tiefpaßgefilterten Signalen für die weitere Verarbeitung aufweist. In Anschluß daran wird in Abschnitt 4.6 das Blockschaltbild des gemultiplexten Netzwerks für die spätere Implementierung vorgestellt. Weiterhin wird ein neuer Algorithmus zur Feststellung der Nulldurchgänge für die Kantenerkennung gezeigt, der gegenüber der konventionellen Methode in der Implementierung eine deutliche Vereinfachung des schaltungstechnischen Aufwands aufweist.

4.1 Aufbau und Funktion des gemultiplexten Netzwerks

Die Abb. 4.1 zeigt den schematischen Aufbau des gemultiplexten zweilagig-parallelen Netzwerks zur Kantenerkennung und Segmentierung. Es wird ein zeitliches Multiplexen mit zwei Phasen durchgeführt:

- In der ersten Phase verhält sich das Netzwerk wie das zweilagig-parallele Netzwerk und führt somit eine räumliche DoG-Bandpaßfilterung aus. Durch eine Nulldurchgangserkennung werden binäre Kanteninformationen gewonnen und gespeichert.
- In der zweiten Phase werden die so gewonnenen binären Kantensignale in eines der beiden Netze zurückgeführt und dort zur Ansteuerung der Horizontalwiderstände verwendet. Bei einer erkannten Kante wird der zwischen den entsprechenden Knoten befindliche Horizontalwiderstand hochohmig geschaltet, bei keiner Kante niederohmig. Dadurch wird in dieser Netzlage ein segmentiertes Bild erzeugt, und die Knotenpotentiale in diesem Netzwerk repräsentieren dann das segmentierte Bild.

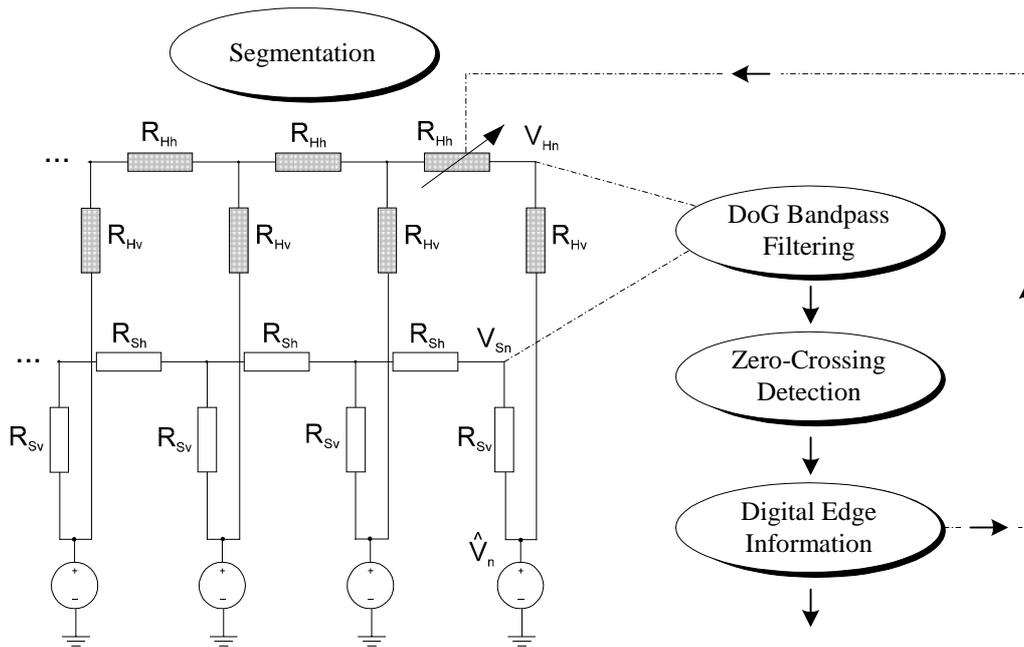


Abb. 4.1: Blockschaltbild des gemultiplexten zweilagig-parallelen Widerstandsnetzwerks zur Kantenerkennung und Segmentierung

4.2 Segmentierung an einer unscharfen Kante

In Abb. 4.2 ist dargestellt, wie durch dieses Verfahren aus einer unscharfen Kante im Originalbild eine scharfe Kante zwischen nur zwei Knoten im segmentierten Bild resultiert:

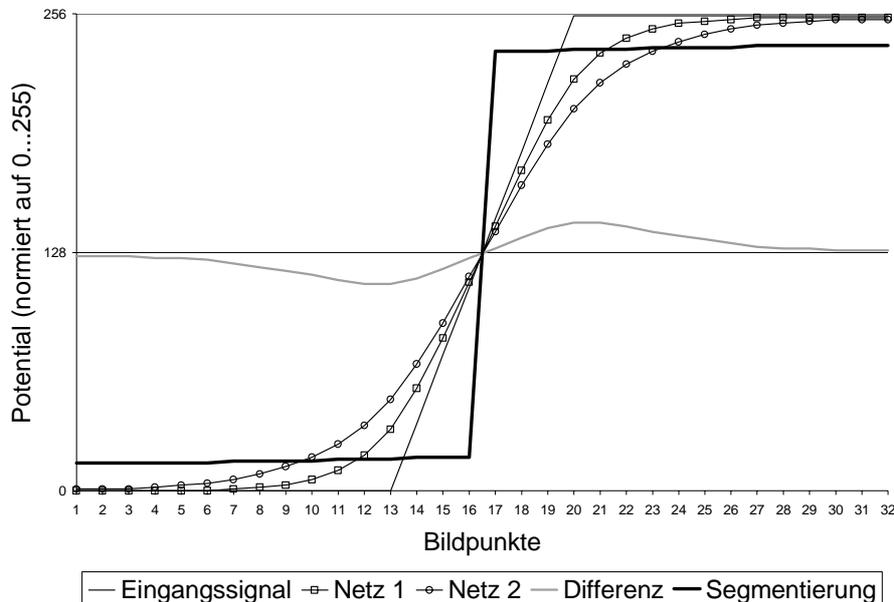


Abb. 4.2: Segmentierung an einer unscharfen Kante

Im Gegensatz zum Originalsignal und den beiden tiefpaßgefilterten Signalen weisen jeweils alle links- bzw. alle rechtsseitig von der Kante befindlichen Bildpunkte nach der Segmentierung annähernd gleiche Helligkeitswerte auf. Zudem ist der Helligkeitsunterschied zwischen den Bildpunkten an der Kante sehr groß, während er bei den anderen Signalen nur sehr gering ist. Dadurch läßt sich ein Bildpunkt besser einer Fläche zuordnen, und es reicht bereits die Abfrage eines einzelnen Bildpunktes aus, um eine Helligkeitinformation über die gesamte Fläche zu erhalten. Ein weiterverarbeitendes System braucht daher nur einen Bildpunkt in der Nähe einer Kante abzufragen, um zu einem Umriß eine zugehörige Flächeninformation zuzuordnen. Mit dieser Information kann beispielsweise ein Objekt nach einer Veränderung (z.B. Bewegung) zuverlässiger wiedererkannt werden, als wenn nur der Umriß zur Identifikation zur Verfügung stehen würde.

Ohne die Segmentierung wäre die Information eines einzelnen Bildpunktes (z.B. aus dem Originalbild) zu unzuverlässig. So ist z. B. bei einer unscharfen Kante der Helligkeitswert der an der erkannten Kante befindlichen Bildpunkte nicht repräsentativ für die ganze Fläche. Den ungünstigsten Fall stellt ein defekter Photosensor an einem Bildpunkt dar, der eine gänzlich falsche Information liefert. Das weiterverarbeitende System müßte daher mehrere Bildpunkte abfragen und einen Mittelwert bilden, um eine verwertbare Information zu erhalten. Das segmentierende Netzwerk führt diese Mittelwertbildung vor der weiteren Verarbeitung aus und reduziert somit den Speicher- und Rechenaufwand des weiterverarbeitenden Systems, wodurch eine schnellere Bildverarbeitung ermöglicht wird.

4.3 Ergebnisse der Software-Simulationen

- Für die Simulation wird zunächst das in Abb. 4.3 gezeigte Ursprungsbild *girl.ppm* der Größe 240x256 Bildpunkte verwendet:



Abb. 4.3: Originalbild girl.ppm (240x256 Bildpunkte)

Für die Vertikalwiderstände in beiden Netzen wird stets ein Wert von $40\text{ k}\Omega$ simuliert. Die Horizontalwiderstände der ersten und zweiten Netzlage betragen $20\text{ k}\Omega$ und $8\text{ k}\Omega$. Der minimale und maximale Widerstandswert für die Segmentierung wird auf $800\ \Omega$ bzw. $1\text{ G}\Omega$ eingestellt. Abb. 4.4 zeigt die Simulationsergebnisse der beiden einzelnen parallelen Netzlagen sowie das Differenzbild, das das bandpaßgefilterte Signal darstellt. Deutlich erkennbar ist das Bild im zweiten Netz stärker geglättet als im ersten.

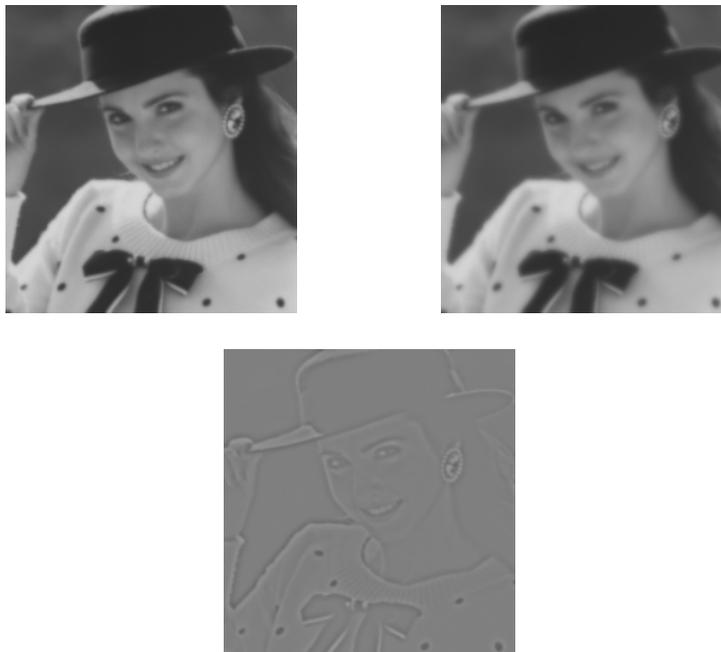


Abb. 4.4: Simulationsergebnis des 1. Netzes mit $R_H:R_V=1:2$ ($20\text{ k}\Omega:40\text{ k}\Omega$) (links oben), des 2. Netzes mit $R_H:R_V=1:5$ ($8\text{ k}\Omega:40\text{ k}\Omega$) (rechts oben) und das Differenzbild (unten)

Bei der Erkennung von Nulldurchgängen wird zunächst keine Schwelle gesetzt. In Abb. 4.5 sind das resultierende Kantenbild und das Ergebnis der anschließenden Segmentierung gezeigt. Deutlich erkennbar ist, daß das Kantenbild mit einem starken Rauschen behaftet ist.



Abb. 4.5: Kantenbild und segmentiertes Bild ohne Schwellwert zur Rauschunterdrückung bei der Erkennung von Nulldurchgängen

Durch einen geeigneten Schwellwert bei der Erkennung von Nulldurchgängen, kann das Rauschen herausgefiltert werden, wobei dennoch die Kanten bestmöglich erhalten bleiben. Das Ergebnis ist in Abb. 4.6 gezeigt:



Abb. 4.6: Kantenbild und segmentiertes Bild nach Einsatz eines Schwellwertes bei der Erkennung von Nulldurchgängen

Durch die Schwelle wird zwar das Rauschen auf den Flächen herausgefiltert, jedoch mit dem Nachteil, daß dabei gleichzeitig einige Kantenlinien von „weniger starken“ Kanten unterbrochen und „zerstückelt“ werden. Daher werden als weiteres Mittel zur Rauschfilterung die Widerstandsverhältnisse variiert. Bei stärkerer Glättung in beiden Netzen werden die durch Rauschen entstehenden „schwachen“ Kanten reduziert. Diese kann durch Verkleinerung der Horizontalwiderstandswerte erreicht werden. In Abb. 4.7 und Abb. 4.8 sind die Ergebnisse bei einer Halbierung bzw. Viertelung der Werte dargestellt. Neben einer Rauschreduzierung ist auch ein Abnehmen des Detailreichtums erkennbar. So ist bei der stärksten Glättung in Abb. 4.8 z. B. die linke Pupille nicht mehr umrissen. Dennoch treten keine unterbrochenen Linien auf. Dieser Effekt kann von der weiterverarbeitenden Stufe ausgenutzt werden, um zunächst einen groben Überblick über ein Bild mit wenigen Details zu bekommen.

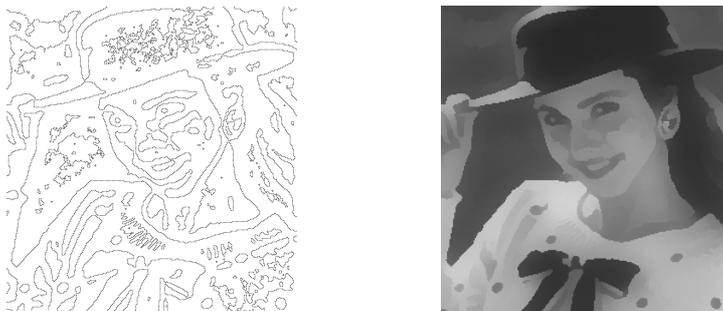


Abb. 4.7: Kantenbild und segmentiertes Bild bei Widerstandsverhältnissen von 1:4 ($10\text{ k}\Omega:40\text{ k}\Omega$) und 1:10 ($4\text{ k}\Omega:40\text{ k}\Omega$) ohne Schwelle zur Rauschunterdrückung

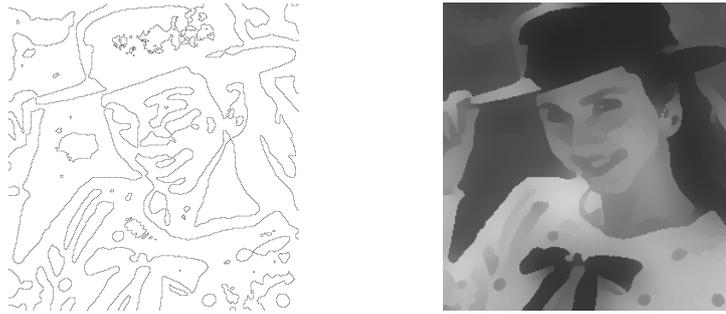


Abb. 4.8: Kantenbild und segmentiertes Bild bei Widerstandsverhältnissen von $R_{H1}:R_{V1} = 1:8$ ($5\text{ k}\Omega:40\text{ k}\Omega$) und $R_{H2}:R_{V2} = 1:20$ ($2\text{ k}\Omega:40\text{ k}\Omega$) ohne Schwelle zur Rauschunterdrückung

Um einen Eindruck von der Lage der erkannten Kanten relativ zu den Objekten im Bild zu erhalten, wird das Originalbild mit dem Kantenbild überlagert.



Abb. 4.9: Überlagerung des Originalbildes mit den Kanteninformationen der Abb. 4.7

Die Umrisse aus dem Kantenbild stimmen nicht immer mit dem größten Helligkeitsunterschied im Bild überein; so z.B. bei den Punkten auf dem Pullover. Ein unmittelbar an der Kante entnommener Bildpunkt würde keine verlässliche Information über die Helligkeit der umrissenen Fläche wiedergeben. Dies soll mit der Segmentierung erreicht werden.



Abb. 4.10: Überlagerung des segmentierten Bildes mit den Kanteninformationen

Das überlagerte Bild in Abb. 4.10 zeigt, daß die Flächen genau mit den extrahierten Kanten abschließen. Dies ist besonders gut an den Punkten auf dem Pullover zu erkennen, die innerhalb des erkannten Umrisses ungefähr den gleichen Helligkeitswert besitzen.

- Zur Untersuchung des Verhaltens bei stark verrauschten Bildsignalen wurde erneut das Bild *bugatti.ppm* mit 115x150 Bildpunkten verwendet und mit den gleichen Widerstandswerten wie in den vorangegangenen Simulationen simuliert.



Abb. 4.11: Originalbild bugatti1.ppm, 115x150 Bildpunkte

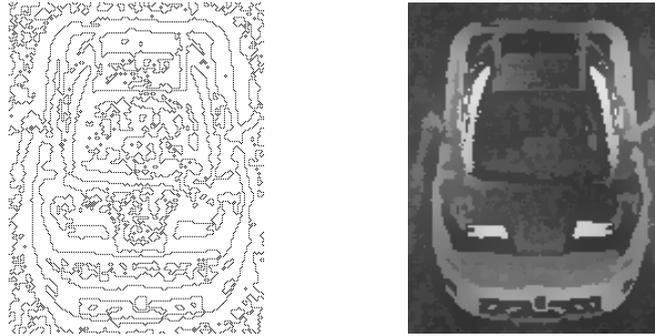


Abb. 4.12: Simulationsergebnisse bei Widerstandsverhältnissen von 1:2 und 1:5

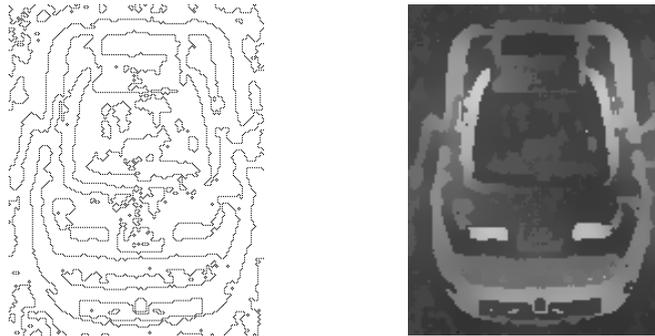


Abb. 4.13: Simulationsergebnisse bei Widerstandsverhältnissen von 1:4 und 1:10

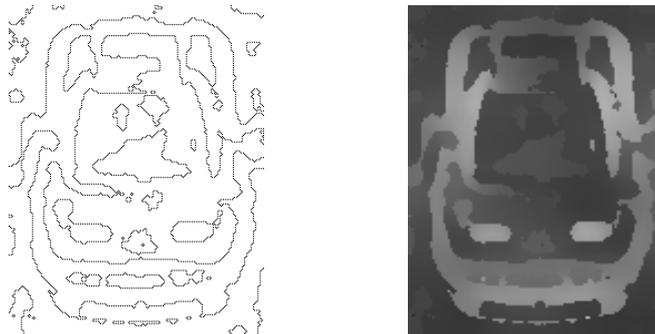


Abb. 4.14: Simulationsergebnisse bei Widerstandsverhältnissen von 1:8 und 1:20

Bei der stärksten Glättung in Abb. 4.14 ist das Rauschen nicht nur im Kantenbild, sondern auch im segmentierten Bild weitgehend eliminiert. Dadurch ist das segmentierte Bild zur weiteren Verarbeitung deutlich besser geeignet als das Originalbild.

4.4 Weitere Verarbeitung des segmentierten Bildes

Das wichtigste Ziel der analogen Bildvorverarbeitung ist die Reduzierung der zur weiteren Verarbeitung anfallenden Daten. Falls neben den binären Kanteninformationen noch Bildpunkte ausgelesen werden sollen, muß die zu übertragende Datenmenge dabei möglichst klein gehalten werden. Da bereits in Flächen segmentiert wurde, liegt eine Abtastung mit niedriger Bitzahl pro Bildpunkt nahe. Eine Abtastung mit niedriger Bitzahl pro Bildpunkt hat aber auch eine Flächenbildung im abgetasteten Bild zur Folge. Daher stellt sich die Frage, ob eine solche Abtastung des Originalbildes oder eines der tiefpaßgefilterten Signale die zusätzliche Segmentierung ersetzen könnte. In diesem Abschnitt wird anhand von Simulationsergebnissen gezeigt, daß eine Abtastung des Originalbildes oder eines der beiden tiefpaßgefilterten Bilder die Segmentierung nicht ersetzen kann.

- In der Abb. 4.15 werden das Originalbild *Girl.ppm*, das segmentierte Bild und die Ergebnisse der beiden parallelen Netzlagen bei einer Abtastung mit 4, 3 und 2 Bits pro Bildpunkt gegenübergestellt.

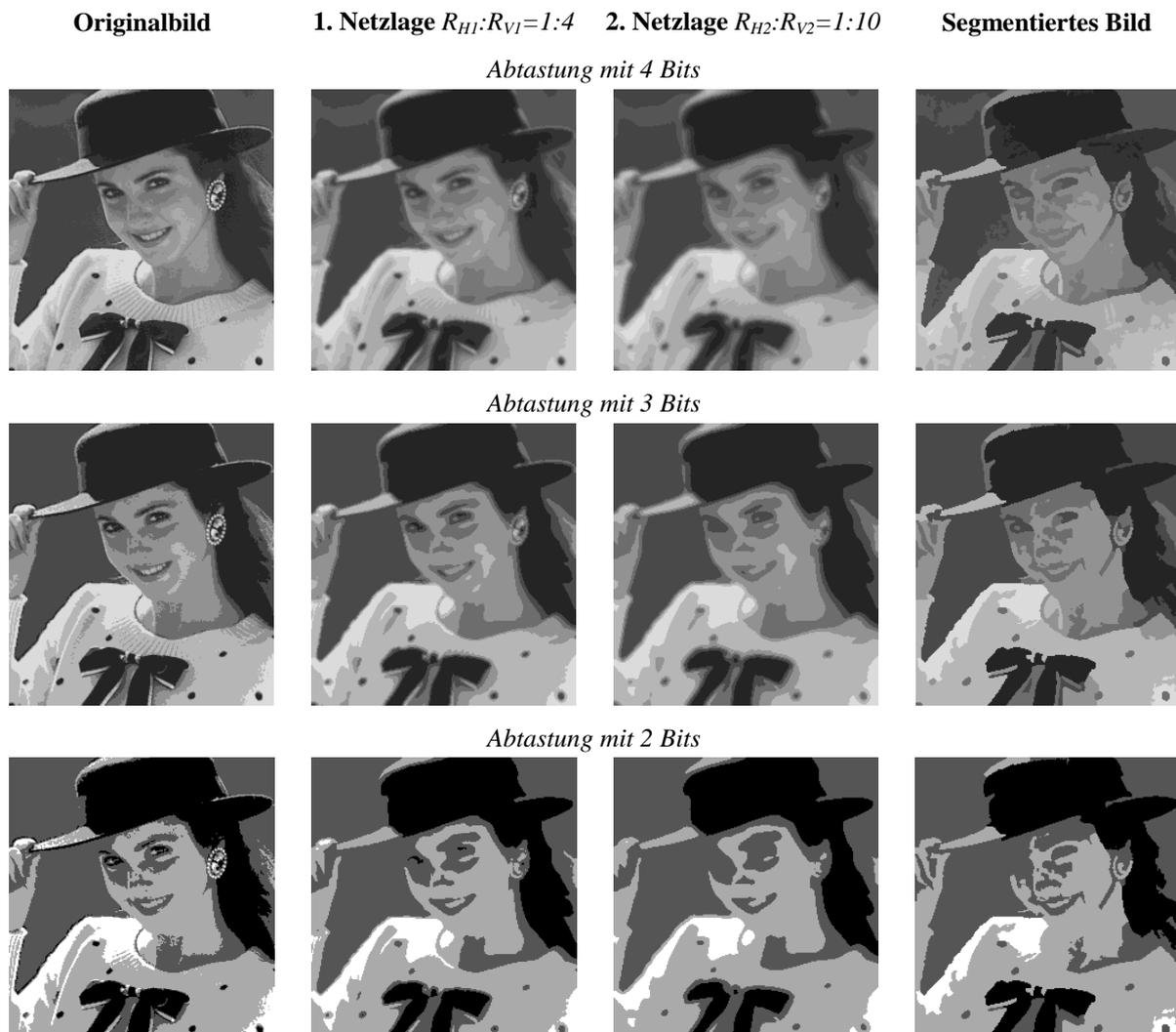


Abb. 4.15: Simulationsergebnisse des Originalbildes "Girl.ppm", der beiden tiefpaßgefilterten Bilder und des segmentierten Bildes bei einer Abtastung pro Bildpunkt mit 4, 3 und 2 Bits (16, 8 und 4 Graustufen)

Bei allen Bildern ist bei einer Abtastung mit 3 Bits pro Bildpunkt der Hintergrund als eine homogene Fläche sehr gut vom Vordergrund getrennt. Bei dem Originalbild entstehen bei der Abtastung jedoch „ausgefranste“ Flächen im Vordergrund, so daß die Entnahme von Stichproben am Rand einer Fläche zu unzuverlässigen Informationen über die Fläche führt. Bei den Ergebnissen der beiden Netze sind die Umrisse der Flächen zwar glatt, aber durch die Glättung sind die Flächen „verlaufen“ und ihre Umrisse entsprechen nicht denen des Kantenbildes, wodurch eine Entnahme an einer erkannten Kante ebenfalls zu unzuverlässigen Informationen führt. Das segmentierte Bild hingegen liefert bei der Abtastung homogene Flächen, deren Abgrenzungen mit den extrahierten Kanteninformationen übereinstimmen und ist daher zur weiteren Verarbeitung am besten geeignet.

- Bei der Abtastung des verrauschten Bildes *bugatti1.ppm* wird der Vorteil der Segmentierung noch deutlicher. Während das Originalbild stark verrauscht bleibt und die Ergebnisse der Netze nur undeutliche „verwaschene“ Flächen liefern, ist das abgetastete segmentierte Bild detailliert und stark rauschreduziert:

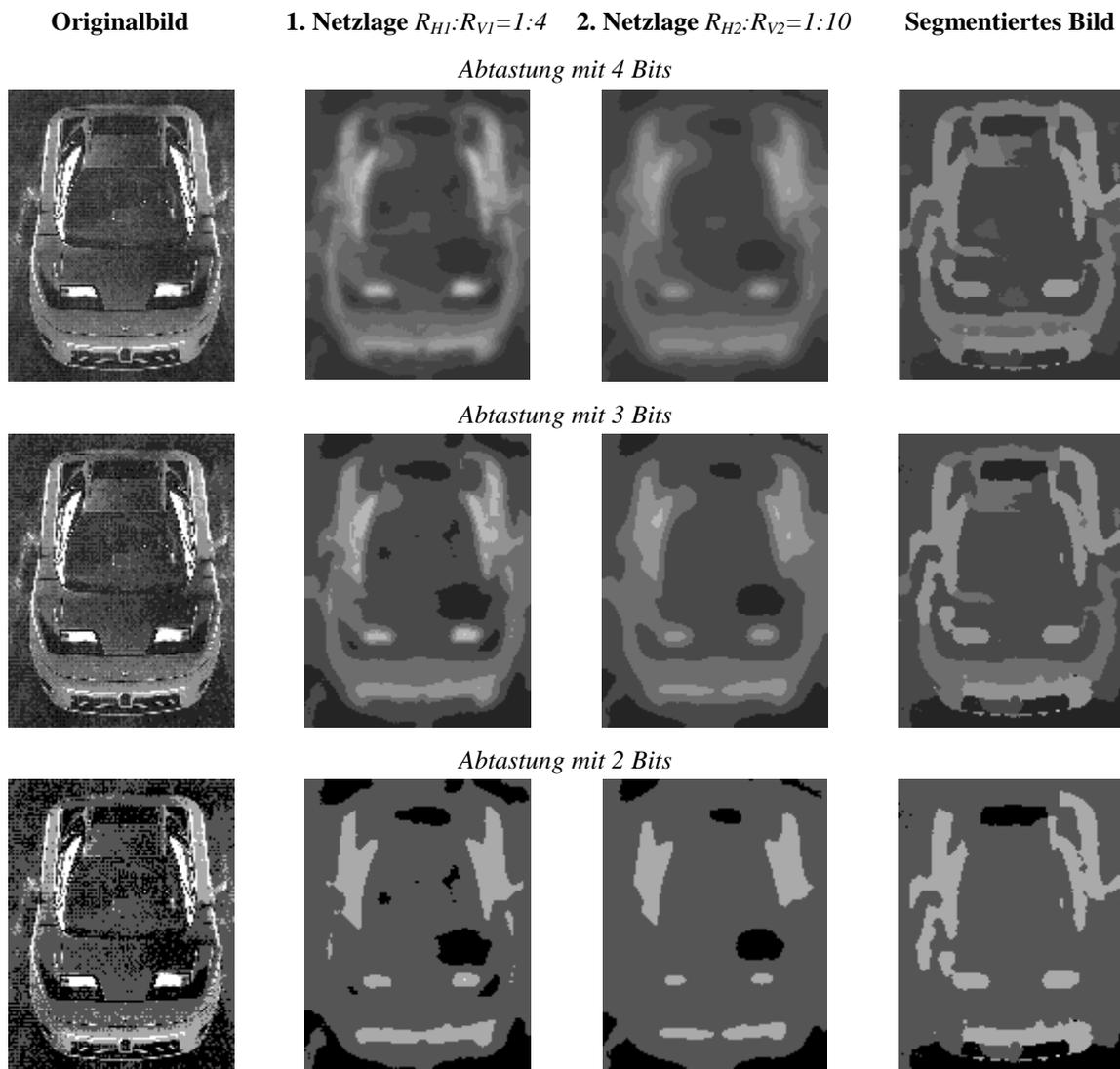


Abb. 4.16: Simulationsergebnisse des Originalbildes „bugatti1.ppm“, der beiden tiefpaßgefilterten Bilder und des segmentierten Bildes bei einer Abtastung pro Bildpunkt mit 4, 3 und 2 Bits (16, 8 und 4 Graustufen)

- Zum weiteren Vergleich wurde zusätzlich das Bild *BeachGrl.ppm* der Größe 480 x 512 Bildpunkte herangezogen.



Abb. 4.17: Originalbild "BeachGrl.ppm" (480x512 Punkte; 8 Bit) und segmentiertes Bild bei Widerstandsverhältnissen von 1:4 (10 k Ω :40 k Ω) und 1:10 (4 k Ω :40 k Ω)

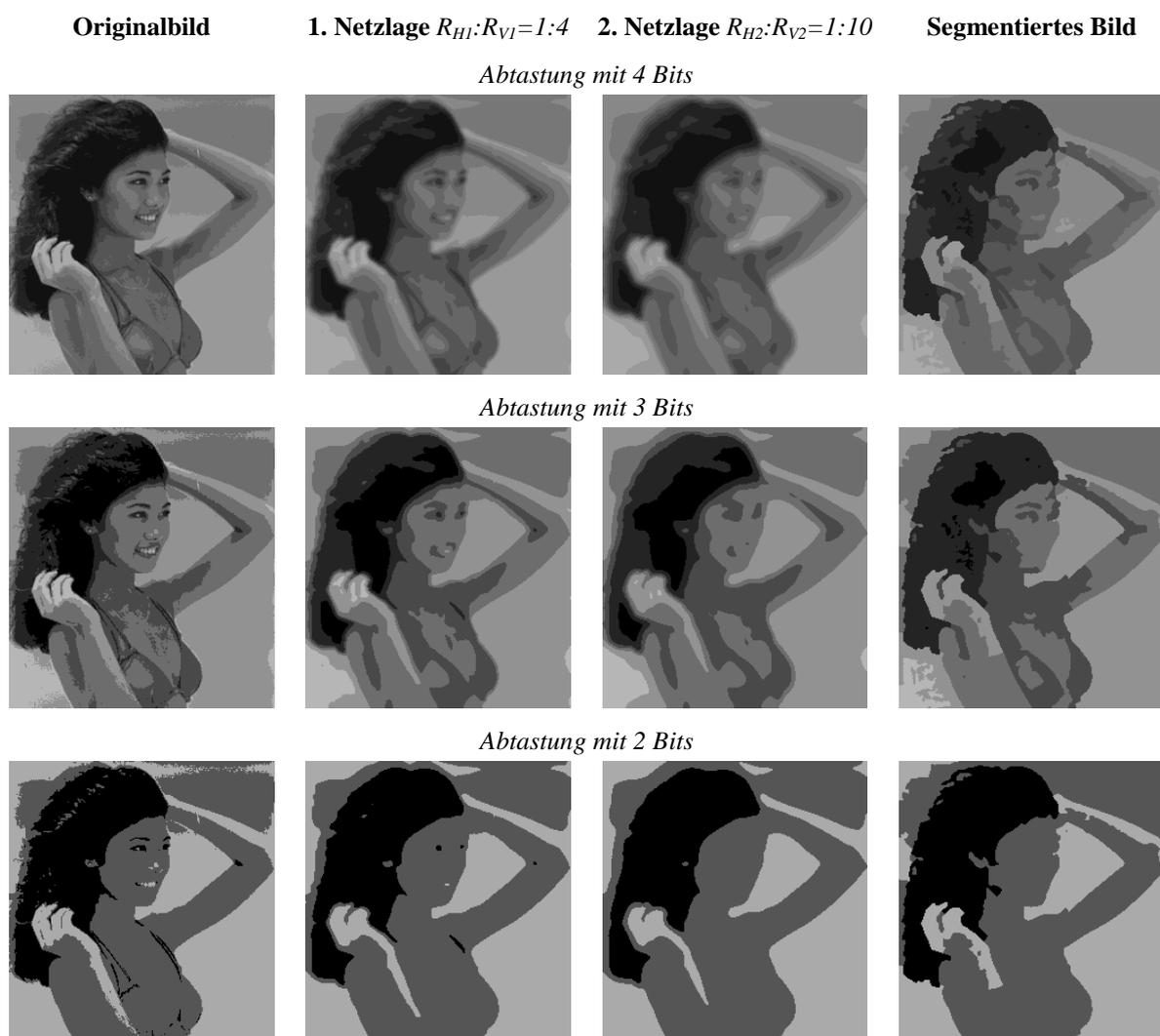


Abb. 4.18: Simulationsergebnisse des Originalbildes "BeachGrl.ppm", der beiden tiefpaßgefilterten Bilder und des segmentierten Bildes bei einer Abtastung pro Bildpunkt mit 4, 3 und 2 Bits (16, 8 und 4 Graustufen)

Auch hier zeigt sich wieder bei den abgetasteten Bildern, daß das abgetastete Originalbild zu „ausgefranzten“ Flächen neigt, während eine Abtastung der tiefpaßgefilterten Signale „verwaschene“ Flächen liefern. Nur das segmentierte Bild liefert rauschreduzierte, mit den erkannten Kanten abschließende Flächen.

4.5 Implementierung des segmentierenden Netzwerks

4.5.1 Blockschaltbild

Das Blockschaltbild in Abb. 4.19 zeigt den Aufbau zweier Knoten eines eindimensionalen, gemultiplexten zweilagig-parallelen Widerstandsnetzwerkes zur Kantenerkennung und Segmentierung.

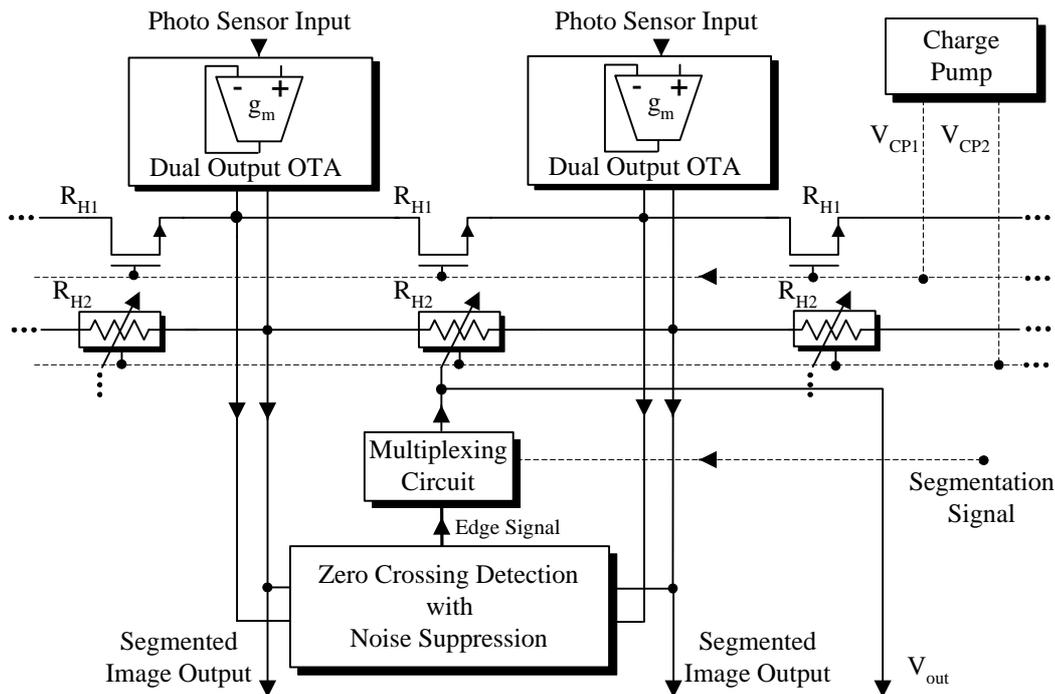


Abb. 4.19: Vereinfachtes Blockschaltbild des segmentierenden Netzwerks (Aufbau zweier Knoten)

Über CMOS-Photosensoren z.B. gemäß [92] wird das Bildsignal aufgenommen. Je nach Intensität des einfallenden Lichtes an den einzelnen Bildpunkten wird das aufgenommene Bildsignal von den Sensoren in Spannungswerte umgewandelt und in ein zweilagig-paralleles Widerstandsnetzwerk gespeist.

Die beiden parallelen Vertikalwiderstände besitzen hierbei den gleichen festen Widerstandswert und werden durch ein „Dual Output OTA“ realisiert (siehe Kapitel 5). Diese OTAs dienen dabei gleichzeitig zum lastfreien Abgriff des Bildsignals.

Als Horizontalwiderstände in den beiden parallelen Netzlagen werden einzelne MOS-Transistoren eingesetzt (siehe Kapitel 6). Um den Betrieb der MOS-Transistoren im linearen Bereich zu gewährleisten, werden diese durch Spannungen $V_{CP1,CP2}$ angesteuert, die größer sind als die Betriebsspannung V_{DD} . Diese Spannungen werden durch eine Ladungspumpe nach [24] on-Chip generiert. Durch die unterschiedlichen Spannungen $V_{CP1,CP2}$ können hierbei die Widerstandswerte der Horizontalwiderstände verändert bzw. variiert werden. Dadurch erhält man verschiedene Widerstandsverhältnisse $R_h:R_v$, die eine Detailregulierung im Kantentbild ermöglicht.

In der Kantenerkennungsphase ist das Steuersignal „*Segmentation Signal*“ auf Low-Pegel gesetzt, und das Eingangsbild wird in beiden Widerstandslagen unterschiedlich räumlich-tiefpaßgefiltert. Binäre Kantensignale erhält man anschließend durch die Feststellung der Nulldurchgänge im Differenzbild zweier benachbarter Knoten. Die binäre Kanteninformation wird anschließend in der nachfolgenden Multiplexerschaltung gespeichert.

In der Segmentierungsphase (Stereosignal „*Segmentation Signal*“ auf High-Pegel) regelt die Multiplexerschaltung den Horizontalwiderstand R_{H2} der zweiten Netzwerklage bei einer erkannten Kante auf einen hochohmigen Wert, bei keiner Kante auf einen niederohmigen Wert. Dadurch wird das Bildsignal in der zweiten Netzlage segmentiert und kann im nächsten Schritt ausgelesen werden.

Für die Simulationen des Netzwerks wurde wie zuvor erwähnt ein approximatives Berechnungsverfahren angesetzt, das die Umladungsvorgänge im Netzwerk in Zeitscheiben simuliert. Bei den simulierten Widerstandsverhältnissen betrug die Anzahl der Rechenschritte (Zeitscheiben) für die Bandpaßfilterung ca. 3000 und die für die Segmentierung ca. 6500. Bei allen Simulationen wurde ein Zeitabschnitt von 10ns pro Rechenschritt angesetzt. Daraus ergibt sich für die Kantenerkennung eine Verarbeitungsgeschwindigkeit von etwa $30 \mu\text{s}$ und für die Segmentierung eine Verarbeitungsgeschwindigkeit von $65 \mu\text{s}$; zusammen überschlägig $100 \mu\text{s}$. Dies würde eine Bildverarbeitung mit einer maximalen Bildfrequenz von 10 kHz ermöglichen.

4.5.2 Zero-Crossing Verfahren

Für die Kantenerkennung ist ein Zero-Crossing-Detection-Verfahren erforderlich, das die Nulldurchgänge im Differenzbild zweier Nachbarknoten erkennt. In dieser Arbeit wird ein neuer Algorithmus zur Feststellung dieser Nulldurchgänge vorgestellt, der gegenüber der konventionellen Methode in der Implementierung eine deutliche Vereinfachung des schaltungstechnischen Aufwands aufweist.

Zunächst wird die *konventionelle Methode* der Nulldurchgangserkennung nach [7] in Abb. 4.20 dargestellt.

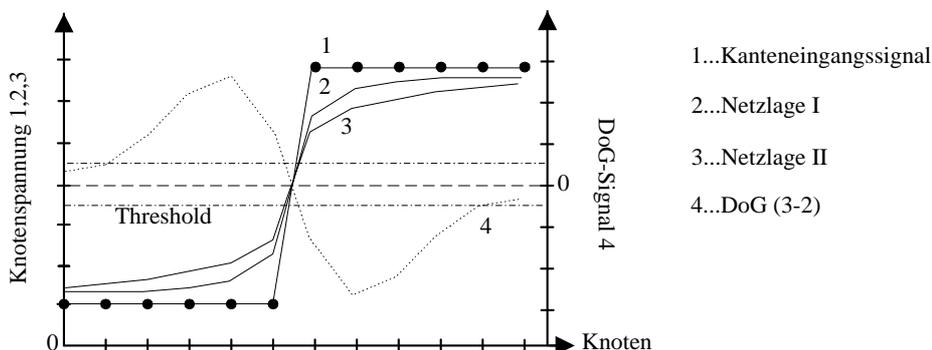


Abb. 4.20: Konventionelle Methode der Nulldurchgangserkennung (schematische Darstellung)

Für die Kantenerkennung wird zunächst die Differenz der beiden räumlich tiefpaßgefilterten Kantensignale des zweilagigen Netzwerks gebildet (*DoG*) und anschließend dessen Nulldurchgang ermittelt. Um die Erkennung von fehlerhaften Nulldurchgängen, die z. B. durch

Rauschen verursacht werden können, zu unterdrücken, werden zwei Schwellen *Threshold* eingefügt, die vom Betrag her gleich sind. Die schaltungstechnische Realisierung dieses Zero-Crossing-Verfahrens ist in Abb. 4.21 dargestellt.

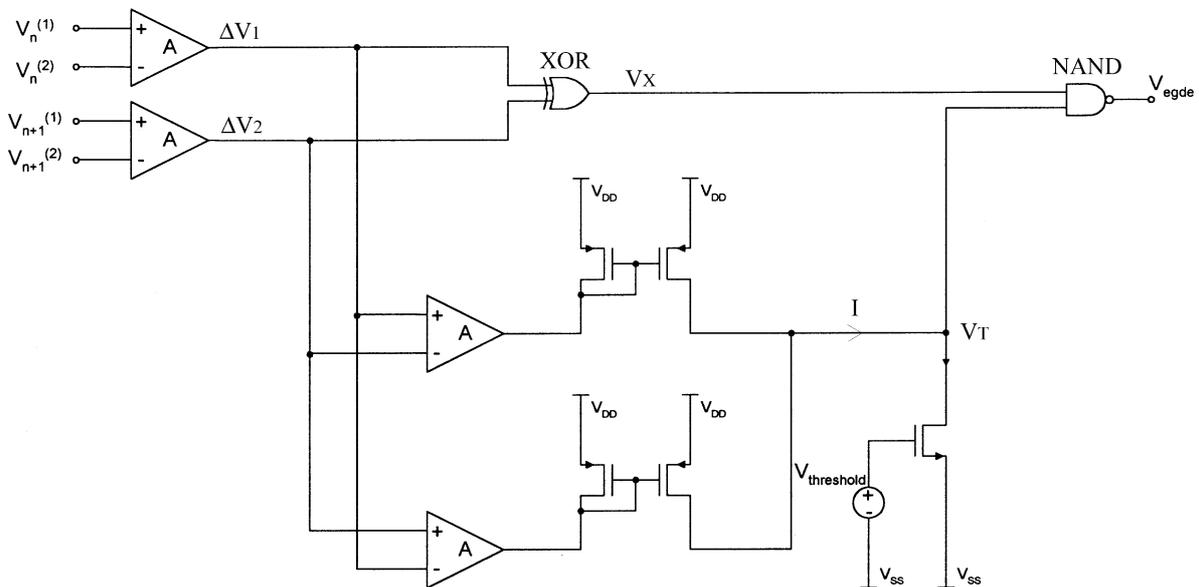


Abb. 4.21: Schaltungstechnische Realisierung des konventionellen Zero-Crossing-Verfahrens

Befindet sich eine Kante zwischen den beiden Knoten n und $n+1$, so ergeben sich durch die Differenzbildung Spannungen ΔV_1 und ΔV_2 mit unterschiedlichem Vorzeichen. In diesem Fall ergibt sich nach dem XOR-Gatter ein High-Signal (siehe Tab. 4.1).

ΔV_1	ΔV_2	V_x
L	L	L
L	H	H
H	L	H
H	H	L

Tab. 4.1: Signale des XOR-Gatters der Abb. 4.21

Zudem wird überprüft, ob der Betrag $|\Delta V_1 - \Delta V_2|$ eine Schwelle V_{thres} überschreitet. Trifft dies zu, liegt an V_T ein High-Signal an. Dieses V_T -Signal wird anschließend durch ein NAND-Gatter mit dem Signal V_x verglichen. Falls eine Kante detektiert wurde, ergibt sich am Ausgang des NAND-Gatters für V_{edge} ein Low-Signal (siehe Tab. 4.2).

V_x	V_T	V_{edge}
L	L	H
L	H	H
H	L	H
H	H	L

Tab. 4.2: Signale des NAND-Gatters der Abb. 4.21

Von erheblichem Nachteil der konventionellen Methode zur Nulldurchgangsbestimmung ist allerdings der große schaltungstechnische Hardwareaufwand.

Die *neue Methode zur Nulldurchgangserkennung* nach Abb. 4.22, ermöglicht hingegen eine Reduktion des Hardwareaufwandes bei der Implementierung.

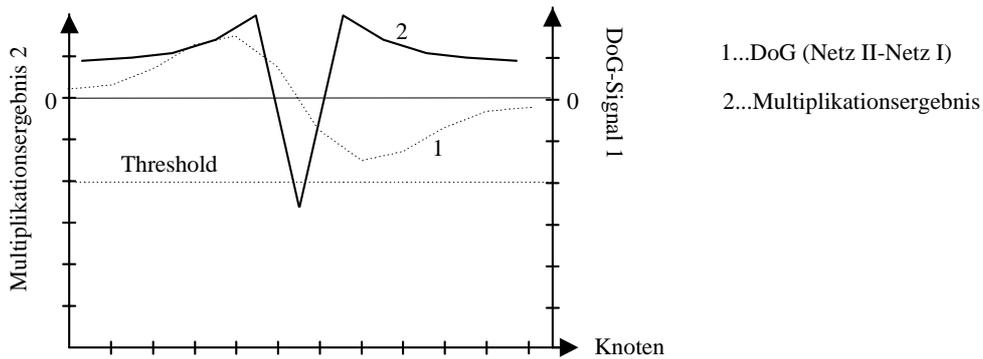


Abb. 4.22: Neue Methode der Nulldurchgangserkennung durch Multiplikation benachbarter DoG-Signale (schematische Darstellung)

Auch hier wird zunächst die Differenz der beiden tiefpaßgefilterten Signale gebildet, um das DoG-bandpaßgefilterte Signal zu erhalten. Zur Kantenerkennung müssen nun die Nulldurchgänge in diesem Signal ermittelt werden. Dazu werden jeweils zwei benachbarte Potentialdifferenzen miteinander multipliziert. Das Produkt ist nur im Falle eines Nulldurchgangs zwischen zwei Nachbarknoten negativ; d.h. das Vorzeichen des Produkts allein ist entscheidend für die Kantenerkennung. Anschließend wird das Produkt mit einem einstellbaren Schwellwert *Threshold* verglichen, der kleiner oder gleich Null ist. Dadurch ist es möglich, z.B. durch Rauschen entstandene fehlerhafte Nulldurchgänge herauszufiltern.

Die schaltungstechnische Realisierung der neuen Zero-Crossing-Methode zeigt die Abb. 4.23. Mit Hilfe eines Analog-Gilbert-Multiplizierers mit nachgeschaltetem Stromkomparator als Schwelle kann eine Nulldurchgangserkennung ermöglicht werden. (Eine ausführlichere Schaltungsbeschreibung erfolgt in Kapitel 8).

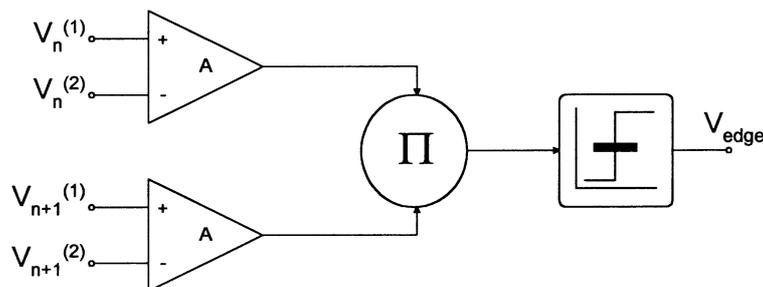


Abb. 4.23: Schaltungstechnische Realisierung des neuen Zero-Crossing-Verfahrens (vereinfachte Darstellung)

Durch die neue Methode der Nulldurchgangserkennung wird im Vergleich zur konventionellen Methode eine Reduzierung der Hardware um bis zu

$$33\% \approx \frac{\text{Anzahl MOST}_{\text{konventionelle}} - \text{Anzahl MOST}_{\text{neue Methode}}}{\text{Anzahl MOST}_{\text{konventionelle}}} = \frac{39 - 26}{39}$$

in der Anzahl der verwendeten Transistoren ermöglicht.

5 Realisierung der Vertikalwiderstände

Die CMOS-Photosensoren nach [92] wandeln das optische Bildsignal in eine elektrische Spannung, die als Eingangssignal das zweilagig-parallele Widerstandnetzwerk speist. Dabei beträgt die Änderung der Ausgangsspannung der Sensoren ca. $\Delta V_{out}=5\text{ V}$, bei einer Variation der Beleuchtungsstärke B von Dunkelheit ($B=10^{-3}\text{ lux}$) bis zur maximalen Helligkeit ($B=10^6\text{ lux}$). Um den Sensor, der die Eingangsspannung für das bildvorverarbeitende Netzwerk liefert, nicht zu belasten, sollte die Eingangsschaltung einen hohen Eingangswiderstand besitzen und gleichzeitig am Ausgang eine möglichst lineare Widerstandskennlinie aufweisen. Die **Anforderungen** für den vertikalen Widerstand ergeben sich somit einerseits durch die Ausgangssignale der Photosensoren, die über die Vertikalwiderstände das Netz speisen, und andererseits durch die Ergebnisse der zuvor durchgeführten Softwaresimulationen:

- Widerstandswert: $R \approx 40\text{ k}\Omega$ (bei gleichzeitigem lastfreien Abgriff)
- Aussteuerbereich²: $\Delta V_{in} = \pm 1,5\text{ V}$

Konventionelle Methoden zur Realisierung von Vertikalwiderständen in Widerstandsnetzwerken basieren auf einstufige rückgekoppelte Differenzverstärker [7][8][70][75]. Dabei wird bei gleichzeitigem lastfreien Abgriff des Sensors, der Vertikalwiderstand durch die Steiheit g_m der Eingangstransistoren des Verstärkers realisiert. Ein wesentlicher Nachteil stellt allerdings die hohe Nichtlinearität der Widerstandskennlinie dar, da diese von den Eingangsspannungen abhängig ist (siehe Abschnitt 5.1). Dadurch wird die Empfindlichkeit bei der Kantenerkennung beeinträchtigt: Eine Änderung des Widerstandswertes verursacht eine Änderung des Widerstandsverhältnisses $R_h:R_v$, das die Stärke der Glättung bestimmt. Somit wäre die Knotenpotentialdifferenz kein eindeutiges Maß mehr für die Kantenstärke. Daher werden in dieser Arbeit zweistufige gegengekoppelte Differenzverstärker untersucht, die eine höhere Linearität aufweisen; allerdings auf Kosten eines erhöhten Schaltungsaufwandes. Ziel ist folglich eine zusätzliche Optimierung des Schaltungsaufwandes, um mit möglichst geringem Hardwareaufwand eine höhere Linearität zu erreichen.

In diesem Kapitel wird zunächst in Abschnitt 5.1 der einstufige gegengekoppelte Differenzverstärker auf sein Widerstandsverhalten untersucht. Anschließend wird in Abschnitt 5.2 der zweistufige gegengekoppelte Differenzverstärker nach [111] als Vertikalwiderstand betrachtet. Basierend auf diesen zweistufigen Differenzverstärker wird in Abschnitt 5.3 eine speziell an das zweistufige parallele Widerstandsnetzwerk optimierte Implementierungsmöglichkeit der Vertikalwiderstände vorgestellt. Abschließend erfolgt in Abschnitt 5.4 ein Vergleich der vorgestellten Implementierungsmöglichkeiten des Vertikalwiderstandes hinsichtlich der Linearität und des Schaltungsaufwandes.

² Obgleich der Aussteuerbereich der Sensoren nach [92] 5 V beträgt, werden die Schaltungsmodul für einen Aussteuerbereich von 3 V dimensioniert, um kleinere W- bzw. L-Werte zu erhalten. 5 V stellt die „maximale Kante“ der Sensorausgangskennlinien dar, die mit „3 V-optimierten“ Schaltungsmodulen auf jeden Fall erkannt werden können, auch wenn sie dabei jeweils im Sättigungsbereich arbeiten.

5.1 Gegengekoppelter Differenzverstärker

5.1.1 Betrachtung ohne Lastwiderstand

In der Elektronik wird der in Abb. 5.1 dargestellte gegengekoppelte Differenzverstärker aufgrund seines hohen Eingangswiderstandes und seiner hohen Verstärkung beispielsweise zum möglichst lastfreien Abgriff von Spannungen verwendet.

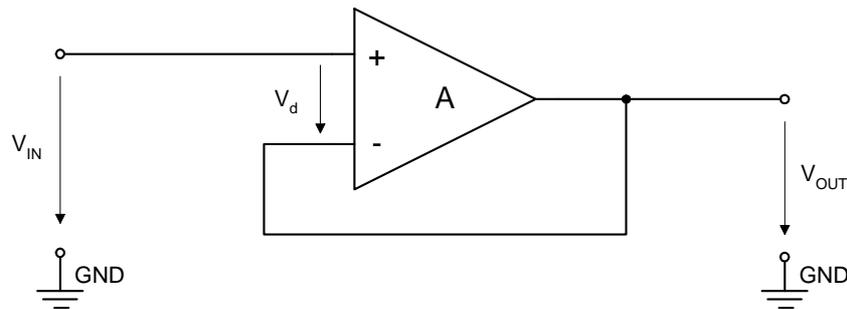


Abb. 5.1: Gegengekoppelter Differenzverstärker
(Eingangsspannung V_{in} , Differenzeingangsspannung V_d , Ausgangsspannung V_{out} , Verstärkung A)

Betrachtet man den unbelasteten Fall des gegengekoppelten Differenzverstärkers, so ergibt sich mit

$$V_d = V_{IN} - V_{OUT} \quad (5.1)$$

für die Ausgangsspannung V_{out} :

$$\begin{aligned} V_{OUT} &= A (V_{IN} - V_{OUT}) \\ &= A V_{IN} - A V_{OUT} \\ \Rightarrow V_{OUT} + A V_{OUT} &= A V_{IN} \\ V_{OUT} (1 + A) &= A V_{IN} \\ \Rightarrow V_{OUT} &= \frac{A V_{IN}}{1 + A} = \frac{V_{IN}}{1 + \frac{1}{A}} \end{aligned} \quad (5.2)$$

Falls die Verstärkung $A \gg 1$ ist, entspricht die Ausgangsspannung V_{out} ungefähr der Eingangsspannung V_{in} :

$$V_{OUT} \approx V_{IN} \quad \text{mit } A \gg 1 \quad (5.3)$$

Diese Betrachtung gilt allerdings nur für den Fall, daß der Ausgangswiderstand des gegengekoppelten Differenzverstärkers wesentlich kleiner ist als der Lastwiderstand. Für den belasteten Fall wie z.B. im Netz der künstlichen Retina, ist die Gl. (5.3) ungültig.

5.1.2 Betrachtung mit Lastwiderstand

Für den Einsatz des gegengekoppelten Differenzverstärkers als Vertikalwiderstand im Widerstandsnetzwerk, muß der Fall einer ohmschen Belastung nach Abb. 5.2 betrachtet werden.

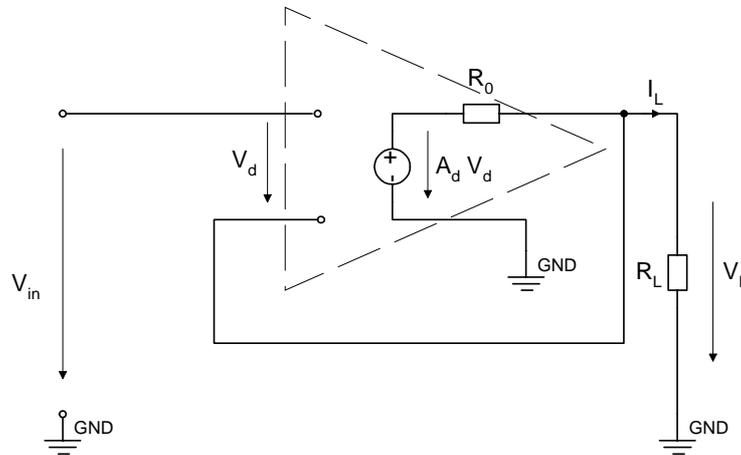


Abb. 5.2: Ersatzschaltbild des einstufigen, gegengekoppelten Differenzverstärkers bei einer ohmschen Belastung

Um den Ausgangswiderstand des belasteten gegengekoppelten Differenzverstärkers zu berechnen, wird zunächst die Differenzeingangsspannung V_d aus der Differenz der Eingangsspannung V_{in} und der Ausgangsspannung V_L bestimmt:

$$V_d = V_{in} - V_L \quad (5.4)$$

Zusätzlich wird der Ausgangsstrom I_L bestimmt. Zur besseren Übersicht wird dafür die Ausgangsschleife des Ersatzschaltbildes in Abb. 5.3 deutlicher dargestellt.

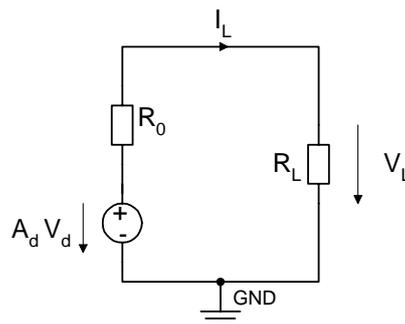


Abb. 5.3: Ausgangsschleife des Ersatzschaltbildes des gegengekoppelten Differenzverstärkers

Der Ausgangsstrom I_L ergibt sich aus dem Spannungsabfall über R_0 bzw. über R_L zu:

$$I_L = \frac{A_d V_d - V_L}{R_0} = \frac{V_L}{R_L}. \quad (5.5)$$

Setzt man in diese Stromgleichung die Gl. (5.4) ein, so läßt sich die Eingangsspannung V_{in} bestimmen zu:

$$\begin{aligned}
I_L &= \frac{V_L}{R_L} = \frac{A_d (V_{in} - V_L) - V_L}{R_0} = \frac{A_d}{R_0} \left(V_{in} - V_L - \frac{V_L}{A_d} \right) \\
\Rightarrow \quad V_{in} - V_L - \frac{V_L}{A_d} &= \frac{R_0}{A_d R_L} V_L \\
\Rightarrow \quad V_{in} &= V_L \left(1 + \frac{1}{A_d} + \frac{R_0}{A_d R_L} \right) \tag{5.6}
\end{aligned}$$

Unter der Voraussetzung, daß die Differenzverstärkung für einen einstufigen Differenzverstärker $A_d = g_{mi} R_0 \gg 1$ ist und $R_L < R_0$ gilt, kann die Gl. (5.6) vereinfacht werden zu:

$$V_{in} \approx V_L \left(1 + \frac{1}{g_{mi} R_L} \right) \tag{5.7}$$

Um die Interpretation dieser Gleichung als einen Spannungsteiler zu verdeutlichen, erfolgt zunächst die folgende Umformung der Gl. (5.7):

$$\begin{aligned}
V_L &= V_{in} \frac{1}{1 + \frac{1}{g_{mi} R_L}} = V_{in} \frac{1}{\frac{g_{mi} R_L + 1}{g_{mi} R_L}} = V_{in} \frac{g_{mi} R_L}{1 + g_{mi} R_L} \\
V_L &= V_{in} \frac{R_L}{\frac{1}{g_{mi}} + R_L} \tag{5.8}
\end{aligned}$$

Diese Gleichung beschreibt einen Spannungsteiler der Widerstände R_L und $1/g_{mi}$:

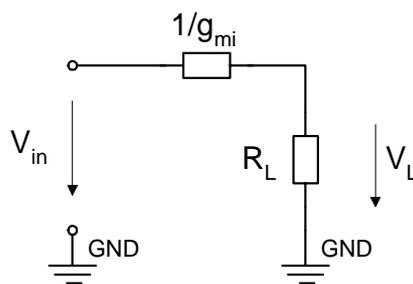


Abb. 5.4: Ersatzschaltbild des gegengekoppelten Differenzverstärkers bei einer ohmschen Belastung

Somit kann der gegengekoppelte Differenzverstärker als Widerstand interpretiert werden mit:

$$R_{0,\text{einstufig}} = \frac{1}{g_{mi}} \tag{5.9}$$

5.1.3 Betrachtung mit Lastwiderstand (Großsignalverhalten)

Nachdem die Gültigkeit des einstufigen gegengekoppelten Differenzverstärkers als Vertikalwiderstand mit Hilfe der Kleinsignalparameter gezeigt wurde, werden im folgenden Effekte berücksichtigt, die durch einen großen Aussteuerbereich um den Arbeitspunkt auftreten. Es wird gezeigt, daß der gegengekoppelte Differenzverstärker bei Belastung mit einem ohmschen Widerstand auch für Großsignale als ohmscher Widerstand interpretiert werden kann.

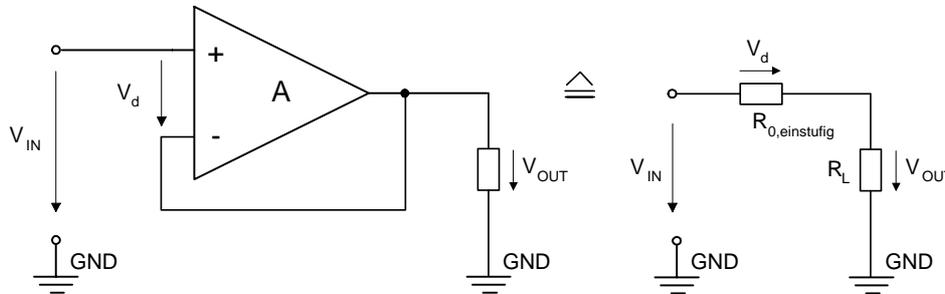


Abb. 5.5: Symbolische Interpretation des gegengekoppelten Differenzverstärkers als Widerstand (mit Lastwiderstand am Ausgang)

Es wird der lineare mathematische Zusammenhang zwischen der Differenzeingangsspannung V_d und dem Ausgangsstrom I_{out} hergeleitet. Dazu wird die schaltungstechnische Realisierung der Abb. 5.5 betrachtet.

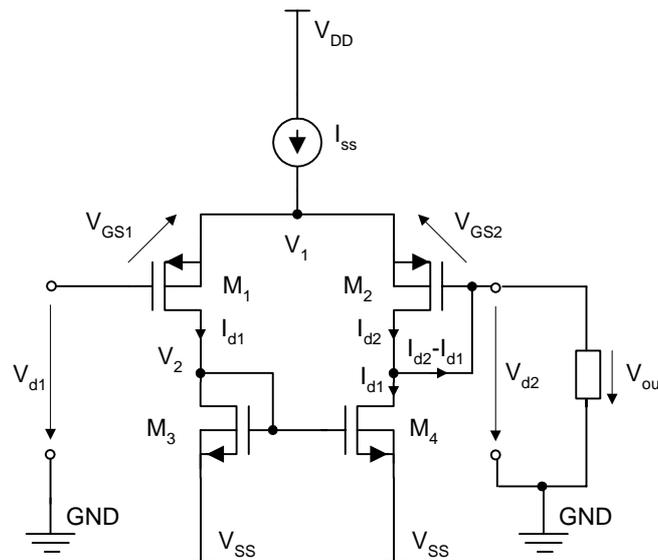


Abb. 5.6: Single-Ended-Differenzverstärker mit Lastwiderstand

Die Differenzeingangsspannung V_d des Single-Ended-Differenzverstärkers setzt sich aus der Differenz der Eingangsspannungen V_{d1} und V_{d2} zusammen:

$$V_d = V_{d1} - V_{d2} = V_{GS1} - V_{GS2} \quad (5.10)$$

Die Ausgangsspannung V_{out} ist abhängig vom Ausgangsstrom I_{out} , der sich aus der Differenz der beiden Drainströme I_{d1} und I_{d2} zusammensetzt:

$$I_{out} = I_{d2} - I_{d1} \quad (5.11)$$

Unter Vernachlässigung des Kurzkanaleffektes wird die Drainstromgleichung

$$I_d = \frac{K}{2} (V_{GS} - V_T)^2 \quad (5.12)$$

nach der Gate-Source-Spannung V_{GS} umgeformt:

$$V_{GS} = \left(\frac{2 I_d}{K} \right)^{\frac{1}{2}} + V_T \quad (5.13)$$

Setzt man diese Gleichung in die Gl. (5.10) ein, erhält man:

$$V_d = \left(\frac{2 I_{d1}}{K} \right)^{\frac{1}{2}} + V_T - \left(\frac{2 I_{d2}}{K} \right)^{\frac{1}{2}} - V_T = \left(\frac{2 I_{d1}}{K} \right)^{\frac{1}{2}} - \left(\frac{2 I_{d2}}{K} \right)^{\frac{1}{2}} \quad (5.14)$$

Wird diese Gleichung quadriert, ergibt sich:

$$V_d^2 = \frac{2 I_{d1}}{K} - \frac{4}{K} \sqrt{I_{d1} I_{d2}} + \frac{2 I_{d2}}{K} \quad (5.15)$$

Ersetzt man anschließend in dieser Gleichung den Drainstrom I_{d2} durch die Beziehung

$$I_{d2} = I_{SS} - I_{d1}, \quad (5.16)$$

so folgt:

$$\begin{aligned} \frac{K V_d^2}{2} &= I_{d1} - 2 \sqrt{I_{d1} (I_{SS} - I_{d1})} + I_{SS} - I_{d1} \\ \left(\frac{K V_d^2}{4} - \frac{I_{SS}}{2} \right)^2 &= I_{d1} I_{SS} - I_{d1}^2 \\ \Rightarrow I_{d1}^2 - I_{SS} I_{d1} + \left(\frac{K V_d^2}{4} - \frac{I_{SS}}{2} \right)^2 &= 0 \end{aligned} \quad (5.17)$$

Die Lösung dieser quadratischen Gleichung liefert für den Strom I_{d1} :

$$I_{d1,2} = \frac{I_{SS}}{2} \pm \sqrt{\frac{I_{SS}^2}{4} - \left(\frac{K V_d^2}{4} - \frac{I_{SS}}{2} \right)^2} = \frac{I_{SS}}{2} \pm \frac{I_{SS}}{2} \sqrt{-\frac{K^2 V_d^4}{4 I_{SS}^2} + \frac{K V_d^2}{I_{SS}}} \quad (5.18)$$

Entsprechend erhält man unter Berücksichtigung der Gl. (5.16) für den Strom I_{d2} :

$$I_{d2,1,2} = \frac{I_{SS}}{2} \pm \frac{I_{SS}}{2} \sqrt{\frac{K}{I_{SS}} V_d^2 - \frac{K^2}{4 I_{SS}^2} V_d^4} \quad (5.19)$$

Damit ergibt sich nach Gl. (5.11) für den Ausgangsstrom $I_{out}=I_{d2}-I_{d1}$:

$$I_{out,2} = \left(\frac{I_{SS}}{2} \pm \frac{I_{SS}}{2} \sqrt{\frac{K}{I_{SS}} V_d^2 - \frac{K^2}{4 I_{SS}^2} V_d^4} \right) - \left(\frac{I_{SS}}{2} \pm \frac{I_{SS}}{2} \sqrt{\frac{K}{I_{SS}} V_d^2 - \frac{K^2}{4 I_{SS}^2} V_d^4} \right)$$

$$\Rightarrow I_{out,2} = \pm I_{SS} \sqrt{\frac{K}{I_{SS}} V_d^2 - \frac{K^2}{4 I_{SS}^2} V_d^4} \quad (5.20)$$

-Term 1- -Term 2-

Diese Gleichung ist allerdings nur gültig für:

$$\frac{K}{I_{SS}} V_d^2 - \frac{K^2}{4 I_{SS}^2} V_d^4 \geq 0 \quad (5.21)$$

Eine Umformung dieser Bedingung ergibt:

$$1 - \frac{K}{4 I_{SS}} V_d^2 \geq 0 \quad \Rightarrow \quad \frac{K}{4 I_{SS}} V_d^2 \leq 1 \quad (5.22)$$

Um eine Widerstandskennlinie zu erhalten, ist eine lineare Abhängigkeit zwischen der Spannung V_d und dem Strom I_{out} notwendig. Diese ist in Gl. (5.20) nur gegeben, falls der zweite Term innerhalb der Wurzel ($K^2 V_d^4 / 4 I_{SS}^2$) vernachlässigt werden kann. Es gilt zu zeigen, daß der erste Term innerhalb der Wurzel sehr viel größer ist als der zweite:

$$\frac{K}{I_{SS}} V_d^2 \gg \frac{K^2}{4 I_{SS}^2} V_d^4$$

$$\Rightarrow \frac{K}{4 I_{SS}} V_d^2 \gg \frac{K^2}{16 I_{SS}^2} V_d^4 = \frac{K}{4 I_{SS}} V_d^2 \cdot \frac{K}{4 I_{SS}} V_d^2 \quad (5.23)$$

-Term 1- -Term 2-

Wendet man die Gl. (5.22) auf die beiden Terme der Gl. (5.23) an, so ist selbst die Gültigkeit der Gl. (5.22) bewiesen. Daher kann der zweite Term der Gl. (5.20) vernachlässigt werden, so daß man schließlich einen linearen Zusammenhang zwischen I_{out} und V_d erhält:

$$I_{out} = I_{SS} \sqrt{\frac{K}{I_{SS}} V_d^2} = \sqrt{K I_{SS}} V_d \quad (5.24)$$

Somit stellt der einstufige gegengekoppelte Differenzverstärker auch für Großsignale einen Widerstand dar, mit

$$R_{0,einstufig} = \frac{V_d}{I_{out}} = \frac{1}{\sqrt{K I_{SS}}} = \frac{1}{\sqrt{\mu_p c_{ox} \frac{W}{L} I_{SS}}} \quad (5.25)$$

5.1.4 Simulation des einstufigen gegengekoppelten Differenzverstärkers

- **Dimensionierung**

Der Differenzverstärker nach Abb. 5.6 soll in einem Spannungsbereich von $\Delta V_{in,max} = \pm 1,5 \text{ V}$ einen möglichst linearen Widerstand von $R=40 \text{ k}\Omega$ aufweisen. Mit Hilfe der Gl. (5.25) und den in der Literatur bereits vielfach hergeleiteten Dimensionierungsvorschriften für einen Differenzverstärker [2][35][36], ergeben sich die Transistordimensionierungen der Tabelle 5.1.

Transistoren	Transistordimensionen	
	W/ μm	L/ μm
M ₁ , M ₂	3	2,4
M ₃ , M ₄	2	1,2
M _{I_{SS}}	6	1,2

Tabelle 5.1: Dimensionierung der Transistoren des Differenzverstärkers (Abb. 5.6)

- **Simulationsergebnisse**

Um das Verhalten des einstufigen, gegengekoppelten Differenzverstärkers als Vertikalwiderstand zu untersuchen, wird die Schaltung nach Abb. 5.6 simuliert. Der Ausgang der Schaltung wurde zur Messung auf Masse gelegt, um den belasteten Fall für die Anwendung im Widerstandsnetzwerk zu untersuchen:

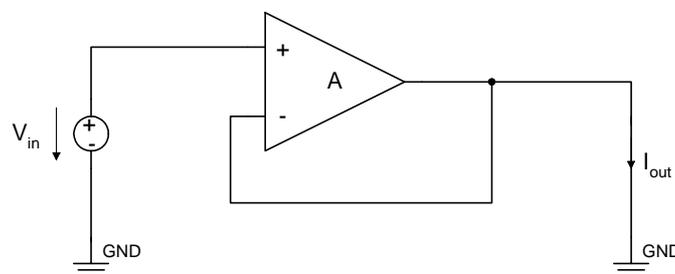


Abb. 5.7: Testschaltung zur Messung des Ausgangsstroms

Die Eingangsspannung V_{in} entspricht hierbei der Spannung, die über den Differenzverstärker abfällt. Durch Messen des Ausgangsstroms I_{out} kann der Widerstand bestimmt werden, der durch den einstufigen Differenzverstärker abgebildet wird. Die Abb. 5.8 zeigt die gemessene Kennlinie des Ausgangsstroms I_{out} in Abhängigkeit der Eingangsspannung V_{in} .

Eine lineare Abhängigkeit zwischen dem Ausgangsstrom und der Eingangsspannung in Abb. 5.8 besteht nur für kleine Eingangsspannungen. Bei größeren Eingangsspannungen hingegen treten starke Abweichungen von der idealen Kennlinie eines ohmschen Widerstandes auf.

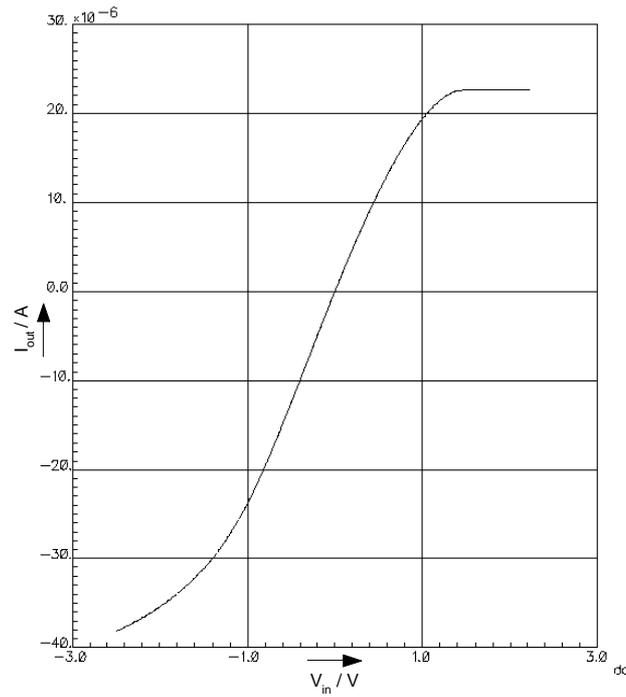


Abb. 5.8: Kennlinie des Ausgangsstroms I_{out} des einstufigen, gegengekoppelten Differenzverstärkers

Aufgrund der nichtlinearen Stromkennlinie folgt eine nichtlineare Widerstandskennlinie nach Abb. 5.9:

$$R(V_{in}) = \frac{V_{in}}{I_{out}(V_{in})}$$

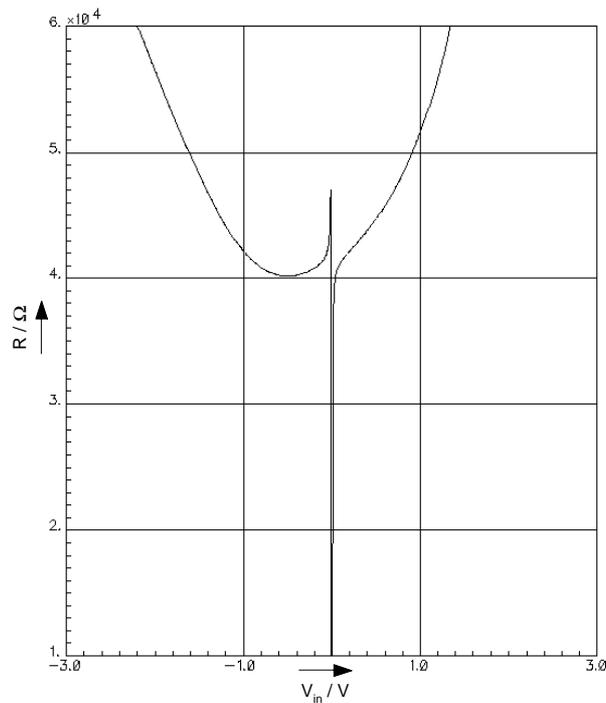


Abb. 5.9: Widerstandskennlinie des einstufigen, gegengekoppelten Differenzverstärkers

Der geforderte Widerstand von $R=40\text{ k}\Omega$ wird nur bei kleinen Spannungen um $V_{in}=0\text{ V}$ erreicht. Die „Spitzen“ in der Kennlinie folgen aus dem Offset der Stromkennlinie. Die maximale relative Änderung des Widerstandes im geforderten Aussteuerbereich von $\Delta V_{in,max}=\pm 1,5\text{ V}$ beträgt

$$\frac{\Delta R_{\max}}{R} = 30\% . \quad (5.26)$$

Der Anstieg des Widerstandswertes bei großen Spannungsabfällen beeinflusst die Glättung der Eingangspotentiale im Widerstandsnetz, da das Verhältnis der horizontalen und der vertikalen Widerstände die Stärke der Glättung des Netzes bestimmt. Somit ist in diesem Fall die Knotenpotentialdifferenz zweier benachbarter Knotenpotentiale kein eindeutiges Maß für die Kantenstärke. Dies schränkt die Empfindlichkeit für die Kantenerkennung ein. Daher werden weitere Schaltungen für die Realisierung von Vertikalwiderständen untersucht, die einen größeren linearen Verlauf des Ausgangsstromes aufweisen.

5.2 Linearisierter OTA

Im vorherigen Abschnitt wurde gezeigt, daß die Linearität der Ausgangsstromkennlinie eines einstufigen gegengekoppelten Differenzverstärkers bei einer Belastung nur für einen kleinen Aussteuerbereich erreichbar ist. In diesem Abschnitt wird eine Linearisierungstechnik nach Z. Wang vorgestellt [111][112], durch die der Linearitätsbereich vergrößert werden kann. Das Grundprinzip besteht darin, nicht die Steilheit g_m des Differenzverstärkers als Vertikalwiderstand zu verwenden, sondern hierfür eine zusätzliche Schaltung einzusetzen.

5.2.1 Prinzip der Linearisierung nach Z. Wang

Wie bereits in Abb. 5.5 gezeigt wurde, bestimmt sich der Gesamtwiderstand R_{gesamt} eines belasteten, gegengekoppelten Differenzverstärkers aus der Reihenschaltung des Widerstandes $R_{0,einstufig} = 1/g_m$ und des Lastwiderstandes R_L :

$$R_{gesamt} = \frac{V_{in}}{I_L} = \frac{V_d + V_L}{I_L} = \frac{V_d}{I_L} + \frac{V_L}{I_L} = R_{0,einstufig} + R_L \quad (5.27)$$

Ziel des Prinzips nach Z. Wang ist es, durch die Verwendung eines zweistufigen gegengekoppelten Differenzverstärkers, der bei ohmscher Belastung näherungsweise einen Widerstand $R_{0,zweistufig}$ realisiert, diesen derart zu verringern, sodaß der Gesamtwiderstand fast ausschließlich durch R_L bestimmt wird; d.h. der Lastwiderstand allein realisiert den Vertikalwiderstand. Durch eine geeignete Wahl der schaltungstechnischen Realisierung des Lastwiderstandes kann somit die Linearität für einen größeren Aussteuerbereich realisiert werden. Zur Erläuterung dieses Prinzips wird das Ersatzschaltbild des belasteten, zweistufigen gegengekoppelten Differenzverstärkers in Abb. 5.10 betrachtet.

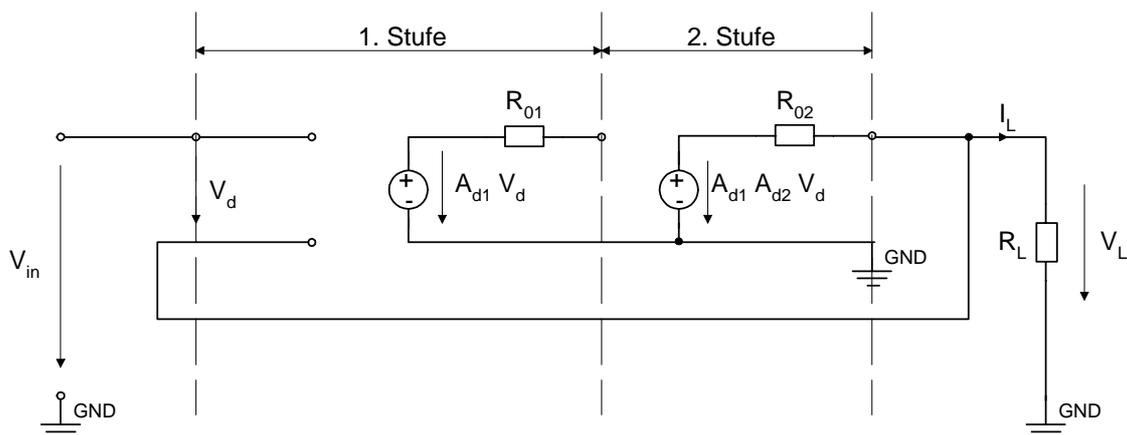


Abb. 5.10: Ersatzschaltbild des belasteten, zweistufigen gegengekoppelten Differenzverstärkers

Die Differenzeingangsspannung V_d berechnet sich wie im Falle des einstufigen gegengekoppelten Differenzverstärkers aus der Differenz der Eingangsspannung V_{in} und der Ausgangsspannung V_L zu:

$$V_d = V_{in} - V_L \quad (5.28)$$

Durch Anwendung der Maschenregel in der Ausgangsschleife ergibt sich für den Ausgangsstrom I_L die Beziehung:

$$I_L = \frac{A_{d1} A_{d2} V_d - V_L}{R_{02}} = \frac{V_L}{R_L} \quad (5.29)$$

Mit den Gleichungen (5.28) und (5.29) läßt sich die Eingangsspannung V_{in} bestimmen:

$$\begin{aligned} I_L &= \frac{A_{d1} A_{d2} (V_{in} - V_L) - V_L}{R_{02}} \\ &= \frac{A_{d1} A_{d2} V_{in} - A_{d1} A_{d2} V_L - V_L}{R_{02}} \\ &= \frac{A_{d1} A_{d2}}{R_{02}} \left(V_{in} - V_L - \frac{V_L}{A_{d1} A_{d2}} \right) = \frac{V_L}{R_L} \\ \Rightarrow \quad V_{in} - V_L - \frac{V_L}{A_{d1} A_{d2}} &= \frac{R_{02}}{A_{d1} A_{d2} R_L} V_L \\ \Rightarrow \quad V_{in} &= V_L \left(1 + \frac{1}{A_{d1} A_{d2}} + \frac{R_{02}}{A_{d1} A_{d2} R_L} \right) \end{aligned} \quad (5.30)$$

Mit der Annahme, daß die Verstärkungen $A_{d1}, A_{d2} \gg 1$ sind und $R_{02} \gg R_L$ ist, kann die Gl. (5.30) vereinfacht werden zu:

$$V_{in} \approx V_L \left(1 + \frac{R_{02}}{A_{d1} A_{d2} R_L} \right) \quad (5.31)$$

Eine entsprechende Auflösung dieser Gleichung nach V_L liefert:

$$\begin{aligned} V_L &= V_{in} \frac{1}{1 + \frac{R_{02}}{A_{d1} A_{d2} R_L}} = V_{in} \frac{1}{\frac{A_{d1} A_{d2} R_L + R_{02}}{A_{d1} A_{d2} R_L}} = V_{in} \frac{A_{d1} A_{d2} R_L}{A_{d1} A_{d2} R_L + R_{02}} \\ V_L &= V_{in} \frac{R_L}{\frac{R_{02}}{A_{d1} A_{d2}} + R_L} \end{aligned} \quad (5.32)$$

Auch diese Gleichung beschreibt wie die Gl. (5.8) einen Spannungsteiler aus dem Lastwiderstand R_L und dem Widerstand $R_{0,zweistufig}$, der durch den zweistufigen gegengekoppelten Verstärker gebildet wird mit

$$R_{0,zweistufig} = \frac{V_d}{I_L} = \frac{R_{02}}{A_{d1} A_{d2}}. \quad (5.33)$$

Mit der Annahme

$$A_{d2} = g_{mi} R_{02}, \quad (5.34)$$

folgt:

$$R_{0,zweistufig} = \frac{R_{02}}{A_{d1} g_{mi} R_{02}} = \frac{1}{A_{d1}} \frac{1}{g_{mi}}. \quad (5.35)$$

Demnach verkleinert sich der Widerstand $R_{0,zweistufig}$ des zweistufigen Verstärkers im Vergleich zum Widerstand $R_{0,einstufig}$ des einstufigen Verstärkers um den Faktor $1/A_{d1}$:

$$R_{0,zweistufig} = \frac{1}{A_{d1}} R_{0,einstufig} \quad (5.36)$$

Da die Verstärkung $A_{d1} \gg 1$ ist, ergibt sich für $R_{0,zweistufig}$ ein sehr kleiner Widerstandswert. Somit wird der Gesamtwiderstand R_{gesamt} des belasteten, zweistufigen gegengekoppelten Differenzverstärkers näherungsweise nur durch den Lastwiderstand R_L bestimmt:

$$R_{gesamt} \approx R_L, \quad \text{mit } R_L \gg R_{0,zweistufig} \quad (5.37)$$

5.2.2 Linearisierter OTA nach Z. Wang

Die Realisierung des zweistufigen gegengekoppelten Differenzverstärkers nach Z. Wang erfolgt durch die Schaltung nach Abb. 5.11 [111][112].

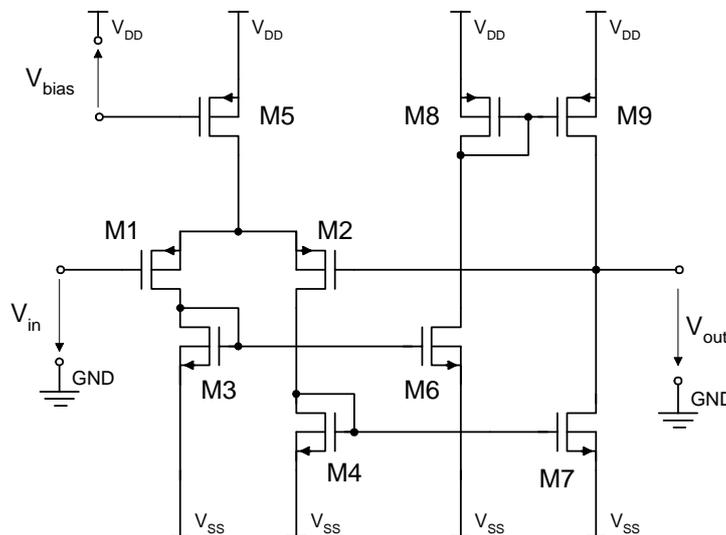


Abb. 5.11: Zweistufiger gegengekoppelter Differenzverstärker nach Z. Wang

Die Transistoren M_1 - M_5 bilden die erste Verstärkerstufe und M_6 - M_9 die zweite. Um die Gesamtverstärkung der Schaltung zu berechnen, werden zunächst die beiden Verstärkungsstufen einzeln betrachtet: Die Verstärkung der ersten Stufe ist nach [36] A_{d1} . Für die Berechnung der Verstärkung der zweiten Stufe wird das Kleinsignalersatzschaltbild betrachtet:

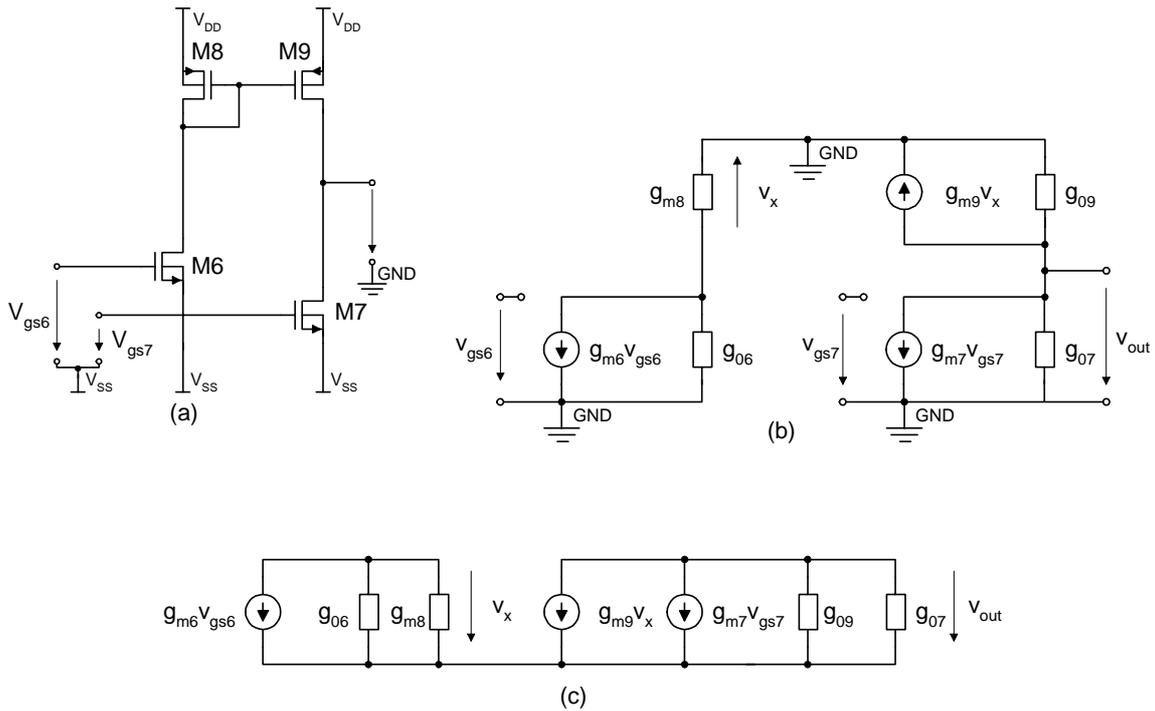


Abb. 5.12: Zweite Verstärkerstufe der Abb. 5.11
 (a) Schaltbild, (b) Ersatzschaltbild, (c) vereinfachtest Ersatzschaltbild

Die Spannung v_x aus der Abb. 5.12(c) läßt sich aus der Parallelschaltung der Leitwerte (g_{06} , g_{m8}) und dem Strom ($g_{m6} \cdot v_{gs6}$) bestimmen zu:

$$v_x = - \frac{g_{m6}}{g_{06} + g_{m8}} v_{gs6} \quad (5.38)$$

Unter der Voraussetzung, daß $g_m \gg g_o$ ist, kann die Gl. (5.38) vereinfacht werden zu:

$$v_x \approx - \frac{g_{m6}}{g_{m8}} v_{gs6} \quad (5.39)$$

Die Ausgangsspannung v_{out} aus der Abb. 5.12(c) läßt sich folgendermaßen bestimmen:

$$v_{out} = - \frac{g_{m7} v_{gs7} + g_{m9} v_x}{g_{07} + g_{09}} = - \frac{g_{m7} v_{gs7} - \frac{g_{m9} g_{m6}}{g_{m8}} v_{gs6}}{g_{07} + g_{09}} \quad (5.40)$$

Da die Transistoren M_8 und M_9 gleich dimensioniert sind, gilt $g_{m8} = g_{m9}$. Somit kann die Gl. (5.40) vereinfacht werden zu:

$$v_{out} = - \frac{g_{m7} v_{gs7} - g_{m6} v_{gs6}}{g_{07} + g_{09}} \quad (5.41)$$

Ferner sind auch die Transistoren M_6 und M_7 gleich dimensioniert, so daß mit $g_m = g_{m6} = g_{m7}$ die Gl. (5.41) umgeformt werden kann zu:

$$V_{\text{out}} = \frac{g_m}{g_{07} + g_{09}} (V_{gs6} - V_{gs7}) \quad (5.42)$$

Aus der Abb. 5.12(a) ist zu entnehmen, daß die Spannung $(v_{gs6} - v_{gs7})$ der Eingangsspannung der zweiten Stufe bzw. der Ausgangsspannung der ersten Stufe entspricht. Daraus ergibt sich für die Differenzverstärkung A_{d2} der zweiten Stufe:

$$A_{d2} = \frac{V_{\text{out}}}{V_{gs6} - V_{gs7}} = \frac{g_m}{g_{07} + g_{09}} = \frac{V_{\text{out}}}{A_{d1} V_{\text{in}}} \quad (5.43)$$

Die Gesamtverstärkung des zweistufigen Verstärkers nach Z. Wang ergibt sich somit zu:

$$A_{\text{gesamt}} = \frac{V_{\text{out}}}{V_{\text{in}}} = A_{d1} A_{d2} \quad \text{mit } A_{d1}, A_{d2} \gg 1. \quad (5.44)$$

Ziel der bisherigen Rechnungen war zu zeigen, daß der zweistufige gegengekoppelte Verstärker nach Wang eine hohe Gesamtverstärkung besitzt und somit der Widerstand $R_{0,\text{zweistufig}}$, der durch den Verstärker abgebildet wird, bei ohmscher Belastung vernachlässigt werden kann. Nach Gl. (5.37) wird der Gesamtwiderstand R_{gesamt} näherungsweise allein durch den Lastwiderstand bestimmt. Die Implementierung dieses Lastwiderstandes erfolgt nach Wang durch einen Grounded-Resistor, der im folgenden Abschnitt beschrieben wird.

5.2.3 Grounded-Resistor nach Z. Wang

Der Ausgang des zweistufigen gegengekoppelten Differenzverstärkers nach Abb. 5.11 wird mit einem Widerstand R_L belastet, der durch einen Grounded-Resistor nach Abb. 5.13 realisiert wird [111][112]. Dieser Grounded-Resistor wird auch als Current-to-Voltage-Converter CVC bezeichnet.

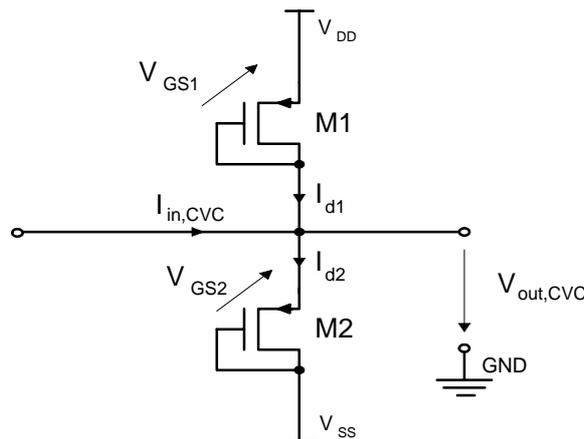


Abb. 5.13: Grounded-Resistor bzw. Current-to-Voltage-Converter CVC nach Z. Wang

Der Grounded-Resistor besteht aus zwei diode-connected Transistoren, d.h. beide MOS-Transistoren arbeiten im Sättigungsbereich. Um den Widerstand des Grounded-Resistors zu bestimmen, werden zunächst die Sättigungsströme I_{d1} und I_{d2} für den unbelasteten Fall betrachtet:

$$I_{d1} = \frac{K_1}{2} (V_{GS1} - V_{T1})^2 \quad (5.45)$$

$$I_{d2} = \frac{K_2}{2} (V_{GS2} - V_{T2})^2$$

Die beiden Gate-Source-Spannungen V_{GS1} und V_{GS2} lassen sich beschreiben als:

$$\begin{aligned} V_{GS1} &= V_{out,CVC} - V_{DD} \\ V_{GS2} &= V_{SS} - V_{out,CVC} \quad \text{mit } V_{DD} = -V_{SS} \end{aligned} \quad (5.46)$$

Setzt man die Gl. (5.46) in die Gl. (5.45) ein, ergeben sich folgende Drainströme:

$$\begin{aligned} I_{d1} &= \frac{K_1}{2} (V_{out,CVC} - V_{DD} - V_{T1})^2 \\ I_{d2} &= \frac{K_2}{2} (V_{SS} - V_{out,CVC} - V_{T2})^2 \end{aligned} \quad (5.47)$$

Die Transistoren M_1 und M_2 werden gleich dimensioniert. Somit gilt:

$$K = K_1 = K_2 = \mu c_{ox} W/L \quad \text{und} \quad V_T = V_{T1} = V_{T2} \quad (5.48)$$

Mit der zusätzlichen Definition $V_{DT} = V_{DD} + V_T$ bzw. $V_{DT} = -V_{SS} + V_T$, können die Drainströme vereinfacht werden zu:

$$\begin{aligned} I_{d1} &= \frac{K}{2} (V_{out,CVC} - V_{DT})^2 \\ I_{d2} &= \frac{K}{2} (-V_{DT} - V_{out,CVC})^2 \end{aligned} \quad (5.49)$$

Somit ergibt sich für den Eingangsstrom I_{in} folgende Knotengleichung:

$$\begin{aligned} I_{in,CVC} = I_{d2} - I_{d1} &= \frac{K}{2} (-V_{out,CVC} - V_{DT})^2 - \frac{K}{2} (V_{out,CVC} - V_{DT})^2 \\ &= 2 K V_{DT} V_{out,CVC} \end{aligned} \quad (5.50)$$

Wird diese Gleichung nach $V_{out,CVC}$ aufgelöst, erhält man eine Gleichung, die einen Current-to-Voltage-Converter *CVC* beschreibt:

$$V_{out,CVC} = \frac{I_{in,CVC}}{2 K V_{DT}}$$

Der Wert des Grounded-Resistors R_{CVC} bestimmt sich demnach zu

$$R_{CVC} = \frac{V_{out,CVC}}{I_{in,CVC}} = \frac{1}{2 K V_{DT}}. \quad (5.51)$$

5.2.4 Grounded-Resistor als Lastwiderstand

Mit dem Grounded-Resistor als Lastwiderstand für den zweistufigen gegengekoppelten Differenzverstärker ergibt sich die Schaltung nach Abb. 5.14 [112]:

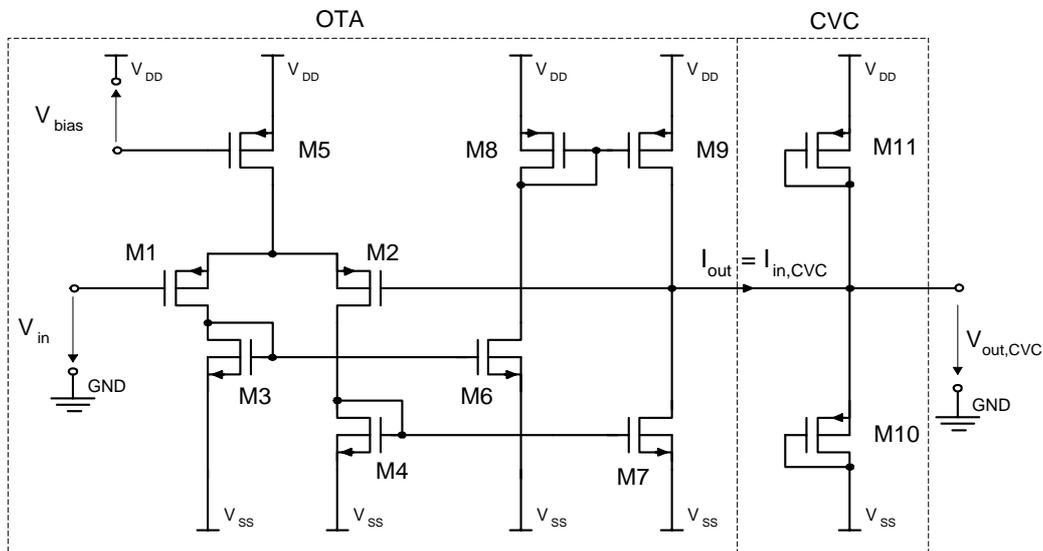


Abb. 5.14: OTA (Operational Transconductance Amplifier) mit Grounded-Resistor CVC als Lastwiderstand

Die Schaltung nach Abb. 5.14 kann allerdings nicht direkt als Vertikalwiderstand im Widerstandsnetzwerk eingesetzt werden. Eine ohmsche Belastung am Ausgang dieser Schaltung würde dazu führen, daß der Grounded-Resistor R_{CVC} parallel zu der Last liegt. Dadurch würde sich der Lastwiderstand des zweistufigen Differenzverstärkers reduzieren, und der Widerstand des Verstärkers $R_{0,zweistufig}$ könnte nicht mehr vernachlässigt werden. Ferner würde die Knodegleichung Gl. (5.50) ungültig sein, da noch ein zusätzlicher Ausgangsstrom berücksichtigt werden müßte. Um das Problem der Rückkopplung zu vermeiden, werden zwei zusätzliche Transistoren (M_{12} , M_{13}) eingefügt, die eine Kopie des Ausgangsstromes I_{out} erzeugen (siehe Abb. 5.15a und Abb. 5.15b).

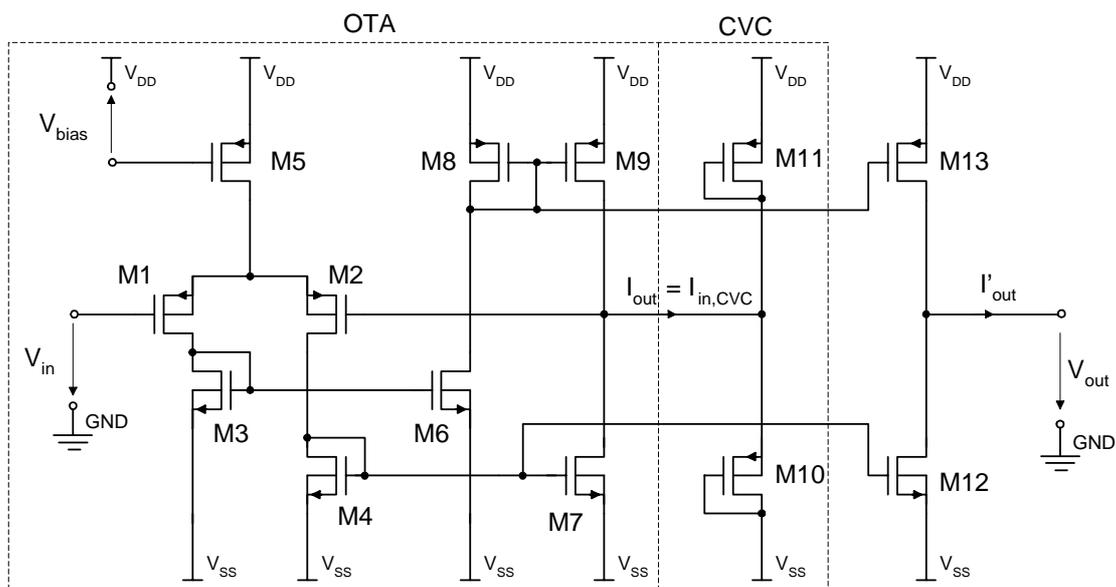


Abb. 5.15a: Linearisierter OTA nach Wang [112]

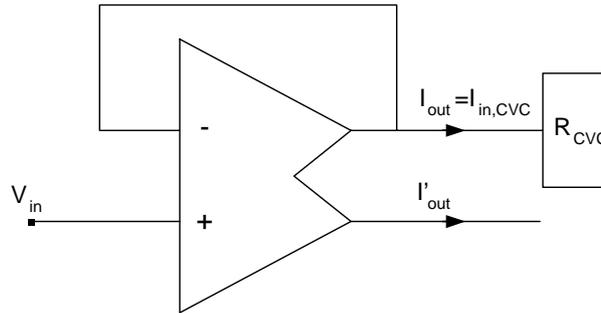


Abb. 5.15b: Symbol des linearisierten OTAs nach Wang [112]

Für die Gate-Source-Spannung der Transistoren M_{12} und M_{13} der Abb. 5.15a gilt:

$$V_{GS13} = V_{GS9}$$

$$V_{GS12} = V_{GS7}$$

Somit fließen durch M_{13} und M_9 sowie durch M_{12} und M_7 die gleichen Ströme. Daher entspricht der Ausgangstrom I'_{out} dem Strom I_{out} :

$$I'_{out} = I_{out} \quad (5.52)$$

In Abhängigkeit der variablen Eingangsspannung und des nahezu konstanten Widerstandes R_{CVC} wird ein entsprechender Strom I_{out} erzeugt, der demnach in Form einer Kopie I'_{out} in das Widerstandsnetzwerk eingepreßt wird. Durch die zusätzlichen Transistoren (M_{12} , M_{13}) wird erreicht, daß die Rückkopplung des Verstärkers nicht mehr mit dem Ausgang verbunden ist. Der Vertikalwiderstand wird daher näherungsweise nur durch den Grounded-Resistor bestimmt.

5.2.5 Bidirektionaler Widerstand

Der linearisierte OTA nach Abb. 5.15a wirkt allerdings nur als Widerstand, falls sich keine weiteren Quellen im zu treibenden Netzwerk befinden. Für einen idealen Widerstand (Zweipol), dessen Ausgang durch eine Quelle auf eine Spannung V_{out} gezwungen wird, sollte die folgende Beziehung gelten:

$$\frac{V_{in} - V_{out}}{R} = I_{out} \quad (5.53)$$

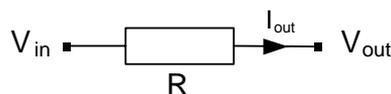


Abb. 5.16: Widerstand R

Für den linearisierten OTA nach Abb. 5.15a, der einen Widerstand realisiert, gilt jedoch

$$I'_{out} = \frac{V_{in}}{R} \neq \frac{V_{in} - V_{out}}{R} ; \quad (5.54)$$

d.h. die Ausgangsspannung V_{out} hat keinen Einfluß auf den Ausgangsstrom I'_{out} , da keine Rückkopplung des Ausgangs auf den Eingang besteht. Für die Anwendung des linearisierten OTAs im Widerstandsnetz als Vertikalwiderstand muß aber die Gl. (5.53) erfüllt sein. Daher wird die Schaltung nach Abb. 5.15a um einen zusätzlichen Grounded-Resistor am Ausgang erweitert, der eine Kopie des ersten Grounded-Resistors darstellt (siehe Abb. 5.17).

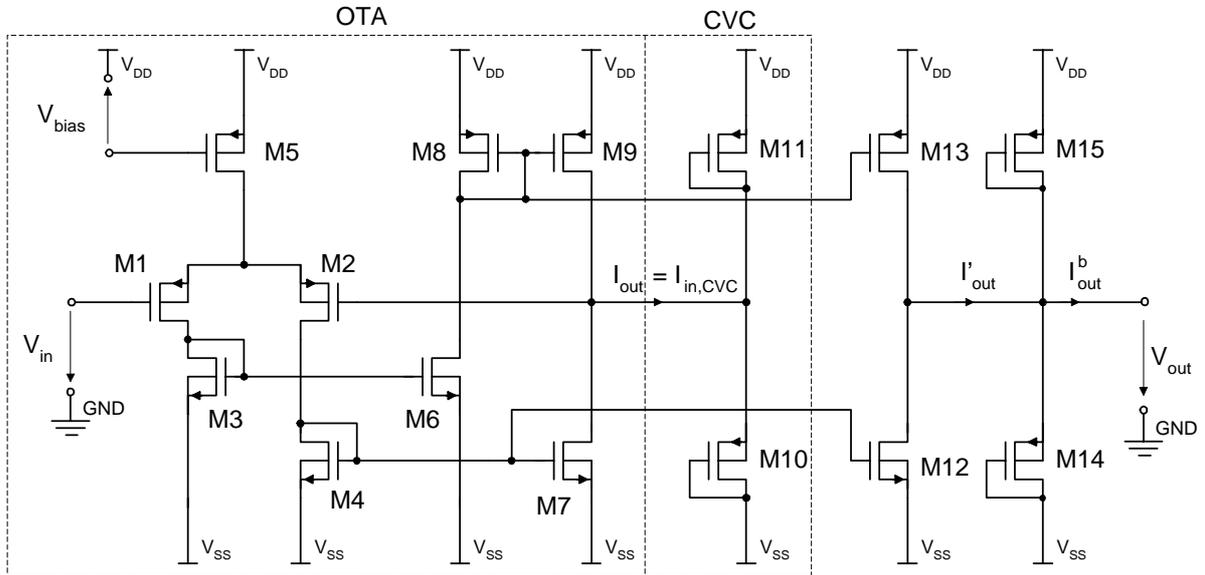


Abb. 5.17: Bidirektionaler linearisierter OTA

Die Transistoren (M_{10} , M_{11}) und (M_{14} , M_{15}) sind gleich dimensioniert, d.h. es gilt:

$$R = R_{CVC, M_{10}, M_{11}} = R_{CVC, M_{14}, M_{15}} \quad (5.55)$$

Für den Fall, daß die Ausgangsspannung V_{out} auf Masse gelegt wird, fließt über den zweiten Grounded-Resistor $R_{CVC, M_{14}, M_{15}}$ kein Stromanteil von I'_{out} ab; d.h. $R_{CVC, M_{14}, M_{15}}$ hat keine Wirkung auf den Ausgangsstrom. Bei einer äußeren angelegten Spannung V_{out} hingegen gilt:

$$I_{out}^b = I'_{out} - \frac{V_{out}}{R_{CVC, M_{14}, M_{15}}} \quad (5.56)$$

Mit

$$I'_{out} = I_{out} = \frac{V_{in}}{R_{CVC, M_{10}, M_{11}}} = \frac{V_{in}}{R_{CVC, M_{14}, M_{15}}} \quad (5.57)$$

und der Gl. (5.55) kann die Gl. (5.56) umgeschrieben werden zu:

$$I_{out}^b = \frac{V_{in} - V_{out}}{R} \quad (5.58)$$

Diese entspricht der Gl. (5.53); d.h. es ergibt sich der gewünschte lineare Zusammenhang zwischen dem Ausgangsstrom I_{out}^b und der Spannungsdifferenz ($V_{in} - V_{out}$). Somit wirkt die Schaltung nach Abb. 5.17 als ein bidirektionaler Vertikalwiderstand im Widerstandsnetzwerk.

5.2.6 Simulation des bidirektionalen linearisierten OTAs

• Dimensionierung

Auch für den bidirektionalen linearisierten OTA nach Abb. 5.17 wird für einen Aussteuerbereich von $\Delta V_{in,max} = \pm 1,5 \text{ V}$ ein möglichst linearer Widerstand von $R = 40 \text{ k}\Omega$ gefordert. Daraus ergeben sich für den OTA die Transistordimensionierungen nach Tabelle 5.2.

Transistoren	Transistordimensionen	
	W/ μm	L/ μm
M ₁ , M ₂	6	1,2
M ₃ , M ₄ , M ₆ , M ₇ , M ₁₂	4	1,2
M ₅ , M ₈ , M ₉ , M ₁₃	8	1,2
M ₁₀ , M ₁₁ , M ₁₄ , M ₁₅	2,8	8

Tabelle 5.2: Dimensionierung der Transistoren des bidirektionalen linearisierten OTAs (Abb. 5.16)

• Simulationsergebnisse

Für die Simulation des Ausgangsstroms wurde erneut die Testschaltung nach Abb. 5.7 verwendet. Die Abb. 5.18 zeigt die gemessene Kennlinie des Ausgangsstroms I_{out}^b in Abhängigkeit der Eingangsspannung V_{in} .

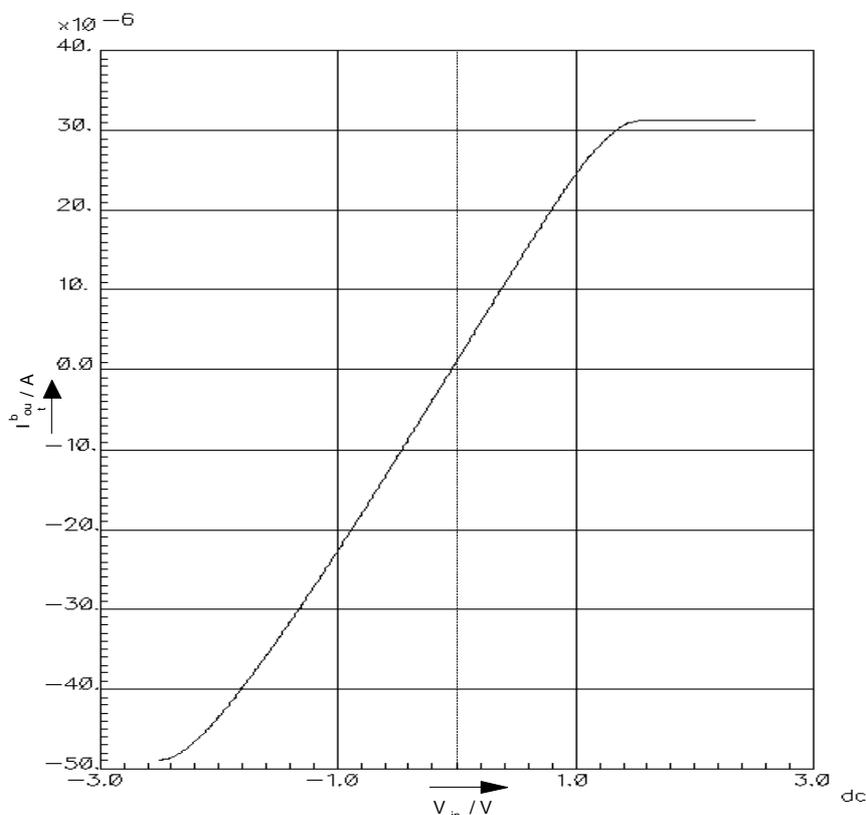


Abb. 5.18: Kennlinie des Ausgangsstroms I_{out}^b des bidirektionalen linearisierten OTAs

Im Vergleich zu der Ausgangsstromkennlinie des einstufigen gegengekoppelten Differenzverstärkers (Abb. 5.8) weist die Kennlinie der Abb. 5.18 ein lineareres Verhalten über den geforderten Aussteuerbereich. Dies wird auch aus der folgenden Widerstandskennlinie des OTAs ersichtlich.

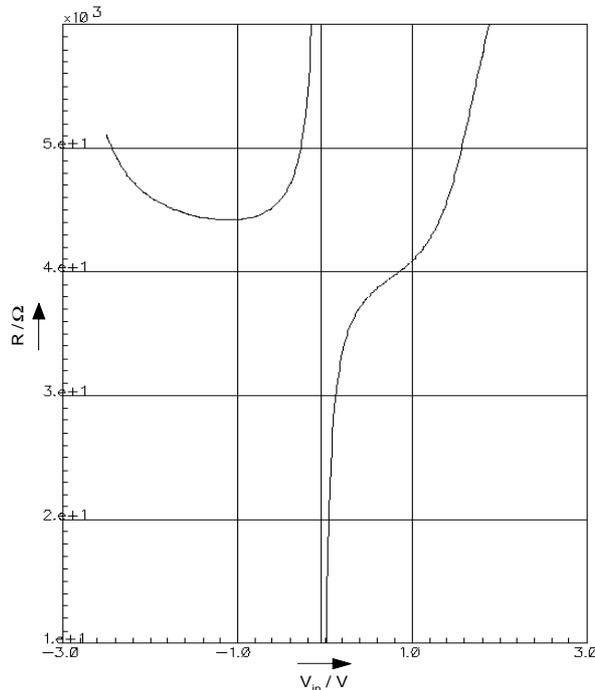


Abb. 5.19: Widerstandskennlinie des bidirektionalen linearisierten OTAs

Dabei betragen die relativen Abweichungen an den Grenzen des Aussteuerbereichs:

$$\left. \frac{\Delta R}{R} \right|_{V_{in} = -1.5V} = 12,5\% \quad \text{und} \quad \left. \frac{\Delta R}{R} \right|_{V_{in} = 1.5V} = 7,5\% \quad (5.59)$$

Die größten Abweichungen in der Widerstandskennlinie vom geforderten Wert $R=40 \text{ k}\Omega$ ergeben sich allerdings bei kleinen Eingangsspannungen. Die maximale relative Abweichung hierbei beträgt ca.

$$\frac{\Delta R_{\max}}{R} = 25\% . \quad (5.60)$$

Diese Abweichungen lassen sich hauptsächlich auf das nichtideale Verhalten der Stromspiegel (M_3, M_6), (M_4, M_7) und (M_8, M_9) der Abb. 5.17 zurückführen. Idealerweise sollten die Stromspiegel einen unendlich großen Ausgangswiderstand besitzen: Betrachtet man nochmals die Abb. 5.18, so ist erkennbar, daß die Ausgangsstromkennlinie nicht exakt durch den Nullpunkt verläuft. Es liegt eine Verschiebung der Kennlinie um einen Stromoffset von $I_{off}=1 \mu\text{A}$ vor, der durch den geringen Ausgangswiderstand der Stromspiegel verursacht wird. Im folgenden wird daher untersucht, inwieweit sich dieser Offset durch die Verwendung von Kaskode-Stromspiegeln verringern läßt.

5.2.7 Bidirektionaler linearisierter OTA mit Kaskode-Stromspiegel

Die Schaltung des bidirektionalen linearisierten OTAs mit Kaskode-Stromspiegel ist in Abb. 5.20 dargestellt.

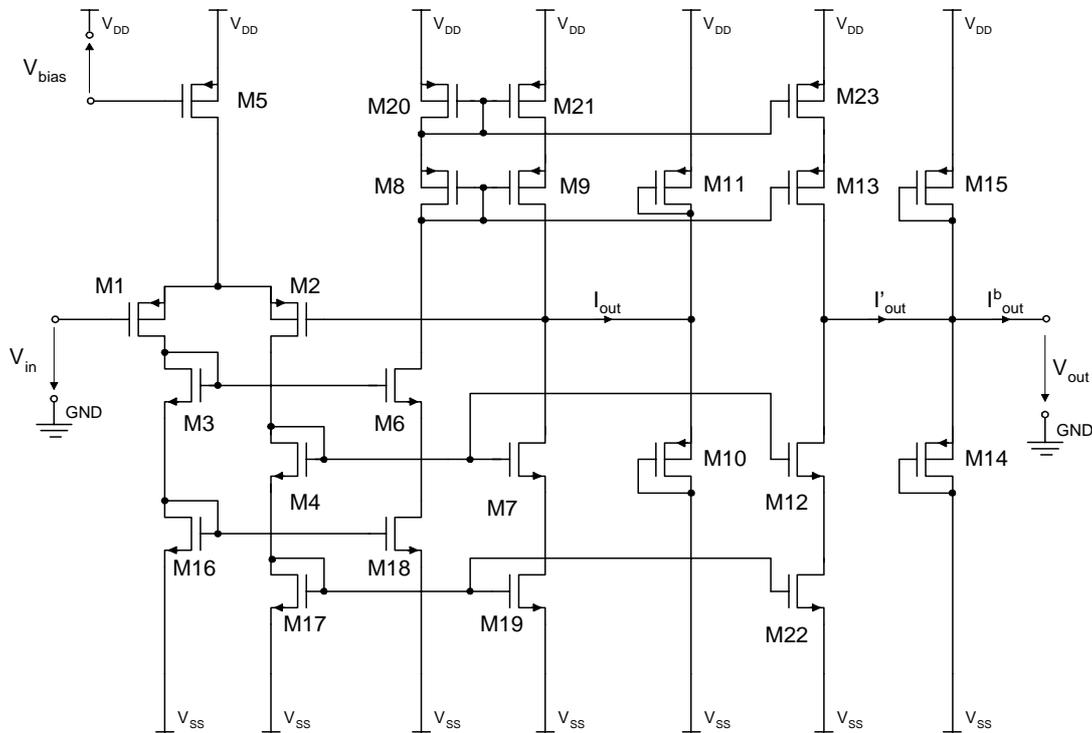


Abb. 5.20: Bidirektionaler linearisierter OTA mit Kaskode-Stromspiegel

Die simulierte Kennlinie des Ausgangsstroms I_{out}^b zeigt die Abb. 5.21.

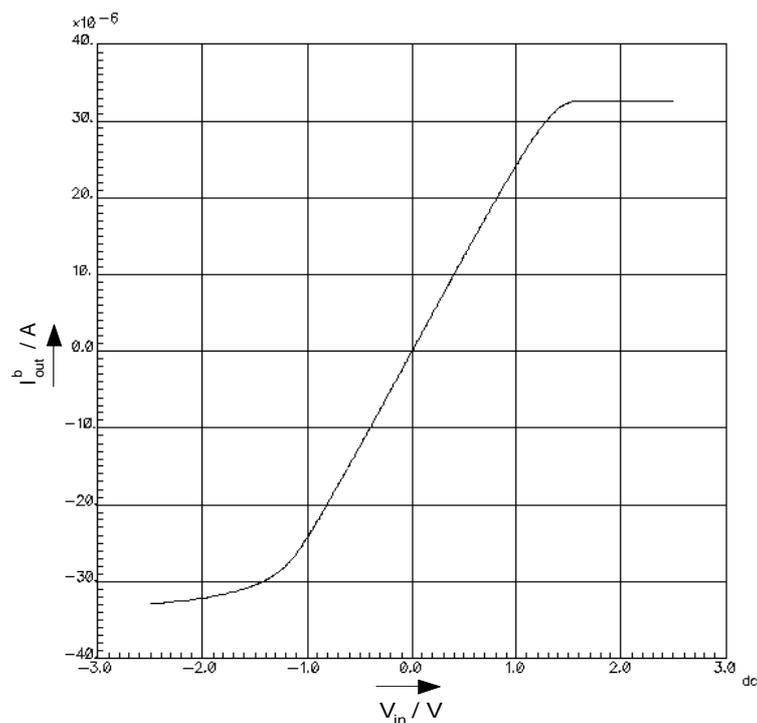


Abb. 5.21: Kennlinie des Ausgangsstroms I_{out}^b des linearisierten OTAs mit Kaskode-Stromspiegel

Durch die Verwendung von Kaskode-Stromspiegel ist der Stromoffset im Vergleich zur Schaltung mit einfachen Stromspiegel erheblich reduziert worden. Dieser liegt hier bei ca. $I_{off}=80\text{ nA}$ im Vergleich zu $I_{off}=1\text{ }\mu\text{A}$ bei der Schaltung ohne Kaskode-Stromspiegel.

In der Abb. 5.22 ist die Widerstandskennlinie in Abhängigkeit von der Eingangsspannung dargestellt.

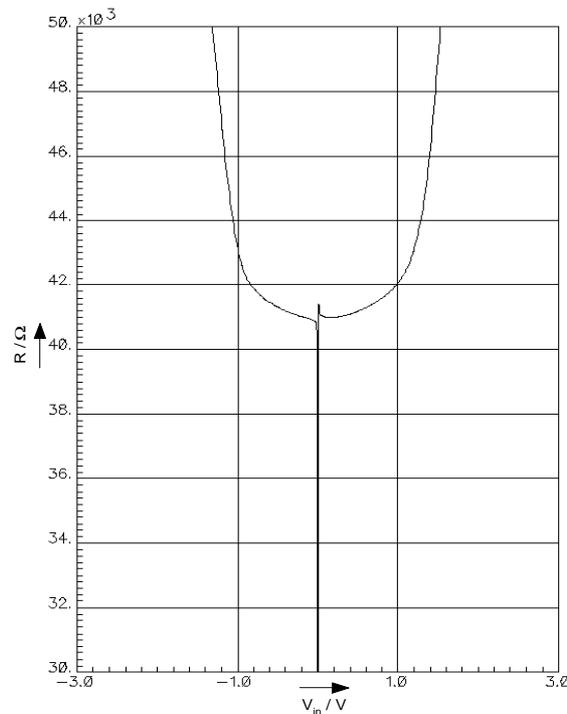


Abb. 5.22: Widerstandskennlinie des linearisierten OTA's mit Kaskode-Stromspiegel

Bei kleinen Eingangsspannungen treten geringere Abweichungen vom geforderten Widerstandswert $R=40\text{ k}\Omega$ auf als bei der Schaltung ohne Kaskode-Stromspiegel. Die Abweichungen an den Grenzen des Aussteuerungsbereichs betragen:

$$\left. \frac{\Delta R}{R} \right|_{V_{in}=-1.5V} = 16\% \quad \text{und} \quad \left. \frac{\Delta R}{R} \right|_{V_{in}=1.5V} = 8\% \quad (5.61)$$

5.3 Einsatz des linearisierten OTAs im Widerstandsnetz

Bisherige Simulationsergebnisse haben gezeigt, daß der linearisierte OTA nach Wang eine höhere Linearität in der Widerstandskennlinie aufweist als der einstufige gegengekoppelte Differenzverstärker. Von entscheidendem Nachteil ist allerdings die hohe Anzahl der Transistoren pro Vertikalwiderstand. Aus diesem Grund wird in diesem Abschnitt eine weitere Implementierungsmöglichkeit des Vertikalwiderstandes vorgestellt, die im Prinzip die selbe Funktion erfüllt wie der linearisierte OTA nach Wang; jedoch mit einer reduzierten Anzahl von Transistoren. Eine weitere Hardwarereduzierung folgt aus der Tatsache, daß für die Implementierung des Netzwerkes zwei gleich große Vertikalwiderstände pro Netzknoten benötigt werden. Somit können durch eine Mehrfachnutzung von Schaltungsmodulen weitere Transistoren eingespart werden.

5.3.1 Zweistufiger Differenzverstärker mit Source-Schaltung

Nachteilig beim bidirektionalen OTA nach Abb. 5.20 ist die hohe Transistorenanzahl, die hauptsächlich für die zweite Verstärkerstufe benötigt wird. Darin erfüllt die Stromspiegel-Schaltung zwei wesentliche Funktionen:

1. Sie verstärkt das Ausgangssignal der ersten Verstärkerstufe um den Faktor A_{d2} .
2. Sie wandelt den Differential-Ended- in einen Single-Ended-Differenzverstärker um.

Eine einfachere schaltungstechnische Methode, die Funktionen des zweistufigen gegengekoppelten Verstärkers abzubilden, zeigt die Abb. 5.23 [54][102].

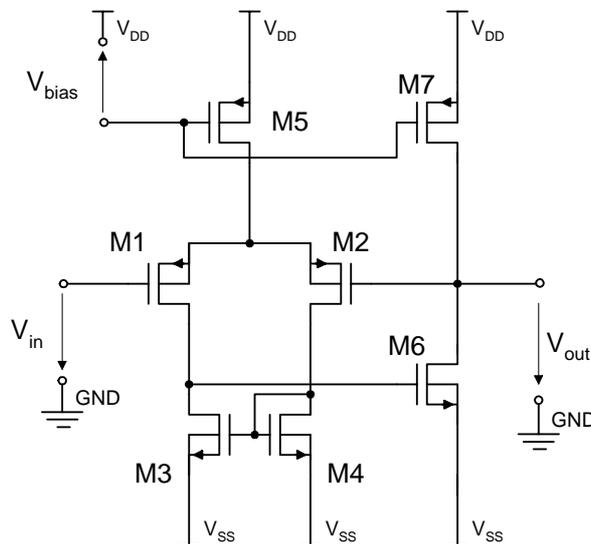


Abb. 5.23: Zweistufiger gegengekoppelter Differenzverstärker mit Source-Schaltung

In der ersten Verstärkerstufe (M_1 - M_5) wird schon durch einen Stromspiegel als aktive Last (M_3 , M_4) ein Single-Ended-Differenzverstärker realisiert. Die zweite Verstärkerstufe (M_6 , M_7) muß daher lediglich das Ausgangssignal der ersten Stufe um den Faktor A_{d2} verstärken. Dafür wird eine Source-Schaltung aus zwei Transistoren eingesetzt. Zur Bestimmung ihrer Verstärkung wird das entsprechende Kleinsignalersatzschaltbild in Abb. 5.24 betrachtet.

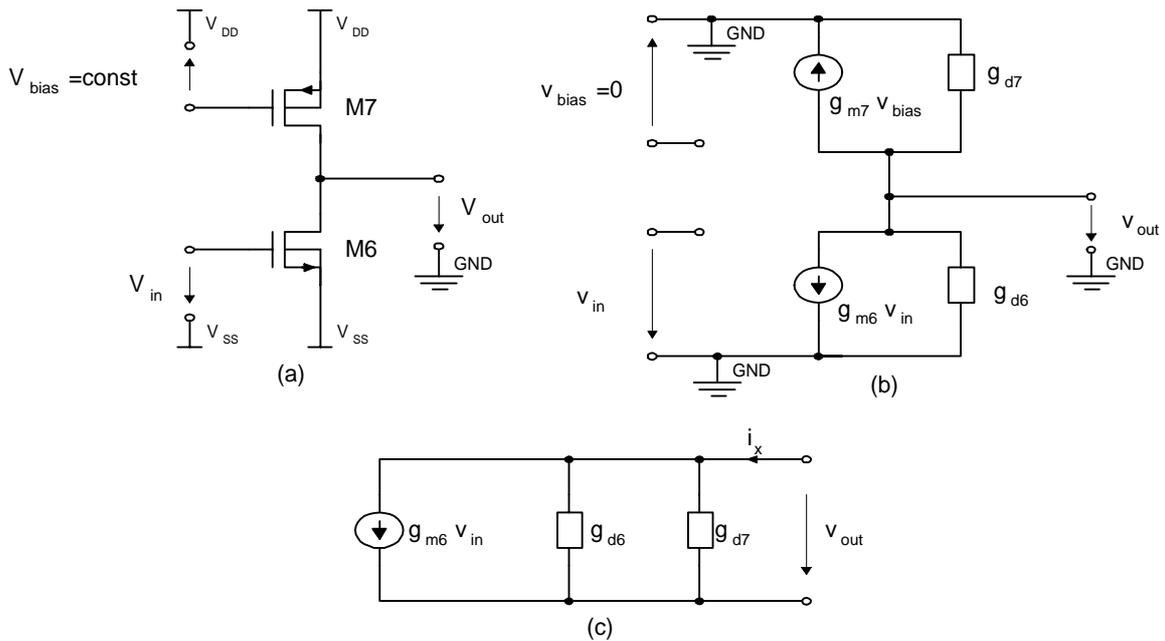


Abb. 5.24: Source-Schaltung: (a) Schaltbild, (b) Ersatzschaltbild, (c) vereinfachtes Ersatzschaltbild

Betrachtet man das vereinfachte Ersatzschaltbild in Abb. 5.24(c), so berechnet sich der Ausgangswiderstand R_0 mit $V_{in}=0$ V nach [37] zu:

$$R_0 = \frac{V_{out}}{i_x} = \frac{1}{g_{d6} + g_{d7}} \quad (5.62)$$

Mit

$$V_{out} = -V_{in} g_{m6} \frac{1}{g_{d6} + g_{d7}} \quad (5.63)$$

ergibt sich somit die Leerlaufverstärkung A_{d2} zu:

$$A_{d2} = \frac{V_{out}}{V_{in}} = - \frac{g_{m6}}{g_{d6} + g_{d7}} = -g_{m6} R_0 \quad (5.64)$$

Das negative Vorzeichen spielt hierbei keine wesentliche Rolle. Durch die Rückkopplung auf den negativen Eingang des Differenzverstärkers hebt sich das Vorzeichen entsprechend wieder auf. Wichtig ist festzuhalten, daß auch hier wie in Abschnitt 5.2.1 der Ausgangswiderstand des zweistufigen Verstärkers bei einer ohmschen Belastung vernachlässigt werden kann, da die Verstärkung $|A_{d1} \cdot A_{d2}| \gg 1$ ist. Der Gesamtwiderstand R_{gesamt} wird demnach allein durch den Lastwiderstand bestimmt. Die Implementierung des Lastwiderstands erfolgt ebenfalls durch den Grounded-Resistor nach Wang.

5.3.2 Bidirektionaler linearisierter OTA

Unter Berücksichtigung des Rückkopplungsproblems und der Bidirektionalität (siehe Abschnitt 5.2.4 und 5.2.5) erfolgt die Realisierung des Vertikalwiderstandes nach Abb. 5.26.

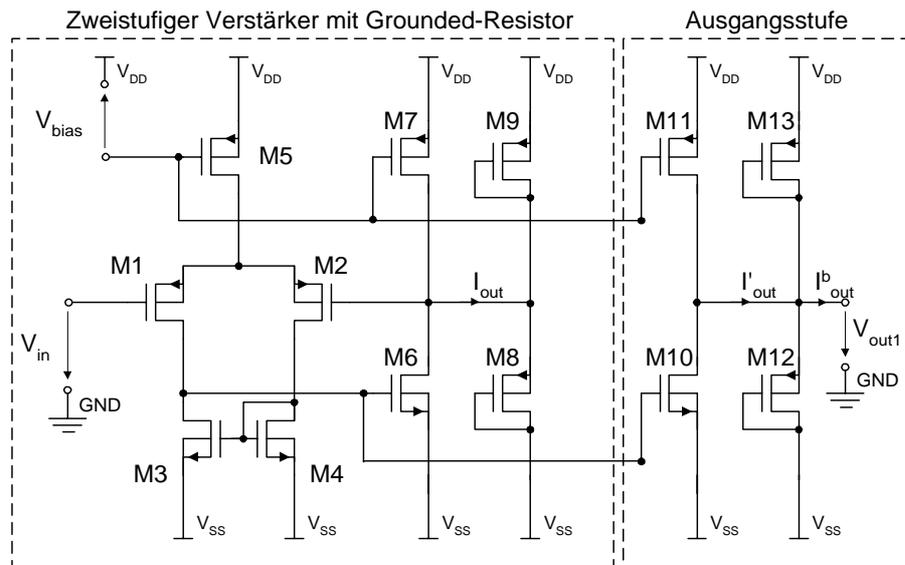


Abb. 5.25: Bidirektionaler linearisierter OTA als Vertikalwiderstand

Die Transistoren (M_1 - M_7) bilden den zweistufigen gegengekoppelten Differenzverstärker und die beiden Transistoren (M_8 , M_9) den Grounded-Resistor. Mit Hilfe der Transistoren (M_{10} , M_{11}) wird der Ausgangsstrom I_{out} gespiegelt, um die Rückkopplung des Verstärkers unabhängig vom Ausgang zu halten. Die Transistoren (M_{12} , M_{13}) gewährleisten die Bidirektionalität des Vertikalwiderstandes.

5.3.3 Bidirektionaler linearisierter OTA mit zwei Ausgängen (Dual-Output-Linear-OTA)

Eine weitere Reduzierung der Hardware ergibt sich aufgrund der speziellen Eigenschaft des zweilagig-parallelen Netzwerkes: Das Eingangssignal V_{in} wird über zwei gleich große, parallele Vertikalwiderstände in zwei Widerstandsnetze eingespeist. Somit ist für die Realisierung des zweiten parallelen Vertikalwiderstandes eine Kopie der ersten Ausgangsstufe aus Abb. 5.25 ausreichend. Dies erfolgt durch die Transistoren M_{14} - M_{17} in Abb. 5.26.

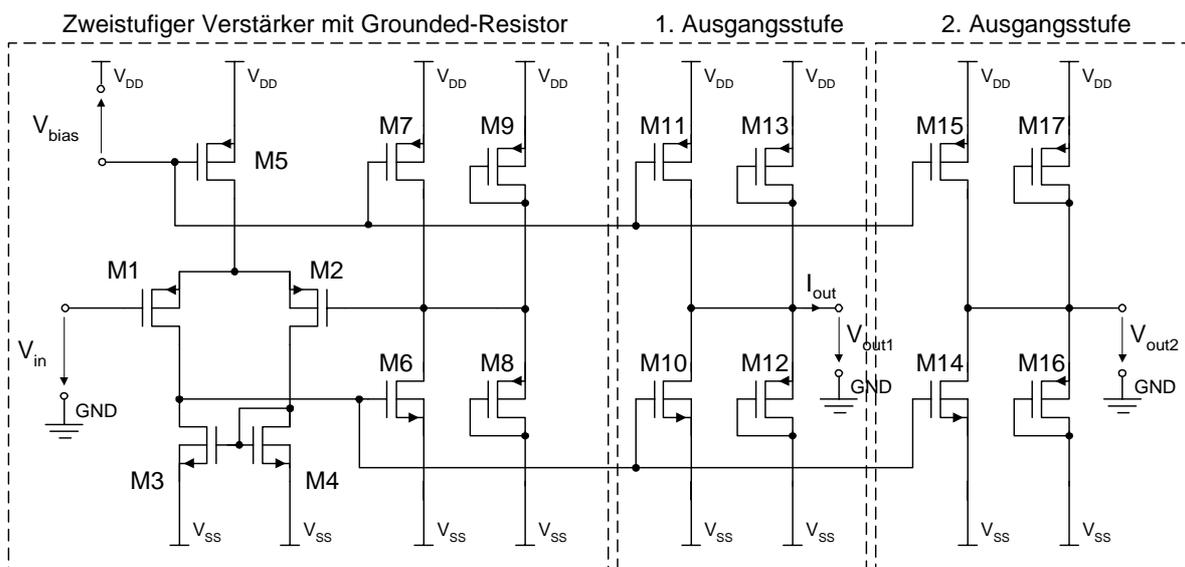


Abb. 5.26: Bidirektionaler linearisierter OTA mit zwei Ausgängen für die Realisierung von zwei parallelen Vertikalwiderständen (Dual-Output-Linear-OTA)

5.3.4 Simulation des Dual-Output-Linear-OTAs

- Dimensionierung

Für den Dual-Output-Linear-OTA nach Abb. 5.26 ergeben sich die Transistordimensionierungen nach Tabelle 5.3.

Transistoren	Transistordimensionen	
	W/ μm	L/ μm
M ₁ , M ₂	3	2,4
M ₃ , M ₄ , M ₆ , M ₁₀ , M ₁₄ ,	2	1,2
M ₅ , M ₇ , M ₁₁ , M ₁₅	6	1,2
M ₈ , M ₉ , M ₁₂ , M ₁₃ , M ₁₆ , M ₁₇	2,8	8

Tabelle 5.3: Dimensionierung der Transistoren des Dual-Output-Linear-OTAs (Abb. 5.26)

- Simulationsergebnisse

Die Abb. 5.27 zeigt die Ausgangsstromkennlinie I_{out} des Dual-Output-Linear-OTAs.

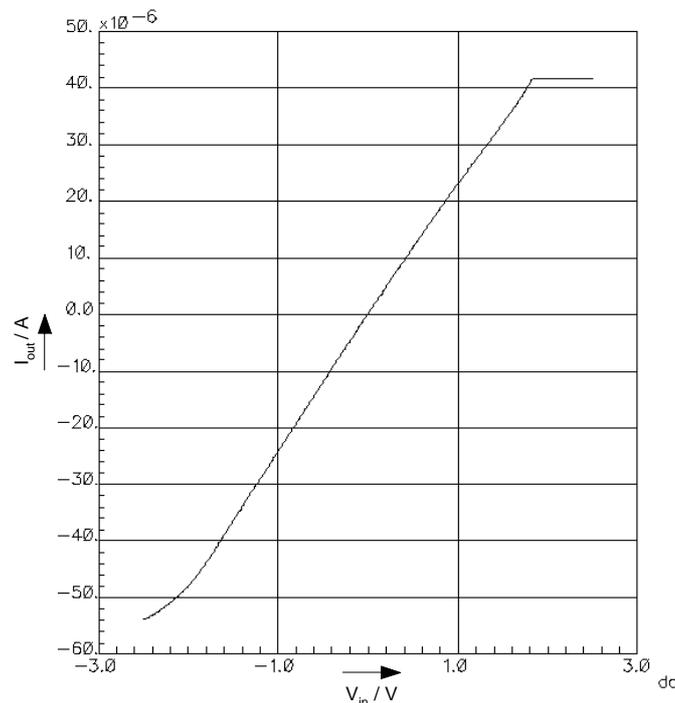


Abb. 5.27: Kennlinie des Ausgangsstroms I_{out} des Dual-Output-Linear-OTAs

Im Vergleich zu den zuvor betrachteten Schaltungen, zeigt die Ausgangsstromkennlinie $I_{out}(V_{in})$ über den geforderten Aussteuerbereich eine geringere Abweichung von der idealen Widerstandskennlinie. Der Stromoffset beträgt in diesem Fall ca. $I_{off}=200$ nA. Dieser wird durch den endlichen Ausgangswiderstand der Stromspiegel verursacht.

Die Widerstandskennlinie des Dual-Output-Linear-OTAs ist in der Abb. 5.28 dargestellt.

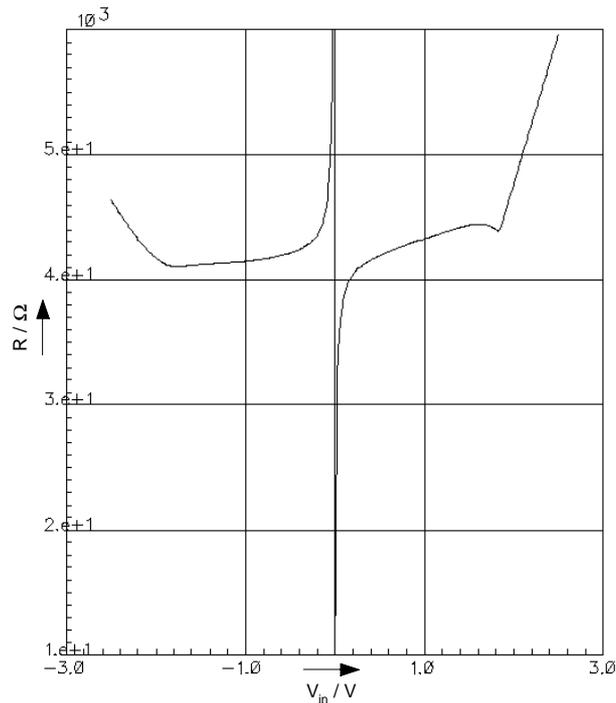


Abb. 5.28: Widerstandskennlinie des Dual-Output-Linear-OTAs

Die maximale relative Abweichung des Widerstands im Aussteuerbereich beträgt

$$\frac{\Delta R_{\max}}{R} = 7,5\% . \quad (5.65)$$

5.4 Vergleich der schaltungstechnischen Realisierungsmöglichkeiten

Die wichtigsten Simulationsergebnisse der unterschiedlichen Realisierungsmöglichkeiten für den Vertikalwiderstand werden zum Vergleich in der Tabelle 5.4 gegenübergestellt.

	$\Delta R_{\max}/R$	Anzahl der Transistoren	
		für einen R_V	für zwei R_V
Einstufiger gegengekoppelter Differenzverstärker	30%	5	10
Bidirektionaler linearisierter OTA nach Wang	25%	15	30
Bidirektionaler linearisierter OTA mit Kaskode-Stromspiegel	16%	23	46
Dual-Output-Linear-OTA	7,5%	13	17

Tabelle 5.4: Vergleich der Realisierungsmöglichkeiten des vertikalen Widerstandes

Die vorgestellten Implementierungsmöglichkeiten des Vertikalwiderstandes werden im folgenden hinsichtlich ihrer Linearität und des Schaltungsaufwandes miteinander verglichen.

5.4.1 Linearität

Im Gegensatz zur herkömmlichen Realisierung des Vertikalwiderstandes mit Hilfe des einstufigen gegengekoppelten Differenzverstärkers ($\Delta R_{\max}/R=30\%$), kann mit dem Dual-Output-Linear-OTA eine geringere Widerstandsabweichung vom Verhalten eines idealen ohmschen Widerstandes erzielt werden ($\Delta R_{\max}/R=7,5\%$). Vollständigkeitshalber wird im folgenden die Linearität der beiden Schaltungen untersucht.

Die Linearität einer Schaltung wird durch den Klirr-Faktor (Total-Harmonic-Distortion *THD*) beschrieben. Die *THD* bestimmt sich aus dem Verhältnis der Effektivwerte der Oberwellen zum Effektivwert der Grundwelle [102]. Für die Messung der *THD* wird am Eingang der Schaltungen eine sinusförmige Spannung $V_{in}=V_A \sin(\omega_0 t)$ angelegt. Bei einer Frequenz von 2 MHz wird eine parametrische Analyse durchgeführt, wobei die Amplitude V_A als Parameter von [0 V-1,6 V] variiert wird. Anschließend erfolgt eine diskrete Fouriertransformation mit dem Strom-Ausgangssignal. Die Amplituden der Spektralanteile bei $\omega=\omega_0$, $\omega=2\omega_0$ und $\omega=3\omega_0$ wurden gemessen (höhere Oberwellen wurden vernachlässigt).

Die Abb. 5.29 zeigt die Harmonic-Distortion der ersten und der zweiten Oberwelle sowie die Total-Harmonic-Distortion des einstufigen gegengekoppelten Differenzverstärkers in Abhängigkeit der Eingangsamplitude V_A . Mit zunehmender Eingangsspannung ergibt sich, wie schon aus der Kennlinie in Abb. 5.8 zu erkennen war, eine stärkere Verzerrung der Eingangssignale.

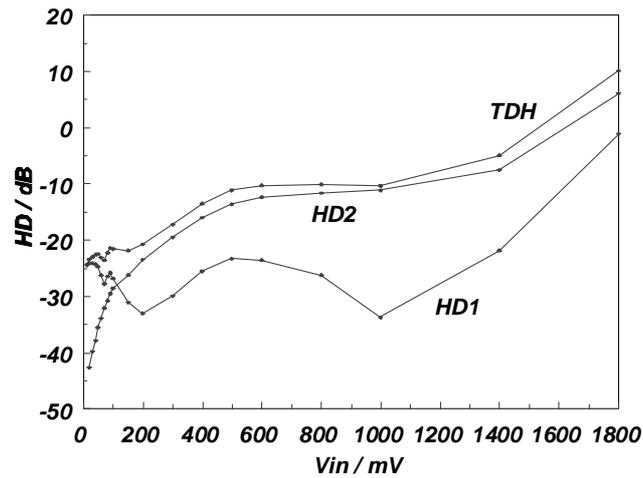


Abb. 5.29: THD des einstufigen gegengekoppelten Differenzverstärkers (Harmonic-Distortion der ersten Oberwelle HD1 und der zweiten HD2)

Im Vergleich dazu ist in Abb. 5.30 die Total-Harmonic-Distortion des Dual-Output-Linear-OTAs dargestellt. Bei der Messung waren keine Oberwellen erkennbar, die größer waren als $\omega=2\omega_0$. Somit entspricht die Harmonic-Distortion der ersten Oberwelle auch der Total-Harmonic-Distortion.

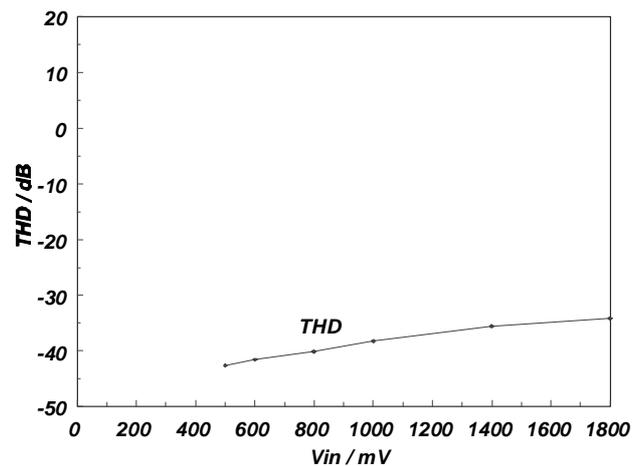


Abb. 5.30: THD des Dual-Output-Linear-OTAs

Der Dual-Output-Linear-OTA weist mit maximal -35 dB im geforderten Aussteuerbereich eine erheblich günstigere THD auf als der einfache Differenzverstärker mit maximal -5 dB , da gemäß des Linearisierungsprinzips nach Wang (siehe Abschnitt 5.2.1), der CVC-Lastwiderstand allein den Vertikalwiderstand realisiert.

5.4.2 Schaltungsaufwand

Als weiterer Vergleichswert dient die Anzahl der verwendeten Transistoren für die Realisierung der jeweiligen Schaltungen.

Die Schaltung des Dual-Output-Linear-OTAs benötigt mit 17 Transistoren im Vergleich zu den linearisierten OTAs für die Realisierung von zwei parallelen Vertikalwiderständen eine deutlich geringere Anzahl von Transistoren als 30 bzw. 46 Transistoren. Dies folgt einerseits

durch die Source-Schaltung als zweite Verstärkerstufe (siehe Abschnitt 5.3.1) und andererseits durch die effektive Mehrfachnutzung von Schaltungsmodulen (siehe Abschnitt 5.3.3). Die geringstmögliche Transistorenzahl für die Realisierung eines vertikalen Widerstandes benötigt der einstufige gegengekoppelte Differenzverstärker mit 5 Transistoren. Dies ist jedoch verbunden mit der höchsten Widerstandsabweichung von $\Delta R_{max}/R=30\%$. Für die Realisierung von zwei parallelen Vertikalwiderständen verdoppelt sich die Transistorenzahl auf 10. Im Gegensatz dazu ist beim Dual-Output-Linear-OTA diese Verdopplung nicht erforderlich. Durch die effektive Mehrfachnutzung von Schaltungsmodulen sind 4 zusätzliche Transistoren ausreichend, um zwei parallele Vertikalwiderstände zu realisieren.

Aufgrund des vergleichsweise niedrigen Hardwareaufwands und der zusätzlich hohen Linearität, wurde für die Implementierung der Vertikalwiderstände des gemultiplexten-zweilagigparallelen Widerstandsnetzwerks der Dual-Output-Linear-OTA ausgewählt.

6 Realisierung der Horizontalwiderstände

Die Horizontalwiderstände in konventionellen Widerstandsnetzwerken zur Bildvorverarbeitung werden durch komplexe Schaltungen bestehend aus 7 bis 33 MOS-Transistoren realisiert [40][50][69][97]. Im Gegensatz dazu werden in dieser Arbeit die Horizontalwiderstände durch einzelne MOS-Transistoren implementiert, die im Triodenbereich betrieben werden. Die Gateanschlüsse der Transistoren werden dabei durch Spannungen angesteuert, die größer sind als die Betriebsspannung V_{DD} . Diese Spannungen werden durch eine Ladungspumpe on-Chip generiert. Damit wird gewährleistet, daß die Transistoren bei minimaler physikalischer Dimensionierung näherungsweise eine lineare Widerstandscharakteristik aufweisen.

In diesem Kapitel wird zunächst in Abschnitt 6.1 der allgemeine Aufbau der Horizontalwiderstände des gemultiplexten zweilagig-parallelen Netzwerks vorgestellt. Anschließend erfolgt in Abschnitt 6.2 die Betrachtung des MOS-Transistors als linearer Widerstand. Die Schaltungsmodule zur Ansteuerung der Horizontalwiderstände wie z.B. die Ladungspumpe werden in Abschnitt 6.3 diskutiert. Die zur Segmentierung notwendige Multiplexerschaltung wird in Abschnitt 6.4 gezeigt.

6.1 Allgemeiner Aufbau der Horizontalwiderstände

Den allgemeinen Aufbau der Horizontalwiderstände des gemultiplexten zweilagig-parallelen Netzwerks zeigt die Abb. 6.1.

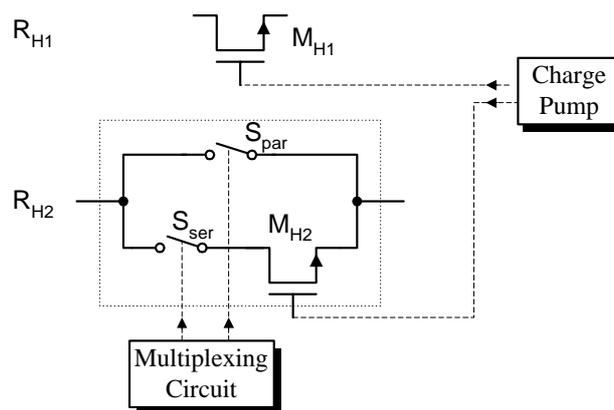


Abb. 6.1: Horizontalwiderstände beider Netzlagen (vereinfachte Darstellung)

Die Horizontalwiderstände beider Netzwerklagen (R_{H1} , R_{H2}) werden durch einzelne NMOS Transistoren (M_{H1} , M_{H2}) unterschiedlicher Dimensionierung realisiert. Dadurch werden bei gleicher Gatespannung verschiedene Widerstandswerte realisiert. Die Widerstände sind allerdings vom jeweiligen Arbeitspunkt abhängig. Daher werden die Gateanschlüsse der Transis-

toren durch eine Ladungspumpe mit Spannungen versorgt, die größer sind als die maximale Betriebsspannung von V_{DD} . Somit wird der Einsatz der einzelnen MOS Transistoren im Triodenbereich gewährleistet und ferner der Widerstandswert geregelt. Diese Methode ist ein sinnvoller Kompromiss zwischen Hardwareaufwand und erzielbarer Linearität. Hier sei nochmals zu erwähnen, daß für die Kantenerkennung nicht absolute Widerstandswerte, sondern relative Widerstandsverhältnisse R_H/R_V entscheidend sind.

Die generierten Spannungen der Ladungspumpe liegen zwischen 7,8 V und 13,3 V, bei einer Gateoxiddurchbruchsspannung der uns zur Verfügung stehenden 1,2µm AMS-Technologie von >20 V. Es wären demnach höhere Gatespannungen und somit eine höhere Linearität der Horizontalwiderstände erzielbar. Allerdings wurde eine maximale Gatespannung von 13,3 V angesetzt, um einerseits eine höhere Sicherheit zu gewährleisten und andererseits die Funktionalität der Methode nach Abb.6.1 zu überprüfen.

Für die zusätzliche Segmentierung werden in der zweiten Netzwerklage die Horizontalwiderstände um zwei Schalter (S_{ser} , S_{par}) erweitert: In der Kantenerkennungsphase ist der Schalter S_{ser} geschlossen und S_{par} offen, und M_{H2} wirkt wie ein einfacher Horizontalwiderstand. In der Segmentierungsphase steuert das „Multiplexing Circuit“ beide Schalter, je nachdem ob eine Kante vorliegt oder nicht. Bei einer zuvor erkannten Kante werden beide Schalter geöffnet, andernfalls geschlossen.

Für die Horizontalwiderstände der beiden parallelen Widerstandslagen ergeben sich somit die folgenden **Anforderungen**:

- In der Kantenerkennungsphase müssen die Widerstandswerte der Horizontalwiderstände voneinander verschieden sein, um zwei unterschiedlich räumlich tiefpaßgefilterte Signale zu erzeugen. Dabei sollten die Widerstandswerte der Horizontalwiderstände der ersten Netzlage R_{H1} veränderbar sein, um eine Steuerung des Detailreichtums der Kanteninformationen zu ermöglichen (siehe Tabelle 6.1).
- In der Segmentierungsphase sollte der Horizontalwiderstand der zweiten Netzlage R_{H2} bei einer zuvor erkannten Kanten zwischen seinen Knotenpunkten möglichst hochohmig und bei keiner Kante möglichst niederohmig sein.

		R_{H1}	R_{H2}
Kantenerkennungsphase		variabel ³ , 40 kΩ 20 kΩ	konstant, 4 kΩ
Segmentierungsphase	Kante	--	∞ (ideal)
	keine Kante	--	0 (ideal)

Tabelle 6.1: Anforderungen der beiden Horizontalwiderstände R_{H1} und R_{H2}

³ Die in Abschnitt 3.3.4 beschriebene Steuerung des Detailreichtums der Kanteninformation wird durch die Variation des Widerstandes R_{H1} realisiert. Die schaltungstechnische Realisierung erfolgte für die Widerstandswerte 20 kΩ und 40 kΩ. Auf weitere Widerstandswerte wurde hier verzichtet, da in erster Linie die Verifikation der Funktionalität der Schaltung im Vordergrund stand.

6.2 MOS-Transistor als linearer Widerstand

6.2.1 Betrachtung der Widerstandsgleichung

Um den Einsatz des MOS-Transistors als ohmschen Widerstand zu untersuchen, werden zunächst dessen Drainstromgleichungen betrachtet. Unter Vernachlässigung des Substratsteuereffektors δ ergeben sich nach [107] folgende Drainstromgleichungen für den MOS-Transistor:

$$I_D = \begin{cases} \frac{W}{L} \mu c_{ox} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] & \text{für } V_{DS} \leq V_{DSSAT} \\ \frac{W}{L} \mu c_{ox} \frac{(V_{GS} - V_T)^2}{2} & \text{für } V_{DS} > V_{DSSAT} \end{cases} \quad (6.1)$$

Man unterscheidet zwischen der Drainstromgleichung für den Triodenbereich ($V_{DS} \leq V_{DSSAT}$) und für den Sättigungsbereich ($V_{DS} > V_{DSSAT}$). Für den Einsatz des einzelnen MOS-Transistors als Horizontalwiderstand im Widerstandsnetzwerk wird der Triodenbereich betrachtet, da sich hier der Transistor näherungsweise wie ein ohmscher Widerstand verhält.

Als Beispiel wird in Abb. 6.2 das Kennlinienfeld eines NMOS-Transistors für unterschiedliche Gatespannungen V_G dargestellt.

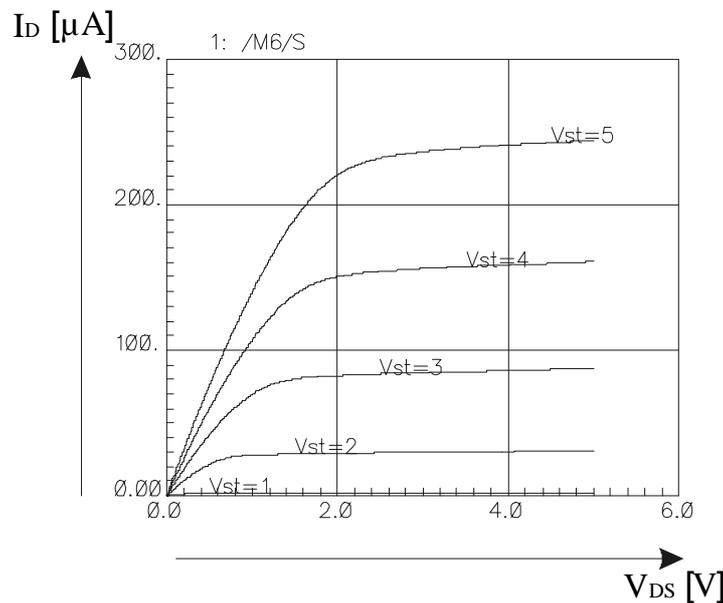


Abb. 6.2: Kennlinien eines NMOS-Transistors für $V_G = V_{st} = [1 \text{ V} - 5 \text{ V}]$, $W/L = 5 \mu\text{m}/6 \mu\text{m}$

Bei einer Gatespannung von z. B. $V_{st} = 5 \text{ V}$ weist die Kennlinie im Bereich von $V_{DS} = [0 \text{ V} - 1,8 \text{ V}]$ eine annähernd lineare Widerstandscharakteristik auf. Für diesen Bereich gilt näherungsweise:

$$R = \frac{V_{DS}}{I_D} \quad (6.2)$$

Die Drainstromgleichung für den Triodenbereich aus Gl. (6.1) eingesetzt in die Gl. (6.2) ergibt unter der Voraussetzung, daß $V_{DS} \ll V_{GS}$ ist:

$$R = \frac{V_D}{I_D} = \frac{L}{W \cdot \mu_n C_{ox} (V_G - V_T)} \quad (6.3)$$

Für den Einsatz des MOS-Transistors als Horizontalwiderstand im Widerstandsnetzwerk wird gefordert, daß er im Bereich von $V_{DS}=[1\text{ V}-4\text{ V}]$ ein ohmsches Verhalten aufweist. Die Transistorkennlinien aus Abb. 6.2 würden dieser Forderung zur unzureichend genügen. Um einerseits den linearen Bereich der Transistoren zu erweitern und andererseits den Einfluß der Drain-Source-Spannung V_{DS} auf den Widerstandswert zu minimieren, werden die Transistoren mit Gatespannungen versorgt, die größer sind als maximale Betriebsspannung V_{DD} . Diese Gatespannungen werden durch eine Ladungspumpe on-Chip erzeugt. Zur Veranschaulichung dieser Methode werden in Abb. 6.3 die Transistorkennlinien der Abb. 6.2 um zusätzliche Kennlinien mit $V_{GS} \geq V_{DD}$ erweitert.

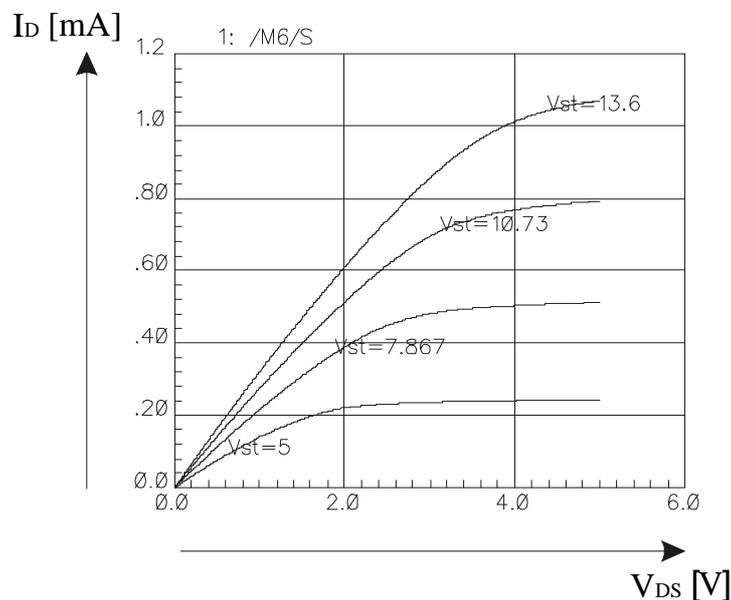


Abb. 6.3: Transistorkennlinien für $V_G=V_{st}=[5\text{ V}-13,6\text{ V}]$, $W/L=5\ \mu\text{m}/6\ \mu\text{m}$

Es ist deutlich zu erkennen, daß mit zunehmender Gatespannung auch der lineare Bereich der Transistorkennlinien ansteigt.

6.2.2 Widerstandsdimensionierung

Übersichtshalber werden in der Tabelle 6.2 die gewünschten Werte der Vertikal- und Horizontalwiderstände beider Netzlagen und das entsprechende Verhältnis beider Widerstände dargestellt.

Widerstände in Netz 1	Widerstandswert	Verhältnis R_{H1}/R_{V1}
R_{V1}	$40 \text{ k}\Omega$	
$R_{H1,1}$	$20 \text{ k}\Omega$	1:2
$R_{H1,2}$	$40 \text{ k}\Omega$	1:1
Widerstände in Netz 2		Verhältnis R_{H2}/R_{V2}
R_{V2}	$40 \text{ k}\Omega$	
R_{H2}	$4 \text{ k}\Omega$	1:10

Tabelle 6.2: Dimensionierung der Widerstände

- **Dimensionierung der Horizontalwiderstände R_{H1} der ersten Netzwerklage**

Zunächst wird der **20 k Ω -Widerstand** dimensioniert. Die Weite W wird auf $1,2 \mu\text{m}$ festgelegt. Dadurch soll zum einen das Layout vereinfacht und zum anderen die Länge L des Transistors möglichst minimal gehalten werden [siehe Gl. (6.4)]. Weiterhin wird eine Gatespannung $V_G \gg V_S$ angenommen, d.h. $V_G \approx V_{GS}$.

Mit den folgenden Parametern der $1,2 \mu\text{m}$ AMS Technologie

$$\mu_n c_{ox} = k = 75 \frac{\mu\text{A}}{\text{V}^2}, \quad V_T = 0,75 \text{ V}$$

und einer Gatespannung von $13,66 \text{ V}^4$ folgt nach Gl. (6.4) für die Länge des Transistors

$$L = 20 \cdot 1,2 \cdot 75 \cdot (13,66 - 0,75) \text{ k} \frac{\text{V}}{\text{A}} \cdot \mu\text{m} \cdot \mu \frac{\text{A}}{\text{V}^2} \cdot \text{V} \approx 23 \mu\text{m}.$$

Für die Dimensionierung des **40 k Ω -Widerstandes** werden die zuvor berechneten W/L-Werte des 20 k Ω -Widerstandes beibehalten und nach Gl. (6.4) die entsprechende Gatespannung V_G berechnet⁵:

$$V_G = \frac{23}{1,2 \cdot 75 \cdot 40} \frac{\mu\text{m} \cdot \text{V}^2 \cdot \text{A}}{\mu\text{m} \cdot \mu\text{A} \cdot \text{kV}} + 0,75 \text{ V} = 7,14 \text{ V}$$

- **Dimensionierung der Horizontalwiderstände R_{H2} der zweiten Netzwerklage**

Bei der Dimensionierung der 4 k Ω -Widerstände ist zu beachten, daß sich der Wert des Widerstandes aus dem Wert des Transistorwiderstandes R'_{H2} und dem Wert des Widerstandes des in Serie geschalteten Transmissionsgate-Schalters S_{ser} zusammensetzt (siehe Abb. 6.1). Daher

⁴ Diese Gatespannung entspricht der maximalen Ausgangsspannung der verwendeten Ladungspumpe, die im nächsten Abschnitt 6.4 diskutiert wird.

⁵ Diese Spannung kann durch die verwendete Ladungspumpe nicht generiert werden (siehe Abschnitt 6.4). Daher wird der nächsthöhere mögliche Wert von $V_G = 7,81 \text{ V}$ verwendet. Damit ergibt sich ein Widerstandswert von $R = 36,3 \text{ k}\Omega$.

müssen bei der Dimensionierung die Eigenschaften des Transmissionsgate-Schalters der Tabelle 6.3 mit berücksichtigt werden.

	NMOS	PMOS
Dimensionierung (W/L)	6,9 $\mu\text{m}/1,2 \mu\text{m}$	27 $\mu\text{m}/1,2 \mu\text{m}$
Widerstand geschlossener Schalter	~1 k Ω	
Widerstand offener Schalter	>900 M Ω	

Tabelle 6.3: Eigenschaften des Transmissionsgate-Schalters

Somit muß der Widerstand R'_{H2} für 3 k Ω dimensioniert werden. Dazu wird zunächst die Länge des Transistors auf 4 μm festgelegt. Dieser Wert sollte ausreichen, um den Transistor „klein“ zu halten und dabei dennoch Kurzkanaleffekte zu unterdrücken. Die Gatespannung V_G wird auf die maximal erreichbare Spannung der verwendeten Ladungspumpe auf 13,66 V gesetzt. Daraus ergibt sich für die Weite W des Transistors:

$$W = \frac{4}{3 \cdot 75 \cdot (13,66 - 0,75)} \frac{\mu\text{m} \cdot \text{A} \cdot \text{V}^2}{\text{kV} \cdot \mu\text{A} \cdot \text{V}} \approx 1,4 \mu\text{m}$$

- Zusammenfassung der Dimensionierungen der Horizontalwiderstände**

	W/ μm	L/ μm	Gatespannung	Berechneter Widerstandswert
R_{H1}	1,2	23	13,66 V	20 k Ω
R_{H1}	1,2	23	7,81 V	36 k Ω
R_{H2}	1,4	4	13,66 V	3 k Ω

Tabelle 6.4: Zusammenfassung der Ergebnisse für die Dimensionierung der Horizontalwiderstände

- Toleranzen der Widerstände**

Unter der Annahme, daß die Gatespannung V_G der Gl. (6.3) um bis zu 10% variieren kann, lassen sich folgende maximale Widerstandstoleranzen berechnen:

a) Für $R_{H1}=20 \text{ k}\Omega$: $\frac{\Delta R}{R} = 19,1\%$

b) Für $R_{H1}=36 \text{ k}\Omega$: $\frac{\Delta R}{R} = 12,8\%$

c) Für $R_{H2}=3 \text{ k}\Omega$: $\frac{\Delta R}{R} = 27,0\%$

6.3 Schaltungsmodule für die Horizontalwiderstände

Zur Ansteuerung der Horizontalwiderstände werden Spannungen von ca. $7,8\text{ V}$ - $13,7\text{ V} > V_{DD}$ benötigt. Diese können bei der verwendeten Technologie nicht von außen über die Eingangspads des Mikrochips zugeführt werden, sondern müssen auf dem Chip aus der 5 V -Versorgungsspannung erzeugt werden. Dazu wird der Spannungsvervielfacher von Dickson verwendet [24].

6.3.1 Ladungspumpe nach Dickson

Die Ladungspumpe zur Spannungsvervielfachung nach Dickson zeigt die Abb. 6.4.

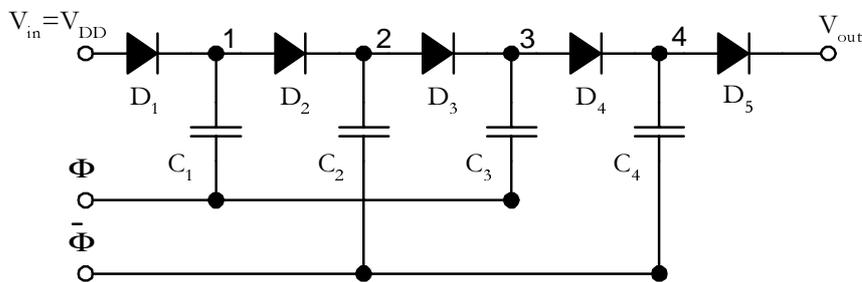


Abb. 6.4: Vierstufige-Ladungspumpe nach Dickson

Die Ladungspumpe wird durch zwei nicht überlappende Rechtecksignale angetrieben: Ist $\phi = Low$, so wird die Kapazität C_1 über die Diode D_1 auf V_{DD} aufgeladen. Bei $\phi = High$ steigt das Potential an Knoten 1 auf $2 \cdot V_{DD}$. Dabei wird die Kapazität C_2 über die Diode D_2 auf $2 \cdot V_{DD}$ geladen. Bei erneutem $\phi = Low$ steigt das Potential an Knoten 3 auf $3 \cdot V_{DD}$ usw.. Die Ausgangsspannung erhöht sich also mit jeder Stufe um V_{DD} :

$$V_{out} = (n+1) \cdot V_{DD} \quad (6.4)$$

Der Parameter $n (=1,2,3,\dots)$ gibt hierbei die Anzahl der Stufen bzw. die Anzahl der Kondensatoren an. Die Gl. (6.5) gilt natürlich nur idealerweise. Daher müssen folgende Störgrößen bei der Berechnung mit berücksichtigt werden:

- Die Schwellspannung der Dioden V_D muß in die Betrachtung mit einbezogen werden. Sie bewirkt, daß ein Kondensator nicht auf das Potential des vorhergehenden Knoten aufgeladen werden kann. Mit jeder Stufe geht ein Anteil der Größe V_D verloren.
- Es sind Störkapazitäten C_S zu berücksichtigen, die zwischen jedem Knoten und der Masse liegen. Demnach ist der Spannungshub an den einzelnen Knoten kleiner als die Amplitude von ϕ , da hier ein kapazitiver Spannungsteiler vorliegt.

Unter Berücksichtigung dieser Störgrößen ergibt sich die Ausgangsspannung zu:

$$V_{\text{out}} = V_{\text{DD}} - V_{\text{D}} + n \left(\frac{C}{C + C_{\text{S}}} \cdot V_{\text{DD}} - V_{\text{D}} \right) \quad (6.5)$$

Wird die Ladungspumpe belastet, so geht ein zusätzlicher Laststrom I_{L} mit in die Betrachtung ein, sodaß ein weiterer Anteil aus Gl. (6.6) subtrahiert werden muß, der abhängig ist von der Frequenz f :

$$V_{\text{out}} = V_{\text{DD}} - V_{\text{D}} + n \left(\frac{C}{C + C_{\text{S}}} \cdot V_{\text{DD}} - V_{\text{D}} \right) - \frac{n \cdot I_{\text{L}}}{(C + C_{\text{S}}) \cdot f} \quad (6.6)$$

Ausführliche Herleitungen zu den oben genannten Formeln finden sich in der angegebenen Literatur [24].

Die zum Aufbau der Ladungspumpe notwendigen bipolaren Dioden stehen bei der verwendeten Technologie nicht zur Verfügung. Daher werden sie durch diode-connected NMOS Transistoren ersetzt.

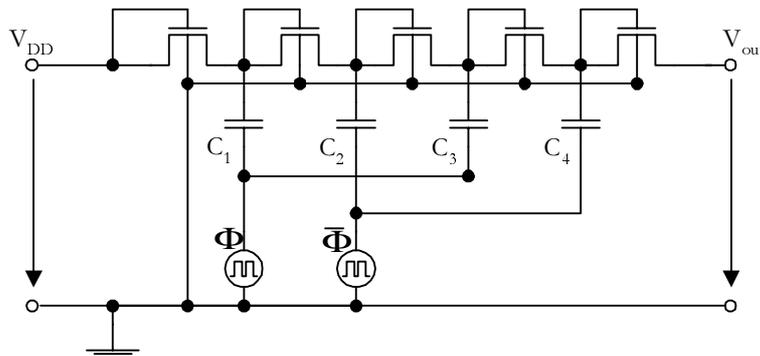


Abb. 6.5: Ladungspumpe mit diode-connected NMOS Transistoren als Dioden

Für die Berechnung der Ausgangsspannung V_{out} wird die Diodenschwellspannung V_{D} in Gl. (6.7) durch die Thresholdspannung V_{T} ersetzt:

$$V_{\text{out}} = V_{\text{DD}} - V_{\text{T}} + n \left(\frac{C}{C + C_{\text{S}}} \cdot V_{\text{DD}} - V_{\text{T}} \right) - \frac{n \cdot I_{\text{L}}}{(C + C_{\text{S}}) \cdot f} \quad (6.7)$$

6.3.2 Spannungsbegrenzer

Die Ausgangsspannung der Ladungspumpe zur Ansteuerung der Widerstände $R_{\text{HI},2}$ darf einerseits nicht zu groß sein, um die Transistoren nicht zu beschädigen, und andererseits werden unterschiedliche Spannungen $V_{\text{out}} > 5 \text{ V}$ zur Änderung der Widerstandswerte von R_{HI} benötigt. Dazu wird am Ausgang der Ladungspumpe ein Spannungsbegrenzer nach Abb. 6.6 hinzugeschaltet. Diese besteht aus einer Kette von mehreren in Reihe geschalteten diode-connected PMOS Transistoren, die die Ausgangsspannung der Ladungspumpe auf ca. $n \cdot V_{\text{T}}$ begrenzt. Ferner können die benötigten Spannungen $> V_{\text{DD}}$ für die Ansteuerung der Horizontalwiderstände an den jeweiligen Knoten der Diodenkette der Abb. 6.6 abgegriffen werden.

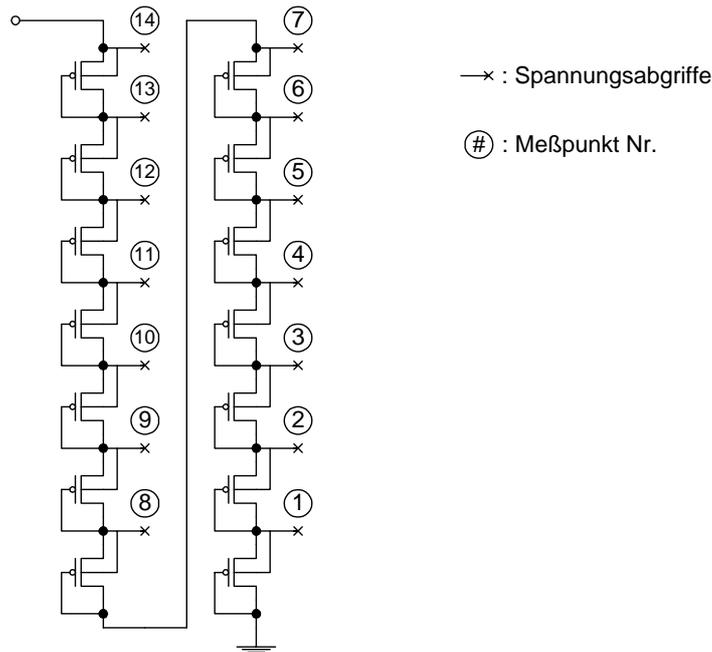


Abb. 6.6: PMOS-Diodenkette zur Spannungsbegrenzung (am Ausgang der Ladungspumpe)

6.3.3 Taktgenerator

Für die Ansteuerung der Ladungspumpe wird ein nichtüberlappenden Zweiphasentakt benötigt. Um mögliche Timingprobleme zwischen den beiden Taktphasen zu vermeiden, wird für die Erzeugung eines nichtüberlappenden Zweiphasentaktes die Schaltung nach Abb. 6.7 verwendet [27][43].

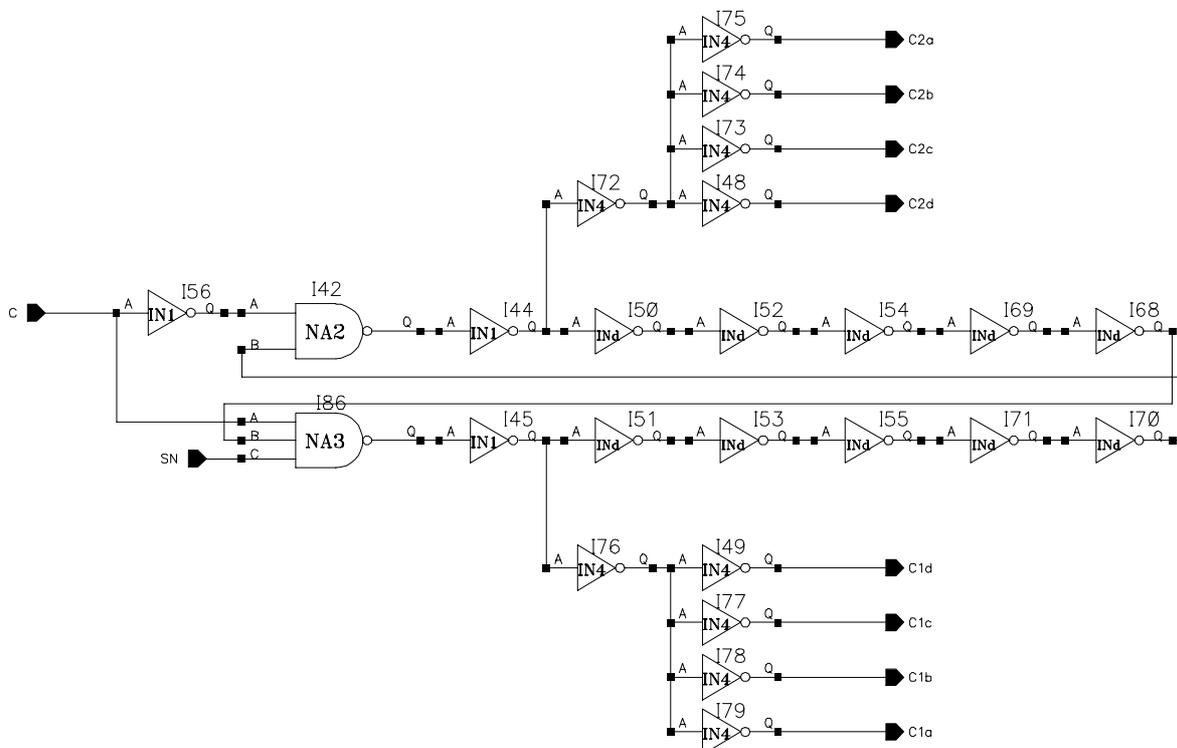


Abb. 6.7: Taktgenerator zur Erzeugung eines nichtüberlappenden Zweiphasentaktes

Aus einem eingehenden Takt C werden zwei nichtüberlappende Takte $C1$ und $C2$ erzeugt. Die Größe der Nichtüberlappung entspricht hierbei der Verzögerungszeit der Inverterkette. Bei der Implementierung des Taktgenerators wurde auf den Entwurf nach [27] zurückgegriffen.

6.3.4 Simulationsergebnisse der Ladungspumpe mit Spannungsbegrenzer

Um die benötigten Spannungen zur Ansteuerung der Horizontalwiderstände zu generieren, wurde eine vierstufige-Ladungspumpe mit einer Spannungsbegrenzerschaltung aus 14 diode-connected PMOS-Transistoren simuliert.

• Dimensionierung

Die Dimensionierung der Bauelemente der Ladungspumpe und des Spannungsbegrenzers ist in Tabelle 6.5 zusammengefaßt.

Bauelemente	Dimensionierung	
Diode-connected NMOS	W=2,8 μm	L=3 μm
Koppelkondensatoren	800 fF	
PMOS-Diodenkette	W=2,8 μm	L=3 μm

Tabelle 6.5: Dimensionierung der Ladungspumpe mit Spannungsbegrenzer am Ausgang

• Ergebnisse der Simulation

Die Tabelle 6.6 zeigt die simulierten Ausgangsspannungen der Spannungsbegrenzerschaltung $V_{out,cp}$ an den jeweiligen Knoten der Abb. 6.7.

Knoten #	V_{OUT}	Knoten #	V_{OUT}
1	0,96 V	8	7,81 V
2	1,95 V	9	8,78 V
3	2,92 V	10	9,76 V
4	3,90 V	11	10,73 V
5	4,88 V	12	11,71 V
6	5,86 V	13	12,68 V
7	6,83 V	14	13,66 V

Tabelle 6.6: Simulierte Ausgangsspannungen der Spannungsbegrenzerschaltung nach Abb. 6.6

Die zur Ansteuerung der Horizontalwiderstände benötigten Spannungen von 13,66 V und 7,81 V können beide aus der Diodenkette an den Knoten 8 und 14 abgegriffen werden. Problematisch dabei ist jedoch das Schalten zwischen diesen hohen Spannungen mit einem kleineren 5 V-Logikpegel. Dafür werden sogenannte Pegelkonverter verwendet, die im nächsten Abschnitt beschrieben werden.

6.3.5 Pegelkonverter und Demultiplexer für Spannungen $>V_{DD}$

Zum Schalten von Spannungen $>V_{DD}$ mit einem Logikpegel von 5 V werden Pegelkonverter nach Abb. 6.8 verwendet [18].

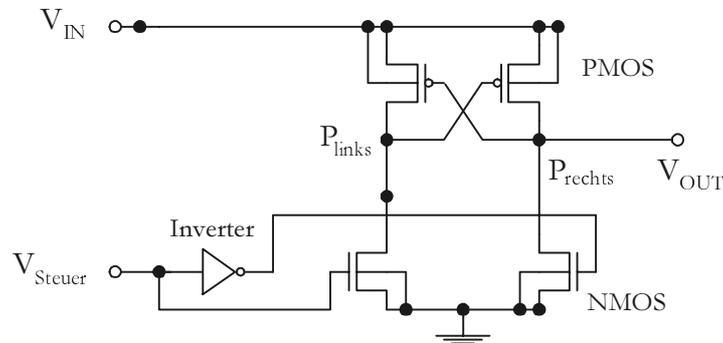


Abb. 6.8: Pegelkonverter zum Schalten von Signalen $>V_{DD}$

Liegt ein High-Pegel an V_{steuer} an, so wird der Punkt P_{links} der Schaltung auf GND gezogen. Durch die Kreuzkopplung der PMOS-Transistoren wird sogleich der Punkt P_{rechts} auf V_{in} aufgeladen. Weiterhin bewirkt die Kreuzkopplung ein sicheres Sperren des PMOS-Transistors im linken Zweig.

V_{Steuer}	V_{OUT}
H	V_{IN}
L	0 V

Tabelle 6.7: Wahrheitstabelle des Pegelkonverters der Abb. 6.8

Der Pegelkonverter nach Abb. 6.8 kann allerdings nicht zum Umschalten von zwei Spannungen verwendet werden, die beide größer sind als V_{DD} . Dazu ist eine Erweiterung der Schaltung zu einem 2:1 Demultiplexer *DMUX* notwendig. Die Auswahl der Spannung zwischen 13,66 V und 7,81 V erfolgt durch zwei externe Steuersignale ($V_{Steuer1}$, $V_{Steuer2}$).

$V_{Steuer1}$	$V_{Steuer2}$	V_{OUT}
H	L	13,66 V
L	H	7,81 V
L	L	--
H	H	--

Tabelle 6.8: Wahrheitstabelle des 2:1 DMUX der Abb. 6.9

Das in Abb. 6.9 dargestellte Schaltungsprinzip des *DMUX* läßt sich je nach Anwendung ohne weiteres zu einem $N:1$ *DMUX* ausbauen ($N=1,2,3,\dots$).

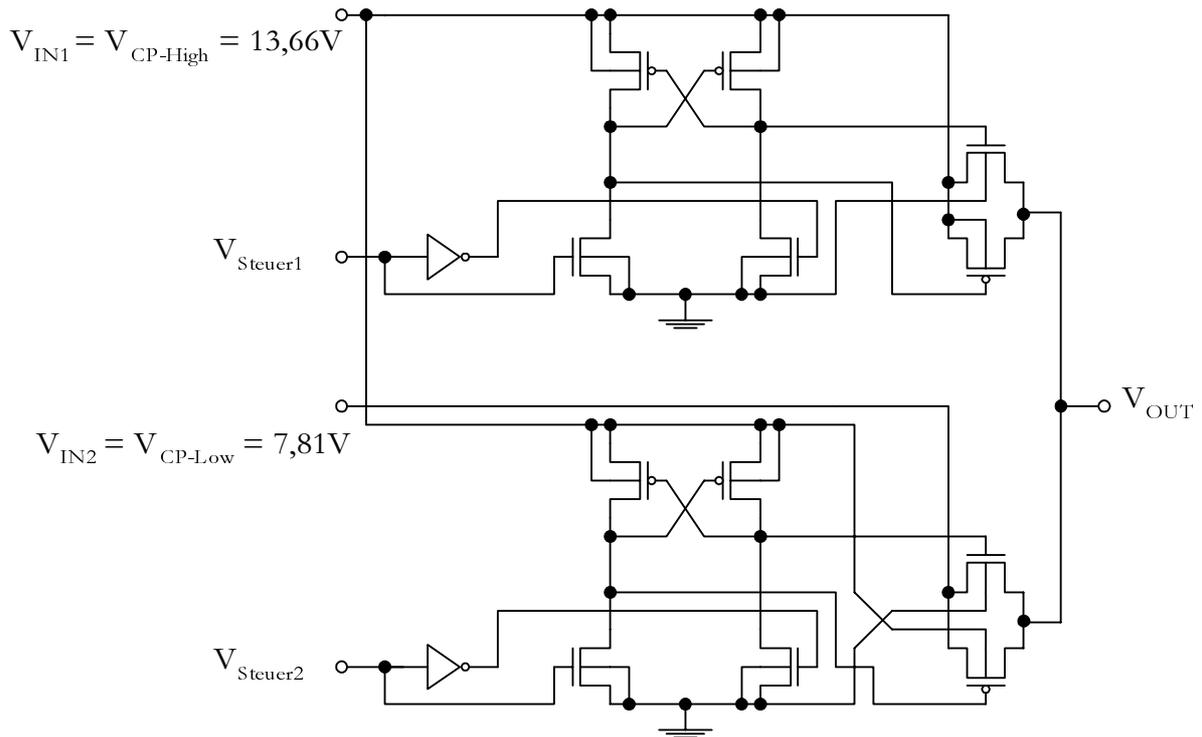


Abb. 6.9: 2:1 DMUX für Eingangsspannungen $> V_{DD}$

• Dimensionierung

Die Transistordimensionierungen für den DMUX und den Pegelkonverter sind in Tabelle 6.9 gegeben. Für die Inverter, des DMUX und des Pegelkonverters, wurden Standardzellen verwendet.

Transistoren	Transistordimensionen	
	W/ μm	L/ μm
NMOS	2	15
PMOS	6	15

Tabelle 6.9: Dimensionierung der Transistoren des DMUX und des Pegelkonverters

6.3.6 Gesamtschaltbild

In Abb. 6.10 ist das Gesamtschaltbild mit den sämtlichen Modulen, die zur Spannungsversorgung der beiden Horizontalwiderstände benötigt werden, dargestellt. Über die Ladungspumpe mit anschließendem Spannungsbegrenzer werden die beiden Spannungen $V_{CP-Low}=7,81\text{ V}$ und $V_{CP-High}=13,66\text{ V}$ generiert, die die einzelnen MOS-Transistoren der Horizontalwiderstände versorgen. Die Horizontalwiderstände der zweiten Netzlage R_{H2} haben einen konstanten Widerstandswert von $4\text{ k}\Omega$ bei einer Gatespannung von $V_{CP-High}$. Im Gegensatz dazu sind die Horizontalwiderstände der ersten Netzlage R_{H1} veränderbar ($40\text{ bzw. }20\text{ k}\Omega$). Den $40\text{ bzw. }20\text{ k}\Omega$ -Widerstand erhält man durch die Auswahl zwischen V_{CP-Low} und $V_{CP-High}$. Dies erfolgt mit Hilfe des 2:1 DMUX mittels der beiden Steuerspannungen $V_{Steuer1}$ und $V_{Steuer2}$.

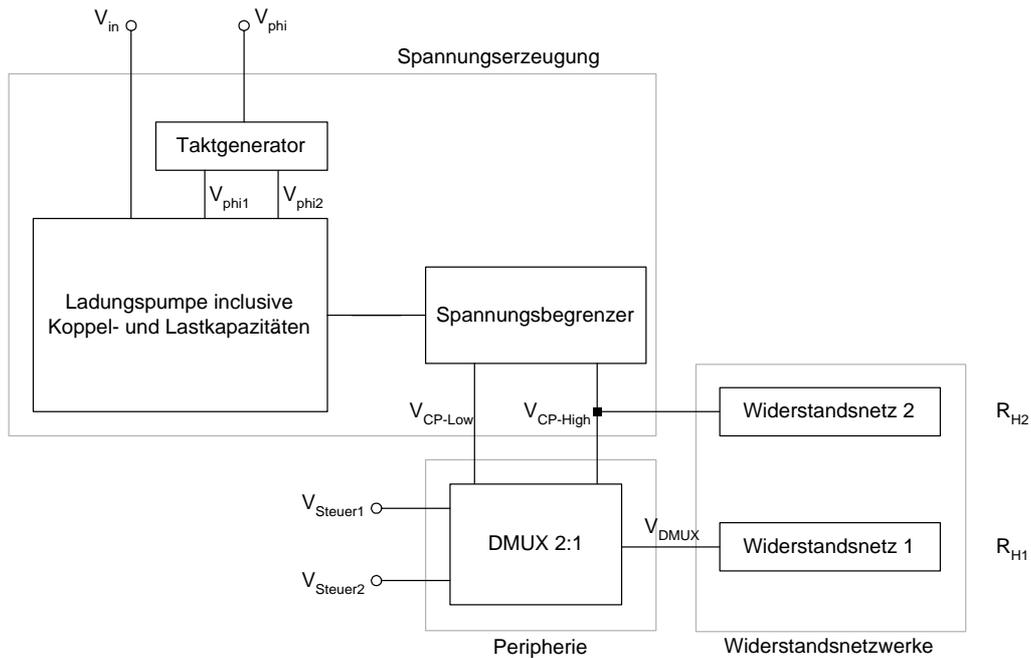


Abb. 6.10: Gesamtschaltbild der Module für die Spannungsversorgung der Horizontalwiderstände

• Simulationsergebnisse

Die Ausgangsspannung V_{DMUX} zur Speisung der Horizontalwiderstände in Abhängigkeit von den Steuersignalen $V_{Steuer1}$ und $V_{Steuer2}$ zeigt die Abb. 6.11.

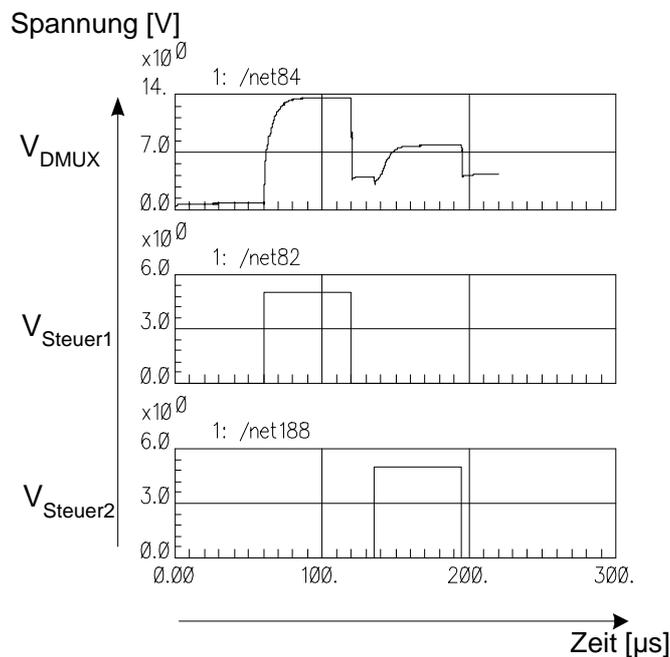


Abb. 6.11: DMUX-Ausgangsspannung V_{DMUX} in Abhängigkeit der Steuersignale $V_{Steuer1}$ und $V_{Steuer2}$

In Abhängigkeit der Steuerspannung $V_{Steuer1}$ und $V_{Steuer2}$ stellt sich am Ausgang des DMUX nach einer Zeit von ca. $30 \mu\text{s}$ eine Ausgangsspannung von etwa $V_{DMUX}=13,6 \text{ V}$ bzw. $V_{DMUX}=7,8 \text{ V}$ ein. Somit kann der gewünschte Widerstandswert von 40 bzw. $20 \text{ k}\Omega$ ausgewählt werden.

6.4 Realisierung des Multiplexers zur Segmentierung

Der Horizontalwiderstand der zweiten Netzlage R_{H2} wird für die Segmentierung mit zwei zusätzlichen Schaltern versehen, die durch CMOS-Switches realisiert werden.

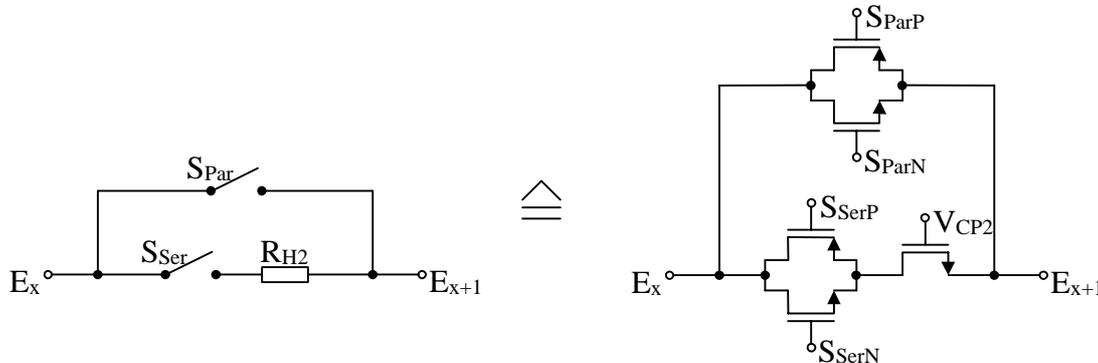


Abb. 6.12: Realisierung des Horizontalwiderstandes der zweiten Netzlage R_{H2}

Zur Kantenerkennung ist der Schalter S_{Ser} geschlossen, während der Schalter S_{Par} geöffnet ist. Wird nun eine Kante zwischen den beiden Knoten (E_x , E_{x+1}) erkannt, werden beide Schalter zur Segmentierung geöffnet, um den Potentialunterschied zu erhalten; bei keiner Kante werden beide geschlossen, um möglichst stark zu glätten. Die Steuerung der beiden Schalter, die jeweils aus einem n- und p-MOS realisiert werden, erfolgt durch die im folgenden beschriebene Multiplexerschaltung.

6.4.1 Multiplexerschaltung

Die Multiplexerschaltung nach Abb. 6.13 dient zur Steuerung der Switches (S_{SerP}/S_{SerN} und S_{ParP}/S_{ParN}) in Abhängigkeit der zuvor gespeicherten binären Kanteninformation.

Der Multiplexer hat die beiden Eingangssignale *Segment* und *nEdgeIn*. Mit dem Signal *Segment* wird extern gewählt, ob das Netzwerk Kanten erkennen (*Segment=Low*) oder segmentieren soll (*Segment=High*). Dieses Steuersignal wird mit dem Inverter (M_1 , M_2) invertiert, um die (M_5 , M_6) und (M_7 , M_8) anzusteuern.

Während der Kantenerkennung schalten diese CMOS-Switches das eingehende Kantensignal *nEdgeIn* (*Low bei Kante, High bei keiner Kante*), invertiert durch den Inverter (M_3 , M_4), in die SRAM-Bitzelle (M_9 - M_{12}) durch. Die inverse binäre Kanteninformation *nEdgeIn* wird zur Segmentierung gespeichert. Dazu wird eine SRAM-Bitzelle bestehend aus zwei kreuzgekoppelten Invertern (M_9 - M_{12}) eingesetzt. Während der Segmentierung ist der Rückkoppelpfad der SRAM-Bitzelle (M_7 , M_8) geschlossen, um die Kanteninformation gespeichert zu halten. Das Ausgangssignal *nEdgeOut* gibt den momentan in der Zelle gespeicherten Wert aus.

Die übrigen Ausgangssignale (S_{SerP} , S_{SerN} , S_{ParP} und S_{ParN}) dienen zur Ansteuerung der Anschlüsse der CMOS-Switches. Die booleschen Gleichungen für sie lauten:

$$S_{\text{SerN}} = \overline{\text{Segment}} \cdot \overline{\text{Edge}}$$

$$S_{\text{SerP}} = S_{\text{SerN}}$$

$$S_{\text{ParP}} = \overline{\text{Segment}} \cdot \text{Edge}$$

$$S_{\text{ParN}} = S_{\text{SerP}}$$

Dabei stellt Edge den invertierten Inhalt der SRAM-Bitzelle dar (*High bei Kante, Low bei keiner Kante*). Die Ansteuersignale sind demnach mit zwei NAND-Gattern mit nachgeschalteten Invertern generierbar.

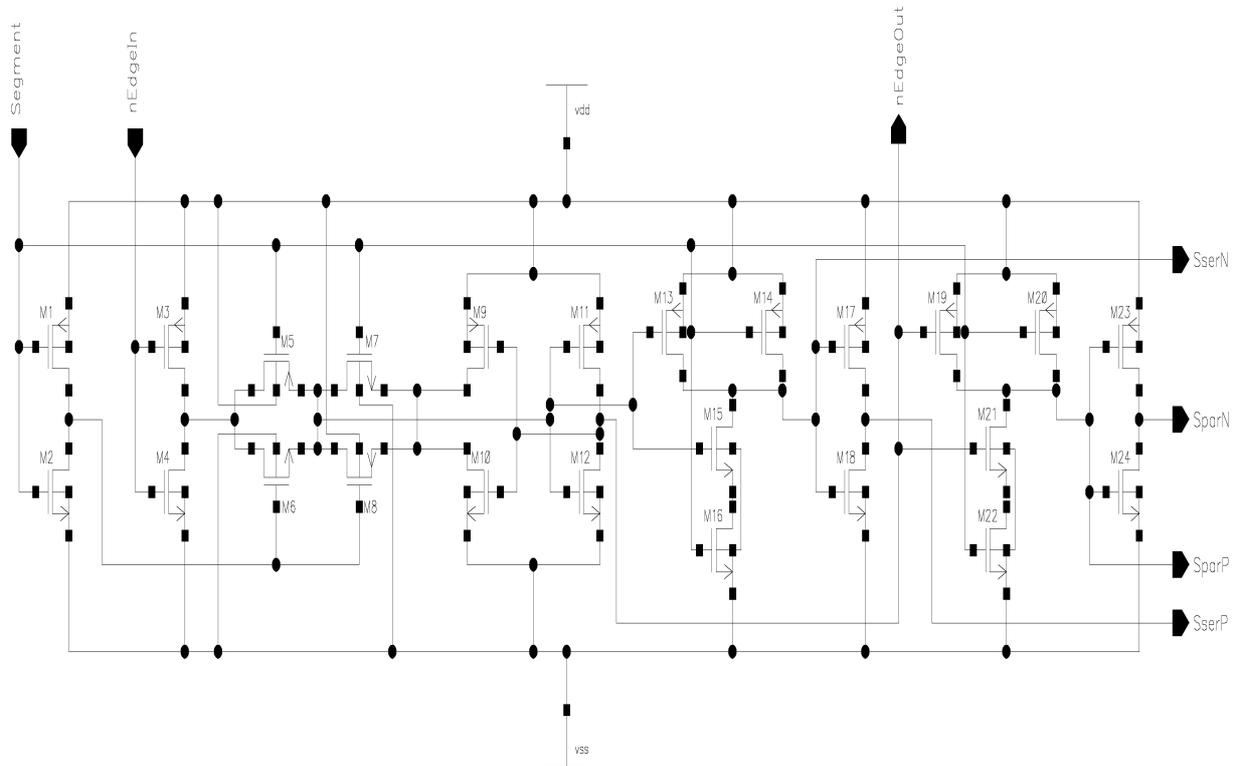


Abb. 6.13: Multiplexerschaltung zur Speicherung der Kanteninformation und der Schalter der zweiten Netzlage für die Segmentierung

6.4.2 Simulationsergebnisse der Multiplexerschaltung

Der simulierte zeitliche Verlauf der Eingangs- und Ausgangssignale der Multiplexerschaltung ist in Abb. 6.14 dargestellt.

Während der Kantenerkennungsphasen ($\text{Segment}=0\text{ V}$) ist der in Serie geschaltete Switch geschlossen (S_{SerN} auf 5 V und S_{SerP} auf 0 V), während der parallelgeschaltete Switch mit geöffnet ist (S_{ParN} auf 0 V und S_{ParP} auf 5 V). Dadurch wirkt vorrangig der Widerstand R_{H2} zwischen den beiden Knoten.

Während der Segmentierungsphasen (Segment auf 5 V) behält der Ausgang $n\text{EdgeOut}$ den während der Kantenerkennungsphase zuletzt anliegenden Wert bei. In der ersten Segmentierungsphase wurde eine Kante erkannt. Durch Umschaltung von S_{SerN} auf 0 V und S_{SerP} auf 5 V wird auch der in Serie geschaltete Switch geöffnet und so zwischen den beiden Knoten ein maximaler Widerstandswert zur Erhaltung der Potentialdifferenz geschaltet. In der zweiten Segmentierungsphase wurde keine Kante erkannt. Durch die Umschaltung von S_{ParN} auf 5 V und S_{ParP} auf 0 V werden beide Switches geschlossen und somit ein minimaler Widerstandswert zur starken Glättung zwischen den beiden Knoten geschaltet.

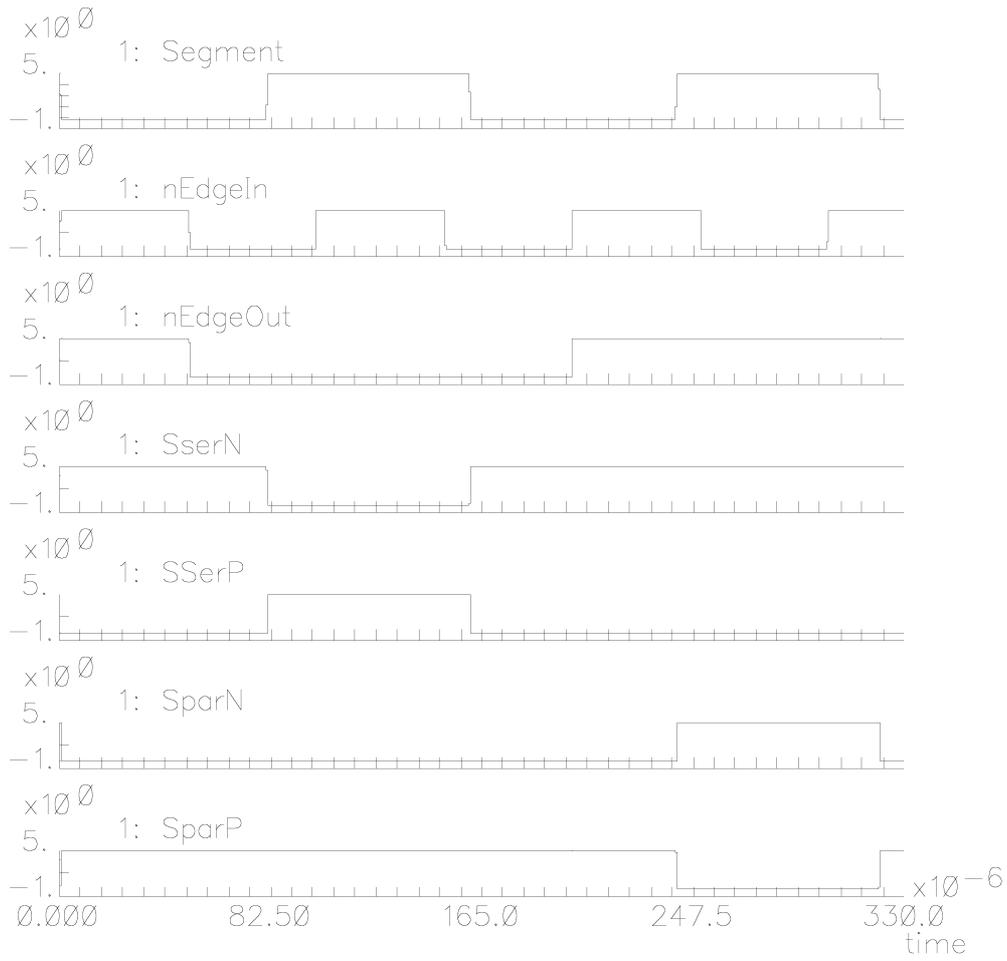


Abb. 6.14: Simulationsergebnis der Multiplexerschaltung

7 Differenzbildung

Die für die Kantenerkennung eingesetzte Methode der Nulldurchgangserkennung erfolgt mit Hilfe eines Vierquadranten-Multiplizierers, der die Differenz zweier benachbarter Knotenpotentiale auswertet (siehe Abb. 4.23). Die Differenzbildung und die Speisung des Multiplizierers erfolgt dabei durch einen Differenzverstärker. Die Verstärkung des Verstärkers darf allerdings nicht zu groß sein, da er sonst schon bei „kleinen“ Knotenpotentialdifferenzen von einigen hundert Millivolt im Sättigungsbereich arbeitet. Somit wäre eine differenzierte Auswertung der Kanteninformationen nicht mehr möglich.

Zusätzlich muß der Differenzverstärker ein Differential-Output-Signal liefern, da der nachfolgende Multiplizierer zur Bestimmung der Zero-Crossings ein Differential-Input benötigt (siehe Abb. 8.10 und Abb. 8.22). Weiterhin weist der Multiplizierer eine hohe Common-Mode-Abhängigkeit auf, sodaß der Differenzverstärker einen Fully-Balanced-Differential-Output besitzen muß. Das bedeutet, daß der Differenzverstärker zwei Ausgangsspannungen mit inversem Vorzeichen erzeugen muß, die symmetrisch sind zur Spannung $V = \frac{1}{2}(V_{DD} - V_{SS})$. Gleichzeitig sollte der Differenzverstärker selbst eine hohe Gleichtaktunterdrückung⁶ (engl. Common-Mode-Rejection-Ratio *CMRR*) aufweisen.

In diesem Kapitel wird für die Differenzbildung zunächst als Einführung in Abschnitt 7.1 ein einstufiger Differenzverstärker nach Gregorian/Temes [36] untersucht. Dieser besitzt allerdings für die Anwendung im Widerstandsnetzwerk ein zu niedriges *CMRR* und liefert zudem keinen Balanced-Differential-Output. Daher wird in Abschnitt 7.2 für den Einsatz im Widerstandsnetzwerk ein neuer Differenzverstärker vorgestellt, der auf den Verstärker mit Balanced-Differential-Output nach Tsvividis [103] basiert.

7.1 Differenzverstärker mit Differential-Output

Eine einfache schaltungstechnische Methode für die Differenzbildung stellt der einstufige Differenzverstärker mit Differential-Output nach Gregorian/Temes [36] dar. Dieser ist in Abb. 7.1 dargestellt.

⁶ Der Common-Mode-Rejection-Ratio bestimmt sich aus dem Quotienten der Differenzverstärkung A_d und der Common-Mode-Verstärkung A_c .

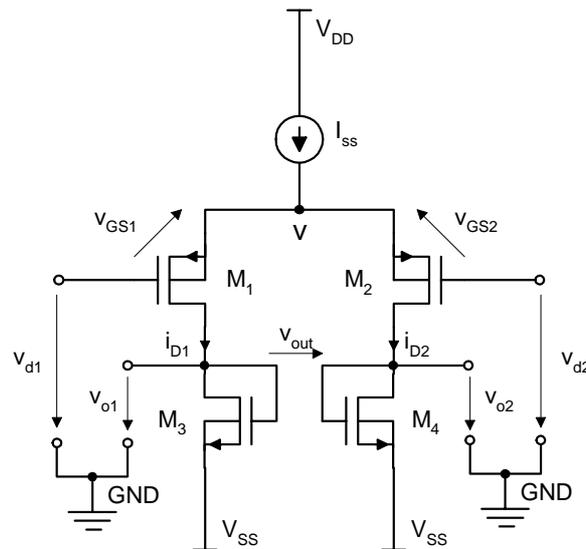


Abb. 7.1: Differenzverstärker mit Differential-Output

Als passive Lasten werden diode-connected-Transistoren verwendet. Um die Gleichtaktunterdrückung des Verstärkers zu bestimmen, wird das Kleinsignalersatzschaltbild nach Abb. 7.2 betrachtet. Dabei wird der Innenleitwert der Stromquelle I_{SS} mit g bezeichnet. Weiterhin werden folgende Vereinfachungen vorgenommen:

$$g_{mi} = g_{m1} = g_{m2}, \quad g_{oi} = g_{o1} = g_{o2}, \quad g_l = g_{m3} + g_{o3} = g_{m4} + g_{o4}$$

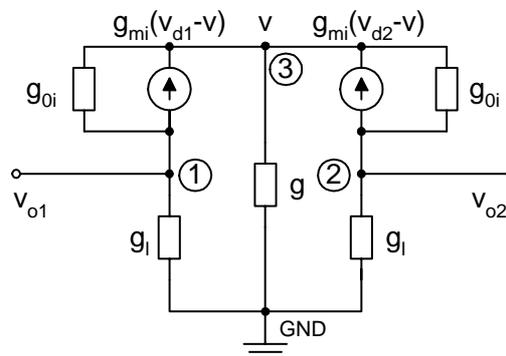


Abb. 7.2: Kleinsignalersatzschaltbild des Differenzverstärkers mit Differential-Output

Für die Berechnung des $CMRR$ wird zunächst die Differenzverstärkung A_d und anschließend die Common-Mode-Verstärkung A_c des Verstärkers bestimmt. Unter Berücksichtigung der Definition der Differenzeingangsspannung $v_{in,d}$ und der Common-Mode-Eingangsspannung $v_{in,c}$

$$v_{in,d} = v_{d1} - v_{d2}$$

$$v_{in,c} = \frac{v_{d1} + v_{d2}}{2}$$

und der Definition der Differenz Ausgangsspannung $v_{out,d}$ und der Common-Mode-Ausgangsspannung $v_{out,c}$

$$V_{\text{out,d}} = V_{o1} - V_{o2}$$

$$V_{\text{out,c}} = \frac{V_{o1} + V_{o2}}{2}$$

bestimmt sich die Differenzverstärkung A_d zu

$$A_d = \frac{V_{\text{out,d}}}{V_{\text{in,d}}} = \frac{V_{o1} - V_{o2}}{V_{d1} - V_{d2}} = \frac{V_{o1}}{V_{d1} - V_{d2}} - \frac{V_{o2}}{V_{d1} - V_{d2}} \quad (7.1)$$

und die Common-Mode-Verstärkung A_c zu

$$A_c = \frac{V_{\text{out,c}}}{V_{\text{in,c}}} = \frac{V_{o1} + V_{o2}}{V_{d1} + V_{d2}} = \frac{V_{o1}}{V_{d1} + V_{d2}} + \frac{V_{o2}}{V_{d1} + V_{d2}} \quad (7.2)$$

Die beiden Ausgangsspannungen v_{o1} und v_{o2} werden mit Hilfe des Kleinsignalersatzschaltbildes der Abb. 7.2 bestimmt. Zunächst wird die Spannung v aus der Stromgleichung am Knoten ① berechnet:

$$g_1 v_{o1} + g_{oi}(v_{o1} - v) + g_{mi}(v_{d1} - v) = 0$$

$$\Rightarrow v = \frac{(g_1 + g_{oi})v_{o1} + g_{mi}v_{d1}}{g_{oi} + g_{mi}} \quad (7.3)$$

Die Ausgangsspannung v_{o2} ergibt sich aus der Stromgleichung am Knoten ②:

$$g_1 v_{o2} + g_{oi}(v_{o2} - v) + g_{mi}(v_{d2} - v) = 0$$

$$\Rightarrow v_{o2} = \frac{(g_{oi} + g_{mi})v - g_{mi}v_{d2}}{g_1 + g_{oi}} \quad (7.4)$$

Wird die Gl. (7.3) in Gl.(7.4) eingesetzt, folgt daraus für v_{o2} :

$$v_{o2} = \frac{g_{oi} + g_{mi}}{g_1 + g_{oi}} \left(\frac{g_1 + g_{oi}}{g_{oi} + g_{mi}} v_{o1} + \frac{g_{mi}}{g_{oi} + g_{mi}} v_{d1} \right) - \frac{g_{mi}}{g_1 + g_{oi}} v_{d2}$$

$$v_{o2} = v_{o1} + \frac{g_{mi}}{g_1 + g_{oi}} (v_{d1} - v_{d2}) \quad (7.5)$$

Zur Bestimmung der Ausgangsspannung v_{o1} wird zunächst die Stromgleichung am Knoten ③ bestimmt:

$$g_{oi}(v - v_{o1}) - g_{mi}(v_{d1} - v) + g_1 v + g_{oi}(v - v_{o2}) - g_{mi}(v_{d2} - v) = 0$$

$$(2(g_{oi} + g_{mi}) + g_1)v - g_{oi}v_{o1} - g_{mi}v_{d1} - g_{oi}v_{o2} - g_{mi}v_{d2} = 0 \quad (7.6)$$

Anschließend werden die Gleichungen (7.3) und (7.5) in die Gl. (7.6) eingesetzt:

$$(2(g_{0i} + g_{mi}) + g) \frac{(g_1 + g_{0i}) v_{o1} + g_{mi} v_{d1}}{g_{0i} + g_{mi}} - g_{0i} v_{o1} - g_{mi} v_{d1} - g_{0i} v_{o1} - \frac{g_{0i} g_{mi}}{g_1 + g_{0i}} (v_{d1} - v_{d2}) - g_{mi} v_{d2} = 0$$

$$\frac{2g_{0i} g_1 + 2g_{mi} g_1 + g g_1 + g g_{0i}}{g_{0i} + g_{mi}} v_{o1} + \frac{g g_{mi}}{g_{0i} + g_{mi}} v_{d1} + \frac{g_{mi} g_1}{g_1 + g_{0i}} (v_{d1} - v_{d2}) = 0$$

Diese Gleichung wird nach v_{o1} aufgelöst:

$$v_{o1} = - \frac{g_{mi} g_1 (g_{0i} + g_{mi}) (v_{d1} - v_{d2}) + g g_{mi} (g_1 + g_{0i}) v_{d1}}{(g_1 + g_{0i}) [2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]} \quad (7.7)$$

Dieses Ergebnis eingesetzt in Gl. (7.5) ergibt:

$$v_{o2} = - \frac{g_{mi} g_1 (g_{0i} + g_{mi}) (v_{d2} - v_{d1}) + g g_{mi} (g_1 + g_{0i}) v_{d2}}{(g_1 + g_{0i}) [2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]} \quad (7.8)$$

Mit den Gleichungen (7.1), (7.2), (7.7) und (7.8) errechnet sich somit die Differenzverstärkung A_d zu

$$A_d = \frac{-g_1 g_{mi} (g_{0i} + g_{mi}) (v_{d1} - v_{d2}) - g g_{mi} (g_1 + g_{0i}) v_{d1}}{(v_{d1} - v_{d2}) (g_1 + g_{0i}) [2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]} + \frac{g_1 g_{mi} (g_{0i} + g_{mi}) (v_{d2} - v_{d1}) + g g_{mi} (g_1 + g_{0i}) v_{d2}}{(v_{d1} - v_{d2}) (g_1 + g_{0i}) [2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]} \quad (7.9)$$

$$A_d = - \frac{2g_{mi} g_1 (g_{0i} + g_{mi}) + g_{mi} g (g_1 + g_{0i})}{(g_1 + g_{0i}) [2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]}$$

und die Common-Mode-Verstärkung A_c zu

$$A_c = \frac{-g_1 g_{mi} (g_{0i} + g_{mi}) (v_{d1} - v_{d2}) - g g_{mi} (g_1 + g_{0i}) v_{d1}}{(v_{d1} + v_{d2}) (g_1 + g_{0i}) [2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]} + \frac{g_1 g_{mi} (g_{0i} + g_{mi}) (v_{d1} - v_{d2}) - g g_{mi} (g_1 + g_{0i}) v_{d2}}{(v_{d1} + v_{d2}) (g_1 + g_{0i}) [2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]} \quad (7.10)$$

$$A_c = - \frac{g g_{mi}}{[2g_1 (g_{0i} + g_{mi}) + g (g_1 + g_{0i})]}$$

Der Common-Mode-Rejection-Ratio bestimmt sich demnach zu:

$$\begin{aligned}
 CMRR &= \left| \frac{A_d}{A_c} \right| = \frac{2g_{mi}g_l(g_{0i} + g_{mi}) + g_{mi}(g_{0i} + g_l)}{g_{mi}(g_l + g_{0i})} \\
 &= 1 + 2 \frac{g_l}{g} \frac{g_{0i} + g_{mi}}{g_l + g_{0i}}
 \end{aligned} \tag{7.11}$$

Mit den Vereinfachungen

$$g_{mi} = g_{m1} = g_{m2}, \quad g_{0i} = g_{01} = g_{02}, \quad g_l = g_{m3} + g_{03} = g_{m4} + g_{04},$$

$$g_{0i} \ll g_{mi} \quad \text{und} \quad g_{0i} \ll g_l$$

folgt:

$$CMRR \approx 1 + 2 \frac{g_l g_{mi}}{g g_l} = 1 + 2 \frac{g_{mi}}{g} = \frac{g + 2 g_{mi}}{g}$$

Weiterhin folgt mit der Vereinfachung $g \ll g_{mi}$:

$$CMRR \approx \frac{2 g_{mi}}{g} \tag{7.12}$$

Eine Vergrößerung des $CMRR$ ist wie aus Gl. (7.12) erkennbar durch eine Verkleinerung des Innenleitwerts g der Stromquelle möglich. Diese kann durch einen Kaskode-Stromspiegel erreicht werden; allerdings auf Kosten einer Verringerung des Aussteuerbereichs [111]. Des weiteren liefert der Differenzverstärker nach Abb. 7.1 keinen Balanced-Differential-Output. Daher wird im nächsten Abschnitt eine neue Schaltung zur Differenzbildung vorgestellt, mit der man ein höheres $CMRR$ und einen Balanced-Differential-Output erhält.

$$\begin{aligned}
v_{\text{Out}}^{(-)} &= -\frac{1}{g_{06} + g_{08}} \left(g_{m6} v_c + g_{m6} \frac{v_d}{2} - \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}} v_c + \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}} \frac{v_d}{2} \right) \\
&= -\frac{1}{g_{06} + g_{08}} \left[\frac{1}{2} \left(g_{m6} + \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}} \right) v_d + \left(g_{m6} - \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}} \right) v_c \right]
\end{aligned} \tag{7.17}$$

$$v_{\text{Out}}^{(-)} = A_d v_d + A_c v_c := \text{„Differenz-Term“} + \text{„Common-Mode-Term“}$$

Die Differenzverstärkung A_d entspricht dabei

$$A_d = -\frac{1}{2} \frac{g_{m6} + \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}}}{g_{06} + g_{08}} \tag{7.18}$$

und die Common-Mode Verstärkung A_c

$$A_c = -\frac{g_{m6} - \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}}}{g_{06} + g_{08}}. \tag{7.19}$$

Somit ergibt sich der Common-Mode-Rejection-Ratio zu:

$$\begin{aligned}
\text{CMRR} &= \left| \frac{A_d}{A_c} \right| = \frac{1}{2} \frac{g_{m6} + \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}}}{g_{m6} - \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}}} \\
&= \frac{1}{2} \frac{g_{m6} (g_{m9} + g_{07} + g_{09}) + g_{m7} g_{m8}}{g_{m6} (g_{m9} + g_{07} + g_{09}) - g_{m7} g_{m8}} \\
&= \frac{1}{2} \frac{\frac{g_{m6} g_{m9}}{g_{m7} g_{m8}} + \frac{g_{m6} g_{07}}{g_{m7} g_{m8}} + \frac{g_{m6} g_{09}}{g_{m7} g_{m8}} + 1}{\frac{g_{m6} g_{m9}}{g_{m7} g_{m8}} + \frac{g_{m6} g_{07}}{g_{m7} g_{m8}} + \frac{g_{m6} g_{09}}{g_{m7} g_{m8}} - 1}
\end{aligned} \tag{7.20}$$

Mit $g_{m6}=g_{m7}$, $g_{06}=g_{07}$, $g_{m8}=g_{m9}$ und $g_{08}=g_{09}$ folgt:

$$\begin{aligned}
\text{CMRR} &= \frac{1}{2} \frac{1 + \frac{g_{07}}{g_{m8}} + \frac{g_{09}}{g_{m8}} + 1}{1 + \frac{g_{07}}{g_{m8}} + \frac{g_{09}}{g_{m8}} - 1} = \frac{1}{2} \frac{2 + \frac{g_{07} + g_{09}}{g_{m8}}}{\frac{g_{07} + g_{09}}{g_{m8}}} \\
&= \frac{1}{2} + \frac{g_{m8}}{g_{07} + g_{09}}
\end{aligned} \tag{7.21}$$

Die Gl. (7.21) gibt den $CMRR$ für die Source-Schaltungen der Ausgangsstufe wieder. Um den gesamten Common-Mode-Rejection-Ratio $CMRR_{gesamt}$ des Differenzverstärkers mit Balanced-Differential-Output der Abb. 7.3 zu erhalten, wird die Gl. (7.12) mit der Gl. (7.21) multipliziert:

$$CMRR_{gesamt} \approx \frac{2g_{mi}}{g} \cdot \left(\frac{1}{2} + \frac{g_{m8}}{g_{07} + g_{09}} \right) \quad (7.22)$$

Abschließend wird vollständigkeithalber die Gesamtverstärkung des Verstärkers $A_{d,gesamt}$ betrachtet. Diese setzt sich aus der Verstärkung der ersten Stufe A_{d1} [36]

$$A_{d1} = R_0 \cdot g_{mi} = \frac{g_{m1}}{g_{m4}}$$

und der Verstärkung der zweiten Stufe A_{d2} [siehe Gl. (7.18)]

$$\begin{aligned} A_{d2} &= -\frac{1}{2} \cdot \frac{g_{m6} + \frac{g_{m7} g_{m8}}{g_{m9} + g_{07} + g_{09}}}{g_{06} + g_{08}} = A_d \\ &= -\frac{1}{2} \cdot \frac{g_{m6}}{g_{06} + g_{08}} \left(1 + \frac{g_{m7} g_{m8}}{g_{m6} (g_{m9} + g_{07} + g_{09})} \right) \\ &\approx -\frac{1}{2} \cdot \frac{g_{m6}}{g_{06} + g_{08}} \left(1 + \frac{g_{m8}}{g_{m8} + g_{07}} \right) \end{aligned}$$

zusammen zu:

$$A_{d,gesamt} = |A_{d1} \cdot A_{d2}| \approx \frac{g_{m1}}{g_{m4}} \cdot \frac{1}{2} \cdot \frac{g_{m6}}{g_{06} + g_{08}} \left(1 + \frac{g_{m8}}{g_{m8} + g_{07}} \right) \quad (7.23)$$

Da $g_m \gg g_0$ ist, ergibt sich insgesamt eine sehr große Gesamtverstärkung. Um eine differenzierte Kantenauswertung auch für große Knotenpotentialdifferenzen zu ermöglichen, wurde allerdings eine kleine Differenzverstärkung gefordert. In Kapitel 8 (Abschnitt 8.4.2.2) wird aber gezeigt, daß eine spezielle Ausnutzung des Tiefpaßverhaltens des Verstärkers die Verstärkung auf ca. $A_d \approx 5$ reduziert, sodaß eine differenzierte Auswertung der Kanteninformationen möglich ist.

7.2.2 Simulationsergebnisse

• Dimensionierung

Bei der Dimensionierung der Transistoren des Differenzverstärkers nach Abb. 7.3 wird von einer maximalen Differenz-Eingangsspannung von $\Delta V_{in} = \pm IV$ ausgegangen und ein Bias-Strom von $I_{SS} = 25 \mu A$ angesetzt. Somit ergeben sich die folgenden Dimensionierungen:

Transistoren	Transistordimensionen	
	W/ μm	L/ μm
M ₁ , M ₂	4	2,4
M ₃ , M ₄ , M ₆ , M ₇ , M ₁₀ , M ₁₁ ,	2	1,2
M ₅ , M ₈ , M ₉ , M ₁₂ , M ₁₃ ,	2	1,2

Tabelle 7.1: Dimensionierung der Transistoren des Differenzverstärkers (Abb. 7.3)

• Simulation

Die Ausgangskennlinie des simulierten Differenzverstärkers ist in Abb. 7.5 dargestellt.

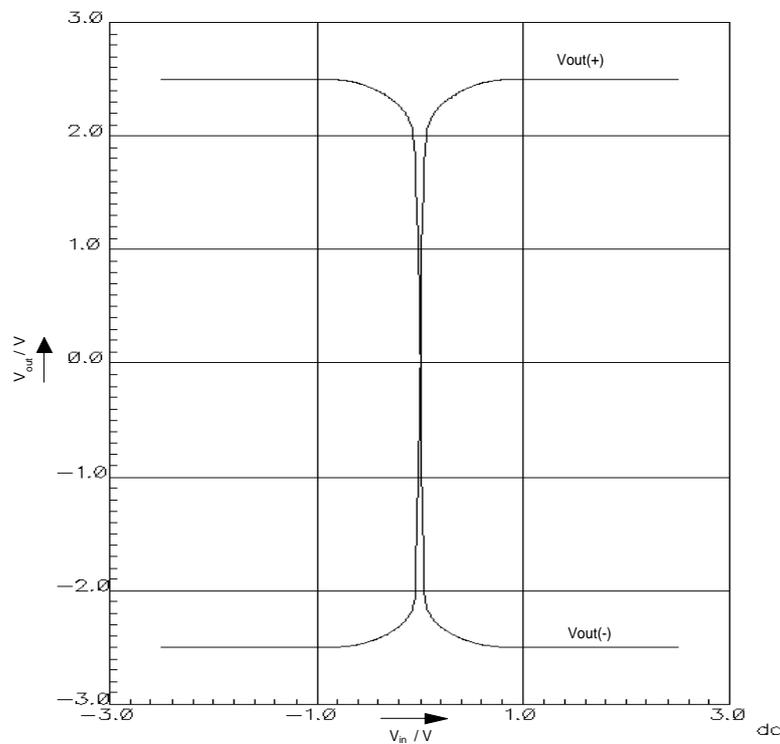


Abb. 7.5: Ausgangskennlinie des Differenzverstärkers mit *Balanced-Differential-Output*

Erwartungsgemäß ergeben sich zwei symmetrische Ausgangsspannungen mit inversem Vorzeichen. Zusätzlich erfolgt eine Untersuchung der Common-Mode-Abhängigkeit, indem auf die Differenzeingangsspannung eine Gleichspannung hinzuaddiert wird. Die entsprechende Ausgangskennlinie ist in Abb. 7.6 dargestellt.

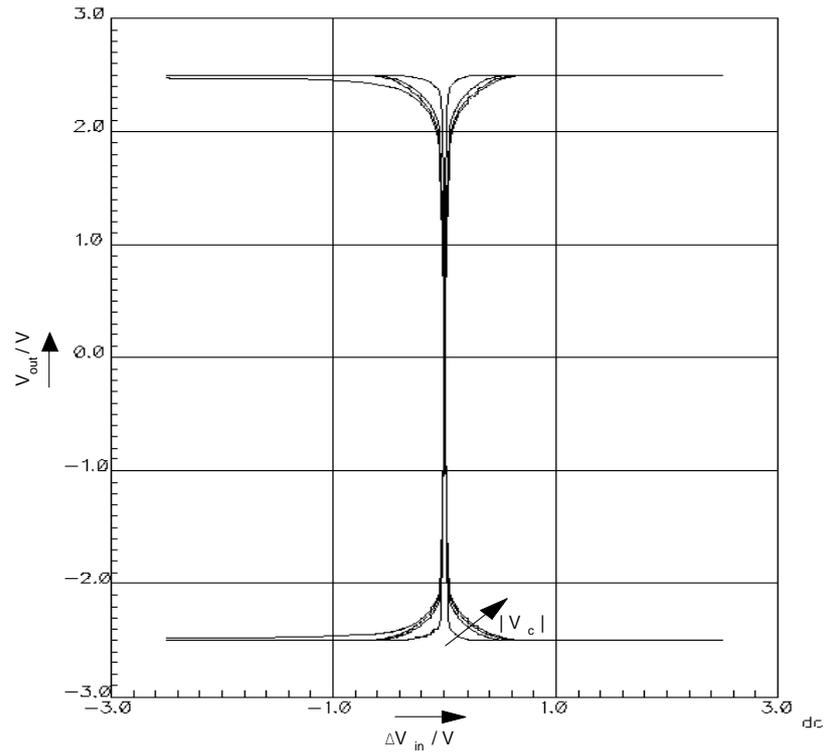


Abb. 7.6: Ausgangskennlinie in Abhängigkeit der Common-Mode-Eingangsspannung V_c

Mit zunehmender Common-Mode Spannung reduziert sich die Verstärkung. Eine Verschiebung der Ausgangskennlinie, die für den anschließenden Multiplizierer störend wäre, ist allerdings nicht festzustellen.

8 Offsetkompensation

Die in Abschnitt 4.5.2 vorgestellte Methode der Nulldurchgangserkennung erfolgt mit Hilfe eines analogen Multiplizierers. Dieser ist allerdings Common-Mode abhängig, was zu einer ungenauen Kantenerkennung führen kann. Daher wird der Multiplizierer durch einen Fully-Balanced Operational Amplifier OPAmp gespeist (siehe Kapitel 7). OP Amps können aber einen Offset von $\pm 5 \text{ mV}$ bis zu $\pm 20 \text{ mV}$ aufweisen [2]. Somit werden nur diejenigen Kanten eindeutig detektiert, die eine Differenzspannung im Netz erzeugen, die wesentlich größer ist als der Offset selbst. Wichtig ist daher eine geeignete Offsetkompensation für die OpAmps zu finden, wodurch auch „kleinere Kanten“ detektiert werden können. In diesem Kapitel wird eine speziell für die Anwendung des zweilagig-parallelen Netzwerks geeignete Offsetkompensation vorgestellt, die auf dem Chopper-Prinzip basiert. Allgemeine Voraussetzung für den Einsatz eines Chopper-Verfahrens ist jedoch ein lineares System (siehe Abb. 8.1). Differenzverstärker weisen allerdings eine nichtlineare Charakteristik auf. Durch eine spezielle Ausnutzung des Tiefpaßverhaltens des Fully-Balanced-OpAmps wird aber die Verstärkung auf ca. $A_d \approx 5$ reduziert, sodaß näherungsweise ein lineares System angenommen werden kann: Bei einem angenommenen Offset von z.B. $V_{\text{off}} = 20 \text{ mV}$ und $V_{\text{in}} = 0 \text{ V}$, gerät der OpAmp aufgrund der kleinen Verstärkung nicht in Sättigung; sondern es ergibt sich am Ausgang des OpAmps ein Signal mit der Amplitude $A_d \cdot V_{\text{off}} = 5 \cdot 20 \text{ mV} = 100 \text{ mV}$, die klein ist im Vergleich zum gesamten Aussteuerbereich von 5 V .

Zunächst wird in Abschnitt 8.1 die konventionelle Chopper-Methode zur Offsetkompensation diskutiert und in Abschnitt 8.2 eine daraus resultierende Implementierungsmöglichkeit für das Widerstandsnetzwerk gezeigt. Anschließend wird in Abschnitt 8.3 ein neues, modifiziertes Chopperverfahren vorgestellt, das gegenüber der konventionellen Chopper-Methode den Vorteil eines geringeren Hardwareaufwands hat. Die schaltungstechnische Realisierung des modifizierten Verfahrens wird in Abschnitt 8.4 gezeigt.

8.1 Konventionelles Chopper-Verfahren

Die Methode der Chopper-Offsetkompensation beruht auf der spektralen Trennung von Nutz- und Offsetsignal. In der Abb. 8.1 ist das Blockschaltbild des Chopper-Verfahrens dargestellt.

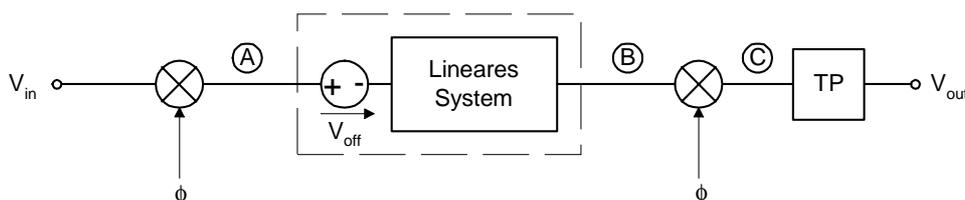


Abb. 8.1: Blockschaltbild des Chopper-Verfahrens [36]

Im Grundprinzip besteht das Chopper-Verfahren aus drei Phasen: (A) Der Modulations-, (B) der Demodulations- und (C) der Filterungsphase.

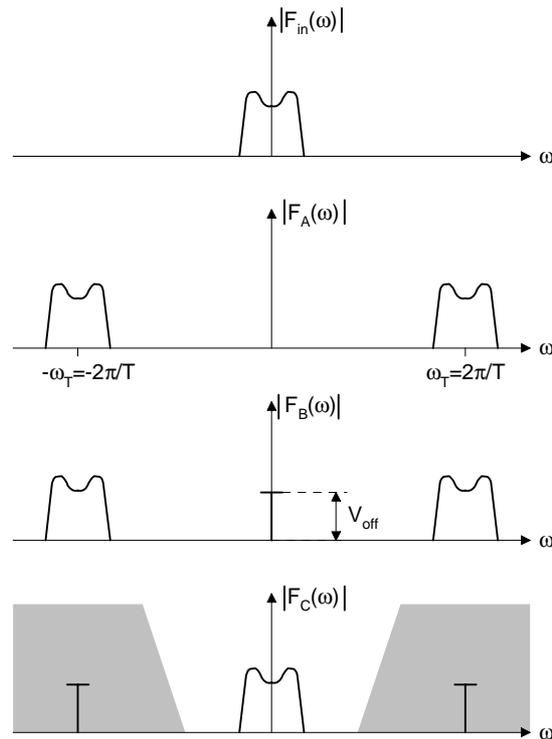


Abb. 8.2: Spektren im Chopper-Verfahren

In der *Modulationsphase* wird das Eingangssignal V_{in} mit einer Reihe von Rechteckimpulsen $\phi(t)$ abgetastet. Diese Rechteckimpulse haben dabei eine Rechteckimpulsdauer von T , d.h. eine Frequenz von $f_i=1/T$. Dadurch wird das Spektrum des Nutzsignals in einen höheren Frequenzbereich verschoben und periodisch mit $\omega=2\pi/T$ fortgesetzt. Durch das lineare System wird die Signalform und damit die Bandbreite des Nutzspektrums nicht verändert. Es wird jedoch durch den Offset ein Gleichanteil bei der Frequenz $\omega=0$ überlagert. Dadurch entsteht ein im Basisband verfälschtes Spektrum.

Die anschließende Abtastung in der *Demodulationsphase* bewirkt eine weitere Verschiebung des Spektrums um die Abtastfrequenz ω_T . Dadurch gelangen die Spektren der ersten Seitenbänder wieder in das Basisband, und der Offset wird in den oberen Frequenzbereich verschoben.

In der nachfolgenden *Filterungsphase* wird der Offset durch einen Tiefpaß TP herausgefiltert und das Eingangsspektrum rekonstruiert.

8.2 Einsatz der konventionellen Chopper-Methode im Netzwerk

Die OpAmps zur Differenzbildung werden mit einer Offsetkompensation versehen, die auf dem Chopper-Verfahren basiert. In diesem Abschnitt wird zunächst eine mögliche Realisierung der konventionellen Chopper-Methode auf die OpAmps diskutiert und eine mathematische Beschreibung des Verfahrens durchgeführt. Anschließend wird im nächsten Abschnitt eine Variation des Chopper-Verfahrens vorgestellt, die gegenüber der konventionellen Methode den Vorteil eines reduzierten Hardwareaufwands aufweist.

8.2.1 Chopper-Verfahren für den Fully-Balanced-OpAmp

Den allgemeinen Aufbau der Offsetkompensation des Fully-Balanced-OPAmps, basierend auf dem konventionellen Chopper-Verfahren, zeigt die Abb. 8.3.

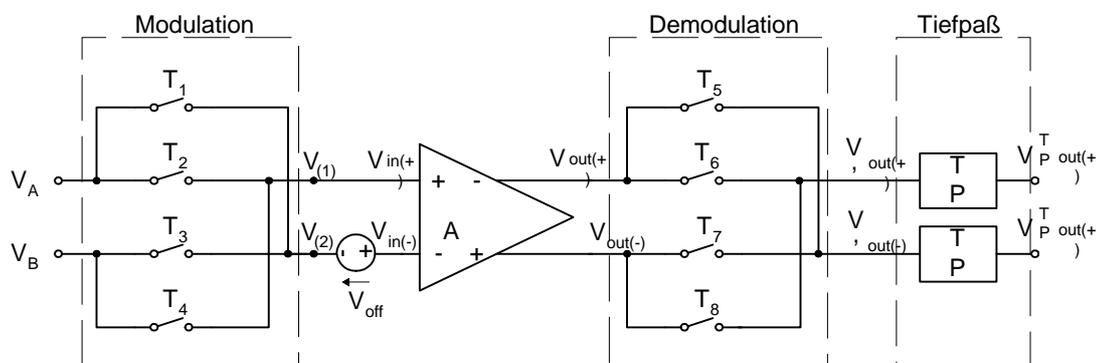


Abb. 8.3: Chopper-Verfahren für einen OPamp mit Balanced-Differential-Output: Allgemeiner Aufbau

Das Chopper-Offsetkompensationsverfahren unterteilt sich in die Phase der Modulation, der Demodulation und der Tiefpaßfilterung. Diese drei Phasen werden im folgenden mathematisch beschrieben.

8.2.2 Modulation

Die beiden Eingangssignale V_A und V_B in der Abb. 8.3 werden in der Modulationsphase zunächst abgetastet. Dazu werden die Schalter (T_1 bis T_8) mit der folgenden Abtastfunktion $P_T(t)$ angesteuert:

$$P_T(t) = \text{sign}\left(\sin\left(\frac{2\pi}{T}t\right)\right) = \begin{cases} 1 & ; \forall \{t \mid \sin\left(\frac{2\pi}{T}t\right) \geq 0\} \\ -1 & ; \forall \{t \mid \sin\left(\frac{2\pi}{T}t\right) < 0\} \end{cases} \quad (8.1)$$

Während der Phase $P_T(t)=1$ sind die Schalter (T_2 , T_3) sowie (T_6 , T_7) geschlossen und die restlichen Schalter geöffnet. Somit erfolgt ein periodisches Vertauschen der Eingangssignale, und an den Eingängen des Differenzverstärkers ergeben sich folgende Signale:

$$V_{in(+)}(t) = \begin{cases} V_A & ; \forall \{ t | \sin(\frac{2\pi}{T} t) \geq 0 \} \\ V_B & ; \forall \{ t | \sin(\frac{2\pi}{T} t) < 0 \} \end{cases} \quad (8.2)$$

$$V_{in(-)}(t) = \begin{cases} V_B & ; \forall \{ t | \sin(\frac{2\pi}{T} t) \geq 0 \} \\ V_A & ; \forall \{ t | \sin(\frac{2\pi}{T} t) < 0 \} \end{cases} \quad (8.3)$$

Durch den OPamp wird die Differenz der Eingangssignale um den Verstärkungsfaktor A verstärkt. Am positiven Ausgang ergibt sich ein Signal, das symmetrisch um den Nullpunkt der Spannung mit der Amplitude $[A \cdot (V_A - V_B)]$ schwingt. Am negativen Ausgang liegt entsprechend das gleiche Signal mit umgekehrtem Vorzeichen an. Die Signalverläufe, die in der Abtastschaltung auftreten, werden in Abb. 8.4 gezeigt.

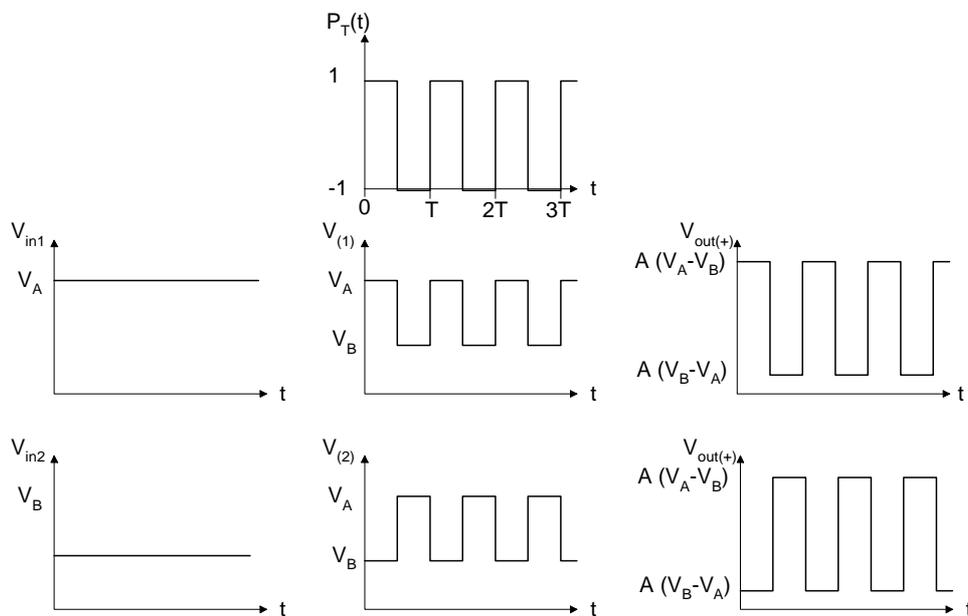


Abb. 8.4: Signalverläufe in der Abtastschaltung des Choppers
(Vereinfachte Betrachtung: ohne Berücksichtigung des Offsets)

Mit den Gleichungen (8.2) und (8.3) ergibt sich die Differenzeingangsspannung V_{in} zu:

$$V_{in}(t) = V_{in(+)}(t) - V_{in(-)}(t) = (V_A - V_B) \cdot P_T(t) = \begin{cases} (V_A - V_B) & ; \forall \{ t | \sin(\frac{2\pi}{T} t) \geq 0 \} \\ -(V_A - V_B) & ; \forall \{ t | \sin(\frac{2\pi}{T} t) < 0 \} \end{cases} \quad (8.4)$$

Zu der Differenzeingangsspannung V_{in} wird eine Offsetspannung V_{off} hinzuaddiert und anschließend durch den OPamp um den Faktor A verstärkt:

$$V_{\text{out}(+)}(t) = A[(V_A - V_B) \cdot P_T(t) + V_{\text{off}}] \quad (8.5)$$

$$V_{\text{out}(-)}(t) = -A[(V_A - V_B) \cdot P_T(t) + V_{\text{off}}]$$

Zur Verdeutlichung des Verfahrens wurden zusätzliche Simulationen mit dem Programm *MATLAB* durchgeführt. In der Abb. 8.5 werden als Beispiel drei abgestastete Signale mit unterschiedlichen Offsets dargestellt. Die Amplituden in der Abbildung sind so gewählt worden, daß sich eine deutliche Darstellung des Verfahrens ergibt. Sie haben keinen direkten Bezug zu den im Widerstandsnetzwerk auftretenden Spannungen.

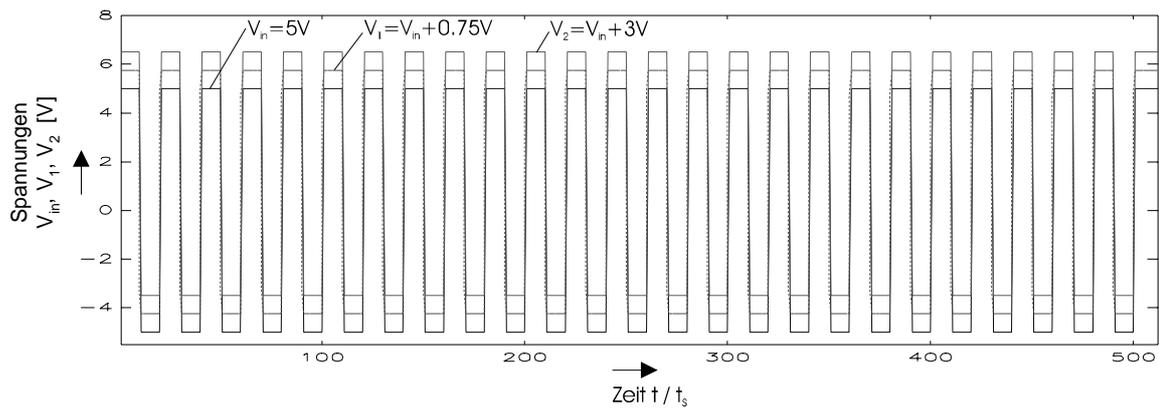


Abb. 8.5: Abgestastetes Signal ($V_{\text{in}}=5\text{ V}$) mit Offsetspannungen von $V_{\text{off1}}=0,75\text{ V}$ und $V_{\text{off2}}=3\text{ V}$ ($1/t_s=\text{Matlab-Samplingfrequenz}$)

Die Abb. 8.6 zeigt die dazugehörigen Spektren, die durch eine DFT (*Diskrete Fourier-Transformation*) mit dem Programm *MATLAB* berechnet wurden. Die drei Spektren unterscheiden sich nur in der Größe des Gleichanteils bei $\omega=0$, der durch den Offset bestimmt wird.

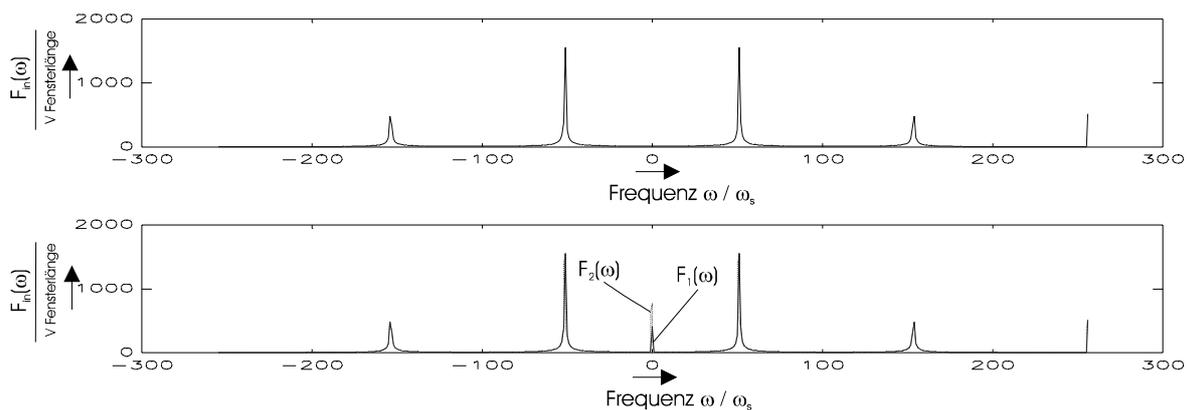


Abb. 8.6: Spektrum des abgestasteten Gleichsignals (oberes Bild); Spektrum $F_1(\omega)$ des Signals mit einem Offset von $V_{\text{off1}}=0,75\text{ V}$ und Spektrum $F_2(\omega)$ des Signals mit einem Offset von $V_{\text{off2}}=3\text{ V}$ ($\omega_s=2\pi/\text{Fensterlänge}$; Fensterlänge=512)

8.2.3 Demodulation

Nach der Modulation und der offsetbehafteten Verstärkung durch den Differenzverstärker erfolgt die Demodulation. Dabei wird das positive und negative Ausgangssignal über die Schalter T_5 - T_8 periodisch vertauscht. Diese Schalter müssen dabei mit dem selben Takt gleicher Phase angesteuert werden, der bei der Modulation verwendet wurde. Durch die Abtastung in der Demodulationsphase wird das Nutzsignal wieder in das Basisband verschoben. Es ergeben sich folgende Ausgangssignale:

$$\begin{aligned}
 V'_{\text{out}(+)}(t) &= \begin{cases} A[(V_A - V_B) \cdot P_T(t) + V_{\text{off}}] & ; \forall \{t \mid \sin(\frac{2\pi}{T}t) \geq 0\} \\ -A[(V_A - V_B) \cdot P_T(t) + V_{\text{off}}] & ; \forall \{t \mid \sin(\frac{2\pi}{T}t) < 0\} \end{cases} \\
 &= A[(V_A - V_B) \cdot P_T(t) + V_{\text{off}}] \cdot P_T(t) \\
 &= A(V_A - V_B) \cdot P_T^2(t) + A V_{\text{off}} \cdot P_T(t)
 \end{aligned} \tag{8.6}$$

$$\begin{aligned}
 V'_{\text{out}(-)}(t) &= -A[(V_A - V_B) \cdot P_T(t) + V_{\text{off}}] \cdot P_T(t) \\
 &= -A(V_A - V_B) \cdot P_T^2(t) - A V_{\text{off}} \cdot P_T(t)
 \end{aligned} \tag{8.7}$$

Zur Vereinfachung dieser Gleichungen wird zunächst der Term $P_T^2(t)$ getrennt betrachtet:

$$\begin{aligned}
 P_T^2(t) &= \begin{cases} 1^2 & ; \forall \{t \mid \sin(\frac{2\pi}{T}t) \geq 0\} \\ (-1)^2 & ; \forall \{t \mid \sin(\frac{2\pi}{T}t) < 0\} \end{cases} \\
 &= 1
 \end{aligned} \tag{8.8}$$

Somit vereinfachen sich die Gleichungen (8.6) und (8.7) zu:

$$\begin{aligned}
 V'_{\text{out}(+)}(t) &= \underbrace{A(V_A - V_B)}_{1. \text{ Term}} + \underbrace{A V_{\text{off}} \cdot P_T(t)}_{2. \text{ Term}} \\
 V'_{\text{out}(-)}(t) &= -\underbrace{A(V_A - V_B)}_{1. \text{ Term}} - \underbrace{A V_{\text{off}} \cdot P_T(t)}_{2. \text{ Term}}
 \end{aligned} \tag{8.9}$$

Demnach besitzen nur die zweiten Terme mit V_{off} eine Zeitabhängigkeit (siehe Abb. 8.7).

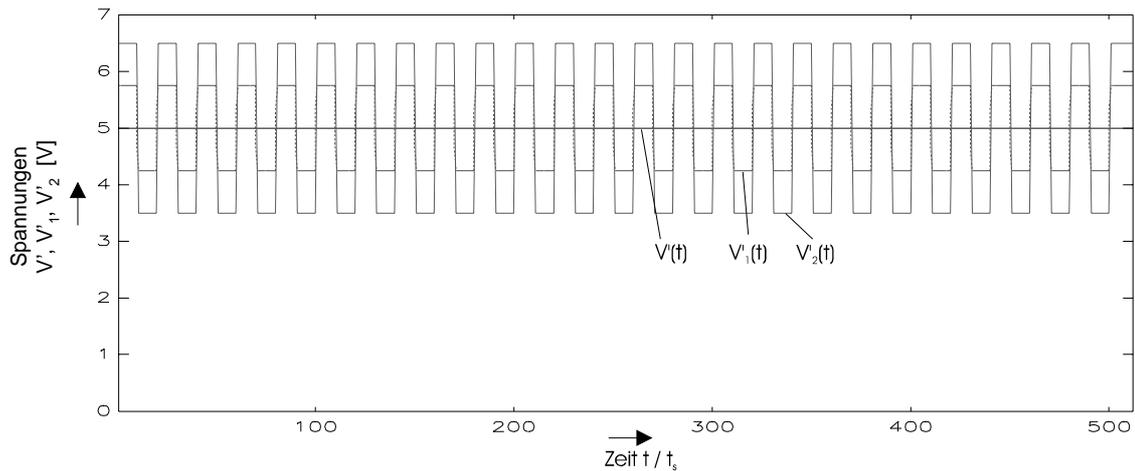


Abb. 8.7: Zeitlicher Verlauf der Signale nach der Demodulation;
 $V'(t)=A(V_A-V_B)$: Signal ohne Offset mit $A=1$;
 $V_1'(t)$: Signal mit Offset $V_{\text{off1}}=0,75$ V;
 $V_2'(t)$: Signal mit Offset $V_{\text{off2}}=3$ V

8.2.4 Tiefpaßfilterung

Nach der Demodulation wird zur Rekonstruktion des Originalspektrums eine Tiefpaßfilterung durchgeführt. Zur mathematischen Beschreibung dieser Filterung wird der Frequenzbereich betrachtet. Dazu wird die Fouriertransformation des Ausgangssignals $\mathcal{F}[V'_{\text{out}}(t)]$ aufgestellt⁷:

$$\mathcal{F}[V'_{\text{out}(+)}(t)] = \mathcal{F}_{V'_{\text{out}(+)}}(j\omega) = 2\pi A(V_A - V_B)\delta(\omega) + AV_{\text{off}}\mathcal{F}[P_T(t)] \quad (8.10)$$

Die Berechnung der Fouriertransformation $\mathcal{F}[P_T(t)]$ wird zunächst getrennt durchgeführt. Dazu wird die Funktion $P_T(t)$ als eine Faltung der Grundfunktion $\delta(t)$ mit einem Deltakamm $\delta_T(t)$ betrachtet [81]:

$$P_T(t) = P(t) * \delta_T(t) \quad \text{mit}$$

$$P(t) = \begin{cases} 0 & \forall t \leq -\frac{T}{2} \\ -1 & \forall -\frac{T}{2} < t < 0 \\ 1 & \forall 0 \leq t < \frac{T}{2} \\ 0 & \forall \frac{T}{2} \leq t \end{cases} \quad \text{und} \quad \delta_T(t) = \sum_{k=-\infty}^{\infty} \delta(t - kT)$$

Somit ergibt sich die Fouriertransformation $\mathcal{F}[P_T(t)]$ aus der Multiplikation der Einzelspektren $\mathcal{F}[P(t)]$ und $\mathcal{F}[\delta_T(t)]$. Zunächst wird die Fouriertransformation $\mathcal{F}[P(t)]$ gebildet:

⁷ Die Berechnungen werden nur für den positiven Ausgang $V'_{\text{out}(+)}(t)$ durchgeführt, da der negative Ausgang sich nur im Vorzeichen unterscheidet.

$$\begin{aligned}
\mathfrak{F}[P(t)] &= \int_{-\infty}^{\infty} P(t) \exp(-j\omega t) dt = \int_{-\frac{T}{2}}^0 -\exp(-j\omega t) dt + \int_0^{\frac{T}{2}} \exp(-j\omega t) dt \\
&= \left[\frac{1}{j\omega} \exp(-j\omega t) \right]_{-\frac{T}{2}}^0 + \left[-\frac{1}{j\omega} \exp(-j\omega t) \right]_0^{\frac{T}{2}} \\
&= \frac{1}{j\omega} - \frac{1}{j\omega} \exp(j\omega \frac{T}{2}) + \frac{1}{j\omega} - \frac{1}{j\omega} \exp(-j\omega \frac{T}{2})
\end{aligned}$$

Mit

$$\cos(x) = \frac{\exp(-jx) + \exp(jx)}{2}$$

folgt:

$$\begin{aligned}
\mathfrak{F}[P(t)] &= \frac{2}{j\omega} - \frac{2}{j\omega} \left(\frac{\exp(-j\frac{\omega T}{2}) + \exp(j\frac{\omega T}{2})}{2} \right) \\
&= \frac{2}{j\omega} [1 - \cos(\frac{\omega T}{2})]
\end{aligned} \tag{8.11}$$

Die Fouriertransformation $\mathfrak{F}[\delta_T(t)]$ ergibt sich nach [81] zu:

$$\mathfrak{F}[\delta_T(t)] = \omega_T \delta_{\omega_T}(\omega) \quad \text{mit} \quad \omega_T = \frac{2\pi}{T} \tag{8.12}$$

Somit läßt sich das Gesamtspektrum $\mathfrak{F}[V'_{out(+)}(t)]$ der Gl. (8.10) berechnen zu:

$$\begin{aligned}
| \mathfrak{F}[V'_{out(+)}(t)] | &= 2\pi A (V_A - V_B) \delta(\omega) + A V_{\text{off}} \frac{2}{\omega} [1 - \cos(\frac{\omega T}{2})] \omega_T \delta_{\omega_T}(\omega) \\
&= 2\pi A (V_A - V_B) \delta(\omega) + 4 A V_{\text{off}} \delta(\omega - \omega_T) \\
&\quad + \frac{4}{3} A V_{\text{off}} \delta(\omega - 3\omega_T) \\
&\quad + \frac{4}{5} A V_{\text{off}} \delta(\omega - 5\omega_T) + \dots
\end{aligned} \tag{8.13}$$

Das Gesamtspektrum enthält demnach nach der Demodulation nur bei $\omega=0$ Anteile des Nutzsinalns (siehe Abb. 8.8). Die Anteile des Offsets sind auf die höheren Frequenzen verteilt. Diese lassen sich durch einen Tiefpaß herausfiltern, der eine Grenzfrequenz ω_g besitzt, die kleiner ist als die Abtastfrequenz ω_T .

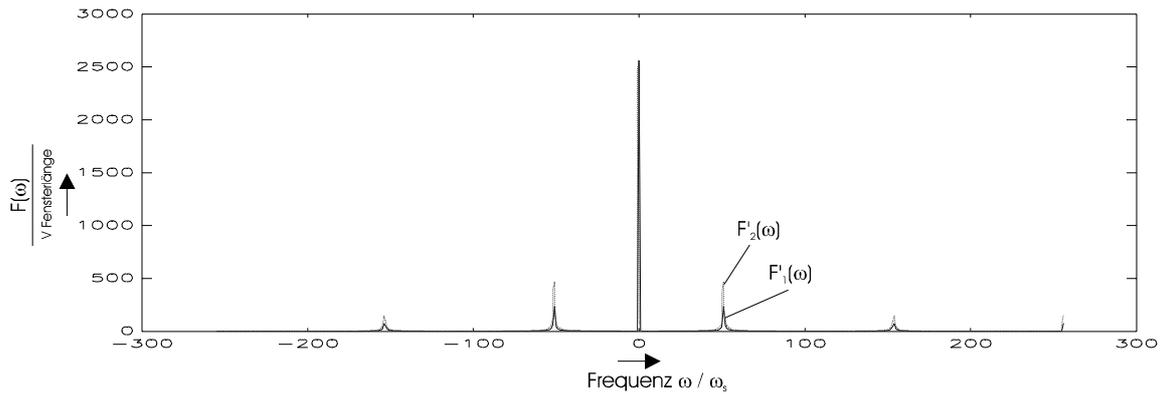


Abb. 8.8: Spektrum der Signale nach der Demodulation;
 $F'_1(\omega)$: Spektrum des Signals mit Offset $V_{\text{off}1}=0,75 \text{ V}$;
 $F'_2(\omega)$: Spektrum des Signals mit Offset $V_{\text{off}2}=3 \text{ V}$

Nach der Tiefpaßfilterung ergibt sich ein Spektrum, das nur einen Gleichanteil aufweist:

$$|\mathfrak{S}[V_{\text{out}(+)}^{\text{TP}}]| = 2\pi A (V_A - V_B) \delta(\omega) \quad (8.14)$$

Im Zeitbereich stellt dies das rekonstruierte Nutzsignal $V_{\text{out}}^{\text{rek}}$ ohne Offset dar:

$$V_{\text{out}}^{\text{rek}} = A(V_A - V_B) \quad (8.15)$$

In der Abb. 8.9 sind die rekonstruierten Signale der beiden offsetbelasteten Signale dargestellt. Es ergibt sich jeweils das offsetfreie Eingangssignal. Die Abweichungen vom idealen Verlauf ergeben sich durch die Verwendung der DFT und der inversen DFT bei der digitalen Berechnung durch den Computer: Idealerweise müßten unendlich viele Abtastwerte genommen werden. Die Berechnungen erfolgen aber nur mit einer begrenzten Anzahl von Abtastwerten, d.h. mit Hilfe von Rechteckfunktionen. Diese stellen im Frequenzbereich eine Si-Funktion dar, wodurch zusätzliche Frequenzanteile hinzukommen, die das rekonstruierte Signal besonders an den Rändern des Darstellungsbereiches beeinflussen. Diese Abweichungen sind bei der realen zeitkontinuierlichen Filterung nicht vorhanden.

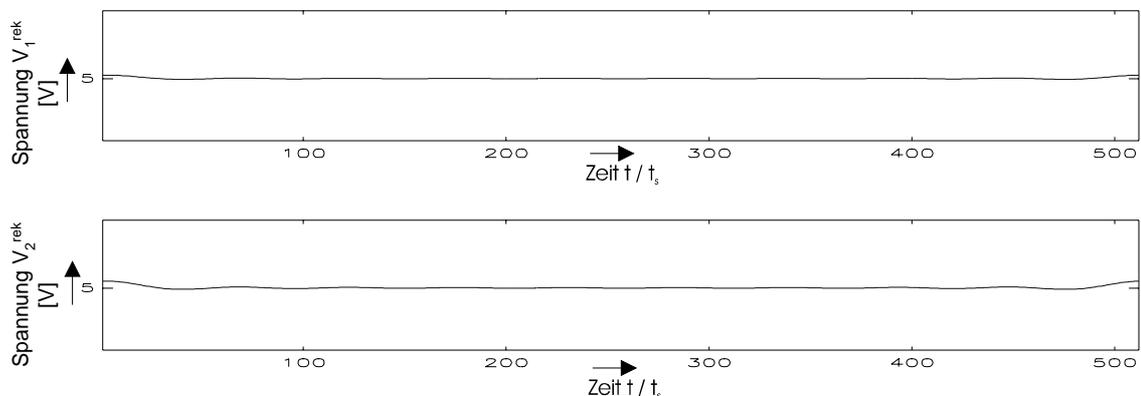


Abb. 8.9: Rekonstruierte Signale (oben: Offset $V_{\text{off}1}=0,75 \text{ V}$; unten: Offset $V_{\text{off}2}=3 \text{ V}$)

8.3 Variation des Chopper-Verfahrens

In diesem Abschnitt wird eine Variation des Chopper-Verfahrens vorgestellt, die gegenüber der konventionellen Methode den Vorteil eines reduzierten Hardwareaufwands hat.

8.3.1 Aufbau der modifizierten Chopper-Offsetkompensation

Für die Nulldurchgangserkennung im Widerstandsnetzwerk der künstlichen Retina wird nach der Differenzbildung ein Multiplizierer verwendet (siehe Abschnitt 4.5.2). Dieser Multiplizierer kann gleichzeitig für die Demodulation der Chopper-Offsetkompensation verwendet werden. Die Abb. 8.10 zeigt das neue modifizierte Chopper-Verfahren zur Offsetkompensation.

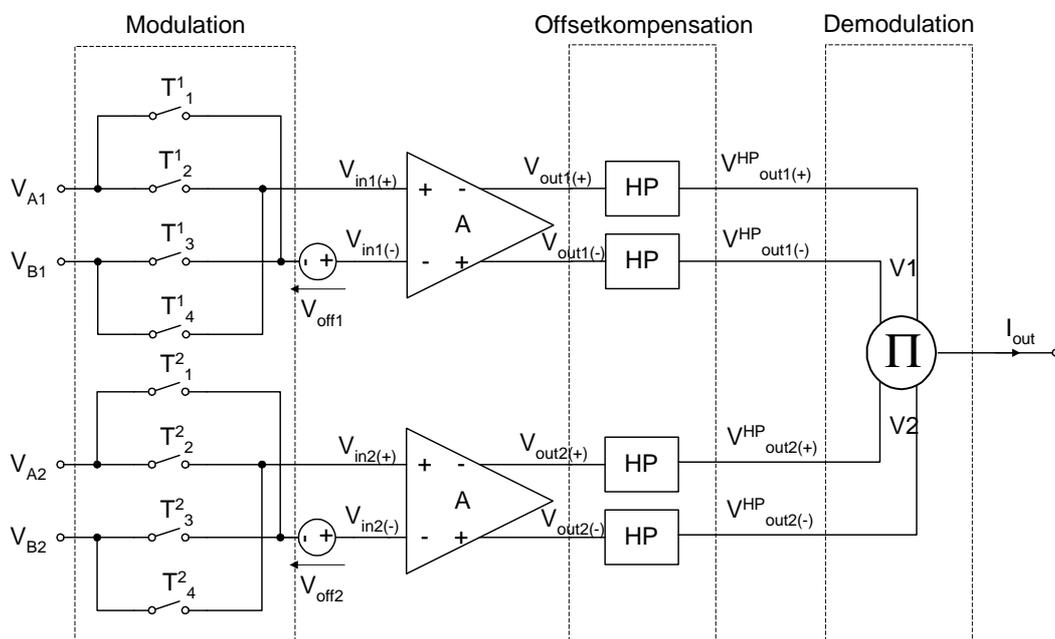


Abb. 8.10: Modifiziertes Chopper-Prinzip zur Offsetkompensation

Das modifizierte Verfahren besteht aus der Modulations-, der Offsetkompensations- und der Demodulationsphase. Betrachtet man den Frequenzbereich, so wird in der Modulationsphase wie beim konventionellen Chopper-Verfahren das Originalsignal $V_{A,B}$ vom Offsetsignal getrennt. Hierbei wird durch die Abtastung das Originalsignal in den höherfrequenten Bereich moduliert. Das zusätzliche Offsetsignal, das sich als Gleichsignal im niederfrequenten Bereich befindet, wird im Gegensatz zur konventionellen Chopper-Methode durch eine Hochpaßfilterung HP vom Nutzsignal herausgefiltert.

Anschließend werden in einem Verarbeitungsschritt die Demodulation und die zur Nulldurchgangserkennung notwendige Multiplikation mit dem selben Multiplizierer Π durchgeführt. Im Vergleich zur konventionellen Chopper-Methode entfällt somit eine zusätzliche Abtastschaltung für die Demodulation. Weiterhin sind die Taktleitungen, die zur Synchronisation der Taktsignale für die Modulation und Demodulation notwendig sind, nicht mehr erforderlich.

8.3.2 Hochpaßfilterung

Zur Offsetkompensation wird nach der Demodulation eine Hochpaßfilterung durchgeführt. Um die Wirkung der Hochpaßfilterung zu untersuchen, wird das Spektrum des Signals $V_{out(+)}(t)$ nach dem Differenzverstärker berechnet. Mit

$$\begin{aligned} V_{out(+)}(t) &= A[(V_A - V_B)P_T(t) + V_{off}] \\ &= A[(V_A - V_B)P_T(t)] + AV_{off} \end{aligned} \quad (8.16)$$

folgt:

$$\begin{aligned} |\mathfrak{S}[V_{out(+)}(t)]| &= A(V_A - V_B) \frac{2\omega_T}{\omega} [1 - \cos(\frac{\omega T}{2})] \delta_{\omega_T}(\omega) + 2\pi A V_{off} \delta(\omega) \\ &= 2\pi A V_{off} \delta(\omega) + 4A(V_A - V_B) \delta(\omega - \omega_T) \\ &\quad + \frac{4}{3} A(V_A - V_B) \delta(\omega - 3\omega_T) \\ &\quad + \frac{4}{5} A(V_A - V_B) \delta(\omega - 5\omega_T) + \dots \end{aligned} \quad (8.17)$$

Nach der Demodulation befindet sich der Offset nur bei $\omega=0$, und die Anteile des Nutzsignals sind auf die höheren Frequenzen verteilt. Durch einen Hochpaßfilter, dessen Grenzfrequenz $\omega_g < \omega_T$ ist, wird der Offset-Gleichanteil bei $\omega=0$ herausgefiltert. Somit ergibt sich nach der Filterung folgendes Spektrum

$$\begin{aligned} |\mathfrak{S}[V_{out(+)}^{HP}(t)]| &= A[4(V_A - V_B) \delta(\omega - \omega_T) \\ &\quad + \frac{4}{3}(V_A - V_B) \delta(\omega - 3\omega_T) \\ &\quad + \frac{4}{5}(V_A - V_B) \delta(\omega - 5\omega_T) + \dots] \end{aligned} \quad (8.18)$$

$$|\mathfrak{S}[V_{out(+)}^{HP}(t)]| = |A \mathfrak{S}[V_{in(+)}(t)]|$$

Das gefilterte Signal entspricht dem um den Faktor A verstärkten Spektrum des abgetasteten Signals vor dem OpAmp. Die Abb. 8.11 zeigt die Ausgangssignale des Hochpasses. Der Gleichanteil des offsetbelasteten Signals $V_2(t)$ ist beim hochpaßgefilterten Signal $V_2^{HP}(t)$ eliminiert.

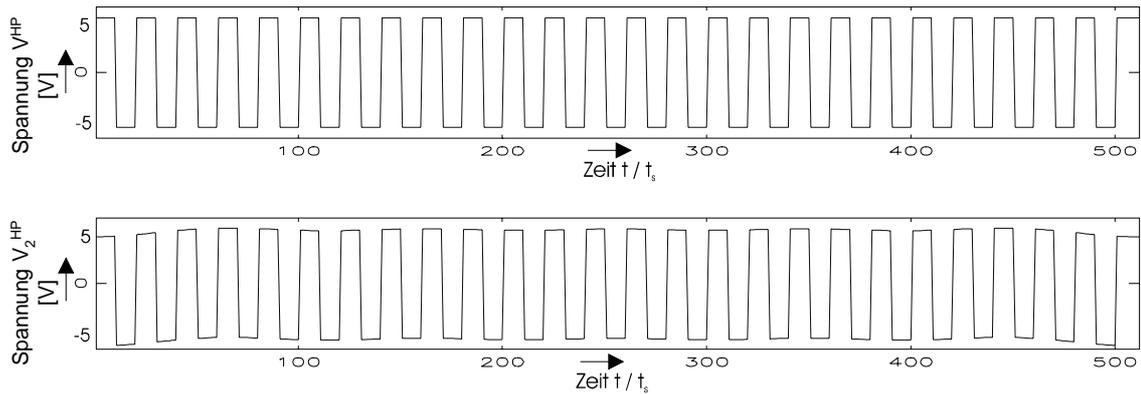


Abb. 8.11: Ausgangssignale des Hochpasses
(oben: offsetfreies Signal; unten: offsetbelastetes Signal mit $V_{\text{off}2}=3\text{ V}$)

8.3.3 Demodulation

Die Demodulation und die zur Nulldurchgangserkennung notwendige Multiplikation wird in einem Verarbeitungsschritt mit dem selben Multiplizierer durchgeführt. Wie die Abb. 8.12 zeigt, ergibt die Multiplikation von zwei modulierten Signalen $V_{1,2}$ ein DC-Ausgangssignal mit der Amplitude $V_1 \cdot V_2$.

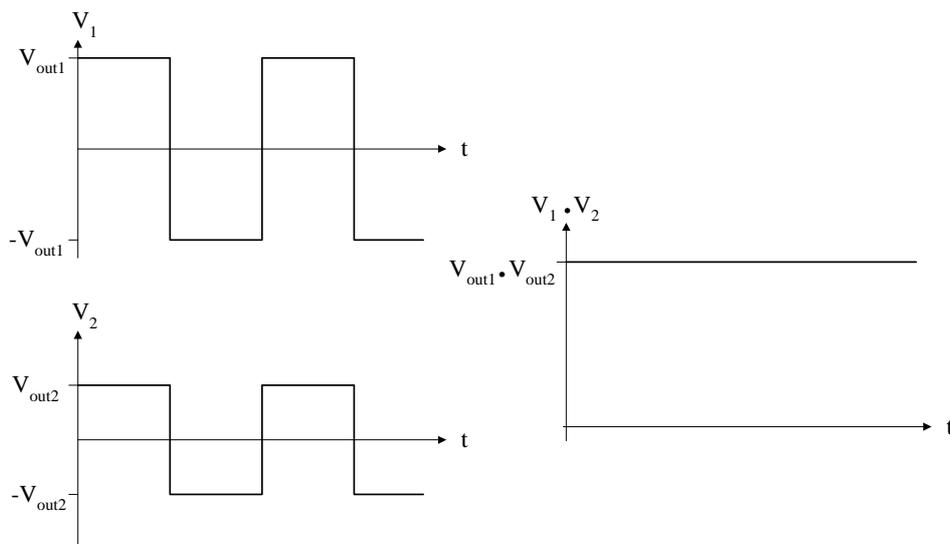


Abb. 8.12: Prinzip der Demodulation

Beide Eingangsspannungen besitzen die gleiche Phase, da sie zuvor mit der gleichen zeitlichen Funktion $P_T(t)$ abgetastet wurden. Für die Multiplikation wird ein Gilbert-Multiplizierer verwendet, der einen zur Multiplikation von zwei Eingangsspannungen proportionalen Ausgangsstrom liefert:

$$\begin{aligned}
 I_{\text{out}} &= K [A(V_{A1} - V_{B1})P_T(t) \cdot A(V_{A2} - V_{B2})P_T(t)] \\
 &= K A^2 (V_{A1} - V_{B1}) \cdot (V_{A2} - V_{B2}) P_T^2(t) \\
 &= K A^2 (V_{A1} - V_{B1}) \cdot (V_{A2} - V_{B2})
 \end{aligned}
 \tag{8.19}$$

Dabei ist K ein Proportionalitätsfaktor für die Überführung des Spannungssignals in ein Stromsignal, A der Verstärkungsfaktor des Differenzverstärkers und $(V_{A1}-V_{B1})$ bzw. $(V_{A2}-V_{B2})$ die Differenzspannungen der beiden Netze zweier benachbarter Knoten. (Eine genauere Beschreibung des Multiplizierers ist in Abschnitt 8.4.3 gegeben.)

Das demodulierte Signal, das nach Gl. (8.19) einem Gleichsignal entspricht, zeigt die Abb. 8.13.

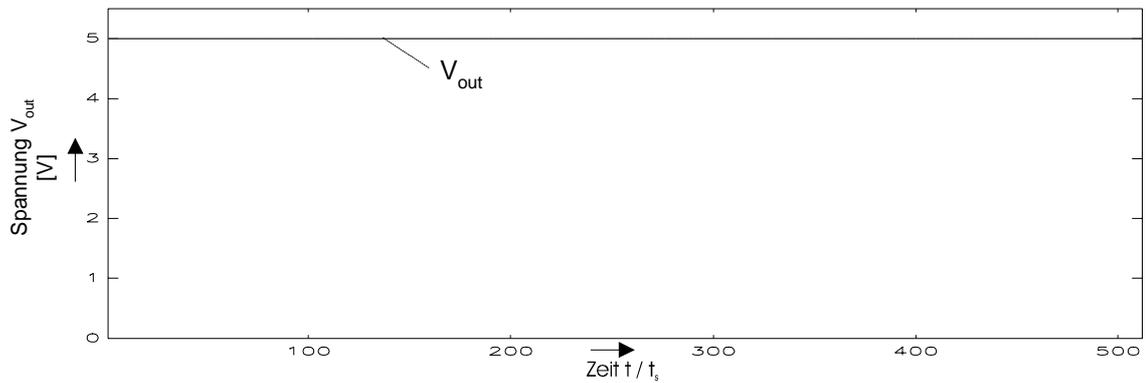


Abb. 8.13: Simuliertes Ausgangssignal des Multiplizierers des offsetfreien und des offsetbelasteten Signals ($V_{off2}=3\text{ V}$)

8.4 Schaltungstechnische Realisierung der Chopper-Offsetkompensation

Nachdem im vorherigen Abschnitt die Funktion der modifizierten Chopper-Offsetkompensationsmethode für das Widerstandsnetzwerk vorgestellt wurde, wird in diesem Abschnitt die schaltungstechnische Realisierung dieses Verfahrens gezeigt.

8.4.1 Abtastschaltung

Das periodische Vertauschen der Eingangssignale in der Modulationsphase erfolgt mit Hilfe der Abtastschaltung nach Abb. 8.14.

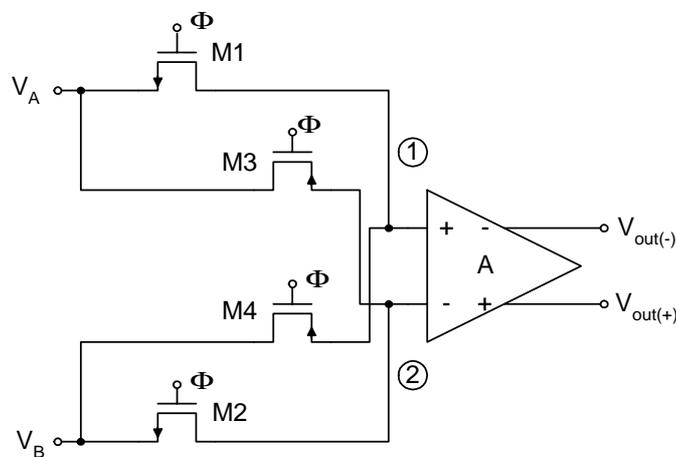


Abb. 8. 14: Abtastschaltung des Chopper-Verfahrens

Die Schalter M_1 - M_4 werden mit einem Takt ϕ angesteuert, der sich aus der Abtastfunktion $P_T(t)$ nach Gl. (8.1) und der Versorgungsspannung V_{DD} zusammensetzt:

$$\Phi = V_{DD} P_T(t) = \begin{cases} V_{DD} & \forall \{ t | \sin(\frac{2\pi}{T} t) \geq 0 \} \\ -V_{DD} = V_{SS} & \forall \{ t | \sin(\frac{2\pi}{T} t) < 0 \} \end{cases} \quad (8.20)$$

In der High-Phase des Taktes ϕ sind die NMOS-Transistoren M_1 und M_2 leitend und die PMOS-Transistoren M_3 und M_4 sperrend. Damit liegt an dem Punkt ① der Abb. 8.14 die Eingangsspannung V_A an und am Punkt ② die Spannung V_B . Im anschließenden Low-Takt werden die Transistoren M_3 und M_4 durchgeschaltet und M_1 und M_2 gesperrt. Die Eingangsspannungen sind somit vertauscht, sodaß am Punkt ① die Spannung V_B und am Punkt ② die Spannung V_A anliegt.

Durch die Verwendung von MOS-Transistoren als Schalter besteht das Problem des Clock-Feedthroughs. Dieses Problem kann jedoch, wie im folgenden gezeigt wird, vernachlässigt werden. Dazu werden in Abb. 8.15 zunächst die Gate-Source Kapazität C_{GS} und die Gate-Drain-Kapazität C_{GD} dargestellt, die das geschaltete Nutzsignal beeinflussen könnten.

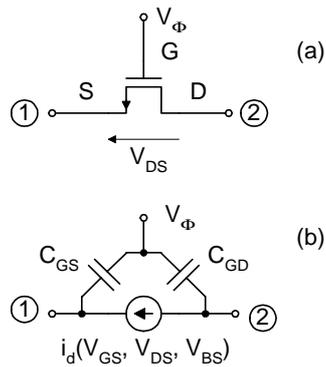


Abb. 8. 15: MOS-Schalter: a) Symbol; b) Ersatzschaltbild [36]

• Einfluß der Gate-Source-Kapazität C_{GS}

Unter der Annahme, daß am Knoten ① der Abb. 8.15 das Widerstandsnetz R_L angeschlossen ist, bestimmt sich die Übertragungsfunktion vom Gate- zum Source-Anschluß zu:

$$\left| \frac{V_1}{V_\Phi} \right| = \left| \frac{R_L}{\frac{1}{j\omega C_{GS}} + R_L} \right| = \left| \frac{1}{1 + \frac{1}{j\omega R_L C_{GS}}} \right| = \frac{1}{\sqrt{1 + \left(\frac{1}{\omega R_L C_{GS}} \right)^2}} \quad (8. 21)$$

Diese Gleichung stellt einen Hochpaß dar, mit der $3dB$ -Grenzfrequenz f_g von

$$f_g = \frac{1}{2\pi R_L C_{GS}}.$$

Die minimale Grenzfrequenz wird hier näherungsweise durch die maximale Last R_L bestimmt. Diese setzt sich aus einer Folge von Parallel- und Reihenschaltungen von Widerständen gemäß Abb. 8.16 zusammen:

$$R_L = R_v \parallel (R_h + (R_v \parallel (R_h + (R_v \parallel (R_h + (\dots)))))) < R_v$$

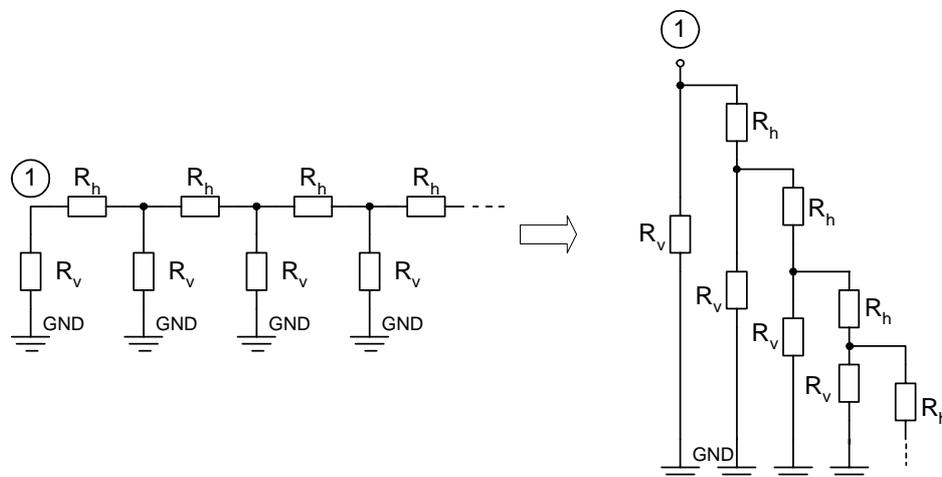


Abb. 8. 16: Lastwiderstand R_L an den Knoten des Netzes

Somit ist der Lastwiderstand R_L immer kleiner als der Vertikalwiderstand R_V . Mit $R_V=40\text{ k}\Omega$ und $C_{GS}\approx 0,02\text{ pF}$ [36] ergibt sich für den Hochpaß eine minimale Grenzfrequenz von

$$f_g > \frac{1}{2\pi R_V C_{GS}} = \frac{1}{2\pi 40\text{k}\Omega 0,02\text{ pF}} \approx 200\text{ MHz}$$

Der Einfluß des Taktes wird jedoch herausgefiltert, da eine Abtastfrequenz von 2 MHz gewählt wird, die deutlich kleiner ist als die Grenzfrequenz von 200 MHz .

- **Einfluß der Gate-Drain-Kapazität C_{GD}**

Dazu wird der Knoten ② der Abb. 8.15 betrachtet. Hierfür ergibt sich die folgende Übertragungsfunktion:

$$\left| \frac{V_2}{V_\Phi} \right| = \left| \frac{\frac{1}{j\omega C_{GSdiff}}}{\frac{1}{j\omega C_{GSdiff}} + \frac{1}{j\omega C_{GD}}} \right| = \frac{1}{1 + \frac{C_{GSdiff}}{C_{GD}}} \quad (8.22)$$

C_{GSdiff} entspricht hierbei der Gate-Source-Kapazität der Eingangstransistoren des Differenzverstärkers der Abb. 8.14. Die Eingangskapazität des Differenzverstärkers ist für den positiven und negativen Eingang gleich. Da beide Eingänge auch gleich geschaltet werden, ergibt sich eine gleiche Beeinflussung der Eingangssignale. Dies entspricht einer Gleichtaktansteuerung des Differenzverstärkers durch das Clock-Feedthrough-Signal. Durch die hohe Gleichtaktunterdrückung des verwendeten Differenzverstärkers (siehe Kapitel 7) ergibt sich somit näherungsweise keine störende Beeinflussung durch den Clock-Feedthrough.

8.4.2 Hochpaßfilter

8.4.2.1 Realisierung des Hochpaßfilters

In dem Widerstandsnetzwerk der künstlichen Retina werden pro Bildpunkt je zwei Hochpässe für die Offsetkompensation benötigt. Um den Hardwareaufwand gering zu halten, wird der Hochpaß durch einfache RC-Filter gemäß Abb. 8.17 realisiert. Der Widerstand wird dabei durch den zuvor in Abschnitt 5.2.3 vorgestellten Current-to-Voltage-Converter CVC nach Wang realisiert.

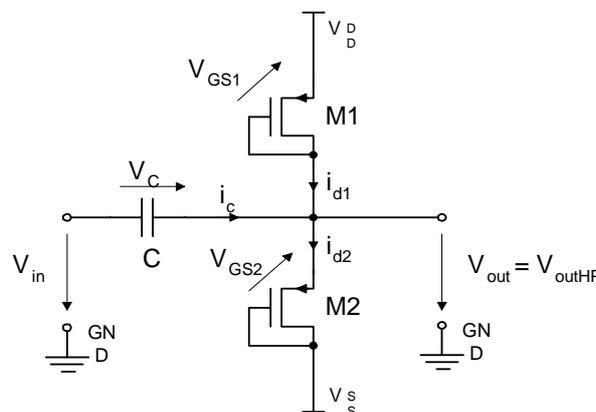


Abb. 8.17: Hochpaß-Realisierung mit einem CVC als Widerstand

Um die Übertragungsfunktion des Hochpasses zu bestimmen, wird zunächst die Ausgangsspannung V_{out} betrachtet. Diese ergibt sich nach Gl. (5.51) zu:

$$V_{out} = \frac{i_c}{2K V_{DT}} \quad (8.23)$$

Der Strom i_c errechnet sich aus der zeitlichen Spannungsänderung über dem Kondensator C :

$$i_c = j\omega C V_c = j\omega C (V_{in} - V_{out}) \quad (8.24)$$

Schließlich wird die Gl. (8.23) nach i_c aufgelöst, mit der Gl. (8.24) gleichgesetzt und zur Übertragungsfunktion umgeformt:

$$\begin{aligned} 2K V_{DT} V_{out} &= j\omega C (V_{in} - V_{out}) \\ \Rightarrow V_{out} (2K V_{DT} + j\omega C) &= j\omega C V_{in} \\ \Rightarrow \frac{V_{out}}{V_{in}} &= \frac{j\omega C}{j\omega C + 2K V_{DT}} = \frac{1}{1 + \frac{2K V_{DT}}{j\omega C}} \end{aligned} \quad (8.25)$$

Dies entspricht der Übertragungsfunktion eines Hochpasses. Die Grenzfrequenz ω_g bestimmt sich hierbei zu:

$$\omega_g = \frac{2K V_{DT}}{C} \quad (8.26)$$

Diese Hochpaß-Grenzfrequenz muß unterhalb der Abtastfrequenz ω_T liegen, damit das Spektrum des Nutzsignals nach der Abtastung herausgefiltert werden kann. Die Genauigkeit, mit der die Grenzfrequenz eingehalten werden muß, ist dabei von untergeordneter Bedeutung, da im Spektrum zwischen $\omega=0$ und $\omega=\omega_T$ wie in Gl. (8.18) bereits gezeigt wurde, keine Frequenzanteile des Nutzsignals enthalten sind.

8.4.2.2 Berücksichtigung des Tiefpaßverhaltens des OpAmps

In den bisherigen Betrachtungen wurde von einem idealen Verhalten des Differenzverstärkers ausgegangen. Dieser besitzt jedoch ein Tiefpaßverhalten, das in Abb. 8.18 dargestellt ist.

Die Grenzfrequenz $f_{g,Diff}$ des Differenzverstärkers nach Abb. 8.18 liegt bei ca. 1 MHz . Um den Einfluß des Tiefpaßverhaltens vernachlässigen zu können, muß für die Grenzfrequenz des Hochpasses $f_{g,HP}$ der Abb. 8.17 folgende Beziehung gelten:

$$f_{g,HP} < f_T < f_{g,Diff} \quad (8.27)$$

D.h. je kleiner $f_{g,Diff}$ ist, desto kleiner muß dann auch $f_{g,HP}$ sein. Zur Realisierung einer kleinen Hochpaß-Grenzfrequenz $f_{g,HP}$ sind aber aufgrund der Proportionalität nach Gl. (8.26)

$$f_{g,HP} \propto \frac{K}{C} \propto \frac{W}{LC}$$

entweder große Kapazitäten bzw. kleine W/L-Verhältnisse erforderlich. Dies hat jedoch einen großen Platzbedarf zur Folge. Um den Platzaufwand gering zu halten, wird daher untersucht, inwieweit die Wahl einer Abtastfrequenz oberhalb der Grenzfrequenz des Differenzverstärkers, das Verhalten des Systems beeinflusst. Durch eine höhere Abtastfrequenz könnte nach Gl. (8.27) eine entsprechend größere Grenzfrequenz $f_{g,HP}$ gewählt werden, was wiederum bei der Realisierung kleinere Kapazitäten und somit ein Platzersparnis bedeuten würde.

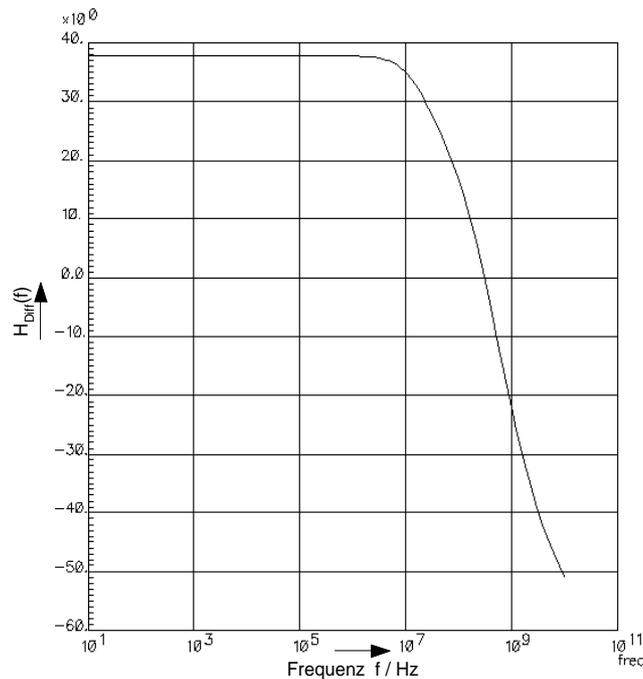


Abb. 8.18: Frequenzgang $H_{Diff}(f)$ des Balanced-OpAmps der Abb. 7.3 (Tiefpaßverhalten)

Mit Hilfe des Ersatzschaltbildes nach Abb. 8.19 wird untersucht, wie sich die unterschiedlichen Frequenzgänge in der Beschaltung gegenseitig beeinflussen.

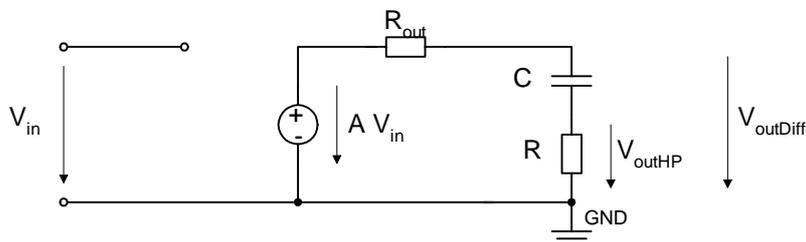


Abb. 8.19: Ersatzschaltbild des mit einem Hochpaß belasteten Differenzverstärkers

Hierbei ist R_{out} der Ausgangswiderstand des Differenzverstärkers, A der Verstärkungsfaktor sowie R und C die Elemente des Hochpasses. Der Widerstand des Hochpaßfilters wurde durch einen Grounded-Resistor nach Wang realisiert (siehe Abb. 8.17). Somit befindet sich der Ausgang des Hochpasses im Ersatzschaltbild zwischen C und R . Der Frequenzgang $H_{HP}(j\omega)$ an dieser Stelle berechnet sich zu:

$$\begin{aligned}
 H_{\text{HP}}(j\omega) &= \frac{V_{\text{outHP}}}{V_{\text{in}}} = A(j\omega) \frac{R}{R_{\text{out}} + R + \frac{1}{j\omega C}} \\
 &= A(j\omega) \frac{R}{R_{\text{out}} + R} \frac{1}{1 + \frac{1}{j\omega C (R_{\text{out}} + R)}}
 \end{aligned}
 \tag{8.28}$$

Diese Gleichung beschreibt einen Hochpaß mit der Grenzfrequenz

$$\omega_{g2} = \frac{1}{C (R_{\text{out}} + R)},$$

der sich mit dem gedämpften Frequenzgang $A(j\omega)$ des Differenzverstärkers überlagert. Dadurch ergibt sich näherungsweise ein Bandpaß nach Abb. 8.20, dessen erste Knickfrequenz durch die Grenzfrequenz des Differenzverstärkers bestimmt wird und die zweite Knickfrequenz durch die Grenzfrequenz des Hochpasses. Die Verstärkung im Durchlaßbereich entspricht dabei der um den Faktor $R/(R_{\text{out}}+R)$ gedämpften Verstärkung A der Differenzspannung. Durch eine geeignete Wahl der Abtastfrequenz innerhalb dieses Durchlaßbereichs, wäre durch die Dämpfung eine wesentlich geringere Verstärkung erreichbar, als mit dem unbelasteten zweistufigen Differenzverstärker für die Differenzbildung nach Abb. 7.3. Somit wäre eine differenzierte Kantenauswertung auch kleiner Knotenpotentialdifferenzen möglich.

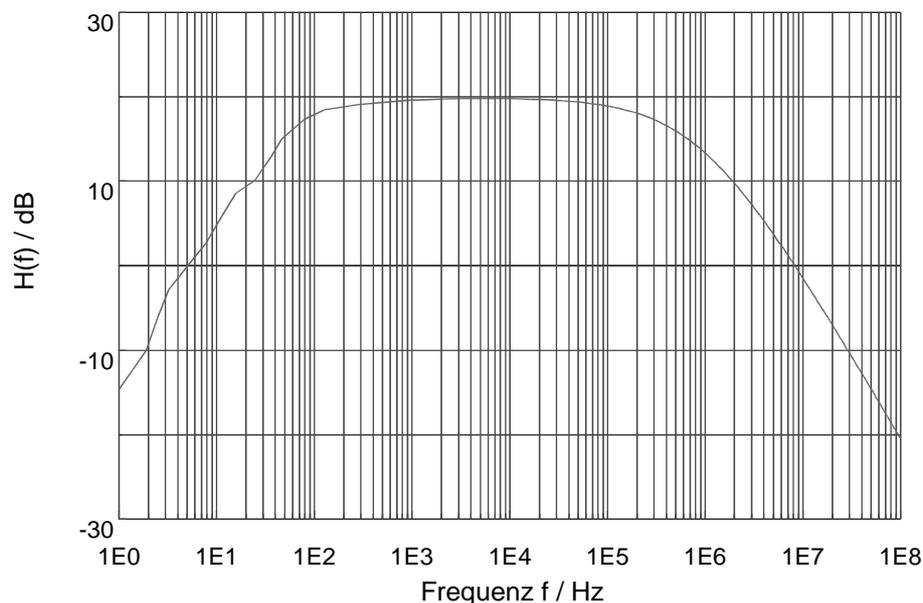


Abb. 8.20: Frequenzgang am Ausgang des Hochpasses $H_{\text{HP}}(f)$

8.4.2.3 Dimensionierung

Die erste Grenzfrequenz des Bandpasses nach Abb. 8.20 wird durch die Grenzfrequenz des Differenzverstärkers $f_g = 1 \text{ MHz}$ bestimmt. Um bei der Realisierung des Hochpasses, wie im vorherigen Abschnitt dargestellt, kleine Kapazitäten und W/L -Verhältnisse einsetzen zu können, wird eine hohe Abtastfrequenz von $f_T = 2 \text{ MHz}$ gewählt. Diese liegt am oberen Rand des Durchlaßbereiches des Differenzverstärkers. Daher kann ein Hochpaß mit einer Grenzfrequenz

quenz von $f_{g,HP}=3 \text{ MHz}$ angesetzt werden. Diese bestimmt auch gleichzeitig die zweite Grenzfrequenz des Bandpasses. Die Kapazität des Hochpasses wird mit

$$C = 500 \text{ fF}$$

derart gewählt, sodaß sich ein „geringer“ Platzbedarf ergibt. Mit

$$f_{g,HP} = \frac{1}{2\pi RC}$$

folgt für den Widerstand:

$$R = \frac{1}{2\pi f_{g,HP} C} = 106 \text{ k}\Omega$$

Das W/L -Verhältnis ergibt sich daraus mit Gl. (8.26) zu:

$$\frac{W}{L} = \frac{\pi f_{g,HP} C}{\mu_{C_{ox}} (V_{DD} + V_T)} \approx \frac{2 \mu\text{m}}{14 \mu\text{m}}$$

Zusammenfassend ergeben sich folgende Dimensionierungen:

Bauelemente	Dimensionierung	
Diode-connected PMOS	W=2 μm	L=14 μm
Kapazität	500 fF	

Tabelle 8.1: Dimensionierung des Hochpassfilters

8.4.2.4 Simulationsergebnisse

Der Frequenzgang des Hochpasses $H_{HP}(f)$ und des resultierenden Bandpasses der Gesamtschaltung $H_{gesamt}(f)$ ist in Abb. 8.21 dargestellt.

Der Hochpaß hat im Dämpfungsbereich die erwartete Steigung von 20 dB pro Dekade. Weiterhin wird die 3 dB -Frequenz bei den geforderten 3 MHz erreicht. Der Bandpaß, der sich aus der Überlagerung des Differenzverstärker-Tiefpasses und des Hochpasses ergibt, weist zwischen 300 kHz und 20 MHz einen näherungsweise konstanten Bereich auf. In diesem Bereich beträgt die Verstärkung ca. 15 dB . Dies entspricht der „kleinen“ geforderten Differenzverstärkung von $A_d \approx 5$.

Weiterhin zeigt der Bandpaß bei der Frequenz $\omega=0$ eine Verstärkung von -70 dB , wodurch eine starke Dämpfung des Offsetsignals gewährleistet wird. Weiterhin sind durch den „breiten“ linearen Durchlaßbereich, große Herstellungstoleranzen bei den Werten für die Kapazität und den Widerstand des Hochpasses zulässig, da dadurch nur die Knickfrequenzen verschoben werden. Das Nutzsignal befindet sich durch die Abtastfrequenz von $f_T=2 \text{ MHz}$ in der Mitte des Bandpasses, und es müßte schon eine Variation von ca. 75% im Wert der Knickfrequenz auftreten, bevor das Nutzsignal in den Dämpfungsbereich des Bandpasses gelangt.

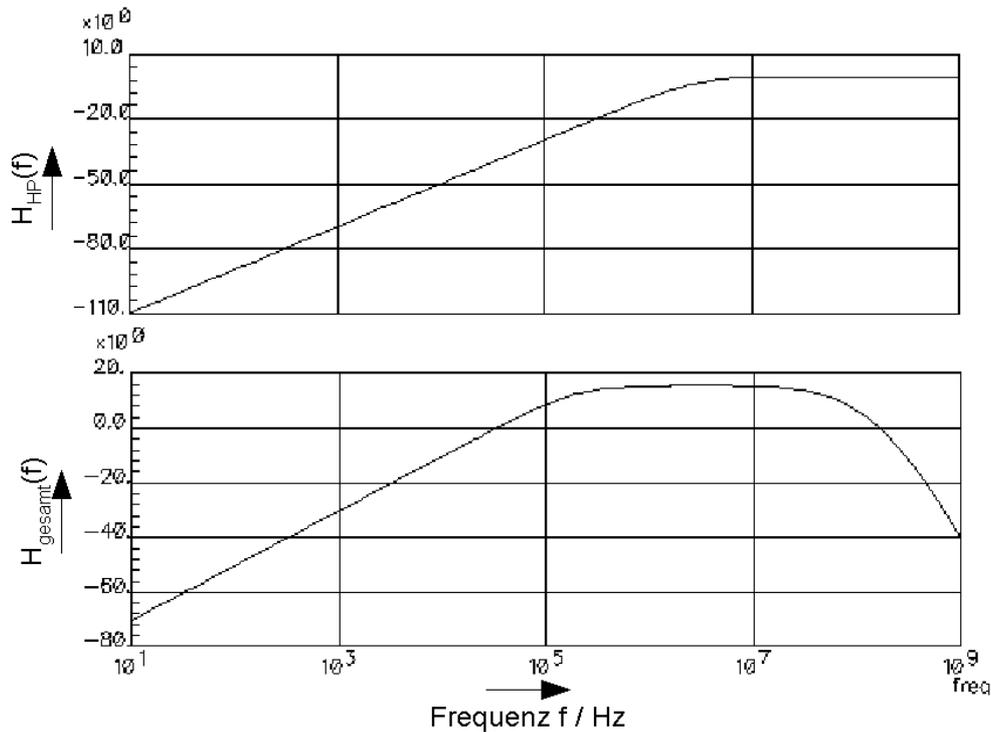


Abb. 8.21: Frequenzgang des Hochpasses $H_{HP}(f)$ und des resultierenden Bandpasses der Gesamtschaltung $H_{gesamt}(f)$

8.4.3 Demodulation mit Hilfe eines Gilbert-Multiplizierers

• Aufbau

Die Demodulation und die gleichzeitige Multiplikation zur Nulldurchgangserkennung erfolgt mit Hilfe eines Folded-Gilbert-Multiplizierers nach [6]. Dabei handelt es sich um einen Vierquadrantenmultiplizierer, d.h. beide Eingänge können im Gegensatz zu Zweiquadrantenmultiplizierern ein beliebiges Vorzeichen annehmen. Zusätzlich wird am Ausgang des Multiplizierers ein Stromkomparator als Schwelle für die Nulldurchgangserkennung hinzugeschaltet (siehe Abb. 8.22).

Der Multiplizierer (M_1 - M_8) multipliziert zwei Differential-Input-Spannungen miteinander und liefert einen dazu proportionalen Ausgangsstrom von [6]:

$$I_{\text{out}} = \sqrt{2k_N k_p} \cdot V_x \cdot V_y \quad (8.29)$$

mit

$$k_N = \left(\frac{\mu c_{\text{ox}}}{2} \cdot \frac{W}{L} \right)_{\text{NMOS}} \quad \text{und} \quad k_P = \left(\frac{\mu c_{\text{ox}}}{2} \cdot \frac{W}{L} \right)_{\text{PMOS}}$$

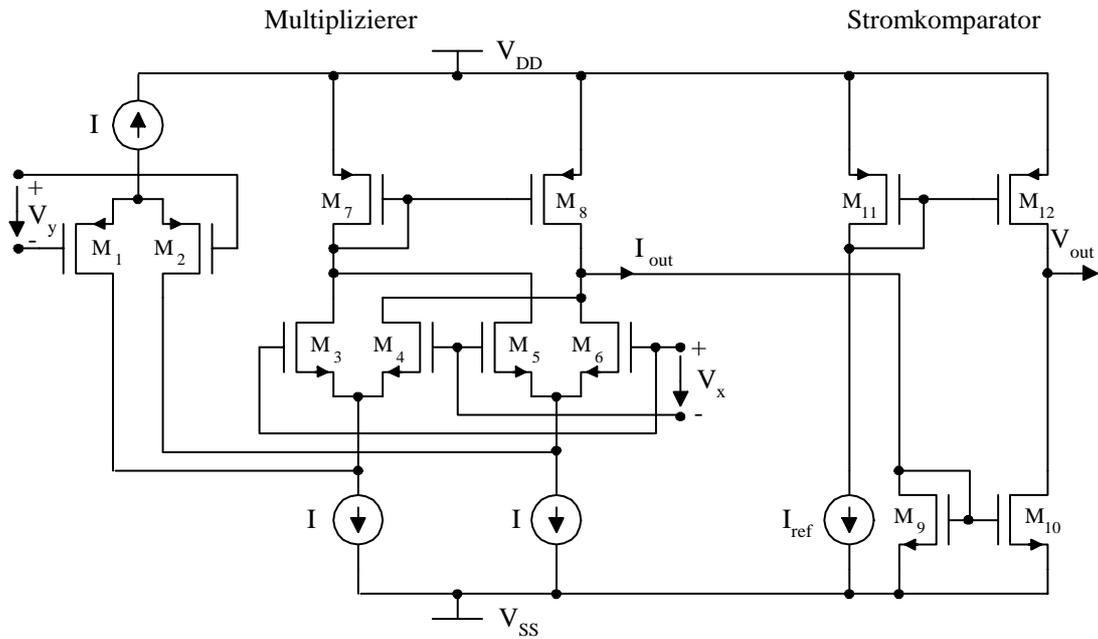


Abb. 8.22: Folded-Gilbert-Multiplizierer mit Stromkomparator als Schwelle

Für die Kantenerkennung ist, wie zuvor in Abschnitt 4.5.2 gezeigt, allein das Vorzeichen des Ausgangssignals I_{out} entscheidend: Demnach müssen beide Faktoren ein unterschiedliches Vorzeichen besitzen, um eine Kantendetektion zu ermöglichen. Die Abhängigkeit der Vorzeichen der Eingangs- und Ausgangssignale des Multiplizierers zeigt die Tabelle 8.2.

V_y	V_x	I_{out}	
+	+	-	
+	-	+	=> Kante
-	+	+	=> Kante
-	-	-	

Tabelle 8.2: Vorzeichenabhängigkeit des Multiplizierer-Ausgangssignals I_{out} von den Vorzeichen der Eingangssignale

Nur für den Fall, daß beide Eingangsspannungen ein unterschiedliches Vorzeichen haben, liefert der Multiplizierer einen positiven Ausgangsstrom I_{out} , der auch einer Kante entspricht.

Am Ausgang des Multiplizierers wird ein Stromkomparator (M_9 - M_{12}) als einstellbare Schwelle bei der Nulldurchgangserkennung hinzugeschaltet. An dessen Ausgang stellt sich in Abhängigkeit des Multipliziererausgangsstroms I_{mult} und des Schwellstroms I_{ref} ein binäres Kantensignal ein:

$$\begin{aligned}
 I_{out} > I_{ref} & \Rightarrow V_{out} = \text{Low} = \text{Kante} \\
 I_{out} < I_{ref} & \Rightarrow V_{out} = \text{High} = \text{keine Kante}
 \end{aligned}
 \tag{8.30}$$

- **Dimensionierung**

Die Dimensionierung der Eingangstransistoren des Multiplizierers erfolgte für $\Delta V_{in} = \pm 1,5V$. Dabei wurde der Versorgungsstrom auf $I = 20 \mu A$ festgelegt. Die Transistoren des Komparators wurden für einen maximal einstellbaren Schwellstrom von $I_{ref,max} = 1 \mu A$ ausgelegt. Insgesamt ergaben sich somit die Transistordimensionierungen nach Tabelle 8.3.

Transistoren	Transistordimensionen	
	W/ μm	L/ μm
M ₁ , M ₂	5	5,6
M ₃ , M ₄ , M ₅ , M ₆	2	13,2
M ₇ , M ₈	12	1,5
M ₉ , M ₁₀	25,2	1,2
M ₁₁ , M ₁₂	9	1,2

Tabelle 8.3: Dimensionierung der Transistoren des Multiplizierers und des Komparators

- **Simulationsergebnisse**

Bei der Realisierung der Schaltung nach Abb. 8.22 wurden für die Stromspiegel (M_7 , M_8) und (M_9 , M_{10}) Kaskode-Stromspiegel eingesetzt. In Abb. 8.23 ist der Ausgangsstrom des Gilbert-Multiplizierers in Abhängigkeit von den Eingangsspannungen dargestellt. Wie zuvor in Tabelle 8.2 gezeigt, ergeben sich positive Ausgangsströme nur für den Fall, wenn beide Eingangsspannungen unterschiedliche Vorzeichen besitzen.

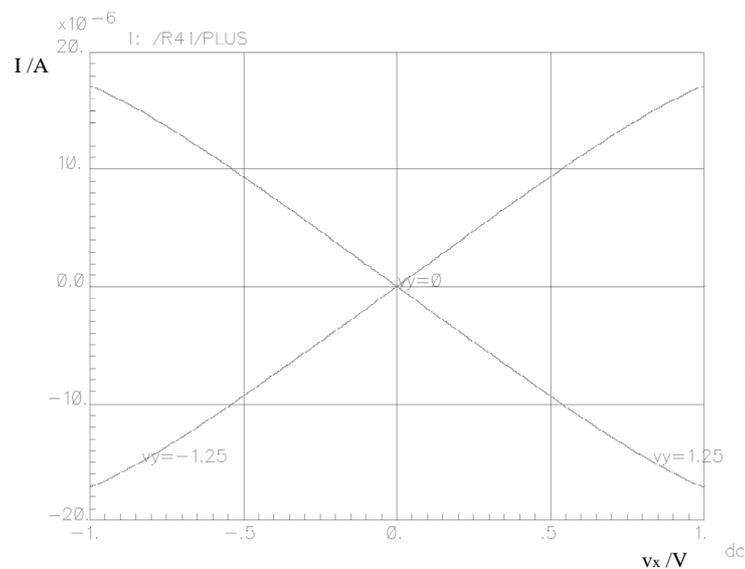


Abb. 8.23: Simulation des Vierquadranten-Gilbert-Multiplizierers

Die Abb. 8.24 zeigt die binären Ausgangssignale des Komparators gemäß der Gl. (8.30) für unterschiedliche Schwellströme ($I_{ref} = 100 nA$, $300 nA$, $500 nA$). Die Eingangsspannung v_y wurde für die Simulationen auf $v_y = 0,5 V$ gesetzt.

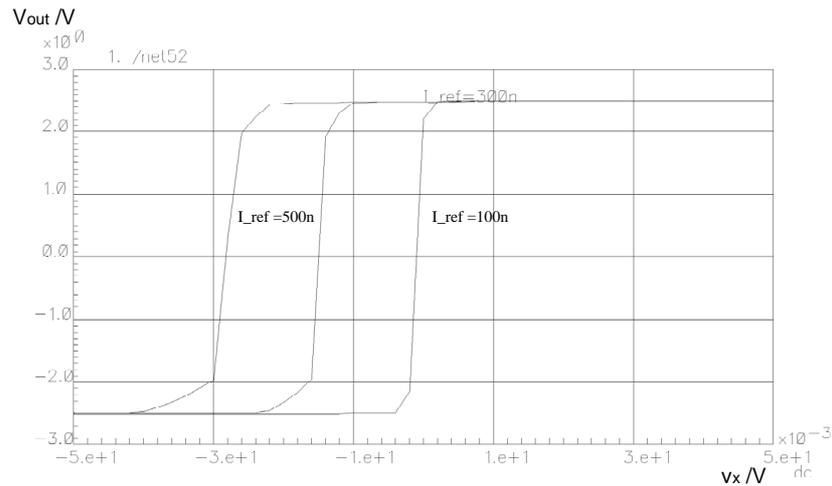


Abb. 8.24: Ausgangsspannung des Komparators in Abhängigkeit des Schwellstroms I_{ref}

Um die Steilheit der binären Ausgangssignale des Komparators zu verstärken, wurde am Komparatorausgang ein Inverter hinzugeschaltet. Die entsprechenden Ausgangssignale zeigt die Abb. 8.25.

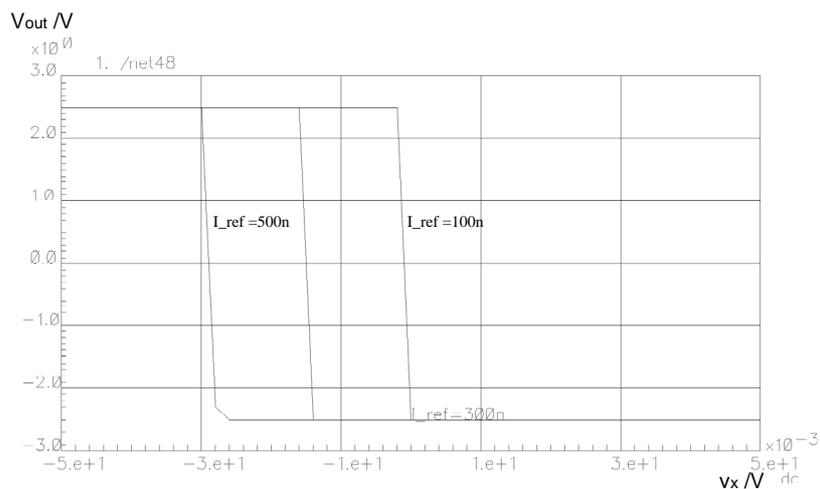


Abb. 8.25: Ausgangsspannung des Inverters in Abhängigkeit des Schwellstroms I_{ref}

8.4.4 Gesamtschaltbild der Chopper-Offsetkompensation

Das Gesamtschaltbild der Chopper-Offsetkompensation für zwei Knoten des Widerstandsnetzwerks ist in Abb. 8.26 dargestellt. Der tiefgestellte Index n der Abbildung beschreibt dabei den Ort des Knotens, und die beiden hochgestellten Zahlen (1) und (2) dienen zur Unterscheidung der beiden Netzlagen.

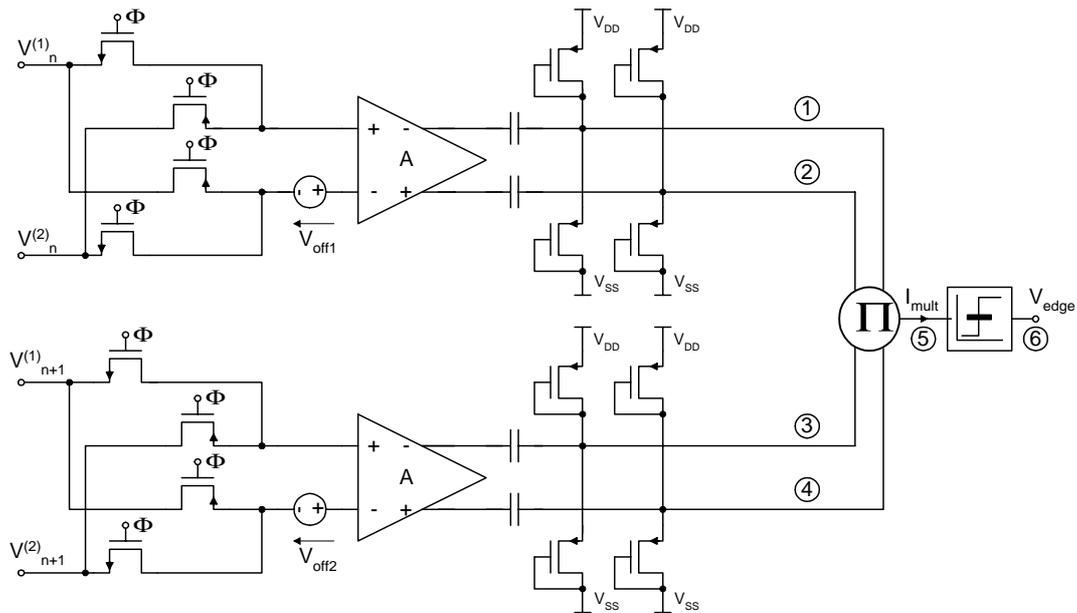


Abb. 8.26: Schaltung der Offsetkompensation für zwei Knoten

8.4.5 Simulationsergebnisse

An den Eingängen ($V_n^{(1)}$, $V_n^{(2)}$) wird als Beispiel eine Differenzeingangsspannung von $\Delta V_1 = 10 \text{ mV}$ und an den Eingängen ($V_{n+1}^{(1)}$, $V_{n+1}^{(2)}$) eine Differenzspannung von $\Delta V_2 = -10 \text{ mV}$ gemäß Abb. 8.27 angelegt. Die Schalttransistoren werden dabei mit einer Rechteckspannung ($f_T = 2 \text{ MHz}$) angesteuert.

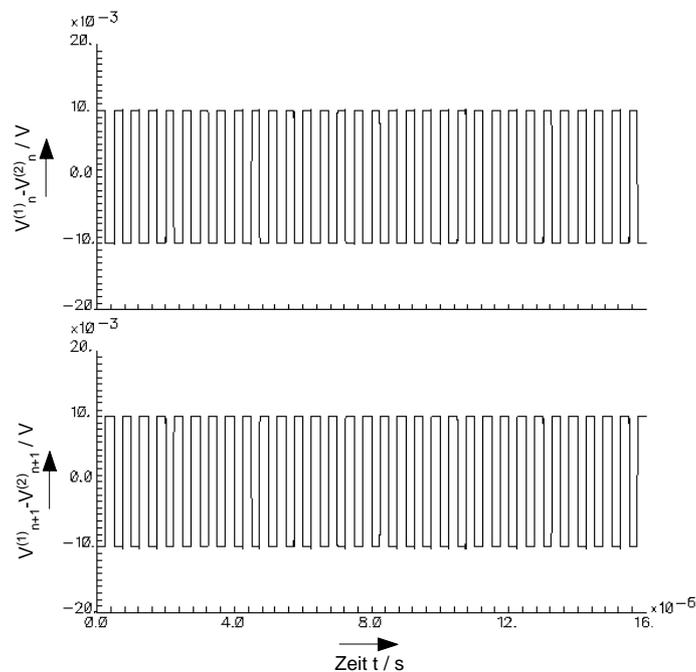


Abb. 8.27: Eingangsspannungen an den Differenzverstärkern der Abb. 8.26

8.4.5.1 Offsetfreier Differenzverstärker

An den Ausgängen des Hochpasses ergeben sich bei der Simulation ohne einen Offset die verstärkten abgetasteten Eingangssignale nach Abb. 8.28.

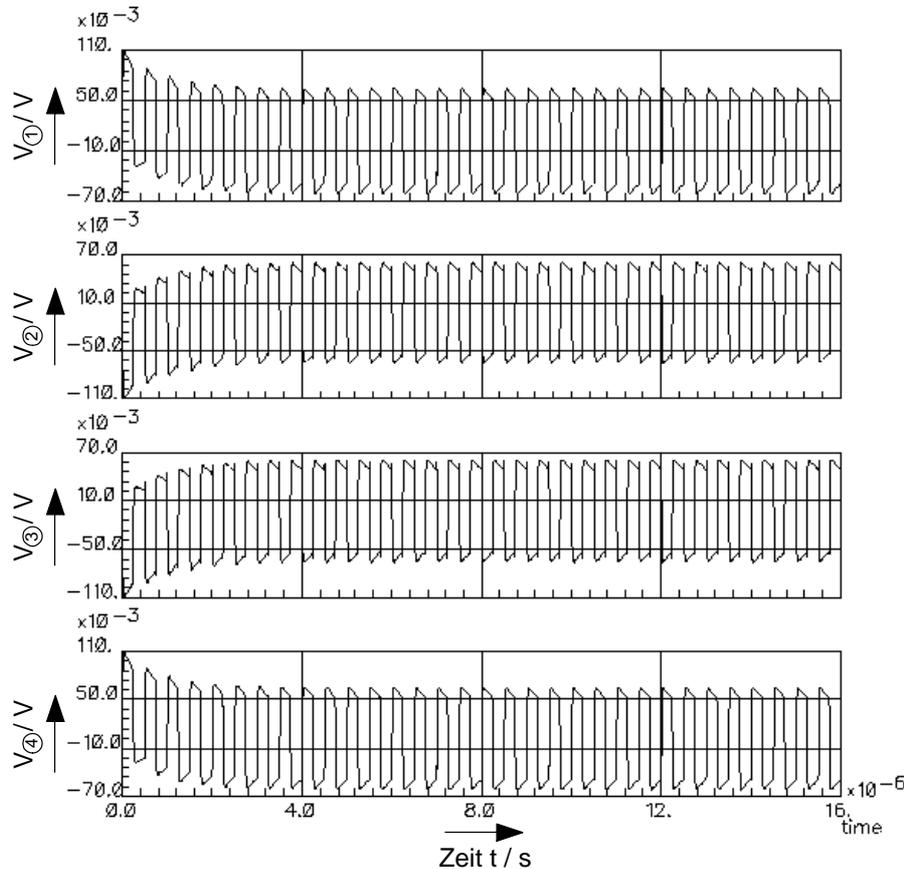


Abb. 8.28: Ausgangsspannungen der Hochpässe (für $\Delta V_1=10\text{ mV}$ und $\Delta V_2=-10\text{ mV}$; $V_{\text{off}}=0\text{ V}$)

Nach einer Einschwingzeit von ca. $3\ \mu\text{s}$ zeigen die Signale einen symmetrischen Verlauf um die Spannung $V=0\text{ V}$. Die negativen Ausgänge besitzen dabei das inverse Vorzeichen des positiven Ausgangs. Die Amplituden der Spannungen liegen bei $V_{\text{max}}=57\text{ mV}$. Dies entspricht der bereits gemessenen Verstärkung von

$$20 \log \frac{V_{\text{max}}}{V_{\text{in}}} = 20 \log \frac{57\text{ mV}}{10\text{ mV}} \approx 15\text{ dB} .$$

Die nachfolgende Multiplikation der beiden Differenzausgangsspannungen $\Delta V_a=V_{\text{a}}-V_{\text{c}}$ und $\Delta V_b=V_{\text{c}}-V_{\text{a}}$ ergibt einen nach Gl. (8.29) proportionalen Ausgangsstrom I_{mult} . Wie die Abb. 8.29 zeigt, ergibt sich nach einer Einschwingzeit ein Strom, der um einen Mittelwert von $I_{\text{mult}}=-175\text{ nA}$ mit einer Amplitude von $\pm 15\text{ nA}$ schwingt. Die Schwingung ergibt sich durch die Verschleifung der Eingangssignale durch die vorangegangene Bandpaßfilterung. Durch die anschließende Schwelle des nachfolgenden Stromkomparators kann jedoch wieder ein zeitlich konstantes, digitales Ausgangssignal erreicht werden (siehe Abb. 8.29). Die unterschiedlichen Vorzeichen der Multiplikatoren ergeben einen negativen Ausgangsstrom I_{mult} , der vom Betrag her größer ist als der Schwellwert I_{ref} . Daher liefert der Komparator ein digitales High-Ausgangssignal, das einer erkannten Kante entspricht.

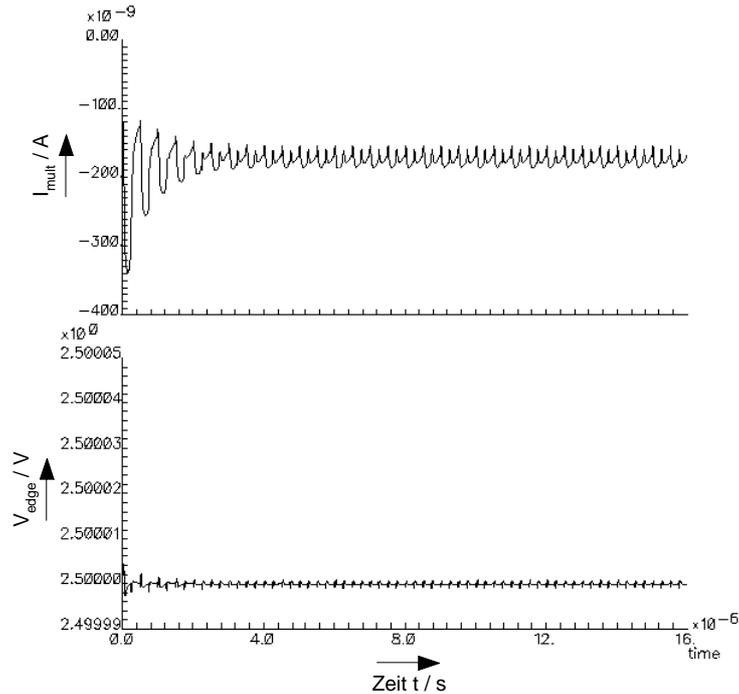


Abb. 8.29: Ausgangsstrom des Multiplizierers und Ausgangsspannung des Komparators ($I_{\text{ref}} = -50 \text{ nA}$)

Mit der Schwelle des Komparators kann die Größe der Spannungsdifferenz zwischen zwei benachbarten Knoten gewählt werden, welche eine Kante beschreibt. Für eine weitere Simulation wurde eine Schwelle von $I_{\text{ref}} = -250 \text{ nA}$ angesetzt (siehe Abb. 8.30). Für diesen Fall stellen die simulierten Knotenspannungsdifferenzen $\Delta V_1 = 10 \text{ mV}$ und $\Delta V_2 = -10 \text{ mV}$ keine Kante dar. Es ergibt sich somit ein digitales Low-Signal am Ausgang des Komparators.

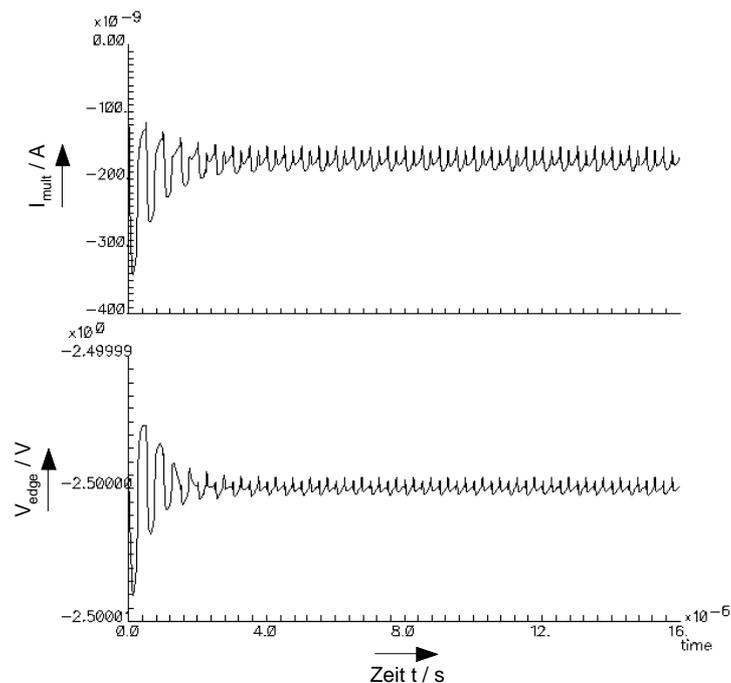


Abb. 8.30: Ausgangsstrom des Multiplizierers und Ausgangsspannung des Komparators ($I_{\text{ref}} = -250 \text{ nA}$)

8.4.5.2 Offsetbelasteter Differenzverstärker

Bei den bisherigen Simulationen wurde ein offsetfreier Differenzverstärker angenommen. In diesem Abschnitt werden Simulationsergebnisse unter Berücksichtigung einer Offsetspannung gezeigt. Folgende zwei Fälle werden dabei unterschieden: 1. $V_{off} < V_{in}$ und 2. $V_{off} > V_{in}$

1. $V_{off} < V_{in}$

Wird am Eingang des Differenzverstärkers eine Offsetspannung von $V_{off}=5\text{ mV}$ hinzuaddiert, ergeben sich am Ausgang des Hochpasses die Signalverläufe der Abb. 8.30.

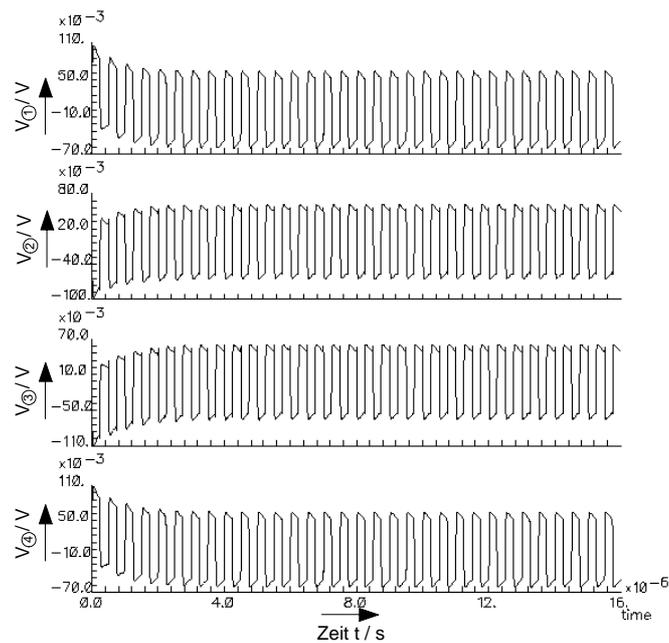


Abb. 8.31: Ausgangsspannungen der Hochpässe (für $\Delta V_1=10\text{ mV}$ und $\Delta V_2=-10\text{ mV}$; $V_{off}=5\text{ mV}$)

Verglichen mit den Ergebnissen der Abb. 8.28 ohne Offset, sind keine nennenswerten Unterschiede festzustellen. Die Abb. 8.32 zeigt den Ausgangsstrom des Multiplizierers.

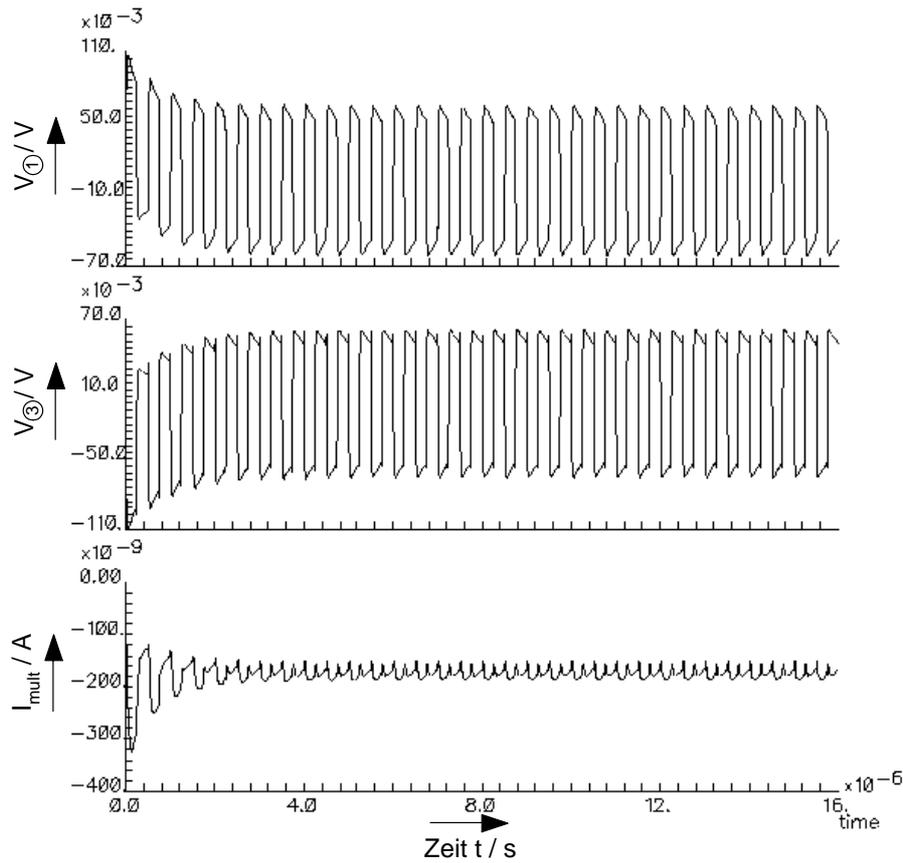


Abb. 8.32: Ausgangsspannungen der Differenzverstärker und Ausgangsstrom des Multiplizierers

2. $V_{\text{off}} > V_{\text{in}}$

a)

Die Leistungsfähigkeit des Chopper-Verfahrens kann gezeigt werden, falls der Offset das Eingangssignal übersteigt ($V_{\text{off}} > V_{\text{in}}$). Ohne ein Kompensationsverfahren könnten derartige Fälle nicht mehr eindeutig ausgewertet werden. Die Abb. 8.33 zeigt die Ausgangsspannungen der Hochpässe bei einem Offset von $V_{\text{off}} = 20 \text{ mV}$.

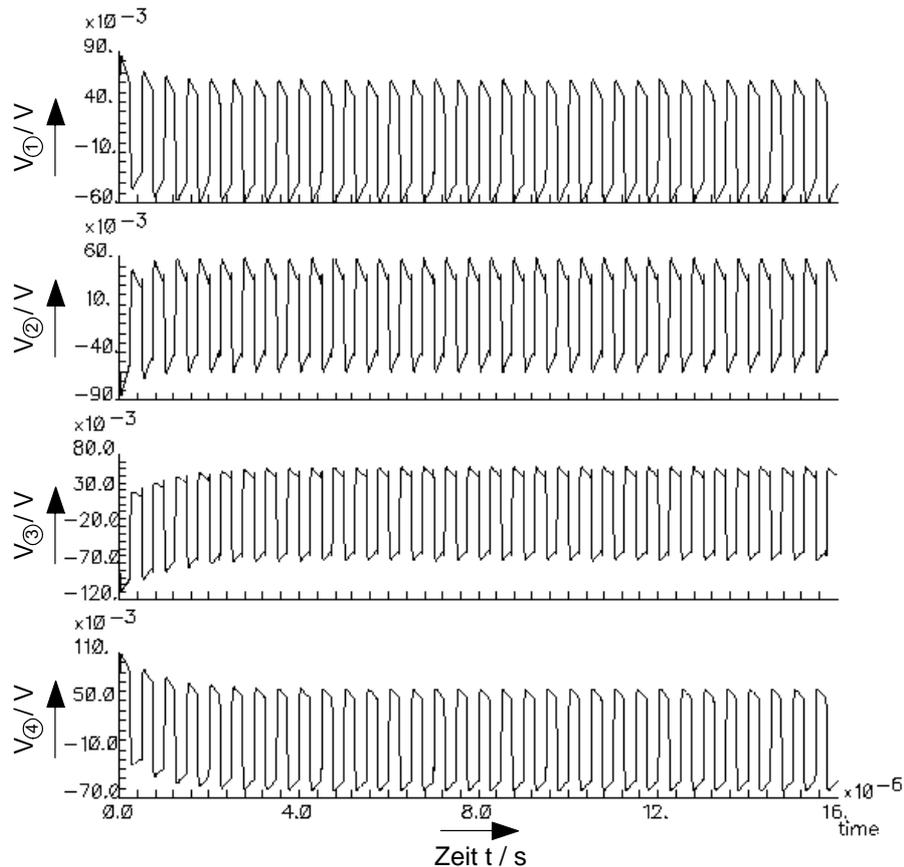


Abb. 8.33: Ausgangsspannungen der Hochpässe (für $\Delta V_1=10\text{ mV}$ und $\Delta V_2=-10\text{ mV}$; $V_{\text{off}}=20\text{ mV}$)

Die Amplituden der Signale betragen wie zuvor $V_{\text{max}}=57\text{ mV}$ und der Mittelwert der Signale liegt nach der Einschwingzeit bei $V=0\text{ V}$. Durch den Offset wird das Signal vor dem Differenzverstärker in einen höheren Amplitudenbereich verschoben, wodurch sich eine stärkere Verzerrung der Rechteckschwingung ergibt (siehe V_{1} und V_{2} der Abb. 8.33). Durch die Verzerrung ergibt sich eine stärkere Schwingung des Ausgangsstroms des Multiplizierers (siehe Abb. 8.34). Durch die anschließende Schwelle kann aber wieder ein digitales Kantenausgangssignal für die weitere Bearbeitung erzeugt werden.

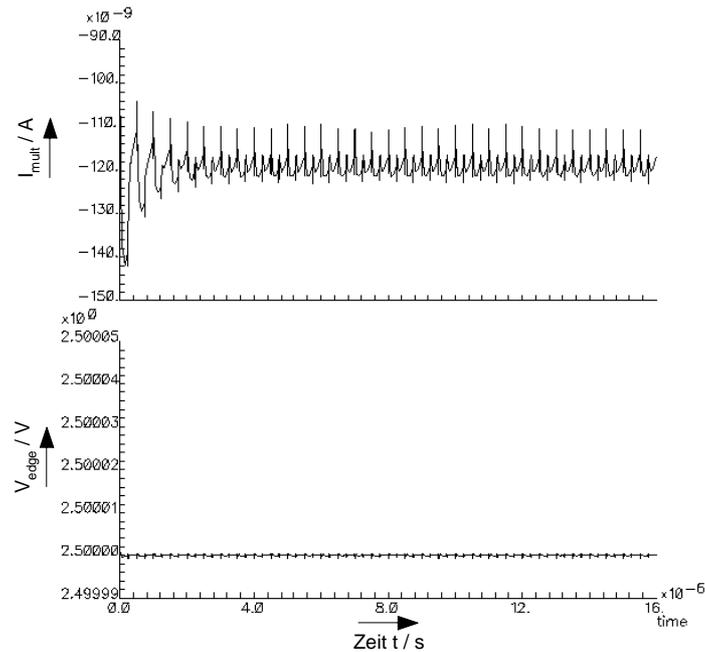


Abb. 8.34: Ausgangsstrom des Multiplizierers und Ausgangsspannung des Komparators ($I_{ref} = -50 \text{ nA}$)

b)

Wichtig ist auch die Untersuchung der Grenzen des Bereiches der Funktionalität der Offsetkompensation, da durch sie die Empfindlichkeit der Kantenerkennung bestimmt wird. Dazu werden Eingangsdifferenzspannungen von $\Delta V_1 = 5 \text{ mV}$ und $\Delta V_2 = -5 \text{ mV}$ und eine Offsetspannung von $V_{off} = 20 \text{ mV}$ gewählt. Die Ausgangsspannungen der Hochpässe zeigt die Abb. 8.35.

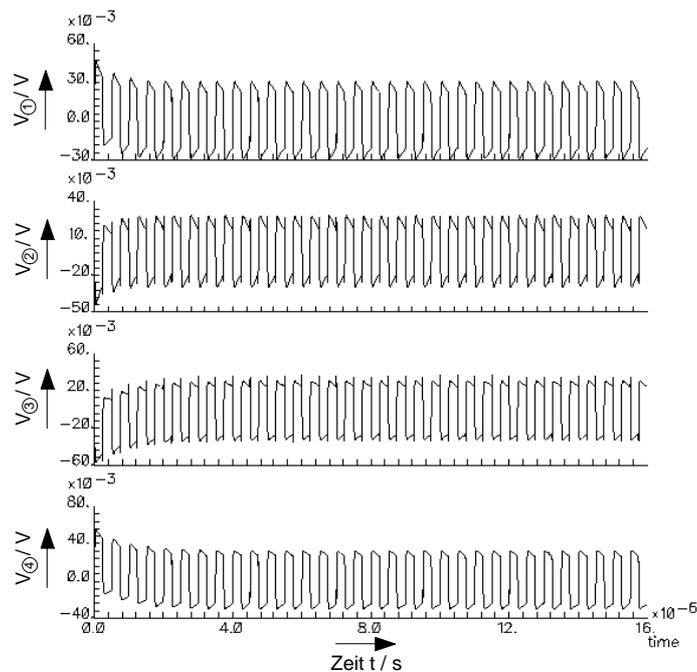


Abb. 8.35: Ausgangsspannungen der Hochpässe (für $\Delta V_1 = 5 \text{ mV}$ und $\Delta V_2 = -5 \text{ mV}$; $V_{off} = 20 \text{ mV}$)

Es ist erneut eine Einschwingzeit von etwa $3 \mu\text{s}$ und eine Verstärkung von 15 dB festzustellen.

Durch eine Schwelle $I_{ref} = -110 \text{ nA}$ ergibt sich am Komparator ein High-Signal (siehe Abb. 8.36).

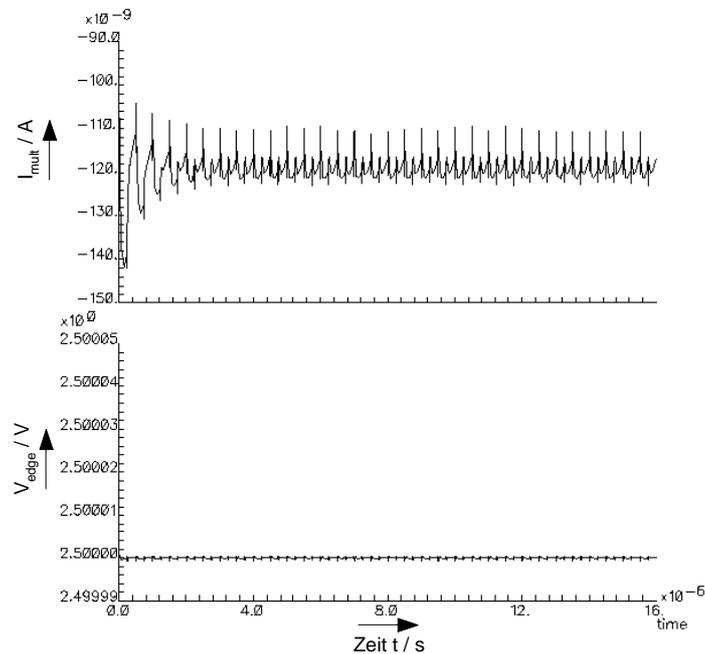


Abb. 8.36: Ausgangsstrom des Multiplizierers und Ausgangsspannung des Komparators ($I_{ref} = -50 \text{ nA}$)

8.4.5.3 Zusammenfassung

Aufgrund der modifizierten Chopper-Offsetkompensation konnten bei der Kantenerkennung mit Hilfe des gemultiplexten Widerstandsnetzwerks minimale Kanten von $V_{in,chopper} = 30 \text{ mV}$ erkannt werden, was einer Knotendifferenzspannung von $\Delta V_{chopper} = 5 \text{ mV}$ entspricht.

Im Gegensatz dazu, konnten ohne einer Offsetkompensation lediglich minimale Kanten von $V_{in,min} = 180 \text{ mV}$ erkannt werden. Dies entspricht einer Knotendifferenzspannung von $\Delta V_{min} = 20 \text{ mV}$. Somit bewirkt das Chopper-Verfahren eine deutliche Verbesserung bei der Erkennung von „kleinen“ Kanten.

Mit Chopper	Ohne Chopper
$V_{in,min} = 30 \text{ mV}$	$V_{in,min} = 180 \text{ mV}$
$\Rightarrow \Delta V_{min} = 5 \text{ mV}$	$\Rightarrow \Delta V_{min} = 20 \text{ mV}$

Tabelle 8.4: Minimal erkennbares Kantensignal $V_{in,min}$ und Knotendifferenzspannung ΔV_{min} des Widerstandsnetzwerks a) mit Chopper, b) ohne Chopper

9 Testchip-Realisierung

Zur Überprüfung der Simulationsergebnisse der Kantenerkennung und Segmentierung wurde ein Testchip in einer 1.2 μm CMOS-Technologie (p-Substrat, double poly, double metal) entwickelt und bei *Austria Mikro Systems* (AMS) gefertigt. Als Teststruktur wurde ein eindimensionales, gemultiplextes zweilagig-paralleles Widerstandsnetzwerk bestehend aus 10 Knoten implementiert und gemessen. Ziel der Testschaltungen war vorrangig die Verifikation der Simulationsergebnisse aus Kapitel 4, sodaß auf den Aufbau größerer komplexer Widerstandsnetzwerke verzichtet wurde.

Für den Test und die Messungen stand ein HP82000-D50 Digitaltester (IC Evaluation System) zur Verfügung. Der Testchip wurde für die Messungen in ein DILL48-Standardgehäuse montiert. Weiterhin wurde, um den Anschluß des Testchips an den Tester zu ermöglichen, eine spezielle Testplatine entworfen. In Abb. 9.1 ist das Foto eines gefertigten Testchips gegeben.

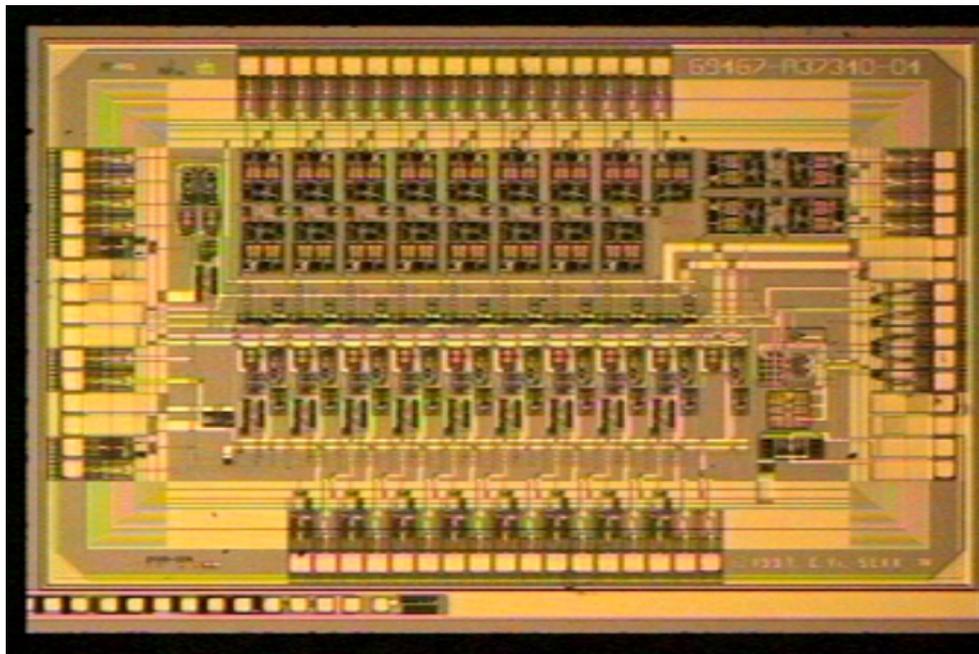


Abb. 9.1: Foto eines gefertigten Testchips

Die Gesamtfläche des Chips inklusive der 68 I/O- und Spannungsversorgungszellen im Peripheriebereich beträgt

$$A_{\text{gesamt}} = 3,945 \text{ mm} \cdot 2,670 \text{ mm} \approx 10,5 \text{ mm}^2, \quad (9.1)$$

wovon $10 \cdot 220 \mu\text{m} \cdot 680 \mu\text{m}$ die Fläche der 10 Netzknoten ausmacht (ohne Chopper).

Die Blockstrukturen in der Umrandung des Chips der Abb. 9.1 sind die Padzellen. Das gemultiplizierte zweilagig-parallele Widerstandsnetzwerk aus 10 Knoten ist in der unteren Hälfte des Chipfotos abgebildet. An der rechten Ecke davon ist die Ladungspumpe mit dem Taktgenerator dargestellt. Die Blockstrukturen in der oberen Hälfte des Chipfotos entsprechen den single-ended Buffer nach [27] für die Datenausgabe der Netzknotensignale. Eine vergrößerte Darstellung des Layouts der einzelnen Schaltungsmodule und die Angabe des jeweiligen Flächenbedarfs wird in *Anhang A* gegeben.

Zur Dateneingabe stehen 21 und zur Datenausgabe 22 Padzellen zur Verfügung. Die 5 V Spannungsversorgung erfolgt über vier GND- und fünf V_{DD} -Zellen. Dabei sind die analogen und digitalen Versorgungsleitungen getrennt ausgelegt. Dadurch sollen Störeinkopplungen von digitalen auf analoge Bauelemente verhindert werden. Weiterhin werden alle Schaltungsmodule durch einen Guardring von der Umgebung elektrisch abgeschirmt, um mögliche Störeinkopplungen über das Substrat zu minimieren. Die Gesamtverlustleistung des Testchips betrug 62,85 mW.

Nachfolgend werden einige Testmessungsergebnisse an den Testchip zur Kantenerkennung und Segmentierung gegeben. Für alle Testmessungen wurde eine Taktfrequenz von 2 MHz gewählt. In Abschnitt 9.1 werden Meßergebnisse bei einer Variation der Horizontalwiderstandswerte der ersten Netzwerklage gezeigt, wodurch sich unterschiedlich geglättete Ausgangssignale ergeben. Anschließend werden in Abschnitt 9.2 Testergebnisse zur Kantenerkennung vorgestellt und diese mit den entsprechenden Simulationsergebnissen verglichen. In Abschnitt 9.3 werden Meßergebnisse zur Segmentierung gezeigt. Schließlich werden in Abschnitt 9.4 Testergebnisse zur Kantenerkennung und zur Segmentierung präsentiert, wobei als Eingangssignal diesmal keine eindeutige Kante, sondern eine verrauschte und eine unscharfe Kante verwendet wurde.

9.1 Variation des horizontalen Widerstandes R_{h1} der ersten Netzwerklage

Zunächst wurde als Beispiel extern ein Kanteneingangssignal von $V_{in}=1$ V in das zweilagig-parallele Widerstandsnetzwerk gespeist. Dazu wurde für die Knoten 1-5 eine Inputspannung von 1 V und für die Knoten 6-10 eine Spannung von 2 V gewählt. Anschließend wurde nacheinander über die Steuerspannungen ($V_{Steuer1}$, $V_{Steuer2}$) der Horizontalwiderstand der ersten Netzlage zwischen den beiden Werten

$$R_{h1}=20 \text{ k}\Omega \text{ und } R_{h1}=40 \text{ k}\Omega$$

variiert. Die gesamten Vertikalwiderstände hatten sowohl bei diesem Test als auch bei allen folgenden Tests einen konstanten Wert von

$$R_{v1,2}=40 \text{ k}\Omega.$$

Gemessen wurden die Knotenpotentiale der ersten Netzwerklage. Diese repräsentieren als Ausgangssignale die Bildpunkte des vorverarbeitenden Bildes (Vergleich Abschnitt 3.1). Die Messungen sind in der Abb. 9.2 dargestellt.

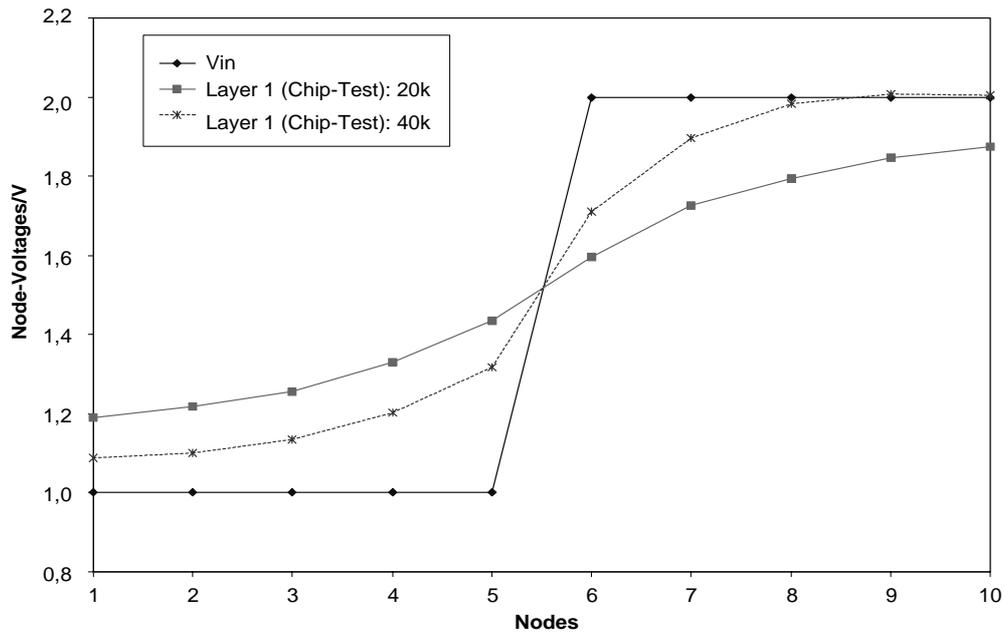


Abb. 9.2: Kanteneingangssignal V_{in} und Knotenpotentiale der ersten Netzwerklage bei unterschiedlichen Werten des Horizontalwiderstandes R_{h1} (Layer1: $R_{h1}=20\text{ k}\Omega$ und Layer1: $R_{h1}=40\text{ k}\Omega$)

Die Abb. 9.2 zeigt, daß das Kanteneingangssignal V_{in} durch die Netzwerklage räumlich tiefpaßgefiltert bzw. geglättet wird. Über das Verhältnis R_h/R_v kann dabei das Maß der Glättung eingestellt werden: Die Wahl eines größeren Horizontalwiderstandes von $R_{h1}=40\text{ k}\Omega$ ergibt eine schwächere Glättung des Eingangssignals als die Wahl von $R_{h1}=20\text{ k}\Omega$, da größere Horizontalwiderstände dem Ausgleichsvorgang im Netzwerk stärker entgegenwirken.

9.2 Testergebnisse zur Kantenerkennung

Wie zuvor in Kapitel 4 beschrieben führt das implementierte zweilagig-parallele Netzwerk für die Kantenerkennung und die Segmentierung ein zeitliches Multiplexen in zwei Phasen durch: In der ersten Phase werden mittels einer räumlichen DoG-Bandpaßfilterung und einer Nulldurchgangserkennung binäre Kanteninformation gewonnen und gespeichert. In der zweiten Phase erfolgt die Segmentierung. In diesem Abschnitt werden zunächst Meßergebnisse zur Kantenerkennung gezeigt, bevor im nächsten Abschnitt 9.3 Meßergebnisse zur Segmentierung diskutiert werden.

Für die Kantenerkennung sind in Abb. 9.3 als Beispiel die Meßergebnisse des Testchips bei einem Kanteninput von $V_{in}=1,5\text{ V}$ dargestellt. Dazu wurde für die Knoten 1-5 eine Inputspannung von 1 V und für die Knoten 6-10 eine Spannung von $2,5\text{ V}$ gewählt. Die Widerstandswerte der Horizontalwiderstände beider Netzlagen wurden dabei gewählt zu:

$$R_{h1} = 4\text{ k}\Omega \text{ und } R_{h2} = 40\text{ k}\Omega$$

Die Abb. 9.3 zeigt das Kanteneingangssignal V_{in} , die gemessenen Knotenpotentiale der beiden parallelen Netzwerklagen ($Layer1$, $Layer2$) und die digitalen Kantenausgangssignale.

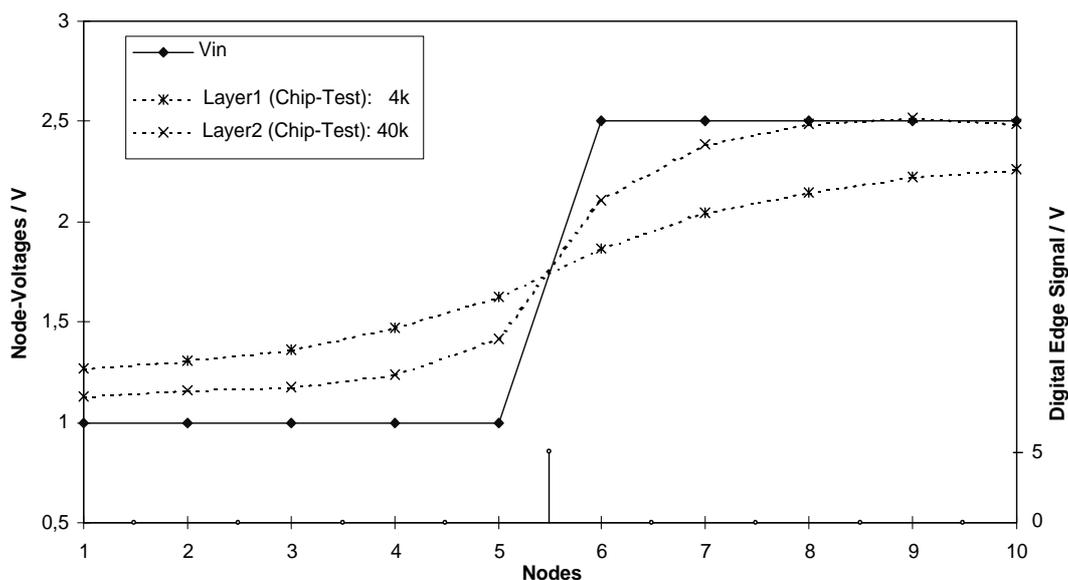


Abb. 9.3: Meßergebnisse zur Kantenerkennung: Kanteneingangssignal V_{in} , Knotenpotentiale der beiden Netzlagen ($Layer1$: $R_{h1}=4\text{ k}\Omega$ und $Layer2$: $R_{h2}=40\text{ k}\Omega$) und digitale Kantenausgangssignale

An den Netzknoten der beiden parallelen Netzwerke stellen sich zwei unterschiedliche, räumlich tiefpaßgefilterte Signale ein: Die erste Netzlage mit dem kleineren Horizontalwiderstand von $R_{h1}=4\text{ k}\Omega$ ergibt entsprechend eine stärkere Glättung des Eingangssignals als die zweite Netzlage mit $R_{h1}=40\text{ k}\Omega$.

Die Kantenerkennung erfolgt anschließend über die Differenzbildung der beiden geglätteten Signale und der Feststellung der Nulldurchgänge im Differenzbild (Vergleich Abschnitt 4.5 und Abschnitt 8.4.3, $I_{ref}=200\text{ nA}$). Die digitalen Kantenausgangssignale zwischen den jeweili-

gen Netzknoten sind ebenfalls in der Abb. 9.3 dargestellt. Der Testchip lieferte folgende binäre Kantenausgangssignale:

- Bei erkannter Kante $Digital\ Edge\ Signal=High$ (zwischen den Knoten 5 und 6)
- Bei nicht erkannter Kante $Digital\ Edge\ Signal=Low$ (sonst)

In der Abb. 9.4 werden den Testergebnissen der Abb. 9.3, die entsprechenden idealen Simulationsergebnisse gegenübergestellt.

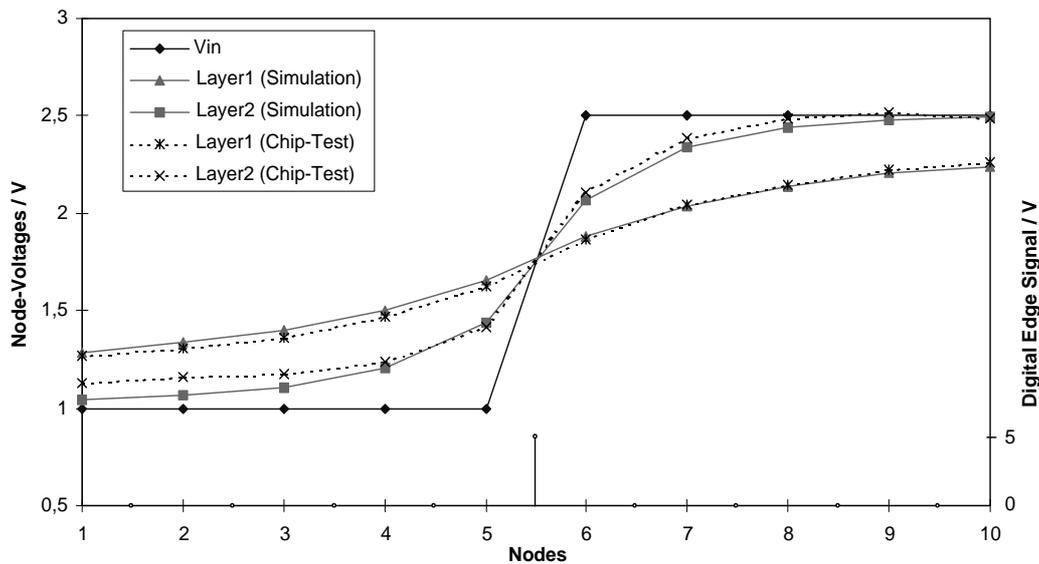


Abb. 9.4: Meßergebnisse versus Simulation; Verhalten bei einem Kanteninput; [Kanteneingangssignal V_{in} ; Knotenpotentiale der beiden simulierten Netzlagen ($Layer1_{Simulation}$: $R_{h1}=4\text{ k}\Omega$ und $Layer2_{Simulation}$: $R_{h2}=40\text{ k}\Omega$); Knotenpotentiale der beiden gemessenen Netzlagen ($Layer1_{Chip-Test}$: $R_{h1}=4\text{ k}\Omega$ und $Layer2_{Chip-Test}$: $R_{h2}=40\text{ k}\Omega$) und digitale Kantenausgangssignale]

Die Abb. 9.4 zeigt, daß die gemessenen Ausgangssignale der beiden parallelen Netzwerklagen vom tendenziellen Verlauf mit den simulierten Signalen übereinstimmen. Weiterhin entsprechen die gemessenen Kantenausgangssignale den simulierten, d.h. das digitale Kantenausgangssignal $Digital\ Edge\ Signal=High$ wird fehlerfrei zwischen den Knoten 5 und 6 ausgegeben.

9.3 Testergebnisse zur Segmentierung

Für die Segmentierung werden die gewonnenen, binären Kantensignale aus der DoG-Bandpaßfilterung in der Multiplexerschaltung nach Abb. 6.13 gespeichert, in die zweite Netzwerklage zurückgeführt und dort für die Ansteuerung der Horizontalwiderstände verwendet: Bei einer erkannten Kante wird der zwischen den entsprechenden Knoten liegende Horizontalwiderstand hochohmig geschaltet, bei keiner Kante niederohmig. Dadurch wird in dieser Netzlage ein segmentiertes Bild erzeugt, und die Knotenpotentiale in diesem Netzwerk repräsentieren dann das segmentierte Bild.

Aufbauend zu den Ergebnissen der Kantenerkennung der Abb. 9.3 werden in Abb. 9.5 die Meßergebnisse zur Segmentierung dargestellt. Anhand der detektierten binären Kantensignale (siehe Abb. 9.3), erfolgt die Segmentierung des Eingangssignals, die einer Kontrastverstärkung ähnelt.

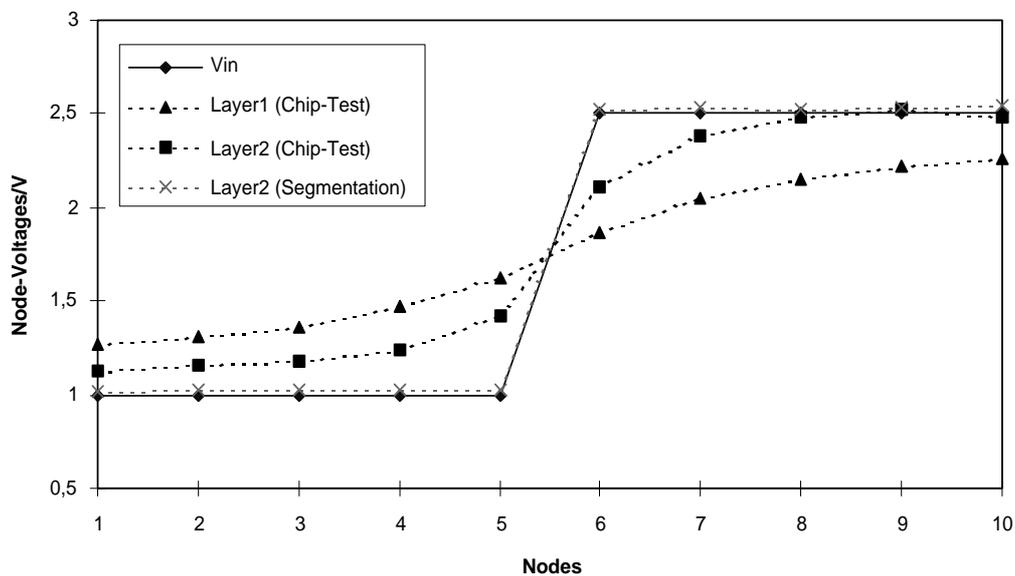


Abb. 9.5: Segmentierung eines Kanteneingangssignals V_{in} , Knotenpotentiale der beiden Netzlagen (Layer1: $R_{h1}=4\text{ k}\Omega$ und Layer2: $R_{h2}=40\text{ k}\Omega$) und segmentiertes Ausgangssignal (Layer2: Segmentation)

9.4 Kantenerkennung und Segmentierung

9.4.1 Bei einer „verrauschten“ Kante

In der Abb. 9.6 wird ein mit Rauschen behaftetes Kanteneingangssignal nachsimuliert, indem zum Eingangssignal Spannungsschwanken hinzugefügt wurden. Dazu wurde für die Knoten 1-5 eine alternierende Inputspannung von 1 V und 1,1 V und für die Knoten 6-10 eine alternierende Spannung von 2,6 V und 2,5 V gewählt. Die Widerstandswerte der Horizontalwiderstände beider Netzlagen betragen dabei:

$$R_{h1}=4\text{ k}\Omega\text{ und }R_{h2}=40\text{ k}\Omega$$

Die Meßergebnisse zur Kantenerkennung und Segmentierung für dieses Beispiel zeigt die Abb. 9.6.

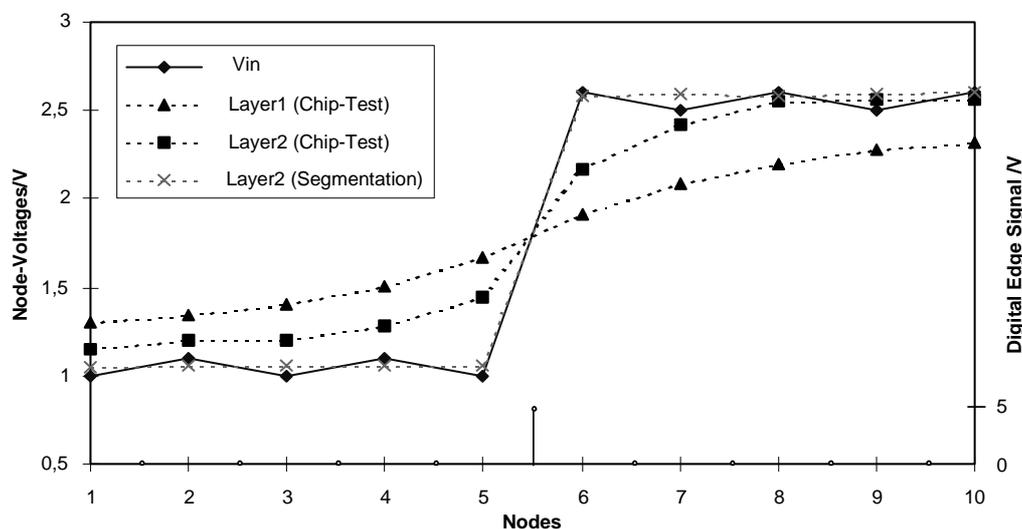


Abb. 9.6: Kantenerkennung und Segmentierung eines verrauschten Kanteneingangssignals

Durch die DoG-Bandpaßfilterung des zweilagigen Netzwerks und einer Nulldurchgangserkennung erfolgt eine eindeutige Kantenerkennung zwischen den Knoten 5 und 6 (*Digital Edge Signal=High*). Die gewonnen binären Kanteninformatoren werden gespeichert und für die nachfolgende Segmentierung zur Steuerung der Horizontalwiderstände der zweiten Netzwerklage verwendet. Dadurch ergeben sich zwei Segmente mit jeweils nahezu konstanten Werten; d.h. die Werte innerhalb eines jeden Segmentes werden einer Mittelwertbildung durchzogen.

9.4.2 Bei einer „unscharfen“ Kante

Meßergebnisse der Kantenerkennung und der Segmentierung einer unscharfen Kante werden in Abb. 9.7 dargestellt. Auch eine über mehrere Bildpunkte kontinuierlich ansteigende Kante wird durch das implementierte Netzwerk eindeutig detektiert: Das Problem der „Mehrfachkanten“ wie beim Netzwerk mit Resistive Fuses (siehe Abschnitt 3.4) besteht nicht für das implementierte Netzwerk. Dadurch ist eine anschließende korrekte Segmentierung möglich.

Diese stellt eine „verstärkte“ Form des ursprünglichen Kantensignals dar.

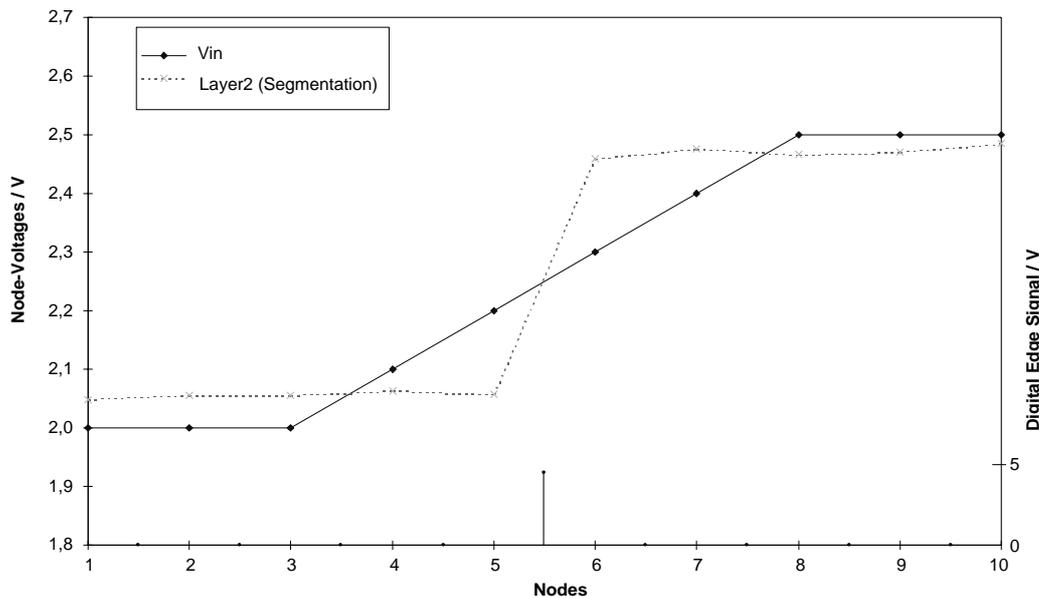


Abb. 9.7: Meßergebnisse; Verhalten bei einer unscharfen Kante

9.4.3 Zusammenfassung

Das implementierte zweilagig-parallele Netzwerk führt durch ein zeitliches Multiplexen sowohl die Kantenerkennung als auch die Segmentierung aus. Die Vertikalwiderstände beider Netzlagen besitzen dabei einen konstanten Wert von $R_{v1}=R_{v2}=40\text{ k}\Omega$. Die Horizontalwiderstände der beiden parallelen Netzlagen sind hingegen veränderbar: Für die Horizontalwiderstände R_{h1} der ersten Netzlage können die Widerstandswerte $20\text{ k}\Omega$ bzw. $40\text{ k}\Omega$ ausgewählt werden. Die Horizontalwiderstände R_{h2} der zweiten Netzlage besitzen zunächst den Widerstandswert von $4\text{ k}\Omega$. Dieser wird zusätzlich bei der Segmentierungsphase entweder hochohmig bzw. niederohmig geschaltet.

Die minimal erkennbare Kante des implementierten Netzwerks beträgt $V_{in,min}=200\text{ mV}$. Dies entspricht einer Knotendifferenzspannung von $\Delta V_{min}=25\text{ mV}$. In der Tab. 9.1 sind die Ergebnisse der minimalen Kantenerkennung des Testchips und der simulierten Netzwerke gegenübergestellt.

Testchip	Mit Chopper	Ohne Chopper
$V_{in,min}=200\text{ mV}$	$V_{in,min}=30\text{ mV}$	$V_{in,min}=180\text{ mV}$
$\Rightarrow \Delta V_{min}=25\text{ mV}$	$\Rightarrow \Delta V_{min}=5\text{ mV}$	$\Rightarrow \Delta V_{min}=20\text{ mV}$

Tabelle 9.1: Testchip versus Simulation:

Minimal erkennbares Kantensignal V_{in} und Knotendifferenzspannung ΔV
a) des Testchips; des simulierten Netzwerks b) mit Chopper; c) ohne Chopper

Im nächsten Kapitel erfolgt eine Zusammenfassung der wichtigsten Ergebnisse.

10 Zusammenfassung

Die Bildvorverarbeitung hat die Aufgabe, frühzeitig, die bei der Bildaufnahme durch Photosensoren aufgenommenen Datenmengen, auf die für die jeweilige Anwendung relevanten Informationen für die weitere Bearbeitung zu reduzieren. Eine für viele Anwendungen notwendige Information sind die im Bild auftretenden Kanten, mit denen sich beispielsweise Objekte erkennen lassen. Neben diesen binären Kanteninformationen können durch eine Segmentierung des Ursprungsbildes auch Informationen über die Flächen im Bild gewonnen werden. Mit den zusätzlichen Flächeninformationen kann z. B. ein Objekt nach einer Veränderung (Bewegung) zuverlässiger wiedererkannt werden, als wenn nur der durch die binären Kanteninformationen gegebene Umriß zur Identifikation zur Verfügung stehen würde.

Durch eine effiziente Integration von analoger Bildvorverarbeitung in die Bildaufnahme, in Anlehnung an die biologische Retina, besteht die Möglichkeit für spezielle Anwendungen kostengünstige, kompakte und schnelle Bildsensordatenverarbeitungssysteme aufzubauen. Erste Ansätze dazu wurden von Carver Mead mit der „Silicon Retina“ unternommen. Diese besteht aus einem einlagigen, analogen Widerstandsnetzwerk, das die Photosensoren mit Widerständen verbindet und somit eine räumliche Tiefpaßfilterung des Eingangssignals bewirkt (siehe Kapitel 3).

Weitere Entwicklungen sind die zweilagigen und zweilagig-parallelen Netzwerke. Durch Differenzbildung der beiden räumlich tiefpaßgefilterten Signale der beiden Netzlagen wird näherungsweise eine Difference-of-two-Gaussians-Bandpaßfilterung realisiert. Die Kantenerkennung erfolgt ohne weiteren Berechnungsaufwand über die Feststellung von Nulldurchgängen im Differenzbild (siehe Kapitel 3). Diese Netzwerke haben gegenüber Verfahren, die Kanten nur in unmittelbarer Nachbarschaft zwischen zwei Bildpunkten erkennen (wie z. B. das Netzwerk mit Resistive Fuses), den Vorteil der eindeutigen Erkennung bei unscharfen Kanten sowie der Steuerung des Detailreichtums der extrahierten binären Kanteninformationen durch Variation der Widerstandsverhältnisse. Allerdings kann mit diesen Ansätzen keine Segmentierung durchgeführt werden.

Bisherige Verfahren zur Segmentierung bei gleichzeitiger Kantenerkennung, basieren auf nichtlinearen Widerstandsnetzwerken mit Resistive Fuses. Allerdings weisen diese Ansätze schwerwiegende Mängel bei der Kantenerkennung auf (z.B. wird eine unscharfe Kante als mehrere, aneinanderliegende Kanten erkannt).

In dieser Arbeit wurde ein neuer Ansatz vorgestellt, der die eindeutige Kantenerkennung zweilagig-paralleler Widerstandsnetzwerke mit einer zusätzlichen Segmentierung kombiniert, indem das zweilagig-parallele Netzwerk nach Art eines zeitlichen Multiplexprinzips verwendet wird (siehe Kapitel 4). Die Kantenerkennung erfolgt zunächst durch die Feststellung der Nulldurchgänge im Differenzbild des zweilagigen Netzwerks. Eine zusätzliche Segmentierung erhält man, indem die binären Kantensignale nach Art eines Multiplexprinzips als neue Steuersignale auf die Horizontalwiderstände einer Netzwerklage rückgekoppelt werden, um die Charakteristik der Resistive Fuses zu erzielen, ohne sie aber dabei selbst zu verwenden. Somit

wird mit nur wenig Mehraufwand gegenüber bisherigen Implementierungen von zweilagig-parallelen Netzwerken zusätzlich zur Kantenerkennung eine Segmentierung implementiert. Weiterhin wurde ein neuer Algorithmus zur Feststellung der Nulldurchgänge für die Kantenerkennung vorgestellt. Dieser kann mit Hilfe eines Gilbert-Multiplizierers mit nachgeschaltetem Stromkomparator implementiert werden und ermöglicht gegenüber dem in [7] vorgestellten Verfahren eine Reduzierung des Hardwareaufwands um etwa 33% in der Anzahl der Transistoren.

Ein weiterer Schwerpunkt dieser Arbeit bildete der Entwurf von möglichst einfachen CMOS-Schaltungen für die Implementierung des gemultiplexten zweilagig-parallelen Widerstandsnetzwerks.

In Kapitel 5 wurden schaltungstechnische Realisierungsmöglichkeiten für die Vertikalwiderstände untersucht. Konventionelle Implementierungen basieren auf einstufige gegengekoppelte Differenzverstärker. Bei ohmscher Belastung durch das Netzwerk, wirkt dieser näherungsweise als ohmscher Widerstand, wobei dessen Wert durch die Steilheit g_m der Eingangstransistoren bestimmt wird. Nachteilig dabei jedoch ist die Kopplung des Aussteuerbereichs mit der Linearität. Innerhalb des geforderten Aussteuerbereichs wurden Abweichungen des Widerstandes vom gewünschten Wert von maximal $\Delta R_{max}/R=30\%$ festgestellt. Durch die Abhängigkeit des Widerstandswertes von der Eingangsspannung ergibt sich eine starke Verzerrung, die sich durch eine Total Harmonic Distortion *THD* von -5 dB ausdrückt.

Eine Verkleinerung der *THD* um 30 dB wurde erzielt, indem ein zweistufiger gegengekoppelter Differenzverstärker mit einem CVC von Wang als Lastwiderstand verwendet wurde. Diese Schaltung beruht auf der Eigenschaft, daß zweistufige gegengekoppelte Differenzverstärker einen sehr geringen Innenwiderstand besitzen und somit der Ausgangsstrom näherungsweise durch den Lastwiderstand bestimmt wird. Die maximale relative Abweichung des Widerstandes vom gewünschten Wert betrug hierbei $\Delta R_{max}/R=7,5\%$. Durch eine effiziente Mehrfachnutzung von Schaltungsmodulen konnte dabei der Hardwareaufwand für die Realisierung von zwei gleichen parallelen Vertikalwiderständen, statt einer Verdopplung der Transistorenzahl, auf ein Minimum von lediglich 4 zusätzlichen Transistoren begrenzt werden.

Bei der Implementierung der Horizontalwiderstände wurden im Gegensatz zu herkömmlichen Schaltungsmethoden mit 7 bis 33 Transistoren einzelne MOS-Transistoren verwendet, die im Triodenbereich betrieben werden (siehe Kapitel 6). Die Versorgung ihrer Gateanschlüsse erfolgt durch eine on-Chip implementierte Ladungspumpe („Charge Pump“). Diese generiert Spannungen, die über der Betriebsspannung V_{DD} liegen. Mit diesen Spannungen wird einerseits gewährleistet, daß die Transistoren bei minimaler physikalischer Dimensionierung im linearen Bereich arbeiten und andererseits kann durch sie der Widerstandswert des Transistors selbst variiert werden.

Der für die Nulldurchgangserkennung eingesetzte Gilbert-Multiplizierer wird durch einen Differenzverstärker gespeist, der die Differenz zwischen den Knotenpotentialen der beiden parallelen Netzlagen bildet (siehe Kapitel 7). Da der Multiplizierer Common-Mode abhängig ist, wurde hierfür ein Fully-Balanced-Differential-Output Differenzverstärker gewählt. Dieser ist jedoch offsetbehaftet. Untersuchungen haben gezeigt, daß dadurch die Empfindlichkeit der Kantenerkennung beeinträchtigt werden kann (kleine Differenzspannungen können nicht mehr korrekt ausgewertet werden). Um diese Empfindlichkeit zu erhöhen, wurde daher in Kapitel 8 ein modifiziertes Chopper-Offsetkompensationsverfahren vorgestellt. Dieses Verfahren besteht aus der Modulations-, der Offsetkompensations- und der Demodulationsphase.

Betrachtet man den Frequenzbereich, so wird in der Modulationsphase wie beim konventionellen Chopper-Verfahren das Originalsignal durch die Abtastung in den höherfrequenten Bereich moduliert und somit vom Offsetsignal getrennt. Im Gegensatz zur konventionellen Chopper-Methode wird das Offsetsignal, das sich als Gleichsignal im niederfrequenten Bereich befindet, durch eine Hochpaßfilterung vom Nutzsignal herausgefiltert. Anschließend werden in einem Verarbeitungsschritt die Demodulation und die zur Nulldurchgangserkennung notwendige Multiplikation mit dem selben Multiplizierer durchgeführt. Im Vergleich zur konventionellen Chopper-Methode entfällt somit eine zusätzliche Abtastschaltung für die Demodulation. Weiterhin sind die Taktleitungen, die zur Synchronisation der Taktsignale für die Modulation und Demodulation notwendig sind, nicht mehr erforderlich.

Zur Überprüfung und Verifikation der Simulationsergebnisse des gemultiplexten zweilagig-parallelen Netzwerks zur Kantenerkennung und Segmentierung, wurde ein Testchip in einer 1.2 μm CMOS-Technologie entwickelt und bei Austria Mikro Systems AMS gefertigt. Als Teststruktur wurde ein eindimensionales, gemultiplextes zweilagig-paralleles Widerstandsnetzwerk bestehend aus 10 Knoten implementiert (siehe Kapitel 9). Anhand von Messungen an dem Testchip wurde gezeigt, daß die vorgestellte Architektur des gemultiplexten Netzwerks gegenüber bisherigen Implementierungen zusätzlich zur Kantenerkennung eine Segmentierung ermöglicht. Mit diesen Zusatzinformationen lassen sich beispielsweise Objekte nach einer Veränderung (z.B. Bewegung) zuverlässiger wiedererkennen. Ferner wurden im Gegensatz zu nachbarschaftsbezogenen Kantenerkennungsverfahren, auch verwischte Kanten eindeutig erkannt.

Anwendungsbeispiele und einen Ausblick auf mögliche Weiterentwicklungen werden im folgenden Kapitel gezeigt.

11 Anwendungen und Ausblick

Es gibt Aufgaben in der Qualitätskontrolle bei industrieller Produktion, für die der Einsatz einer Bildsensorik in Verbindung mit einer eindimensionalen Bildvorverarbeitung eine mögliche kostengünstige Lösung darstellt. Einige Anwendungsbeispiele sind in Abb. 10.1 gezeigt.

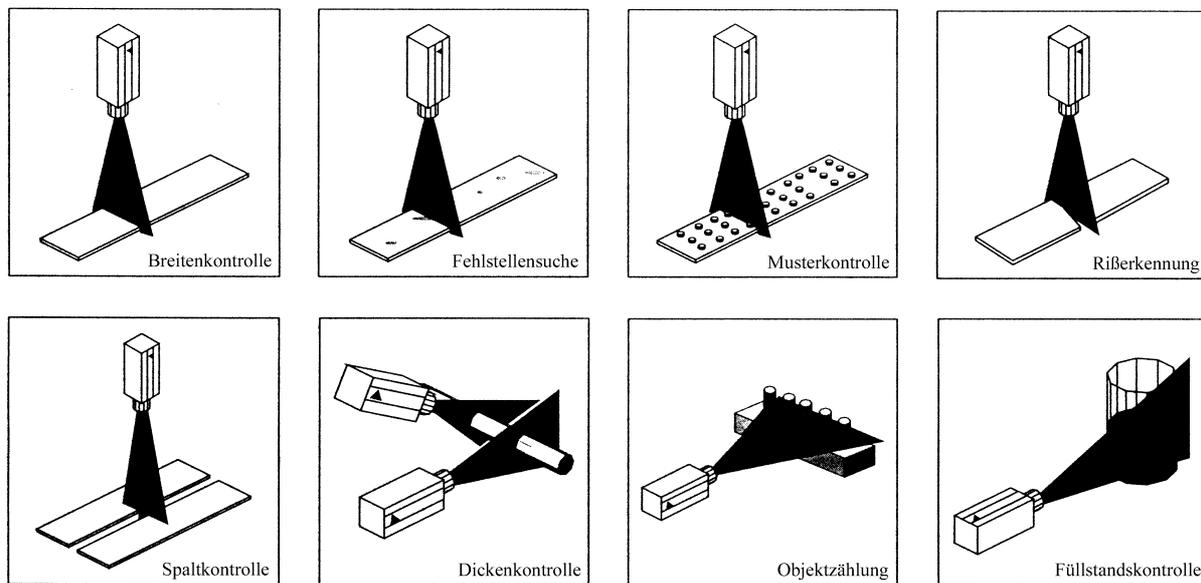


Abb. 11.1: Anwendungsbeispiele einer eindimensionalen Bildverarbeitung bei der Qualitätskontrolle [78]

Bei zweidimensionalen Anwendungsgebieten kann der Chipflächenbedarf und der Leistungsverbrauch problematisch werden. Dazu muß man allerdings berücksichtigen, daß die vorgestellten Schaltungsmodulare des gemultiplexten zweilagig-parallelen Widerstandsnetzwerks in einer $1.2\ \mu\text{m}$ CMOS-Technologie mit lediglich zwei Lagen Aluminium entwickelt wurden. Neuere Technologien stellen feinere Strukturen und mehr Metallisierungsebenen zur Verfügung. Somit ist eine Reduktion des Platzbedarfs und der Verlustleistung möglich.

Weiterhin erweist sich die Tatsache als hilfreich, daß Kanteninformationen wegen begrenzter Verdrahtungsmöglichkeiten meistens ohnehin nicht alle gleichzeitig, sondern nur zeilenweise an ein weiterverarbeitendes System übermittelt werden können. Daher kann die Anzahl der erforderlichen Schaltungsmodulare zur Kantenerkennung (d.h. Multiplizierer, Stromkomparator und Chopper) auf jeweils eins pro Spalte deutlich reduziert werden. Somit kann eine zusätzliche Reduzierung des Platzbedarfs und der Verlustleistung erzielt werden. Zukünftige noch höher integrierende Herstellungstechnologien von Mikrochips können zu einer weiteren Reduzierung der Verlustleistung beitragen und zusätzlich Systeme zur Verarbeitung von höher aufgelösten Bildern ermöglichen.

Literaturverzeichnis

- [1] B. K. Ahuja: *An improved Frequency Compensation Technique for CMOS Operational Amplifiers*, J. of Solid-State Circuits, vol. SC-18, no. 6, December 1983
- [2] P. Allen, D. Holberg: *CMOS Analog Circuit Design*, Holt, Reinhart and Winston Inc., 1987, ISBN 0-19-510-720-9
- [3] Austria Micro Systems (AMS), Standard Cell Databook, 4.1996
- [4] A. Andreou, K. Boahen, P. Pouliquen, A. Pavasovic, R. Jenkins, K. Strohhahn: *Current-mode sub-threshold MOS circuits for analog VLSI neural systems*, IEEE Trans. on Neural Networks, vol. 2, no. 2, pp. 205-213, March 1991
- [5] A. Andreou, K. Strohhahn, R. Jenkins: *A silicon retina for motion computation*, Proceedings of the IEEE International Symposium on Circuits and Systems, Singapore, pp. 2593-2596, June 1991
- [6] J. Babanezhad and G. Temes: *A 20-V Four-Quadrant CMOS Analog Multiplier*, IEEE Journal of Solid-State Circuits, vol. SC-20, no. 6, pp. 1158-1168, Dec. 1985
- [7] W. Bair and C. Koch: *Real-time motion detection using an analog VLSI zero-crossing chip*, SPIE vol. 1473 Visual Information Processing, 1991
- [8] W. Bair and C. Koch: *An analog VLSI chip for finding edges from zero-crossing*, Neural Information Processing Systems, vol. 2, R. Lippmann, J. Moody, D. Touretzky (Eds.), pp. 399-405, Morgan Kaufmann, Palo Alto, CA, 1991
- [9] M. Banu, Y. Tsvividis: *The MOSFET as a voltage controlled resistor*, IEEE Journal of Solid-State Circuits, vol. SC-21, no. 1, pp. 54-56, Feb. 1986
- [10] M. Banu, Y. Tsvividis: *Fully integrated active RC filters in MOS technology*, IEEE Journal of Solid-State Circuits, vol. SC-18, pp. 664-651, Dec. 1983
- [11] M. Banu, Y. Tsvividis: *Floating voltage-controlled resistors in CMOS technology*, Electronic Letters, vol. 18, no. 15, pp. 678-679, Jul. 1982
- [12] M. Banu, J. Khoury, Y. Tsvividis: *Fully differential operational amplifiers with accurate output balancing*, IEEE Journal of Solid-State Circuits, vol. 23, no. 6, pp. 1410-1414, Dec. 1988
- [13] B. Boahen, A. Andreou: *A contrast sensitive silicon retina with reciprocal synapses*, Advances in Neural Information Processing Systems, vol. 4, J. Moody, S. Hanson, R. Lippmann (Eds.), pp. 764-774, Morgan Kaufmann, San Mateo, CA, 1992
- [14] B. Boahen, A. Andreou, C. Mead: *A generalization of the translinear principle to ohmic region of the MOS transistor operation*, Electronic Letters, 1993
- [15] S. Bossheri: *MOS-Transistor-Schaltungen als lineare steuerbare Widerstände*; Studienarbeit am Institut für Mikroelektronik, Technische Universität Berlin, 1996
- [16] Rüdiger Brause: *Neuronale Netze: Eine Einführung in die Neuroinformatik*, Teubener Verlag, Stuttgart 1991
- [17] I. Bronstein, K. Semendjajev: *Taschenbuch der Mathematik*, Verlag Nauka, Moskau, BSB B. Teubner Verlagsgesellschaft, Leipzig 1989, 24.Aufl., ISBN 3-322-00259-4
- [18] M. Buchmann: *Untersuchung und Entwurf von Peripherieschaltungen für ein CMOS-kompatibles EEPROM*, Diplomarbeit im Fachgebiet mikroelektronische Schaltungen und Systeme, Universität Gesamthochschule Duisburg, 1990

- [19] K. Bult, H. Wallinga: *A CMOS four-quadrant analog multiplier*, IEEE Journal of Solid-State Circuits, vol. SC-21, no. 3, pp. 430-435, Jun. 1986
- [20] J. Canny: *A computational approach to edge detection*, IEEE Transactions of Pattern Analysis and Machine Intelligence, no. 7, pp. 865-881, 1994
- [21] M. Cohen, A. Andreou: *Current-mode subthreshold MOS implementation of the Herault-Jutten autoadaptive network*, IEEE Journal of Solid State Circuits, vol. 27, no. 5, pp. 714-727, May 1992
- [22] T. Delbrück: *Silicon Retina with correlation-based, velocity-tuned pixels*, IEEE Trans. Neural Networks, vol. 4, no.3. pp. 529-541, May 1993
- [23] T. Delbrück, C. Mead: *Silicon adaptive photoreceptor array that computes temporal intensity derivatives*, Proc. SPIE 1541, vo. 1541-12, pp. 92-99, San Diego, CA, July 1991
- [24] J. Dickson: *On chip high voltage generation in NMOS integrated circuits using an improved voltage multiplier technique*, IEEE Journal of Solid State Circuits, June 1976, pp. 374-378
- [25] M. Ehlert: *Eingangsstufenvergleich für Transkonduktanzverstärker*, Studienarbeit an der TU-Berlin, Institut für Mikroelektronik, Nov. 1993
- [26] M. Ehlert: *Entwurf und Optimierung von Transkonduktanzverstärkern in BiCMOS-Technologie*, Diplomarbeit an der TU-Berlin, Institut für Mikroelektronik, März 1994
- [27] M. Ehlert: *Analoge Schaltungstechnik für die Emulation biologischer orientierter Neuronenmodelle*, Doktorarbeit an der TU-Berlin, Institut für Mikroelektronik, 1999
- [28] F. Faggin & C. Mead: *VLSI Implementation of Neural Networks, An Introduction of Neural Networks*, Academic Press 1990
- [29] R. Geiger, E. S.-Sinencio: *Active filter design using operational transconductance amplifiers: A tutorial*, IEEE Circuits and Device Magazine, pp.20-32, Mar. 1985
- [30] S. Geman, D. Geman: *Stochastic relaxation, gibbs distribution, and the bayesian restoration of images*, IEEE Transactions of Pattern Analysis and Machine Intelligence, no. 6, pp. 721-741, 1984
- [31] B. Gilbert: *A high-performance monolithic multiplier using active feedback*, IEEE Journal Solid-State, vol. SC-9, pp.267-276, Dec. 1974
- [32] B. Gilbert: *Translinear circuits: A proposed classification*, Electronic Letters, vol. 11, no. 1, pp. 14-16, 1975
- [33] W. Giloi, H. Liebig: *Logischer Entwurf digitaler Systeme*, Springer-Verlag, 1980, ISBN 3-540-10091-1
- [34] J. Gosch, P. Lacour, S. Jackson: *OTA-Bases Neural Network Architectures with On-Chip Tuning of Synapses*, IEEE Trans. Circuits Syst. - II: Analog and Digital Signal Processing, vol. 41, no. 1, January 1994
- [35] P. Gray, R. Meyer: *MOS operational amplifier design – A tutorial overview*, IEEE Journal of Solid-State Circuits, vol. SC-17, pp. 969-982, Dec. 1982
- [36] R. Gregorian, G. Temes: *Analog MOS Integrated Circuits for Signal Processing*, John Wiley & Sons, 1986, ISBN 0-471-09797-7
- [37] Materialien zur Vorlesung: *Grundlagen der Elektrotechnik I+II*, TU-Berlin, 1988
- [38] A. Gruss, L. Carley, T. Kanade: *Integrated sensor and range-finding analog signal processor*, IEEE Journal of Solid-State Circuits, vol. 26, pp. 184-191, October 1980
- [39] J. Hakkarainen, J. Little, H. Lee, J. Wyatt, Jr.: *Interaction of algorithm and implementation for analog stereo vision*, in SPIE Pro. Int. Symp. Opt. Eng. Photon. Aerospace Sensing, Orlando, FL, Apr. 1991
- [40] J. Harris, C. Koch, J. Luo, J. Wyatt, Jr.: *Resistive fuses: analog hardware for detecting discontinuities in early vision*, in *Analog VLSI Implementation of Neural Systems*, C. Mead, J. Ismail, Eds. Norwell, MA, Kluwer, 1989
- [41] J. Harris, C. Koch, J. Luo: *A two-dimensional analog VLSI circuit for detecting discontinuities in early vision*, Science, vol. 248, pp. 1209-1211, June 1990
- [42] E. Herter, W. Lörcher: *Nachrichtentechnik-Übertragung, Vermittlung, Verarbeitung*, 6. Auflage, Hanser, 1992, ISBN 38446-16564-9

- [43] J. Höhn: *Signalauswertung eines integrierten kapazitiven Sensors*, Diplomarbeit an der TU-Berlin, Institut für Mikroelektronik, Mai 1994
- [44] P. Hollis, J. Paulos: *Artificial neural networks using MOS analog multiplier*, IEEE Journal of Solid-State Circuits, vol. 25, no. 3, pp. 849-855, June 1990
- [45] T. Horiuchi, C. Koch: *Analog VLSI circuits for visual motion-based adaption of post-saccadic drift*, MicroNeuro'96, pp. 60-66, 1996
- [46] Bedrich J. Hosticka: *Dynamic CMOS Amplifiers*, IEEE Journal of Solid-State Circuits, vol. SC-15, no. 5, October 1980
- [47] K.-C. Hsieh, P. R. Gray, D. Senderowicz, D. G. Messerschmidt: *A Low-Noise Chopper-Stabilized Differential Switched-Capacitor Filtering Technique*, IEEE Journal of Solid-State Circuits, vol. SC-16, no. 6 December 1981
- [48] K.-C. Hsieh, P. R. Gray: *A Low-Noise Chopper-Stabilized Differential Switched-Capacitor Filtering Technique*, ISSCC Digest of Technical Papers, February 1981
- [49] J. Hutchinson, C. Koch, J. Liu, C. Mead: *Computing Motion Using Analog and Binary Resistive Networks*, IEEE Computer, March 1988, S. 52-63
- [50] M. Ismail, T. Fiez: *ANALOG VLSI, Signal and Information Processing*, International Editions 1994, McGraw-Hill Book Co., ISBN 0-07-032386-0
- [51] A. Karner: *Untersuchung und Entwurf von Ladungspumpen zur Ansteuerung von MOS-Transistoren in Widerstandsnetzwerken zur analogen Bildvorverarbeitung*; Diplomarbeit am Institut für Mikroelektronik, Technische Universität Berlin, 1997
- [52] W. Kate, H. Leonhardt, W. Platzer: *Taschenatlas der Anatomie für Studium und Praxis*, Band 3, Georg Thieme Verlag, Stuttgart, New York 1986
- [53] N. Khachab, M. Ismail: *A nonlinear CMOS analog cell for VLSI signal and information processing*, IEEE Journal of Solid-State Circuits, vol. 26, no. 11, pp. 1689-1699, Nov. 1991
- [54] Prof. Dr.-Ing H. Klar: *Analog-Schaltkreistechnik*, Materialien zur Vorlesung, TU-Berlin 1995
- [55] Prof. Dr.-Ing H. Klar: *Integrierte Digitale Schaltungen MOS / BICMOS*, Springer-Verlag, Berlin, Heidelberg, New York, 1993, ISBN 3-540-54474-7
- [56] H. Kobayashi, J. Wyatt, A. Abidi: *An active resistor network for Gaussian filtering of images*, IEEE Journal of Solid-State Circuits, vol. 26, pp. 738-748, May 1991
- [57] C. Koch: *Resistive Networks for Computer Vision: An Overview*, An Introduction of Neural Networks, Verlag: Academic Press 1990
- [58] C. Koch: *Seeing Chips: analog VLSI circuits for computer vision*, Neural Computation, vol.1 , no.2, pp. 184-200, 1989
- [59] H. Kroth: *Theoretische Beschreibung und Simulation verschiedener Ansätze einer biologienahen künstlichen Retina*, Studienarbeit am Institut für Mikroelektronik, TU-Berlin, 1996
- [60] H. Kroth: *Untersuchung und Entwurf von analogen Schaltungsmodulen zur Bildvorverarbeitung*; Diplomarbeit am Institut für Mikroelektronik, Technische Universität Berlin, 1997
- [61] Helmut Lindner et. al.: *Elektrotechnik - Elektronik*, VEB Fachbuchverlag Leipzig, 1988
- [62] S. Liu, J.-G. Harris: *Generalized smoothing networks in early vision*
- [63] S. Liu: *Low voltage CMOS four-quadrant multiplier*, Electronic Letters, vol. 30, no. 25, pp. 2125-2126, Dec. 1994
- [64] H. Lüke: *Signalübertragung, Grundlagen der digitalen und analogen Nachrichtenübertragung*, 5. Auflage, 1992 Springer Verlag, ISBN 3-540-54824-6
- [65] J. Luo, C. Koch, B. Mathur: *Figure-ground segregation using an analog VLSI chip*, IEEE Micro, vol. 12, pp- 46-57, Dec. 1992
- [66] R. Lyon: *Analog VLSI hearing systems*, in VLSI Signal Processing III, Brodersen and Moscovitz (Eds.), IEEE Press, 1988

- [67] M. Maher, S. Deweerth, M. Mahowald, C. Mead: *Implementing Neural Architectures Using Analog VLSI Circuits*, IEEE Trans. Circuits Syst., vol. 36, no. 5, May, 1989
- [68] D. Marr, E. Hildreth: *Theory of edge detection*, Proceedings of Royal Society London, B207, pp. 187-217, 1980
- [69] C. Mead: *Analog VLSI and Neural Systems*, Addison-Wesley Publishing Company, 1989
- [70] C. Mead, M. Ismail: *Analog VLSI Implementation of Neural Systems*, Kluwer Academic Publishers, 1989
- [71] C. Mead: *Neuromorphic electronic systems*, Proceedings IEEE, vol. 78, no. 10, pp. 1629-1636, Oct. 1990
- [72] C. Mead, T. Delbrück: *Scanners for visualizing activity in analog VLSI circuitry*, *Analog Integrated Circuits and Signal Processing*, vol. 1, no. 2, Oct. 1991
- [73] C. Mead, L. Conway: *Introduction to VLSI Systems*, Reading, MA, Addison-Wesley, 1980
- [74] J. Metzler: *Linder Biologie*, Verlag: Verlagsbuchhandlung Stuttgart 1980
- [75] A. Mhami, G. Bouvier, J. Herault: *A Contrast and Motion-sensitive Silicon Retina* ESSCIRC 96
- [76] W. Millar: *Some General Theorems for Non-Linear System Processing Resistance*, The Philosophical magazin, Band 42, S. 1150-1160, London 1951
- [77] K. Nagaraj: *New CMOS floating voltage-controlled resistor*, Electron. Lett., vol. 22, pp. 667-668, 1986
- [78] Firmenprospekt der Nanosystems Meßtechnik: *Intelligente Zeilenkameras – Nanosystems*, 1994
- [79] D. Naunin: *Einführung in die Netzwerktheorie*, Skript zur Vorlesung an der TU-Berlin, 1991
- [80] A. Nedungadi, T. R. Viswanathan: *Design of Linear CMOS Transconductance Elements*, IEEE Trans. Circuits Syst., vol. Cas-31, no.10, October 1984
- [81] P. Noll: *Nachrichtenübertragung I+II*, Materialien zur Vorlesung, TU-Berlin, 1991
- [82] N. Nordström: *Biased anisotropic diffusion - a unified regularization and diffusion approach to edge detection*, Technical Report CSD-89-514, University of California at Berkeley, 1989
- [83] Dr.-Ing. J. Ohm: *Materialien zur Vorlesung „Digitale Bildübertragung“*, Technische Universität Berlin, WS 1993/94
- [84] T. Poggio, V. Torre, C. Koch: *Computational vision and regularization theory*, Nature, vol. 317, no. 6035, pp. 314-319, Sept. 1985
- [85] S. Qin and R. Geiger: *A ± 5 -V CMOS analog multiplier*, IEEE Journal of Solid-State Circuits, vol. SC-22, pp. 1143-1146, Dec. 1987
- [86] U. Ramacher, U. Rueckert (Eds.): *VLSI Design of Neural Networks*, Kluwer Academic Publishers, 1991
- [87] I. Ruge: *Halbleiter-Technologie*, Springer-Verlag Berlin, Heidelberg, New York, Tokio 1984
- [88] E. Sackinger, W. Guggenbühl: *A versatile building block: the CMOS differential difference amplifier*, IEEE Journal of Solid-State Circuits, vol. SC-22, pp. 287-294, April 1987
- [89] E. Sackinger, W. Guggenbühl: *A high-swing, high-impedance MOS cascode circuit*, IEEE Journal of Solid-State Circuits, vol. 25, no. 1, pp. 289-298, Feb. 1990
- [90] N. Saxena, J. Clark: *A four-quadrant CMOS analog multiplier for analog neural networks*, IEEE Journal of Solid-State Circuits, vol. 29, no. 6, pp. 746-749, Jun. 1994
- [91] R. Schaumann, M. S. Ghausi, K. R. Laker: *Design of analog filters, passive, active RC and switched-capacitor*, ch. 7, Prentice Hall, Englewood Cliffs, NJ, 1990
- [92] M. Schanz et al.: *A CMOS Linear Image Sensor Array with On-Chip Programmable Signal Processing*, ESSCIRC '95, Lille-France, Sept. 1995
- [93] R. Schlabbach: *Simulation von biologischen Netzwerken zur Bildvorverarbeitung*, Studienarbeit am Institut für Mikroelektronik, TU-Berlin, 1996
- [94] R. Schlabbach: *Simulation und Entwurf von gemultiplexten Widerstandsnetzwerken zur analogen Bildvorverarbeitung*; Diplomarbeit am Institut für Mikroelektronik, Technische Universität Berlin, 1997

- [95] E. Seevinck: *Analysis and synthesis of translinear integrated circuits*, Studies in Electrical and Electronic Engineering 31, Elsevier, Amsterdam, 1988
- [96] T. Shimmi, H. Kobayashi, T. Yagi, T. Sawaji, T. Matsumoto, A. Abidi: *A parallel analog CMOS signal processor for image contrast enhancement*, Pro. European Solid-State Circuits Conference, pp- 163-166, Sept. 1992
- [97] S. Singh, J. Hanson, J. Vlach: *A new floating resistor for CMOS technology*, IEEE Trans. Circuits Syst., vol. 36, pp. 1217-1220, Sept. 1989
- [98] D. Standley: *Analog VLSI implementation of smart vision sensors: stability theory and an experimental design*, Ph.D. dissertation, MIT, Cambridge, MA, 1991
- [99] D. Standley: *An object position and orientation IC with embedded imager*, IEEE of Solid-State Circuits, vol. 26, pp. 1853-1859, Dec. 1991
- [100] J. Tanner, C. Mead: *An integrated analog optical motion sensor*, VLSI Signal Processing II, S. Kung, R. Owen, J. Nash (Eds.), pp. 59-76, IEEE Press, New York, NY, 1987
- [101] D. Terzopoulos: *Regularization of inverse visual problems involving discontinuities*, IEEE Transactions of Pattern Analysis and Machine Intelligence, no. 8, pp. 413-424, 1986
- [102] U. Tietze, Ch. Schenk: *Halbleiter-Schaltungstechnik*, Springer Verlag, Berlin, Heidelberg, New York, Tokyo, 1985
- [103] Y. Tsividis, Paul R. Gray: *An Integrated NMOS Operational Amplifier with Internal Compensation*, IEEE Journal of Solid-State Circuits, vol. SC-11, no. 6, December 1978
- [104] Y. Tsividis: *Design Considerations in Single-Channel MOS Analog Integrated Circuits - A Tutorial*, IEEE Journal of Solid-State Circuits, vol. SC-13, no. 3, June 1978
- [105] Y. Tsividis, M. Banu, J. Khoury: *Continuous-time MOSFET-C filters in VLSI*, IEEE Trans. Circuits Syst., vol. 33, pp. 125-139, Feb. 1986
- [106] Y. Tsividis: *Analog MOS integrated circuits-certain new ideas, trends and obstacles*, IEEE Journal of Solid-State Circuits, vol. SC-22, pp. 317-321, June 1987
- [107] Y. Tsividis: *Operation and Modeling of the MOS Transistor*, McGraw-Hill, New York, NY, 1987, ISBN 0-07-100332-0
- [108] E. Vittoz, X. Arreguit: *Linear networks based on transistors*, Electron. Lett., vol. 29, pp. 297-299, Feb. 1993
- [109] E. Vittoz, J. Fellrath: *CMOS analog integrated circuits based on weak inversion operations*, IEEE Journal of Solid-State Circuits, vol. 12, no. 3, pp. 224-231, June 1977
- [110] F.M. Wahl: *Digitale Bildverarbeitung*, Berichtiger Nachdruck, Springer Verlag, 1989, Nachrichtentechnik, Band 13, ISBN 3-540-13586-3
- [111] Z. Wang: *Current-Mode Analog Integrated Circuits and Linearisation Techniques in CMOS Technology*, Series in microelectronics, vol. 7, Hartung-Gorre Verlag, Konstanz, 1990, ISBN 3-89191-387-7
- [112] Z. Wang: *Making CMOS OTA a Linear Transconductor*, Electronic Letters, vol. 26, no. 18, p.1448, Aug. 1990
- [113] Z. Wang: *A CMOS four-quadrant analog multiplier with single-ended voltage output and improved temperature performance*, IEEE Journal of Solid-State Circuits, vol. 26, no. 9, pp. 1293-1301, Sep. 1991
- [114] J. Witters, G. Groeseneken, H. Maes: *Analysis and Modeling of On-Chip High-Voltage Generator Circuits for Use in EEPROM Circuits*; IEEE Journal of Solid-State Circuits, pp. 1372-138, Oct. 1989
- [115] Hellmuth Wolf: *Nachrichtenübertragung, Eine Einführung in die Theorie*, 2. berichtiger Nachdruck, Springer 1987, ISBN 3-540-06359-5
- [116] Wolters: *Elektronik II, Digitaltechnik*, Skript zur Vorlesung Elektronik, TU-Berlin, SS 1991
- [117] J. Wyatt Jr., D. Standley, W. Yang: *The MIT vision chip project: Analog VLSI systems for fast image acquisition and early vision processing*, in Proc. 1991, IEEE Int. Conf. Robotics Automat. Sacramento, CA, pp. 1330-1335, Apr. 1991

- [118] C.-H. Yi, R. Schlabbach, H. Kroth, H. Klar: *A New Bio-inspired Algorithm for Early Vision Edge Detection and Image Segmentation*, Proceedings of IWANN '97, Lanzarote, Spain, pp. 1107-1114, Lecture Notes in Computer Science 1240, Springer-Verlag, Berlin Heidelberg New York
- [119] C.-H. Yi, R. Schlabbach, H. Kroth, H. Klar: *A Bio-inspired Multiplexed Analog Circuit Early Vision Edge Detection and Image Segmentation*, Proceedings of MicroNeuro1998, Dresden, Germany
- [120] C.-H. Yi, R. Schlabbach, H. Kroth, A. Karner, J. Höhn, H. Klar: *Analog VLSI Implementation of Early Vision Edge Detection with Noise Suppression and Image Segmentation*, ESSCIRC '98, The Hague, Netherlands, Sept. 1998
- [121] I. Young: *High-Performance All-Enhancement NMOS Operational Amplifiers*, IEEE Journal of Solid-State Circuits, vol. SC-14, no. 6, December 1979
- [122] P. Yu, S. Decker, H. Lee, C. Sodini and J. Wyatt: *CMOS Resistive Fuses for Image Smoothing and Segmentation*, IEEE Journal of Solid-State Circuits, vol. 27, no. 4, pp. 545-553, April 1992

Anhang A: Layout der Schaltungsmodule

In der Tabelle A1 wird die benötigte Fläche der einzelnen Schaltungsmodule des Testchips zur Kantenerkennung und Segmentierung gegeben.

	Fläche mit Guardringe / μm^2	Fläche ohne Guardringe / μm^2
$2 * R_v$	70 x 130	60 x 80
$2 * R_h$ +Schalter	70 x 35	60 x 50
Fully-Balanced OpAmp	86 x 78	66 x 55
Abtastung des Choppers	80 x 108	40 x 60
Hochpaß des Choppers	130 x 70	115 x 70
Gilbert-Multiplizierer mit Stromkomparator	100 x 280	90 x 150
Multiplexerschaltung	130 x 40	130 x 40
Charge Pump CP	188 x 280	170 x 170
Koppelkapazitäten C	180 x 184	200 x 55
Diodenkette D	100 x 160	(für C+D)
Taktgenerator	280 x 125	

Tabelle A1: Flächenaufwand der einzelnen Schaltungsmodule des gemultiplexten Netzwerks

Das vergrößerte Layout eines Netzknotens des Testchips wird in Abb. A2 dargestellt. Das Blockschaltbild der Abb. A1 dient hierbei als Hilfestellung zur korrekten Erkennung der einzelnen Schaltungsmodule. In Abb. A3 wird anschließend das Layout des Taktgenerators und der Ladungspumpe mit der Diodenkette gezeigt.

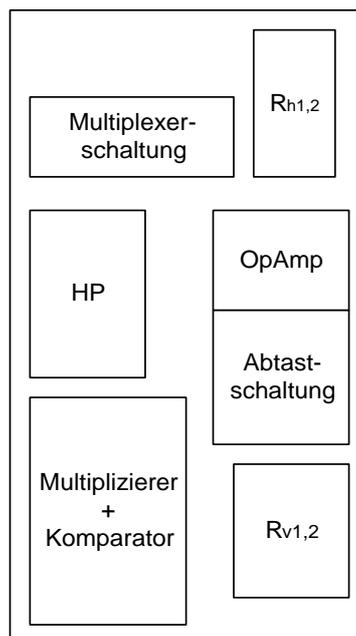


Abb. A1: Anordnung der Schaltungsmodule eines Netzknotens im Layout

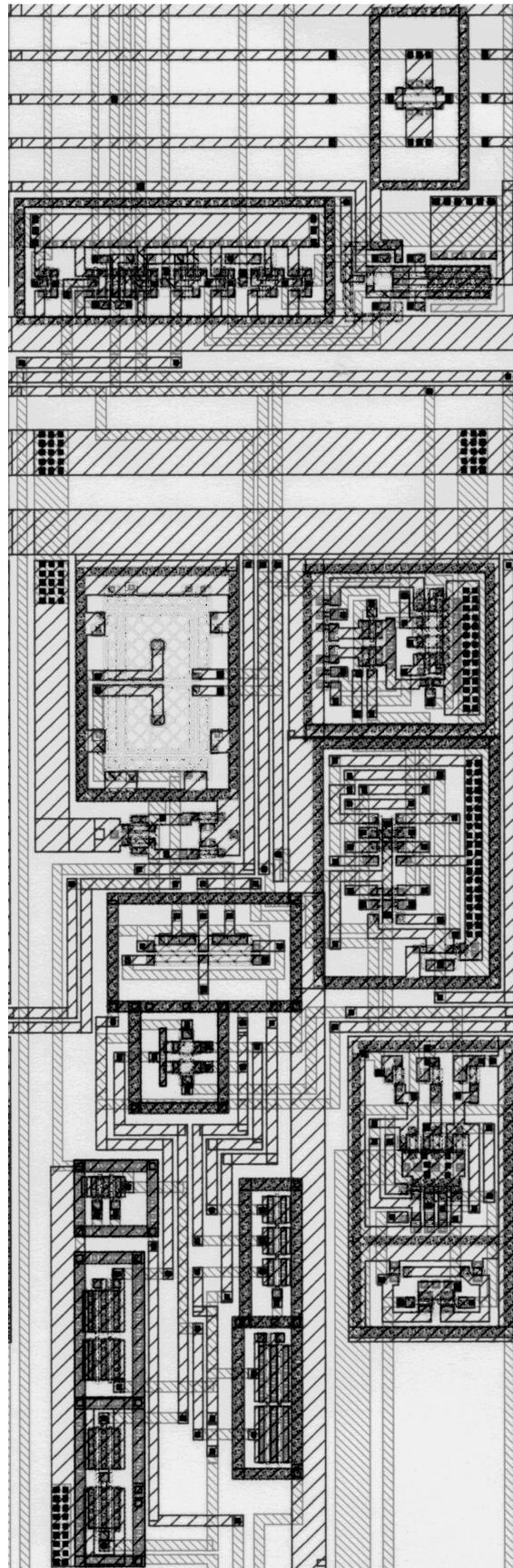


Abb. A2: Layoutvergrößerung eines Netzknotens des gemultiplexten Netzwerks mit R_p , R_v , Multiplexerschaltung, Differenzverstärker, Multiplizierer, Komparator und Chopper

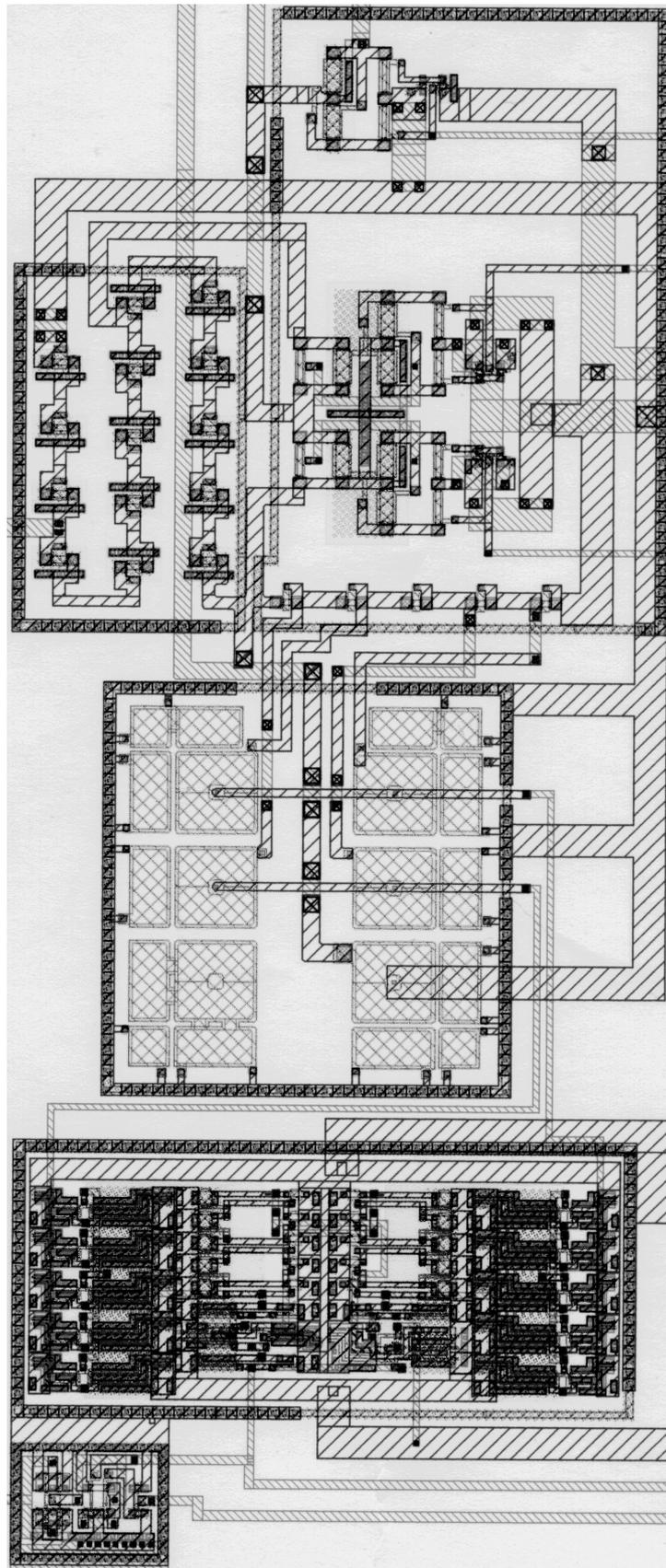


Abb. A3: Layout des Taktgenerators (unteres Drittel) und der Ladungspumpe mit der Diodenkette

