

**Monolithisch integrierte Empfängerschaltung in 0,35µm
CMOS für optische Übertragungssysteme mit Datenraten
bis 1,25GBit/s**

von Diplom Ingenieur
Karl Schrödinger
aus Berlin

von der Fakultät IV – Elektrotechnik und Informatik
der Technischen Universität Berlin
zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften
– Dr.-Ing. –

genehmigte Dissertation

Promotionsausschuss

Vorsitzender :

1. Gutachter :

2. Gutachter :

Tag der wissenschaftlichen Aussprache :

Prof. Dr.-Ing. Klaus Petermann

Prof. Dr.-Ing. Heinrich Klar

Prof. Dr.-Ing. Peter Weger

23. Januar 2004

Berlin 2004

D 83

Danksagung

Diese Arbeit entstand als Folge einer Forschungsarbeit und anschließender Produktentwicklung in den Jahren 1998 bis 2002 innerhalb der Firma Infineon Technologies AG. Bedanken möchte ich mich bei all jenen, die mich unterstützt haben und die damit dazu beigetragen haben, diese Arbeit zu verwirklichen:

- vor allem bei Herrn Prof. Dr. Heinrich Klar, der diese Promotion unterstützte, mit wertvollen Diskussionen begleitete und sich als erster Gutachter zur Verfügung stellte,
- bei Herrn Prof. Dr. Peter Weger, der sich als zweiter Gutachter zur Verfügung stellte,
- bei den Herren Manfred Mauthe und Jaro Stimma von der Infineon Technologies AG, die viele Simulationen und Messungen durchführten,
- bei meinen Vorgesetzten Hrn. Dr. Gustav Müller und Ayad Abul-Ella von der Infineon Technologies AG, die mir schließlich die Freigabe zur Veröffentlichung erteilten,
- bei meinem Sohn Andreas für die kritische Korrekturlesung,
- bei meiner Tochter Christina für das Dabeisein bei der wissenschaftlichen Aussprache,
- und nicht zuletzt bei meiner Frau Renate für die vielen Verbesserungsvorschläge im Manuskript, sowie die Mithilfe, die Unterstützung und die Geduld während der Erstellung der Arbeit.

Inhalt

Inhalt	3
1 Einleitung	5
2 Empfängerschaltungen für optische Datenübertragung	8
2.1 Theoretische Grundlagen der binären Datenübertragung	8
2.1.1 Definitionen	8
2.1.2 Bandbreite	9
2.1.3 Spektren von Impulsfolgen (Datensignale)	17
2.1.4 Untere Grenzfrequenz	20
2.1.5 Linearität	25
2.1.6 Signal - Rausch - Verhältnis	26
2.1.7 Gleichstromgekoppelte Systeme	28
2.2 Bestandteile der Empfängerschaltung	28
2.2.1 Photodioden	28
2.2.2 Eingangsverstärker für optische Systeme	30
2.2.3 Anforderungen an die Dynamik	33
2.2.4 Nachverstärker	34
2.2.5 Regenerator	34
3 Transimpedanzverstärker für optische Empfängerschaltungen	35
3.1 Grundprinzip des Transimpedanzverstärkers	35
3.2 Designvarianten des Transimpedanzverstärkers	39
3.2.1 Schaltungen in Bipolartechnologie	39
3.2.2 Schaltungen in CMOS Technologie	41
3.2.3 Differentielle Transimpedanzverstärker	43
3.2.4 Beispiel eines differentiellen Designs mit monolithisch integrierter Photodiode	44
3.3 Regelungskonzepte	46
3.3.1 Einspeisung des DC Stromes am Eingang	46
3.3.2 Nichtlineares Lastelement für die Photodiode	47
3.3.3 Regelung des Transimpedanzwiderstandes	48
4 Schaltungsdesign des CMOS Receiverbausteins	50
4.1 Folded Cascode Transimpedanzverstärker	51
4.1.1 Schaltungsoptimierung	51
4.1.2 Rauschverhalten	56
4.1.3 Regelung der Transimpedanz	59
4.2 Nachverstärker	62
4.2.1 CML-Stufen	63
4.2.2 Verstärkungssteuerung über die Temperatur	65
4.2.3 Offset-Regelung	70
4.2.4 Signal-Detect-Schaltung	76

4.3	LVDS-Ausgangsstufe	77
4.3.1	LVDS-Spezifikation	78
4.3.2	Treiberkonzept	78
4.3.3	Regelkonzept für die LVDS-Stufe	80
4.3.4	ESD-Konzeption für die Ausgangsstufe	82
4.4	Spannungsregler	83
4.5	Layout	86
<u>5</u>	<u>Messergebnisse</u>	<u>87</u>
5.1	Empfindlichkeitsmessungen	87
5.2	Augendiagramme	89
5.3	Jittermessungen	90
5.4	Signal Detect Messungen	90
5.5	Power Supply Rejection Ratio	91
5.6	Isolation des Nebensprechens auf dem IC	92
5.7	Stromaufnahme	97
<u>6</u>	<u>Ausblick</u>	<u>98</u>
6.1	Weiterentwicklung in CMOS	98
6.2	Empfängerschaltung für 3GBit/s	99
6.3	Systemtechnische Aspekte	101
	<u>Zusammenfassung</u>	<u>103</u>
	<u>Anhang A: Technologiedaten</u>	<u>104</u>
	<u>Anhang B : Modellierung des Transimpedanzverstärkers</u>	<u>110</u>
	<u>Anhang C : Verzeichnis der Formelzeichen und Abkürzungen</u>	<u>115</u>
	<u>Anhang D : Veröffentlichungen und Patente</u>	<u>118</u>
	<u>Literaturverzeichnis</u>	<u>119</u>

1 Einleitung

In den letzten zwanzig Jahren wurden in der optischen Übertragungstechnik enorme Fortschritte erzielt, vergleichbar dem rasanten Wachstum in der Mikroelektronik. Speziell im Sektor Datacom, d.h. bei integrierten Übertragungsmodulen, die in Rechnerkopplung, Rechnerperipherie und lokalen Netzwerken eingesetzt werden, kam es zu einem erheblichen Anstieg der Datenraten innerhalb kürzester Zeit. Es kam aber auch, und dies ist vermutlich der noch wichtigere Aspekt, zu gewaltigen Kostenreduzierungen der Übertragungsstrecken. Fig. 1.1 zeigt an einigen Datacom Produktsegmenten die Preisdegression während der letzten zehn Jahre [1]. Man kann etwa einen Preisverfall des Faktors 100 über 10 Jahre erkennen, das Ende ist noch nicht in Sicht, da z.B. für Plastikfasermodule (POF, Plastic Optical Fiber) für den Standard IEEE 1394 (Firewire) [2] ein Preis von wenigen Euro erwartet wird. Diese Module werden mit roten Leuchtdioden (LEDs) und „einfachen“ Silizium-Photodioden betrieben. Bereits heute gibt es Anwendungen in dieser Preisklasse in Camcordern und Autos mit Datenraten von 50 bis 100MBit/s [3]. Aus heutiger Sicht wird es in naher Zukunft Consumer- und Automobilanwendungen mit Datenraten von 500 MBit/s und darüber geben.

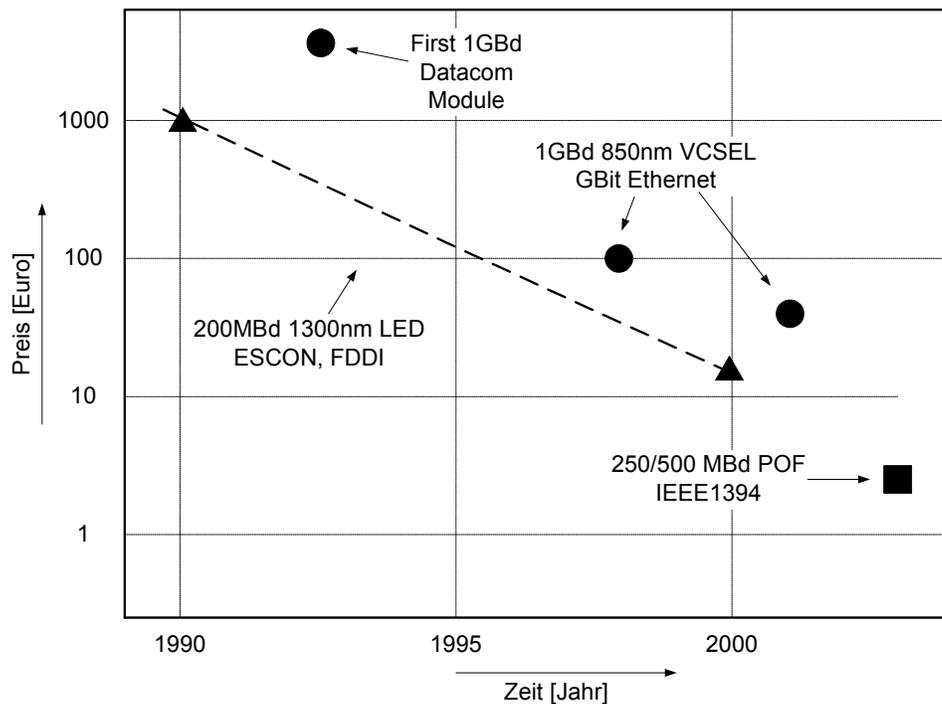


Fig. 1.1 : Preisverfall für Datacom-Module (Transceiver); ▲ 125/200MBit/s-Multimode-Module (1.3µm LED, ESCON, FDDI, Fast Ethernet), ● Gigabit-Ethernet-Module (850nm Multimode), ■ 650nm Plastik Faser Systeme (POF)

Fig. 1.2 zeigt die Entwicklung der Datenraten über die letzten 25 Jahre, zum Teil aus [4] entnommen. Die Datacom-Anwendungen (hier speziell optische Ethernet-Module) haben heute bezüglich der Datenraten die Telecomsysteme (SDH, Sonet) fast eingeholt, obwohl diese lange Zeit als Vorreiter bei den Datenraten galten. Zudem werden Datacom-Module für einen Bruchteil der Preise der Telecomsysteme vertrieben, und das bei kaum reduzierten Qualitätseigenschaften. Es ist zu erwarten, dass bei den oben angesprochenen Consumer-Produkten ein ähnliches Szenario ablaufen wird. Bei einer rapiden Erhöhung der Datenraten ist zusätzlich eine weit drastischere Preisreduktion als bisher zu erwarten, welche sich heute schon bei den Zielpreisen für POF-Systeme abzeichnet.

Ein weiteres potentiell Anwendungsbereich sind die (heute noch elektrischen) Datenverbindungen in Systemen zwischen Baugruppen (Leiterplatten) und zwischen integrierten Schaltungen (einzelnen Chips) untereinander. 1990 wurden derartige Verbindungen in Telecomsystemen mit einer Datenrate von 622MBit/s betrieben. Dafür wurde unter anderem der LVDS-Pegel für das „Scalable Coherent Interface“ (SCI) standardisiert. Heute finden Datenraten bis zu 3,2GBit/s bei einer Übertragungslänge von 50cm (20 inch) auf Leiterplatten ihre Anwendung. Die dafür spezifizierten und standardisierten Verbindungen heißen Infiniband und XAUI (10Gbit(=X) Auxillary Interface) [5][6]. Die derzeit maximale Übertragungslänge wird dabei durch Verluste und Inhomogenitäten im Leiterplattenmaterial und den elektrischen Baugruppensteckern verursacht. Zusätzlich werden bei diesen Übertragungssystemen Ströme von bis zu 15mA auf Leitung benötigt, um die Abschlusswiderstände bei den benötigten Pegeln zu treiben. Hinzu kommen Verlustleistungen für die nötigen Vorstufen der Leitungsreieber. Um das Datenraten-Längen-Produkt in praktischen Systemen noch wesentlich zu steigern, werden erhebliche Aufwände für Vor- und/oder Nachentzerrung nötig und die Verlustleistung der Empfänger- und Treiberschaltungen wird sich erhöhen. Zur Zeit wird bei 10Gbit/s mit ca. 0,8W pro Kanal gerechnet. Dagegen stehen heute im Labor 10Gbit/s - VCSEL (Vertical Cavity Surface Emitting Lasers) mit Betriebsströmen von nur 3 bis 5 mA zur Verfügung, welche also mit einem Bruchteil der Leistung (ca. 0,2W pro Kanal) vergleichbarer Kupferverbindungen betrieben werden können. Dabei bestehen wesentlich geringere Einschränkungen bezüglich des Bandbreitenlängenproduktes sowie der Signaldämpfung. Potentiell wird damit für die nächste Generation von derartigen Übertragungssystemen eine optische Übertragung bei 10Gbit/s (oder höher) möglich.

Vor diesem Hintergrund wird ein weiterer Motivationsgrund für die hier vorgestellte Arbeit erkennbar.

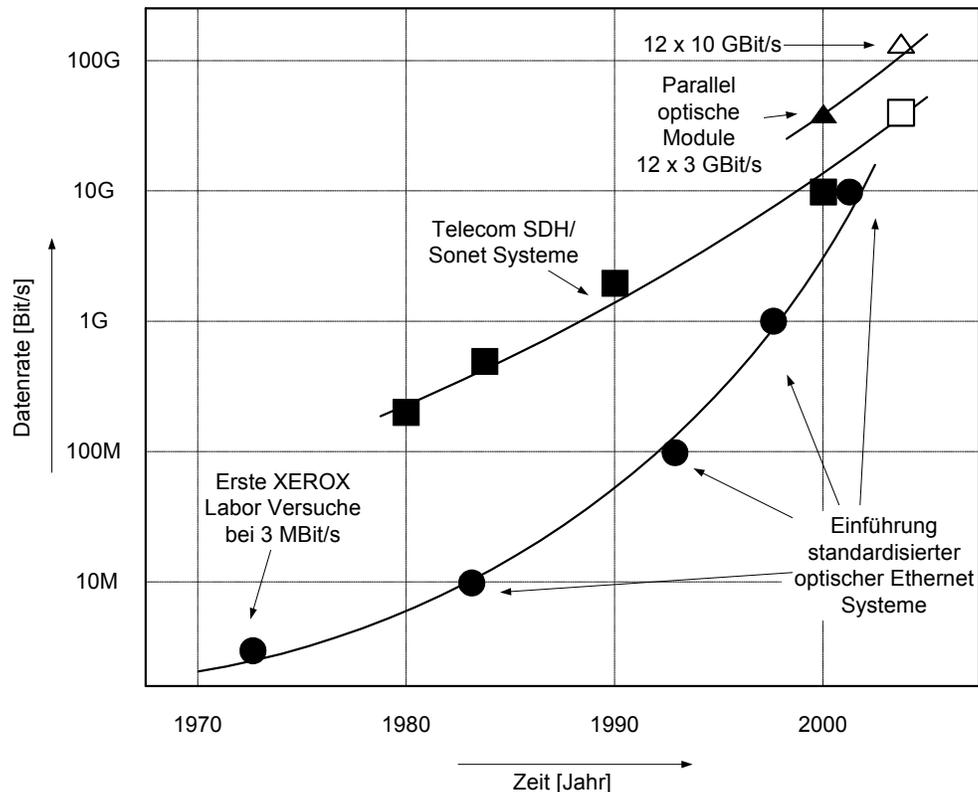


Fig. 1.2 : Entwicklung der Datenraten für Glasfaser-Systeme für Telecom- (SDH/Sonet) und Datacom-Systeme (Ethernet)

Folgende Punkte sind bei der Weiterentwicklung von optischen Systemen entscheidend:

- **Kosten** : Entwicklung von hochintegrierten „Low-Cost-Chips“ für Transceiver zum Einsatz in Consumer Produkten und im Auto (z.B. IEEE 1394 („Firewire“)).
- **Geschwindigkeit** : Der Einsatz von modernen CMOS-Technologien ermöglicht zunehmend höhere Geschwindigkeiten, der Flaschenhals ist dabei die Chip-Schnittstelle zur Umgebung.
- **Systemintegration (System-On-Chip)** : Entwicklung von komplexen CMOS-ICs mit schnellen Schnittstellen. Mittelfristig könnte, wie erwähnt, eine Chip to Chip Übertragung optisch erfolgen.
- **Verlustleistung** : Durch Einsatz optischer Verbindungen, moderner Technologien sowie dem System-on-Chip-Ansatz wird potentiell die Verlustleistung gesenkt.

Mit der hier vorgestellten Arbeit wurden beispielhaft an einem Empfängerdesign Ansätze geschaffen, die zukünftige *Low-Cost*-, *High-Speed*- und *System-ON-Chip-Konzepte* ermöglichen können.

Eine Empfängerschaltung, zumal ein „Light-to-Logic“-Design, stellt wegen der im Empfänger zu lösenden Schwierigkeiten, wie beispielsweise der Isolation des Ausgangssignals zum empfindlichen Eingang bei sehr hoher Verstärkung und einer vergleichsweise hohen Komplexität der Schaltung, eine größere Herausforderung dar als eine Senderschaltung. Aus diesem Grund wurde eine Empfängerschaltung als Thema gewählt.

Folgende Eigenschaften zeichnen die im Rahmen dieser Arbeit entwickelte Schaltung aus:

- reine CMOS Technologie,
- kleine Versorgungsspannung, hier ca. 3V,
- Hochintegration (System-On-Chip-Ansatz, dieses Design ist heute das am höchsten integrierte Produkt dieser Art, es ist nahezu produktreif),
- die erreichte hohe Geschwindigkeit mit einer 0,35 μ m-CMOS-Technologie.

Im Folgenden wird zuerst auf die allgemeinen Grundlagen der optischen Datenübertragung eingegangen. Sodann werden verschiedene Typen von Vorverstärkern der optischen Datenübertragung und deren Vor- und Nachteile vorgestellt und theoretisch behandelt. Die beiden nächsten Kapitel befassen sich mit der Entwicklung des Empfängers anhand von Simulationen und Messungen. Das abschließende Kapitel gibt einen Ausblick auf mögliche Weiterentwicklungen und Anwendungen.

2 Empfängerschaltungen für optische Datenübertragung

In diesem Kapitel soll auf die Grundlagen der optischen Datenübertragung mit binären, direkt modulierten optischen Signalen eingegangen werden. Binäre digitale Übertragungsverfahren werden überwiegend in allen optischen Datenübertragungssystemen eingesetzt.

Analoge Übertragungsverfahren kommen zwar bei der Kabelfernsehverteilung zum Einsatz, spielen aber eine relativ untergeordnete Rolle. Mehrstufige digitale Verfahren gibt es bei standardisierten Systemen nicht, diese spielen derzeit nur eine akademische Rolle; gleiches gilt für die angesprochenen Heterodyn- und Homodynverfahren. Deshalb wird auf all diese Übertragungsverfahren hier nicht näher eingegangen.

2.1 Theoretische Grundlagen der binären Datenübertragung

Die grundlegende Problematik und die daraus sich ableitenden Randbedingungen der digitalen Übertragung sind:

- Die *Bandbreite* sollte einerseits möglichst groß sein, um das Bitnebensprechen klein zu halten, andererseits klein um den Übertragungskanal optimal zu füllen.
- Die *untere Grenzfrequenz* sollte möglichst klein sein, damit keine Einschränkungen im Datenstrom wirksam werden.
- Das *Rauschen* sollte möglichst klein sein, daher ist eine kleine Bandbreite anzustreben.
- Die *Linearität* spielt, wie gezeigt wird, eine untergeordnete Rolle bei der digitalen Übertragung.

Im nachfolgenden Kapitel soll daher ein Überblick über die Einflüsse der genannten Eigenschaften des Datenkanals gegeben werden und die begrenzenden Faktoren diskutiert werden. Es wird ausschließlich die NRZ(Non-Return-To-Zero)-Datenübertragung behandelt, da andere Formen keine große Rolle in der optischen Datenübertragung spielen.

2.1.1 Definitionen

Nachfolgend werden einige Begriffe definiert und abgegrenzt, die in diesem Kapitel benutzt werden.

Tabelle 2.1: Übersicht über einige Begriffe der digitalen Datenübertragung

B	Bandbreite [Hz]	Bandbreite, definiert aus dem flächengleichen Rechteck der Spektralfunktion dividiert durch die Amplitude bei Frequenz Null
t_{Bit}	Bitbreite [s]	Dauer eines Bits
f_{Bit}	Bitfolgefrequenz [Hz]	Frequenz, mit der die Bits getaktet werden
f_{O}	Obere Grenzfrequenz [Hz]	Obere Grenzfrequenz (3dB)des Übertragungskanals oder von Teilen davon
f_{U}	Untere Grenzfrequenz [Hz]	Untere Grenzfrequenz (3dB) des Übertragungskanals oder von Teilen davon
NRZ	Non Return to Zero	Binäre Übertragungstechnik, $f_{\text{Bit}} = 1/ t_{\text{Bit}}$
ISI	Intersymbol Interference	Bit- oder Pulsnebensprechen
RL	Run Length [Bit]	“Laufänge” von Eins oder Null-Bits
$DP_{(\text{MAX})}$	(maximale) Disparity	laufende (oder maximale) Abweichung von der 50%-Eins-Null-Verteilung im Bitstrom

2.1.2 Bandbreite

Bei der binären NRZ-Datenübertragung werden Eins- und Null-Impulse der Länge t_{Bit} auf eine Übertragungsstrecke gegeben. Dabei werden diese innerhalb des Übertragungskanal sowohl vom Sender, der Übertragungsstrecke und dem Empfänger bezüglich der Pulsform beeinflusst. Diese Beeinflussung kann sowohl die Amplituden- als auch die Phaseigenschaften (zeitliche Verzögerung von Impulsflanken) des Signals betreffen. Daher soll im Folgenden erst einmal der Zusammenhang zwischen Frequenzbereich und Impulsverhalten näher erläutert werden (eine detailliertere Behandlung dieses Themas findet sich z. B. in [7] und [11]).

Filtereigenschaften

Die Grundschiwingung der Frequenz einer 0101-Datenfolge entspricht der halben Bitfrequenz. Hieraus ergibt sich die minimal erforderliche Bandbreite B für den Übertragungskanal, damit die Daten sicher ausgewertet werden können, bekannt als die Nyquistbandbreite.

$$B = f_{\text{Bit}}/2 = 1/(2t_{\text{Bit}}) \quad (2.1)$$

Es erhebt sich nun die Frage, wie die optimale Frequenzbandbegrenzung eines Übertragungskanal aussehen muss und wie die Eigenschaften der Bandbegrenzung die Pulsformung beeinflussen.

Begrenzt man den (gesamten) Kanal ideal mit einem Rechteckfilter der Bandbreite B (einem so genannten Spalttiefpass), so ergibt sich aus der Fouriertransformation dieses Rechteckfrequenzspektrums ein $\sin(x)/x$ -Ausgangsimpuls im Zeitbereich:

$$s(t) = \int_{-\infty}^{+\infty} S(f) e^{+j2\pi f t} df = 2B \sin(\pi t 2B) / (\pi t 2B) \quad (2.2)$$

$S(f) = 1$ von $-B$ bis $+B$, ansonsten $S(f) = 0$.

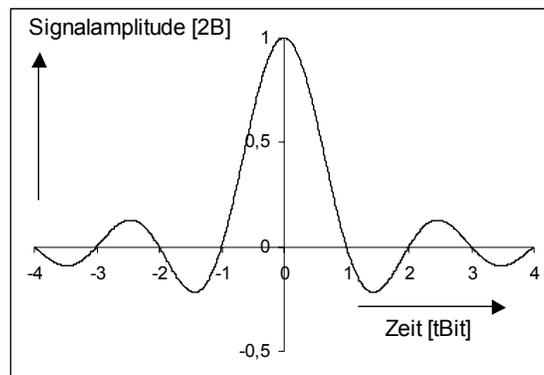


Fig. 2.1: Zeitverlauf der Impulsantwort auf einen Spalttiefpass

Fig. 2.1 zeigt den Zeitverlauf dieser Funktion. Man erkennt (auch aufgrund der Eigenschaften der Gleichung 2.2), dass diese Funktion Nullstellen bei ganzzahligen Vielfachen der Bitzeit t_{Bit} hat. Dies führt dazu, dass im Amplitudenmaximum der jeweiligen Bits keine Beeinflussung durch Nachbarbits erfolgt. In Fig. 2.2 ist dies bildlich dargestellt. Tastet man ein derartiges Signal genau in der Bitmitte ab, ergibt sich daher kein störendes Pulsnebengeräusch.

Diese Art der Bandbegrenzung ist für reale Systemen allerdings nicht praktikabel, da kein idealer Spalttiefpass machbar ist und durch unvermeidbare Toleranzen im

Übertragungskanal relativ starken Oszillationen außerhalb des eigentlichen Bits auftreten, die eine erhebliche Beeinflussung der Nachbarbits nach sich ziehen können. Ferner liegt der Abtastzeitpunkt nicht immer in der Mitte, was bei derartigen Pulsfolgen zu erheblichen Empfindlichkeitsverlusten führen würde.

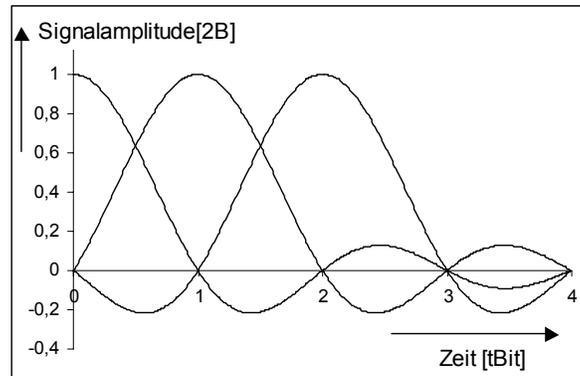


Fig. 2.2: Zeitverlauf der Impulsantwort auf einen Spalttiefpass, Beeinflussung der Nachbarbits

Aus diesem Grund wird in realen Systemen üblicherweise mit anderen Pulsformen gearbeitet. Impulsformen, die für reale Systeme praktikabel sind und sich auch für theoretische Berechnungen eignen, sind z.B. die Gaußsche Impulsform oder die sich aus einem \cos^2 -Filter (-Spektrum) ergebende Impulsform (im Englischen: „raised cosine filter“). Beide Impulsformen haben unterschiedliche Eigenschaften. Der sich aus dem \cos^2 -Spektrum ergebende Impuls hat ähnlich wie der $\sin(x)/x$ -Impuls Nullstellen bei den Vielfachen der Bitfrequenz. Die Oszillationen werden allerdings wesentlich stärker gedämpft (Fig. 2.3).

Der Gauß-Impuls (Fig. 2.4) klingt aperiodisch ab. Dies führt allerdings zu geringfügigem Amplitudennebensprechen in den Nachbarbits, da die Amplitude in der Bitmitte des Nachbarbits (zum Zeitpunkt $t_{\text{Bit}} = 1$) noch einige Prozent beträgt. Beide Impulsformen sind in der Form sehr ähnlich und können für theoretische Berechnungen verwendet werden.

Die Fouriertransformation des \cos^2 -Spektrums ergibt eine Impulsform entsprechend Gleichung (2.3):

$$s(t) = \int_{-\infty}^{+\infty} S(f) e^{+j2\pi f t} df = 2B \sin(\pi t 4B) / (\pi t 4B (1 - (t 4B)^2)) \quad (2.3)$$

$$S(f) = \cos^2(\pi f t_{\text{Bit}}/2) = \frac{1}{2} (1 + \cos(\pi f t_{\text{Bit}})) \text{ von } -2B \text{ bis } +2B, \text{ ansonsten } S[f] = 0.$$

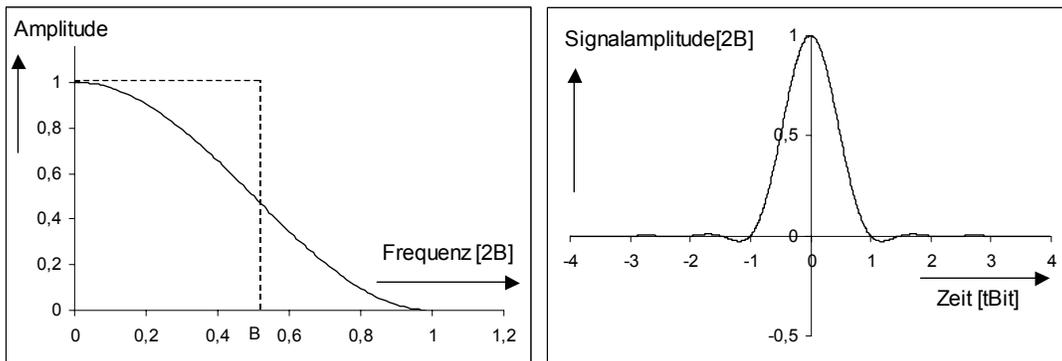


Fig. 2.3: Spektrum des „raised cosine“-Filters und die sich daraus ergebende Zeitfunktion

Diese ist ebenso wie das Spektrum in Fig. 2.3 dargestellt. B ist die halbe Bitfrequenz. Die Fläche unter der \cos^2 -Funktion entspricht einem flächengleichen Rechteck mit der Bandbreite B und der Amplitude 1. Sie entspricht der Fläche des Spalttiefpasses. Die Amplitude bei B beträgt 0,5 (3dB Abfall der Leistung).

Die Fouriertransformation des Spektrums eines Gaußschen Tiefpasses ergibt eine Gaußsche Pulsform (Glockenimpuls, Gleichung 2.4).

$$s(t) = \int_{-\infty}^{+\infty} S(f) e^{+j2\pi f t} df = (1/\sigma\sqrt{2\pi}) \exp(-\frac{1}{2} (t_{\text{Bit}}/\sigma)^2) \quad (2.4)$$

$$S(f) = \exp(-\frac{1}{2} (2\pi f \sigma)^2) \quad \text{und } t_{\text{Bit}} = 1/B = \sigma \sqrt{2\pi} \approx 2.5066 \sigma$$

Fig. 2.4 zeigt dieses Spektrum und dessen Zeitfunktion. Wieder ist die Bandbreite B eingezeichnet. Auch bei dieser Funktion entspricht die Fläche des Rechtecks $1 \cdot B$ der Fläche des Integrals über der Gaußfunktion (für Werte von $B > 0$). Die Amplitude ist bei der Frequenz B nun nicht genau 3dB wie bei den bisher behandelten Funktionen, sondern etwas kleiner (0,456). Der Zusammenhang zwischen der charakteristischen Größe σ und der Bandbreite B ist in Gleichung 2.4 angegeben. Die Größe σ entspricht einer Zeitkonstante des Gaußschen Tiefpasses.

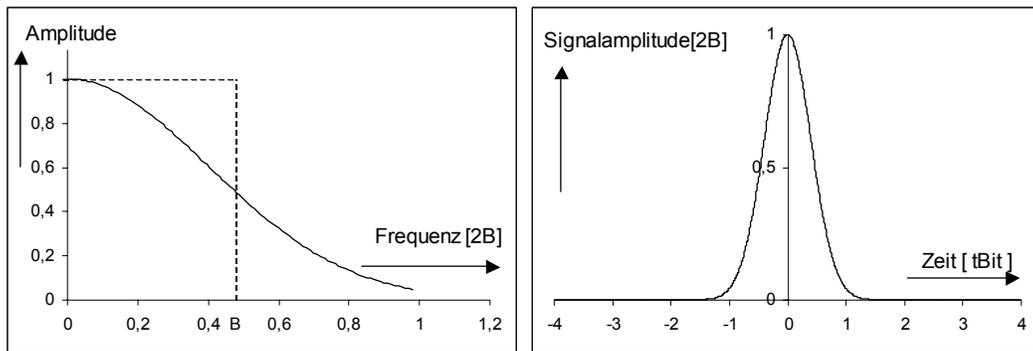


Fig. 2.4: Spektrum des Gaußschen Filters und die sich daraus ergebende Zeitfunktion

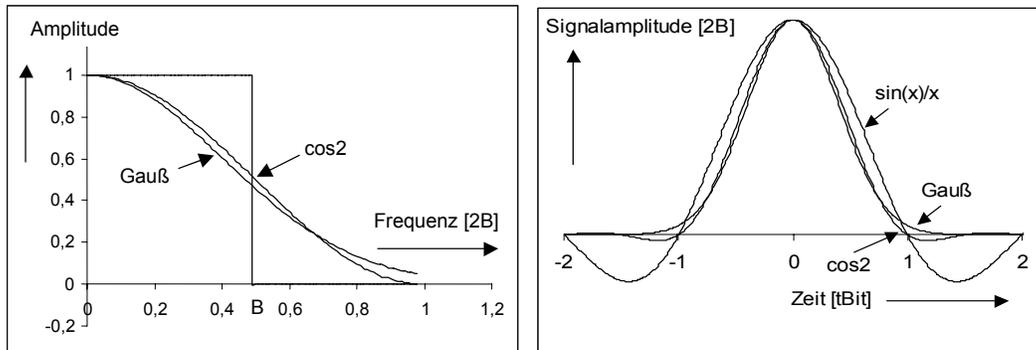


Fig. 2.5: Vergleich der Spektren des Rechteck-, Gaußschen und Cos^2 -Filters und die zugehörigen Zeitfunktion

Einen vergleichenden Überblick der verschiedenen behandelten Zeit- und Spektralfunktionen gibt das Bild Fig. 2.5. Wie schon erwähnt sind die Zeit- und Spektralfunktionen des \cos^2 - und die des Gaußschen Spektrums ähnlich. In realen Systemen ergeben sich derartige Filterfunktionen aus der Überlagerung von mehreren Tiefpässen. Wenn man beispielsweise einen Verstärker aus mehreren Stufen aufbaut, wird man diesen so dimensionieren, dass sich eine optimale Impulsform ergibt. Diese ist in der Regel ähnlich der beschriebenen „raised cosine“ oder Gaußschen Impulsform. Auch ein geringfügiges Überschwingen, ähnlichen der Eigenschaften des \cos^2 -Filters, ist in der Regel durchaus erwünscht, solange sich die Beeinflussung der Nachbarbits in Grenzen hält. Dies liefert steilere Impulsflanken und bessere Augenöffnungen (siehe Beispiel des hier entwickelten Empfängers in Fig. 4.5).

Auswirkung des Phasenganges im Übertragungskanal

Praktische Verstärker haben vor allem in der Nähe der oberen Grenzfrequenz eine nicht konstante Gruppenlaufzeit $t_{gr}(\omega)$, hervorgerufen durch starke Änderungen der Steigung (1. Ableitung) des Phasenganges (Gleichung 2.5).

$$t_{gr}(\omega) = d\varphi(\omega)/d\omega \quad (2.5)$$

Dadurch wird selbst bei idealer Bandbegrenzung der so genannte datenabhängige Jitter erzeugt, auch „intersymbol interference“ (ISI) oder „data dependent jitter“ (DDJ) genannt. Bei dieser Art von Jitter werden Energieinhalte von einem oder mehreren Bits in andere Bits übertragen, meist sind dies die direkt benachbarten Bits. Vereinfacht kann man sich das wie in Fig. 2.6 gezeichnet vorstellen.

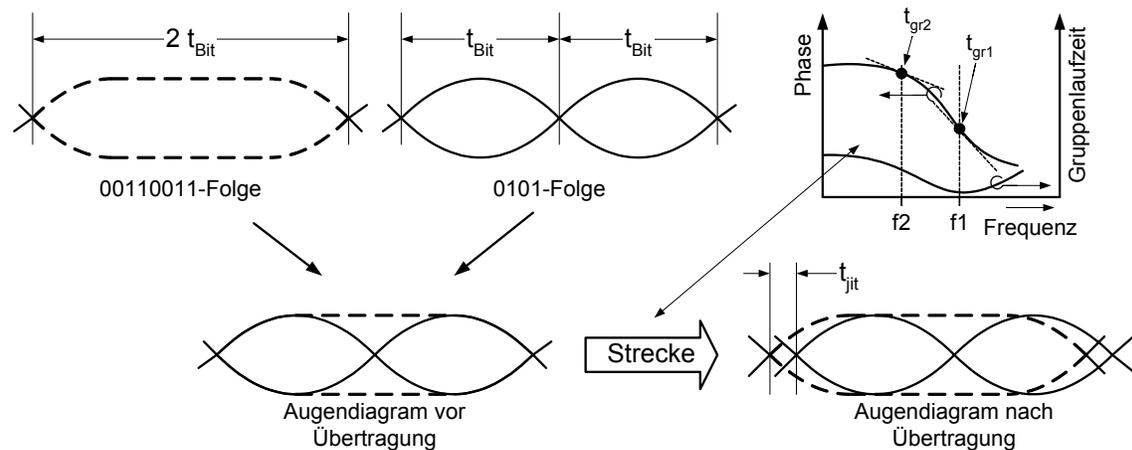


Fig. 2.6: Entstehung des Jitters durch Phasendrehung im Übertragungskanal (unterschiedliche Verzögerung langer und kurzer Bits); $f_1 = 1/t_{Bit}$, $f_2 = 1/2t_{Bit}$

Überträgt man benachbarte Bits mit der Länge t_{Bit} und der Länge $2t_{Bit}$ auf einer Strecke, so erhalten diese eine unterschiedliche Verzögerung wegen der unterschiedlichen Phasendrehungen ihrer Grundwellen ($f_1 = 1/t_{Bit}$ und $f_2 = 1/2t_{Bit}$). Überlagert man beide Pulse, d.h. man stellt man das Augendiagramm dar, indem man auf den Bittakt triggert, so ergibt sich ein Jitter, der durch die unterschiedlichen Laufzeiten der beiden Pulse entstanden ist. Der Jitter ist die Auswirkung der Gruppenlaufzeitschwankung, z.B. $\Delta t_{gr} = t_{gr1} - t_{gr2}$ bei den Frequenzen f_1 und f_2 .

Die Auswirkungen in praktischen Systemen mit unterschiedlicher Filtercharakteristik soll nun nachfolgend eingehender betrachtet werden. Dazu wurden Simulationen mit Zufallsbitfolgen der Länge 2^7-1 mit Tiefpässen unterschiedlicher Bandbreite und unterschiedlichem Phasengang durchgeführt.

Exponentieller Tiefpass

Für die Simulation wurde ein Model eines gaußförmigen Tiefpasses verwendet. Der Amplituden- und Frequenzgang ist in Fig. 2.7 zu sehen. Er hat einen sehr steilen exponentiell abfallenden Amplitudengang, jedoch einen sehr geringen Phasengang und damit auch eine geringe Schwankung der Gruppenlaufzeit. Eingezeichnet ist die Bandbreite B . Die Gruppenlaufzeitschwankung ist nahezu Null.

Die nachfolgenden Bilder zeigen zwei Augendiagramme, das erste mit einer Bitzeit $t_{\text{Bit}} = 1/B$ (Fig. 2.8), das zweite mit einer erheblich kleineren Bitzeit von etwa $t_{\text{Bit}} = 0,75/B$ (Fig. 2.9). Wie man erkennen kann, ist selbst beim zweiten Bild mit der erheblich kleineren Bitzeit (dies entspricht bei gleicher Bandbreite B einer um 33% höheren Bitrate) noch eine relativ gute Augenöffnung erkennbar, der Jitter ist noch sehr klein. Aufgrund der Eigenschaften dieses Filtertiefpasses kann man bei diesem System noch Daten mit einer sehr viel kleineren Bitzeit $t_{\text{Bit}} < 1/B$ übertragen, ohne dass es zu nennenswertem Jitter kommt. Man kann mit einem „einfachen“ Komparator ein derartiges Signal regenerieren (die natürlich reduzierten Signal-Rauschabstände derartiger Signale aufgrund der Amplitudenverkleinerung sollen hier erst mal außer Acht bleiben).

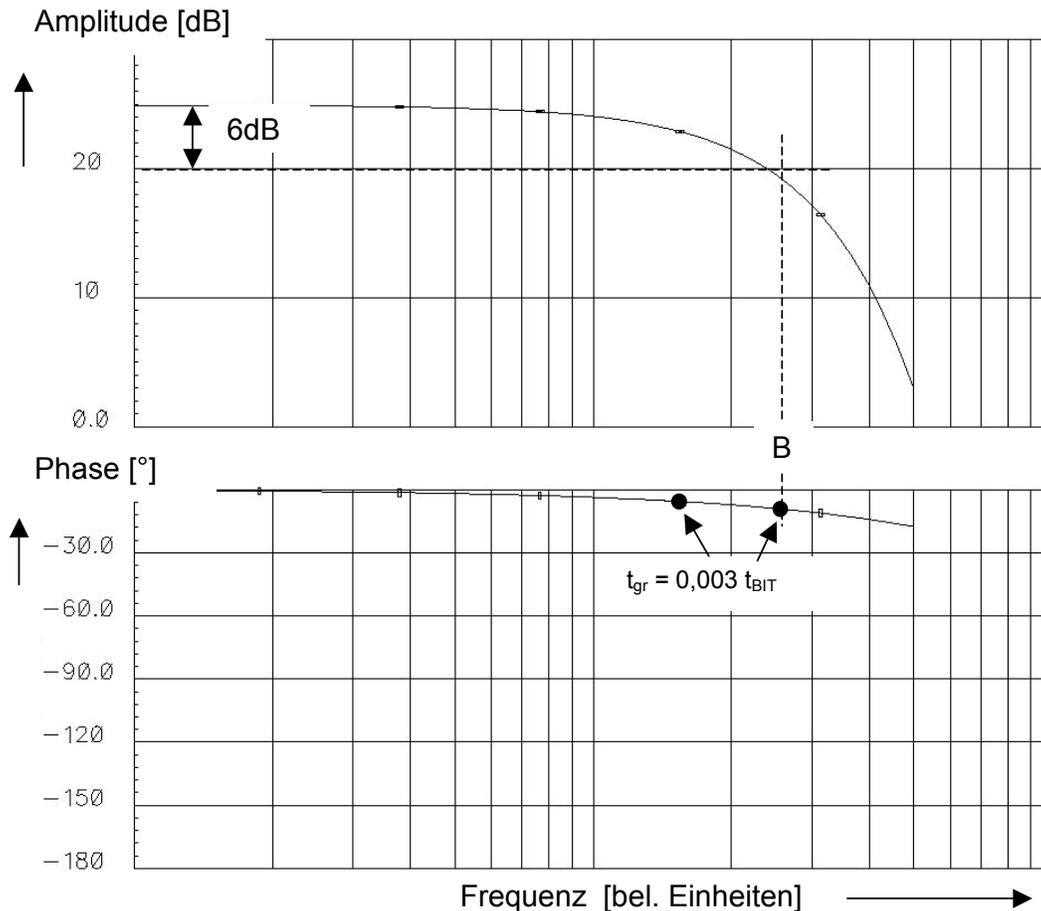


Fig. 2.7: Amplituden- und Phasengang sowie Gruppenlaufzeit eines Gaußschen Tiefpasses

Entgegen der üblicherweise vertretenen Annahme, dass die Nyquistbandbreite B erforderlich ist, kann man also durchaus mit kleinerer analoger Bandbreite als der halben Bitfrequenz arbeiten, wenn die Gruppenlaufzeitbedingung (d.h. ein günstiger Phasengang) erfüllt ist und zudem begrenzende Verstärker das Signal vollständig regenerieren können. Das heißt, es

findet „nur“ mehr eine Amplitudenverkleinerung aufgrund der reduzierten Bandbreite statt, jedoch tritt kein (oder wenig) Jitter auf. Ein derartiges System wird in [8] vorgestellt. Dies kann dann Vorteile haben, wenn durch verringerte Bandbreite des Verstärkers der Signal-Rausch-Gewinn größer ist, als der Signal-Rausch-Verlust durch den Amplitudenverlust im Signal. Dieses Prinzip wird deshalb bevorzugt bei Schaltungen eingesetzt, die an der oberen Frequenzgrenze der Halbleitertechnologie arbeiten, an der die Rauschwerte überproportional zur Bandbreite ansteigen. Es hat aber Ähnlichkeit mit einer Entzerrerschaltung. Für die gedämpften (oberen) Frequenzanteile muss im begrenzenden Verstärker (ähnlich wie bei einer Entzerrerschaltung) die benötigte Verstärkung vorgehalten werden, damit am digitalen Ausgang wieder eine regenerierte Amplitude zur Verfügung steht.

Signalamplitude

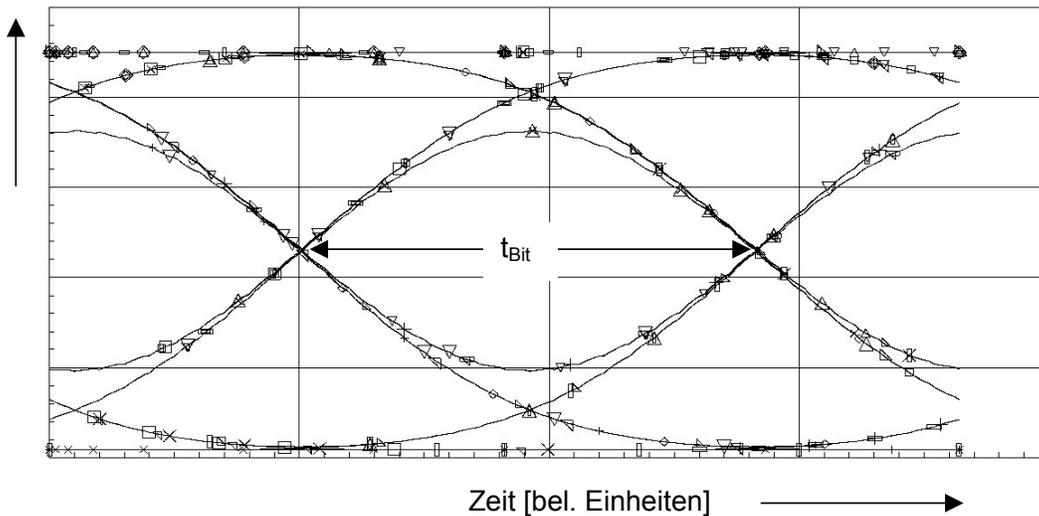


Fig. 2.8: Augendiagramm aus dem Gaußschen Tiefpass und der Bandbreite $B = 1/t_{\text{Bit}}$

Signalamplitude

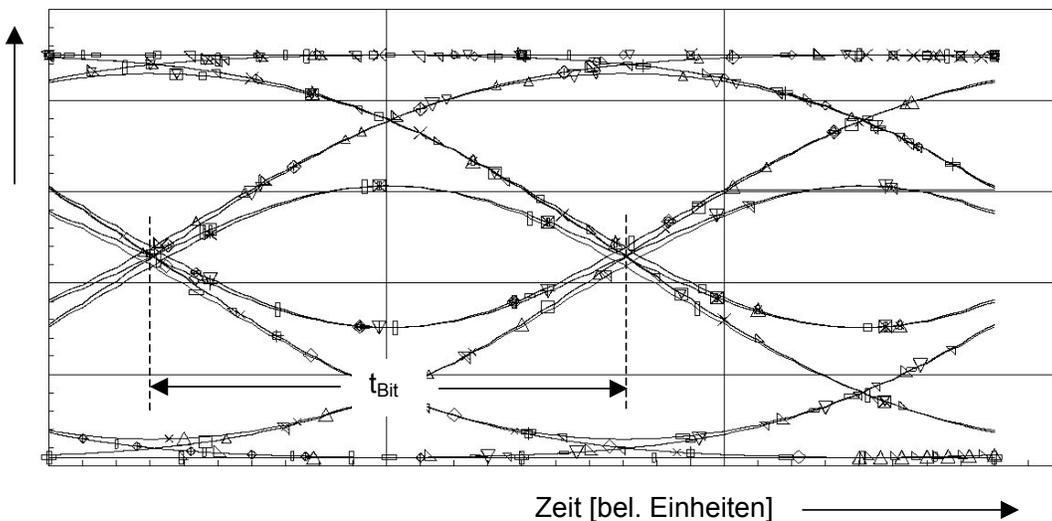


Fig. 2.9: Augendiagramm aus dem Gaußschen Tiefpass und der um 25% reduzierten Bandbreite $B = 0,75/t_{\text{Bit}}$

Eine weitere Eigenschaft des Gaußschen Tiefpasses ist die einfache Berechnung der Bandbreite kaskadierter Verstärker. Hat ein einzelner Verstärker die Übertragungsfunktion

$$H(\omega) = \exp(-1/2(\omega/\sigma_0)^2) \quad (2.6)$$

mit $\sigma_0 = 1 / B_0 \sqrt{8\pi} = t_{\text{Bit}} / \sqrt{2\pi}$ (aus Gleichung 2.4), so haben n gleichartige Verstärker die Bandbreite

$$H(\omega)^n = \exp(-1/2(\omega/\sigma_0)^2)^n = \exp(-1/2n(\omega/\sigma_0)^2) = \exp(-1/2(\omega/\sigma_n)^2) \quad (2.7)$$

und damit ergibt sich für die Zeitkonstante σ_n und die Bandbreite B_n des gesamten Verstärkers

$$\sigma_n = \sigma_0 \sqrt{n} \quad \text{und} \quad B_n = B_0 / \sqrt{n} \quad (2.8)$$

Bei nicht gleichen Zeitkonstanten in der Verstärkerkette gilt aufgrund der gleichen Gesetzmäßigkeit die quadratische Addition der Zeitkonstanten sowie der inversen Bandbreiten:

$$\sigma_n^2 = \sigma_1^2 + \sigma_2^2 + \sigma_3^2 \dots \quad (2.9)$$

$$1/B_n^2 = 1/B_1^2 + 1/B_2^2 + 1/B_3^2 + \dots \quad (2.10)$$

Eine Herleitung der näherungsweise Gültigkeit dieser Gesetzmäßigkeit für RC-Tiefpässe findet sich in [9] und [10]. Bei Nicht-Gaußschen-Tiefpässen nimmt die Genauigkeit mit der Anzahl der kaskadierten Tiefpässen zu. Dies bestätigt die erwähnte Ähnlichkeit von Tiefpässen höherer Ordnung mit dem Gaußschen Tiefpass, die vor allem in hochfrequenten Schaltungen vorkommen, da an der oberen Bandbegrenzung von Schaltungen immer mehrere bandbegrenzende Mechanismen wirksam werden.

LC Tiefpass

Im Vergleich zum exponentiellen Tiefpass soll nun ein gedämpfter RLC-Tiefpass betrachtet werden. Wie man im Phasengang (Fig. 2.10) erkennt, ist im Beispiel bei der Bandbreite B schon ein erheblicher Phasengang von etwa 110° zu verzeichnen, auch die Gruppenlaufzeit (Steigung des Phasenganges) schwankt erheblich. Entsprechend hoher Jitter tritt bei den Signalen auf. Fig. 2.11 zeigt ein Signal mit der Bitlänge $2t_{\text{Bit}} = 1/B$, erheblicher Jitter von etwa 30% der Bitlänge (0.3UI) tritt hier wegen des ungünstigen Phasenganges auf.

Ein praktisch nicht mehr regenerierbares Signal stellt sich dagegen in Fig. 2.12 dar, welches mit der Bitbreite $t_{\text{Bit}} = 0,75/B$ simuliert wurde. Man beachte, dass die gleichen Grenzwerte (6dB Bandbreite für die Definition der Bandbreite „B“) und für die Bitbreiten zu Bandbreitenverhältnisse bei den beiden Beispielen Gaußscher Tiefpass und LC-Tiefpass zugrunde liegen. Der wesentliche Unterschied im zweiten Beispiel liegt im extremeren Phasengang des RLC-Filters, was zu erheblichem Pulsnebensprechen führt.

Die beiden Beispiele belegen, dass bei einem Verstärkerdesign größte Aufmerksamkeit auf eine korrekte Bandbegrenzung und möglichst kleine Gruppenlaufzeitschwankungen zu legen ist.

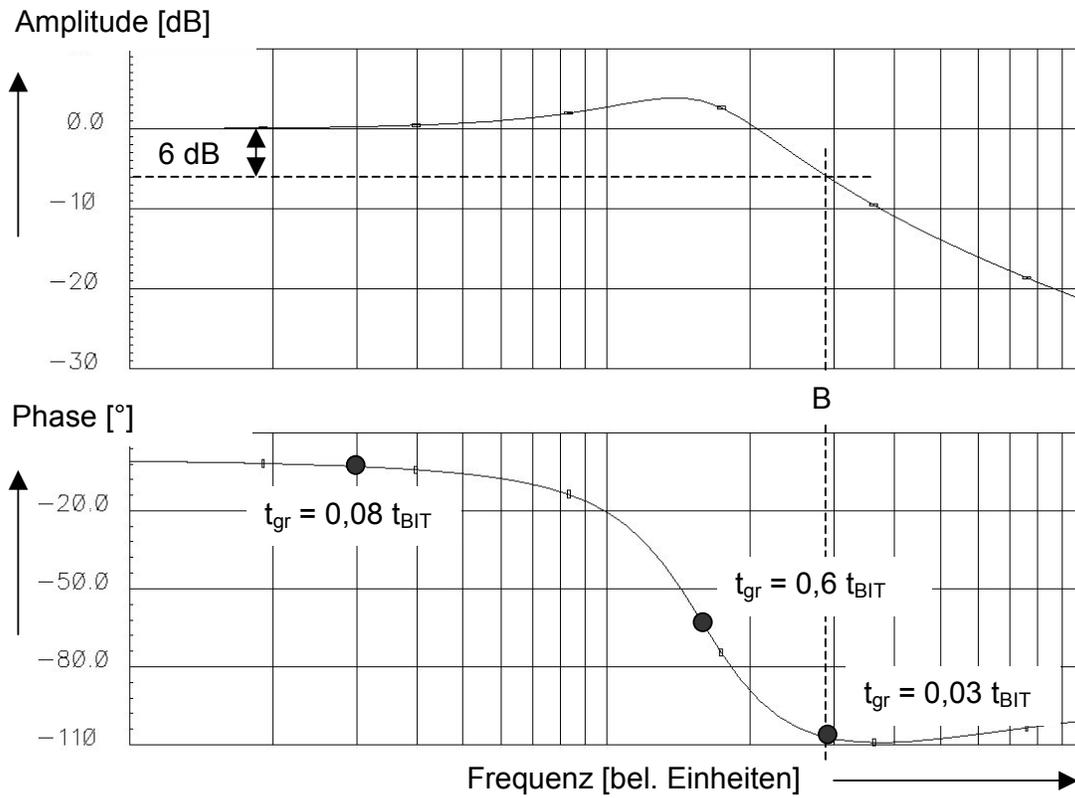


Fig. 2.10: Frequenz- und Phasengang sowie Gruppenlaufzeiten eines LC-Tiefpasses

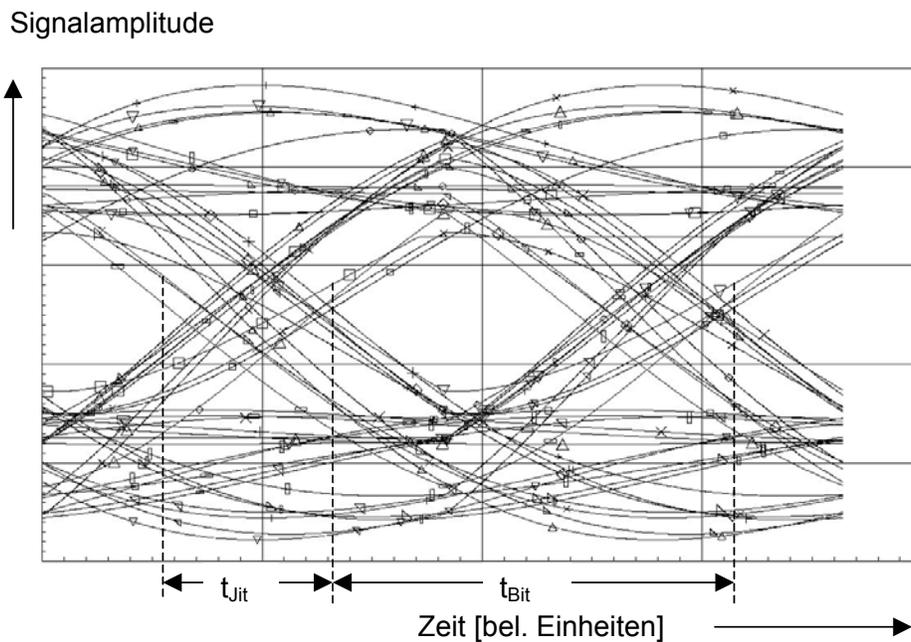


Fig. 2.11: Augendiagramm aus dem LC-Tiefpass und der Bandbreite $B = 1/t_{Bit}$

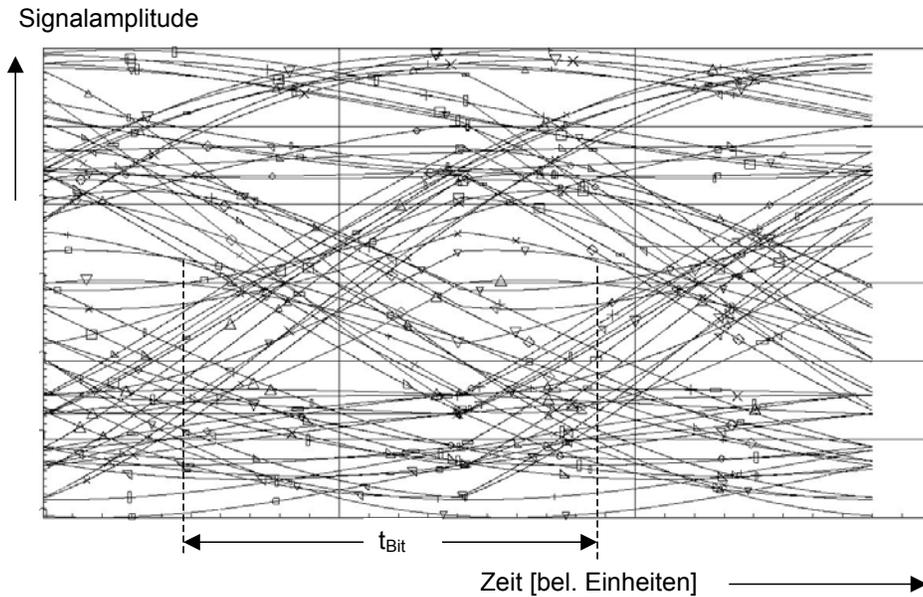


Fig. 2.12: Augendiagramm aus dem LC-Tiefpass und der Bandbreite $B = 0,75/t_{\text{Bit}}$

2.1.3 Spektren von Impulsfolgen (Datensignalen)

Das Spektrum eines Einzelimpulses mit einer Impulsansteigzeit gleich Null ergibt aufgrund der Umkehrbarkeit der Fouriertransformation (Vertauschbarkeit von Zeit- und Frequenzbereich) ein $\sin(x)/x$ – Spektrum (ähnlich Gleichung 2.2).

Eine Datenfolge besteht aber nicht nur aus Einzelimpulsen, sondern aus Impulsen verschiedener Länge $n \cdot t_{\text{Bit}}$. Es werden somit alle Spektren der Form

$$S(f) = \int_{-\infty}^{+\infty} s(t) e^{-j2\pi f t} dt = \frac{\sin(n \pi f t_{\text{Bit}})}{n \pi f t_{\text{Bit}}} \quad (2.11)$$

$s(t) = 1/(n t_{\text{Bit}})$ von $-n t_{\text{Bit}}/2$ bis $+n t_{\text{Bit}}/2$, ansonsten $s(t) = 0$; $n = 1, 2, 3, \dots$

überlagert. Fig. 2.13 zeigt dies beispielhaft. Alle Einzelspektren aus Gleichung 2.10 haben bei der Bitfrequenz $f_{\text{Bit}}/n = 2B/n = 1/(n \cdot t_{\text{Bit}})$ eine Nullstelle, weshalb hier auch das resultierende Spektrum eine Nullstelle haben muss. Die Form des resultierenden Spektrums (also der Addition all dieser Spektren) hängt vom statistischen Auftreten der einzelnen Pulsfolgen ab. Die Nullstellen liegen jedoch immer bei Vielfachen von f_{Bit} , den Nullstellen des kürzesten Pulses.

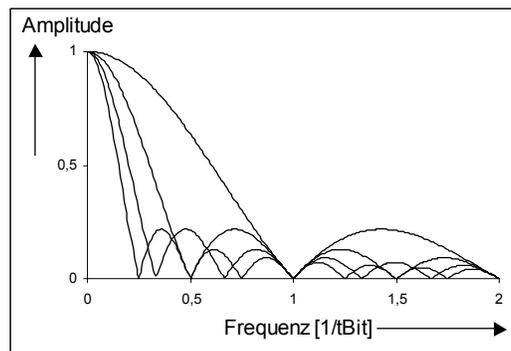


Fig. 2.13: Frequenzspektrum von Pulsen der Länge 1 bis $4 t_{\text{Bit}}$

Als Testsignal wird für Datenübertragungssysteme häufig ein Pseudozufallssignal (Englisch: „pseudo random bit sequence“, PRBS) gewählt. Dieses Signal wird mittels eines rückgekoppelten Schieberegisters erzeugt. Mittels der Autokorrelationsfunktion kann man auf statistische Eigenschaften des Bit-Patterns schließen [11]. Die Autokorrelationsfunktion eines sieben Bit langen Pseudozufallssignals ist in Fig. 2.14 zu sehen. (Die Berechnung erfolgt wie in [11] beschrieben.) Zu beachten ist, dass nur bei der Wiederholfrequenz, also alle 7 Bit, eine maximale Korrelation entsteht, sonst ist die Funktion gleich -1 (Die Integration der Autokorrelationsfunktion erfolgt hier von 0 bis $7t_{\text{BIT}}$). Die „-1“, eine schwache Antikorrelation, ist konstant für die übrigen 6 Bits aufgrund der Zufallsstruktur der Daten. Würde man nun beispielsweise die Zufallsfolge auf 127 Bit verlängern, würde die Autokorrelationsfunktion ein Maximum mit der Amplitude 127 liefern und die Wiederholfrequenz wäre 127 Bit (bei einer Integration der Autokorrelationsfunktion von 0 bis $127t_{\text{BIT}}$). Zu den anderen Zeiten wäre die Funktion ebenfalls gleich -1, eine, bezogen auf den Spitzenwert, sehr schwache Antikorrelation. Man erhält also nur nach der Länge $2^n - 1$ Bit eine Korrelation, n ist dabei die Länge des zur Erzeugung der Zufallsfolge verwendeten Schieberregisters.

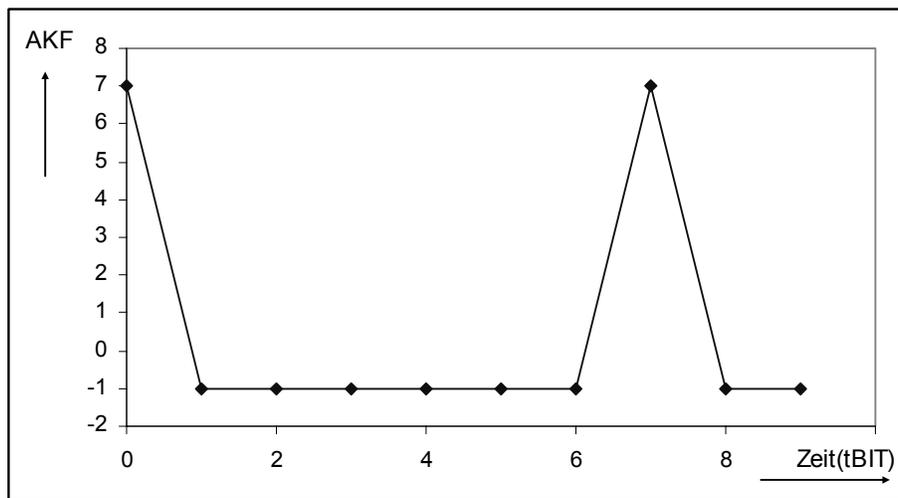


Fig. 2.14: Autokorrelationsfunktion eines 7 bit langen Pseudozufallssignals (nach [11])

Amplitude

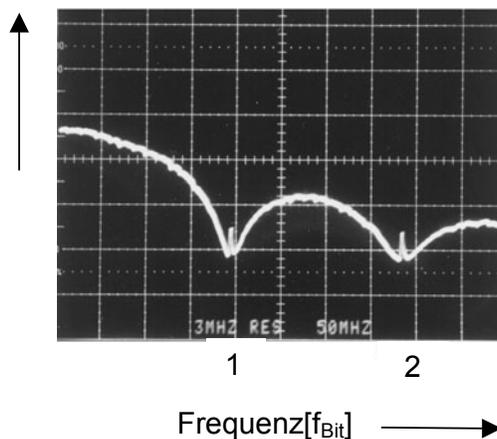


Fig. 2.15: Spektrum einer Pseudozufalls-Datenfolge

Die Autokorrelationsfunktion der Zufallsfolge ist daher ähnlich zu der des weißen Rauschens, ein Dirac-Stoß bei der Frequenz Null. Man kann also aus der Autokorrelationsfunktion eines Zufallssignals auf eine statistische Gleichverteilung der Pulse, also auf eine (Pseudo-) Zufallsverteilung schließen. Die Pulse (bzw. Pulslängen) sind statistisch gleich verteilt. Das Spektrum dieses Signals muss also auch ähnlich dem des weißen Rauschens sein. Der Unterschied ist die endliche Länge der Pulse und damit die Bandbegrenzung im Spektrum. Wie in [12] beschrieben ist, kann das Frequenzspektrum eines Signalverlaufs auch durch die Fouriertransformation der Autokorrelationsfunktion berechnet werden. Die Autokorrelationsfunktion des (idealen rechteckförmigen) Pseudozufallssignals ist ein sich periodisch wiederholender Dreieckimpuls, wie in Fig. 2.14 gezeigt. Zumindest für unendlich (oder zumindest sehr) lange Zufallsfolgen ergibt sich daher im Frequenzbereich ein $(\sin(x)/x)^2$ -Spektrum. Fig. 2.15 zeigt das gemessene Spektrum einer Pseudozufallsfolge der Länge $2^{23}-1$. Ein Zufallssignal mit großer Länge ist daher dem Rauschen verwandt und wird auch „pseudo noise sequence“ (PN-Folge) genannt.

Anforderungen an das Datenspektrum bei wechselstromgekoppelten Systemen

Da man bei der digitalen Datenübertragung sehr kleine Signale übertragen und detektieren will, ist es wegen temperatur- und technologieabhängiger Offsetdriften nicht möglich, das Signal gleichstromgekoppelt zu verarbeiten, zumindest wenn man die maximale Empfindlichkeit an der Rauschgrenze erreichen will. Da ein Zufallsspektrum, wie oben gezeigt, Anteile bis zur Frequenz Null enthält, wird eine Modifikation des Signalstroms nötig, um Gleichstromanteile und Spektralanteile bei kleinen Frequenzen zu minimieren. Im Wesentlichen werden zwei unterschiedliche Methoden angewandt: Verwürflung (Scrambling) oder Codierung.

Verwürfler (Scrambler)

Verwürflung („Scrambling“) der Signale erzeugt zwar keine Gleichstromfreiheit, aber ein vorhersehbares Spektrum mit bekannten Frequenzanteilen im Signal, somit auch bei der Frequenz Null. Der Vorteil dieses Verfahrens ist, dass die Bitfrequenz nicht erhöht werden muss, nachteilig ist die begrenzte Zuverlässigkeit (beliebig lange Eins- oder Null-Folgen können prinzipiell nicht ausgeschlossen, sondern nur deren Auftretswahrscheinlichkeit verringert werden). Dieses Spektrum ist vergleichbar zum Spektrum des Pseudozufallssignals, es wird auch auf ähnliche Weise erzeugt, nämlich durch die Verkopplung des Datenstroms mit einem rückgekoppelten Schieberegister. In den Weitverkehrssystemen SONET oder SDH kommt diese Art der Signalkonvertierung zur Anwendung [11][13]. In diesem Signalspektrum sind zwar die Gleichstromanteile und Niederfrequenzanteile nicht entfernt, werden aber im Spektrum an die anderen Frequenzanteile angeglichen und sind dadurch beherrschbar. Jedoch ist es hier ganz besonders entscheidend, die untere Grenzfrequenz nicht zu hoch zu legen, da statistisch gesehen sehr lange Eins- oder Null- Folgen entstehen können, gleichbedeutend mit hohen Niederfrequenzanteilen. In Testsignalen werden beispielsweise 72 aufeinanderfolgende Nullen eingeblendet, um entsprechende Schaltungen zu prüfen.

Codierer

Echte Codierungsverfahren sind z.B. 4B5B-, 5B6B-, 8B10B-[14] oder der Manchester-Code. Diese fügen dem Bitstrom redundante Bits hinzu. Mit diesem so kodierten Signal kann man dann eine Wechselstromkopplung im Signalpfad vornehmen. Signalanteile im unteren Frequenzspektrum werden vermieden, die untere Frequenzgrenze (Hochpass) des Verstärkers kann höher als bei den verwürfelten Signalen gelegt werden. Nachteil ist jedoch die Anhebung der Bitfrequenz und damit die benötigte größere Bandbreite im Übertragungskanal. Bei den meisten Codes werden zwischen 15% und 25% Redundanz hinzugefügt. Dies ist erkennbar aus der Codebezeichnung: erste Ziffer sind die Eingangs-Bits, zweite Ziffer die Ausgangs-Bits des Codierers. Der Manchester-Code wäre nach dieser Nomenklatur also ein

1B2B-Code. Die Reduzierung der niederfrequenten Anteile ist umso wirksamer, je mehr Redundanz (in geeigneter Weise) hinzugefügt wird.

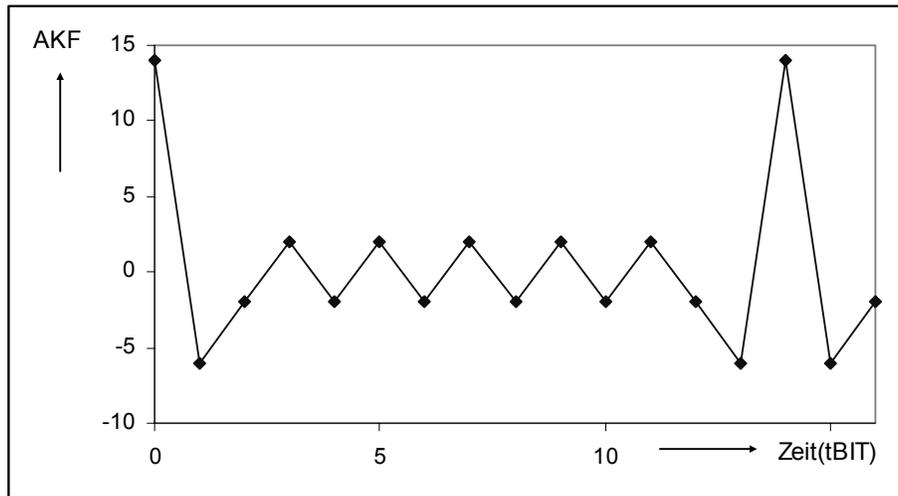


Fig. 2.16: Autokorrelationsfunktion eines manchestercodierten Pseudozufallssignals (Berechnung nach [11])

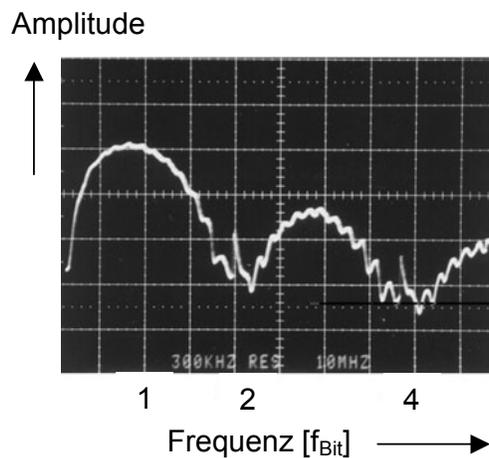


Fig. 2.17: Frequenzspektrum eines manchestercodierten Pseudozufallssignals

Als Beispiel soll nun das Spektrum eines manchestercodierten Pseudozufallssignals betrachtet werden. Dazu wird, in gleicher Weise wie oben, die Autokorrelationsfunktion berechnet (Fig. 2.16). Die Länge der zugrunde gelegten Pseudozufallsfolge beträgt ebenfalls 7 Bit, durch die Codierung (1B/2B) ergibt sich die Länge von 14 Bit. Die Autokorrelationsfunktion hat eine oszillierende Struktur, vergleichbar der eines bandpassgefilterten Signalspektrums. Tatsächlich hat ein gemessenes Spektrum einer manchestercodierten Zufallsfolge eine Bandpassstruktur. Bei der Frequenz Null entsteht eine Nullstelle (Fig. 2.17). Dieser Code ist also gleichstromfrei, benötigt jedoch die doppelte Bandbreite.

2.1.4 Untere Grenzfrequenz

Aus den im vorhergehenden Kapitel gemachten Aussagen resultiert nun die Frage nach den Bedingungen für die untere Grenzfrequenz eines Übertragungssystems.

Alle erwähnten Codes haben nur bei der Frequenz Null (Gleichstrom) eine Nullstelle, darüber dann ansteigende Frequenzanteile, wie beispielsweise in Fig. 2.17 erkennbar ist. Die verwürfelten Signale haben im Spektrum bei der Frequenz Null einen Signalanteil und sind

daher kritischer. Deshalb stellt sich nun die Frage nach der optimalen oder mindestens erforderlichen unteren Grenzfrequenz eines digitalen Übertragungssystems.

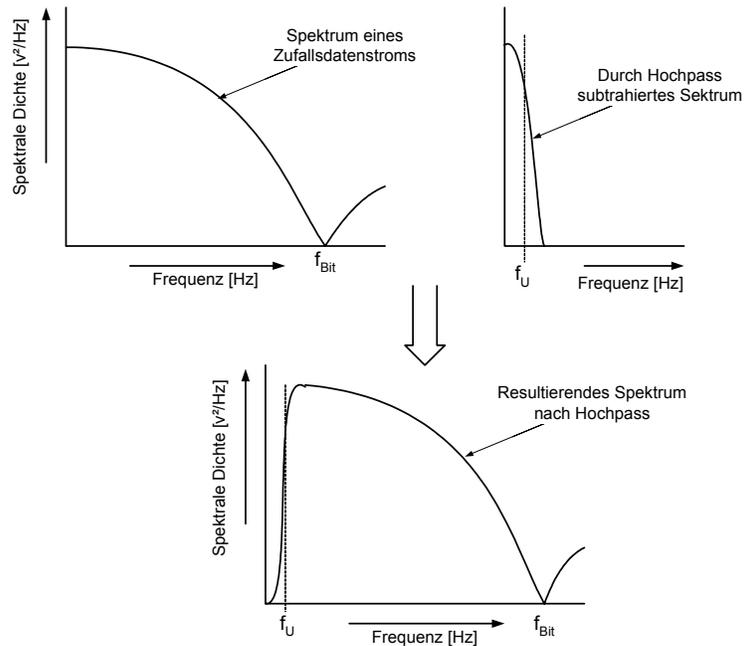


Fig. 2.18: Zustandekommen des Spektrums nach der Hochpassfilterung

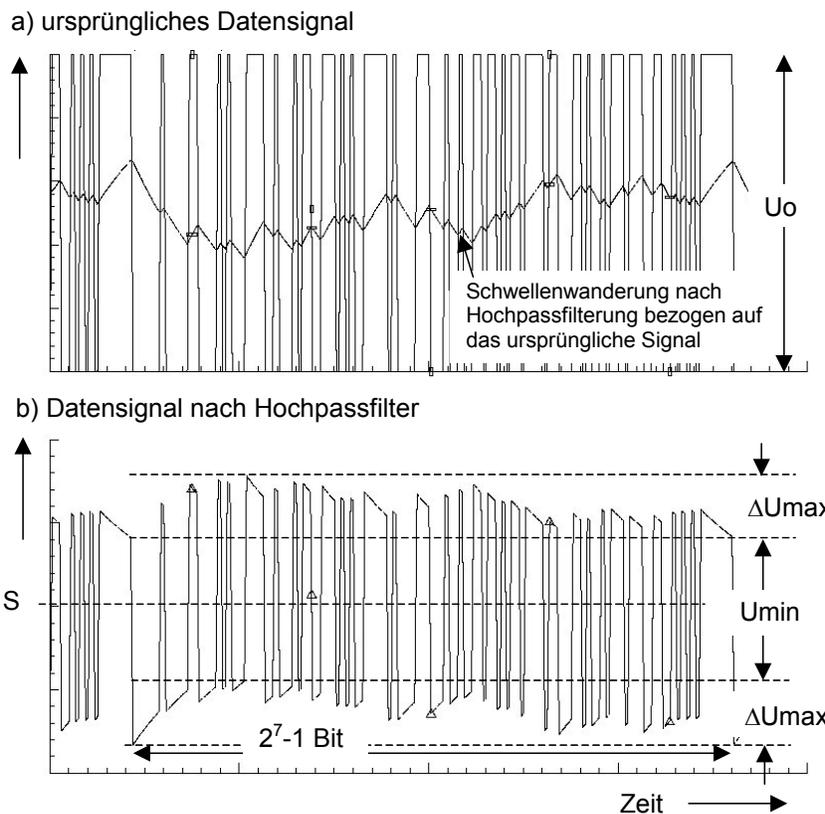


Fig. 2.19: Zustandekommen der Signale im Zeitbereich nach der Hochpassfilterung; a) ursprüngliches Datensignal und Schwellenwanderung; b) Signal nach dem Hochpass

Durch den Hochpass wird ein Teil der Frequenzanteile (bis f_U) vom ursprünglichen Datenspektrum subtrahiert. Dies zeigt Fig. 2.18 schematisch am Beispiel des Spektrums eines verwürfelten Datensignals. Dadurch entsteht ein bandpassartiges Frequenzspektrum. Wegen des Additionssatzes der Fouriertransformation (Addition im Frequenzbereich \leftrightarrow Addition im Zeitbereich) subtrahiert sich nun auch im Zeitbereich ein entsprechendes Signal. Dieses zu subtrahierende Signal erhält man annähernd, indem man das ursprüngliche Datensignal über einen Tiefpass mit der Grenzfrequenz f_U filtert. Fig 2.19 zeigt diese Signale, sie wurden durch Simulation eines Pseudozufallssignals der Länge 2^7-1 sowie der Übertragung dieses Signals über einen Hochpass der Grenzfrequenz $f_U = 0.01 \cdot f_{\text{Bit}}$ berechnet. Bei einer Datenrate von 1Gbit/s entspricht dies einem Hochpass von 10MHz. In Fig. 2.19a ist zusätzlich die sogenannte Schwellenwanderung („base line wander“) eingezeichnet, diese ist identisch dem mit dem Tiefpass gefilterten Datensignal. Nach dem Hochpass entsteht das in Fig. 2.19b gezeigte Bild durch die Subtraktion der beiden in Fig. 2.19a dargestellten Signale. Das Bild zeigt die Abnahme des Signalpegels $U_0 - \Delta U_{\text{max}} = U_{\text{min}}$ und damit auch des Signal-Rausch-Abstandes. ΔU_{max} entspricht der Reduzierung des effektiven Signalpegels und gleichzeitig der maximalen Amplitude der Schwellenwanderung.

Realisiert man die AC-Kopplung mittels einer so genannten Offset-Regelung, wie dies in der vorliegenden Arbeit geschehen ist (siehe Kap. 4.2.3), so ergeben sich die Signale aus Fig. 2.19a am Eingang des Differenzverstärkers. Durch die Rückführung des Datensignals über einen Tiefpass (oder Integrator) auf den zweiten Eingang des Differenzverstärkers werden die beiden Signale in Fig. 2.19a subtrahiert. Dadurch entsteht nach dem Differenzverstärker das Signal Fig. 2.19b. In der Wirkung auf den Signal-Rausch-Abstand und andere Signaleinflüsse sind beide Verfahren, Hochpass oder Offsetregelung, gleichwertig (siehe auch Kapitel 4.2.3, Gleichung 4.10 – 4.13).

Berechnung der Abnahme des Signal-Rausch-Abstandes

Ein einfaches Rechtecksignal würde eine Signal- bzw. Rauschabstandsverkleinerung durch den Hochpass entsprechend des exponentiellen Abfalls verursachen. Die Signalreduktion durch den Hochpass für ein Signal mit n aufeinander folgenden gleichartigen Bits ergibt sich also in vereinfachter Form nach Fig. 2.20 zu:

$$\Delta U = U_0 \{1 - \exp(-n \cdot t_{\text{Bit}} / \tau_{\text{HP}})\} \quad (2.12)$$

- ΔU Amplitudenverlust (Schwellenwanderung) nach n Bit
- U_0 Amplitude des Datensignals
- τ_{HP} RC-Zeitkonstante des Hochpasses

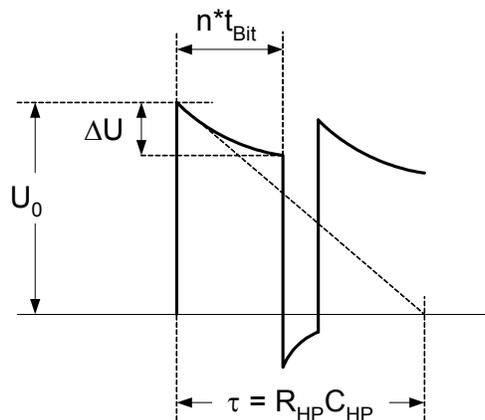


Fig. 2.20 : Verlust im Signal-Rausch-Abstand verursacht durch einen Hochpass

Tatsächlich wird aber nicht, wie häufig vereinfacht abgeschätzt, der ungünstigste Signal-Rausch-Abstand durch die Anzahl maximal aufeinanderfolgender gleichartiger Bits (der sogenannten „run length“) erreicht. Der ungünstigste Fall wird durch den Einfluss der sogenannten „disparity“ hervorgerufen. Wie beispielsweise in Fig. 2.21 gezeigt, folgen nach den ersten 4 Eins-Bits 2 Null-Bits, darauf wieder 4 Eins-Bits. Dadurch wird in diesem einfachen Beispiel der ungünstigste Signal-Rausch-Abstandes nicht bereits nach den ersten 4 Bits erreicht, sondern erst nach weiteren 6 Bits. Der ungünstigste Fall wird durch die „maximale disparity“ beschrieben, welche im Beispiel $4 - 2 + 4 = 6$ beträgt. Dies kann man auch in Fig. 2.19 am komplexeren Pseudozufallsignal deutlich erkennen. Zur Bildung der „disparity“ werden alle Eins-Bits mit „+1“ und alle Null-Bits mit „-1“ integriert. Dies ist im unteren Teil der Fig. 2.21 dargestellt. Damit kann nun die maximale Abweichung ΔU_{\max} vom idealen Signalpegel U_0 berechnet werden. Moderne Codes, z.B. der schon erwähnte 8B/10B-Code des Gigabit-Ethernet-Standards, begrenzen die „disparity“, sodass der Einfluss des Hochpasses reduziert wird [14].

In Gleichung 2.12 muss also für die Berechnung des maximalen Amplitudenverlustes (Schwellenwanderung) ΔU_{\max} die Variable n durch die maximale „disparity“ DP_{\max} ersetzt werden:

$$\Delta U_{\max} = U_0 - U_{\min} = U_0 \{1 - \exp((DP_{\max} \cdot t_{\text{Bit}}) / \tau_{\text{HP}})\} \quad (2.13)$$

mit DP_{\max} = maximale „disparity“.

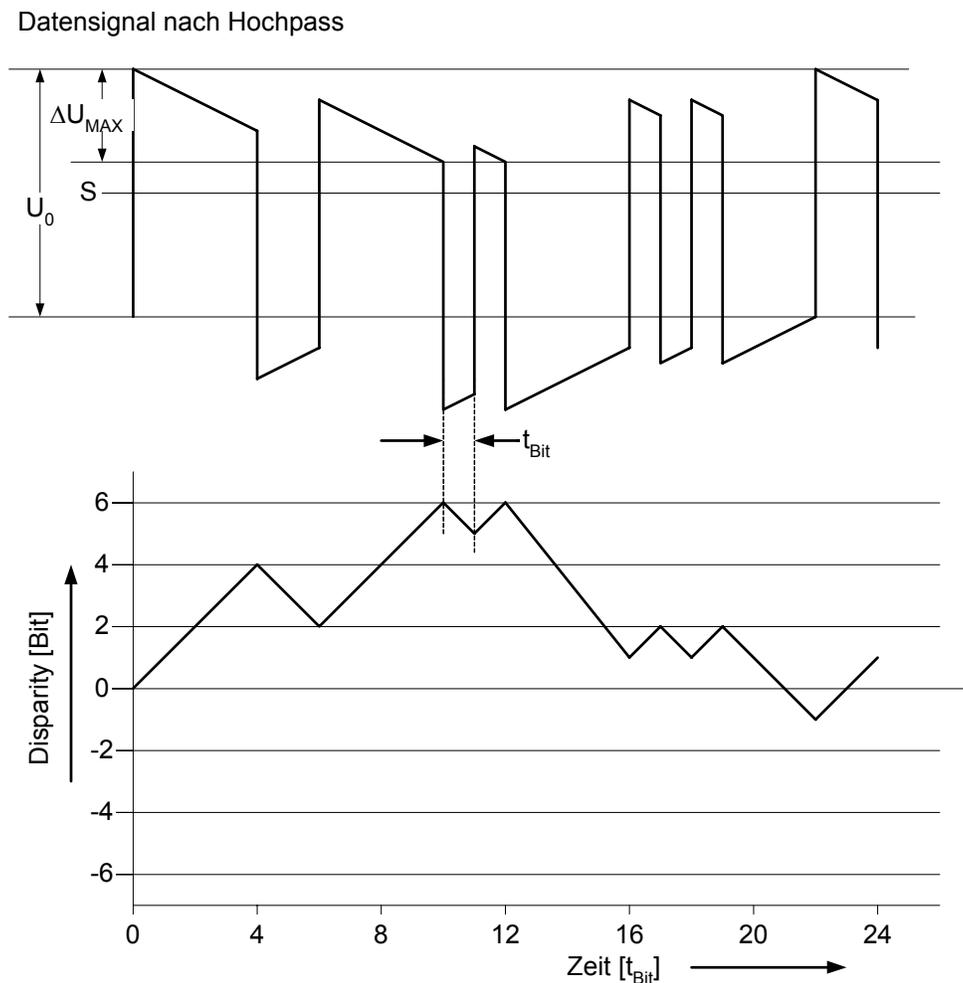


Fig. 2.21: Einfluss der „Disparity“ auf den Signal-Rausch-Abstand

Niederfrequenter Jitter

Ein weiterer begrenzender Effekt der niederfrequenten Schwellenwanderung ist das Entstehen von niederfrequentem Jitter („low frequency base line wander jitter“). Die sich gegenüber dem Signal verändernde Schwelle verursacht aufgrund endlicher Anstiegs- und Abfallzeiten des Signals Bitbreitenänderungen, die sich als Jitter messen lassen.

Fig. 2.22 zeigt dieses Verhalten beispielhaft im Augendiagramm der bereits oben vorgestellten Simulationen (Fig. 2.19) mit einem Zufallssignal der Länge 2^7-1 . Das obere (ideale) Signal entspricht dem Signal vor dem Hochpass. Im (idealen) Signal ist kein datenabhängiger oder durch begrenzte Bandbreiten hervorgerufener Jitter enthalten. Der im unteren Signal zu erkennende „base line wander“ Jitter t_{blw} wird ausschließlich durch den Hochpass und die damit verbundene niederfrequente Schwellenwanderung hervorgerufen. Quantitativ kann der niederfrequente Jitter t_{blw} wie folgt definiert werden:

$$t_{blw} = \Delta U_{max} * St \quad (2.14)$$

mit der Steigung des Signals im Bereich der Schwelle $St = \Delta t / \Delta U$, ΔU_{max} aus Glch. 2.13

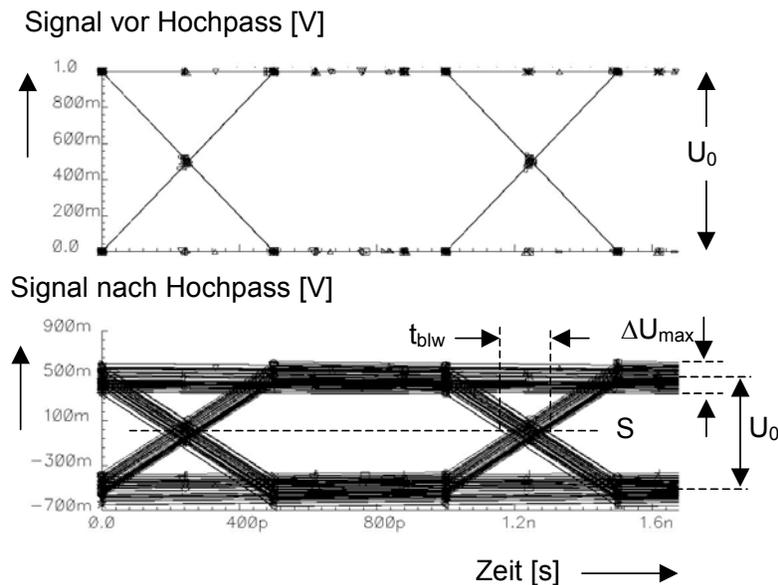


Fig. 2.22: Durch Schwellenwanderung (base line wander) hervorgerufener Jitter t_{blw}

Fig. 2.23 zeigt quantitativ am Beispiel des 8B/10B-Codes den Verlust an Übertragungsqualität durch die Verkleinerung der Augenöffnung in vertikaler (Amplitude Penalty) und horizontaler (Time Penalty) Richtung aufgrund einer reduzierten unteren Grenzfrequenz. Bei einer Grenzfrequenz von 1% der Datenrate entstehen bereits ein Amplitudenverlust von ca. 2dB und ein Jitter („time penalty“) von 10%, also bereits erhebliche Einschränkungen in der Übertragungsqualität. Die Daten wurden mit dem für Gigabit Ethernet spezifizierten 8B10B-Code simuliert und aus [15] entnommen.

Aus den aufgeführten Gründen ist daher die Wahl der unteren Grenzfrequenz entscheidend für die Systemeigenschaften bzw. die Empfindlichkeit eines Empfängers. Dies gilt generell, da alle Codes (zumindest theoretisch) Frequenzanteile bis zur Frequenz 0 beinhalten, wenngleich deren spektrale Amplitude (codeabhängig) dort sehr klein werden kann.

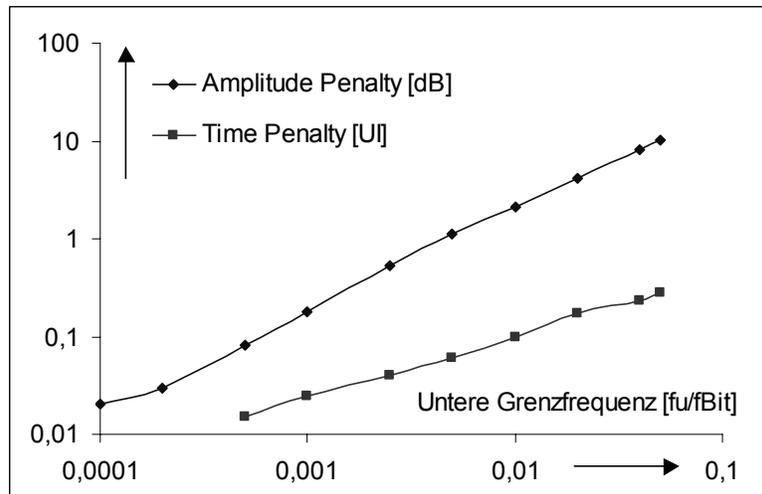


Fig. 2.23 : Verlust an Übertragungsqualität durch die untere Grenzfrequenz, aus [15]. UI = Unit Intervall (1UI entspricht der Bitdauer t_{Bit}). Die untere Grenzfrequenz ist bezogen auf die Bitfrequenz.

2.1.5 Linearität

Bezüglich der Linearität des Übertragungskanals, also auch der Einzelkomponenten, kann man unterscheiden zwischen Bereichen die analog (also annähernd linear arbeiten) und Bereiche die begrenzen, also digital arbeiten.

Begrenzende Verstärker sind hochgradig nichtlinear. Sie verarbeiten allerdings im Idealfall nur digitale Signale und können somit (theoretisch) keine Verzerrungen verursachen. Vor allem in hochfrequenten Schaltungen ist der Übergang jedoch fließend, weil im Bereich der Schaltschwelle durchaus analoges Verhalten vorherrscht. Deshalb können auch diese Schaltungen nachfolgend beschriebene Verzerrungen hervorrufen.

Im Bereich der Sender sind ausschließlich begrenzen (also digitale) Schaltungen im Einsatz. Die Übertragungsstrecke selbst (Glasfaser) ist normalerweise sehr linear und hat Tiefpasscharakteristik. Im Empfänger sind lineare und begrenzen Charakteristiken vorhanden.

Im Eingangsverstärker des Empfängers werden lineare Schaltungen eingesetzt, da hier die sehr kleine Amplitude des Signals erst einmal auf einen Pegel verstärkt werden muss. Bezüglich der Linearität ist anzumerken, dass geradzahlige Oberwellen (also solche 2., 4., 6. ... Ordnung) möglichst vermieden werden sollten, da diese eine Pulsbreitenverzerrung bewirken (englisch „duty cycle distortion“). In Fig. 2.24 ist dies dargestellt. Eine zum Mittelpunkt der Verstärkungskennlinie unsymmetrische Kennlinie erzeugt auch geradzahlige Oberwellen. Diese führen zu einer Pulsbreitenverzerrung, der so genannten „duty cycle distortion“ (DCD). Eintaktverstärker haben tendenziell eine derartige Kennlinie, vor allem wenn sie mit großen Signalen angesteuert werden.

Hingegen erzeugt eine zum Mittelpunkt der Verstärkerkennlinie symmetrische Kennlinie (Fig. 2.24.b) auch eine Verzerrung der analogen Signale, jedoch hat dies nach der Amplitudenregenerierung keine Auswirkung auf das Signal, da die 50%-Werte (also die Bitbreiten) des digitalen Signals nicht beeinflusst werden. Dies ist im Allgemeinen bei differentiellen Verstärkern der Fall, die sich aus diesem Grunde gut für die Regenerierung der digitalen Signale eignen. Die prinzipielle Eigenschaft dieser Kennlinie haben auch Verstärker, die in Begrenzung betrieben werden, zumindest solange die Begrenzung symmetrisch zum Mittelpunkt der Kennlinie erfolgt.

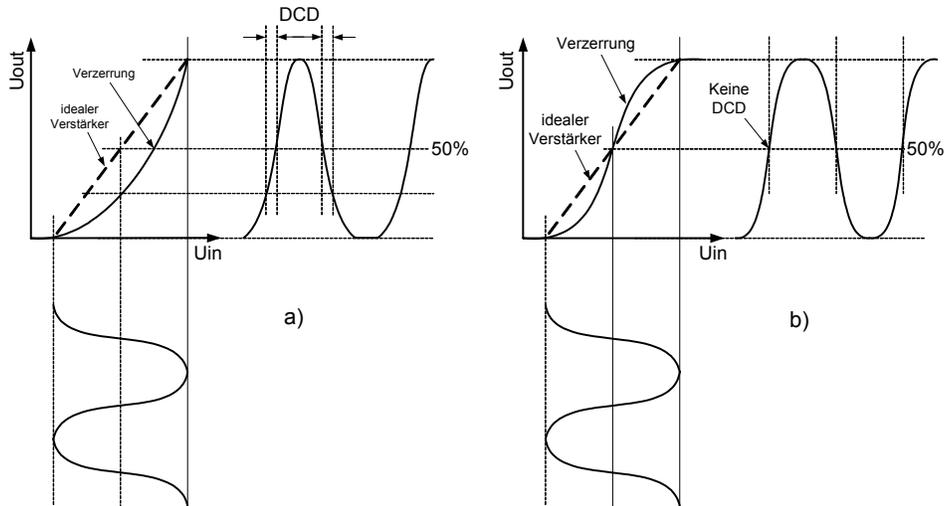


Fig. 2.24 : Einfluss der Linearität im analogen (linearen) Verstärker des Empfängers; a) Verstärkerkennlinie unsymmetrisch zum Mittelpunkt, b) symmetrisch zum Mittelpunkt

Durch die Einführung von „duty-cycle“-Regelungen (hier Offset-Regelung genannt, siehe Kapitel 4.2.3) kann selbst das Phänomen der „duty-cycle-distortion“ stark reduziert werden, sodass im Endeffekt die Anforderungen an die Linearität von Verstärkern in digitalen Systemen relativ gering sind, wenn durch geeignete Maßnahmen die Pulsverzerrung gering gehalten werden kann.

2.1.6 Signal - Rausch - Verhältnis

Eine gute Darstellung zum Rauschen in digitalen optischen Systemen findet sich in [16]. Hier soll dieses Thema knapp zusammengefasst werden.

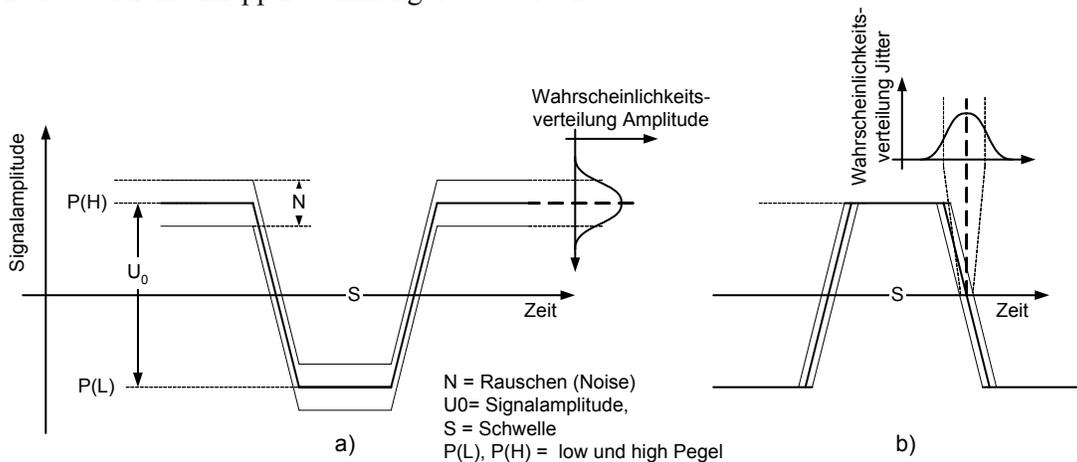


Fig. 2.25 : Signal und Rauschen eines binären Digitalsignals, Zusammenhang zwischen Amplituden- und Phasenrauschen („random jitter“); a) Signal vor und b) nach der Amplitudenentscheidung (Begrenzung)

Wie bei jeder Nachrichtenübertragung begrenzt auch bei der optischen Datenübertragung das Rauschen die Systemeigenschaften. Fig. 2.25 zeigt, wie sich Signal und Rauschen (Noise) verhalten. Vergrößert sich der Rauschpegel N (dünne Linien), der dem High- und Low-Pegel überlagert ist, im Verhältnis zum Signal U_0 , so verkleinert sich der Abstand des Pegels zur Schwelle S . Damit steigt die Fehlerwahrscheinlichkeit im Übertragungskanal an. Wenn das

Rauschen eine Gaußverteilung einnimmt, kann man für diesen Fall die Wahrscheinlichkeit der Fehlerrate abhängig vom Signal-Rausch-Verhältnis berechnen.

$$E = \frac{1}{\sqrt{2\pi}} \int_Q^{\infty} e^{-x^2/2} dx \quad \text{mit } Q = \frac{|S - P_i|}{\sigma_i} \quad (2.15)$$

E	Fehlerwahrscheinlichkeit
Q	Signal-Rauschabstand
S	Entscheidungsschwelle
P	Signalpegel
σ	Effektivwert des Rauschens

Dazu betrachtet man Fig. 2.26. Dort sind für eine kleine (gestrichelte Linie) und eine große Fehlerrate (durchgezogene Linie) die Gaußverteilungen des High- und Low-Pegels (P(H) und P(L)) schematisch dargestellt sowie die Lage der Schwelle (S) eingezeichnet. Die Schnittmenge der beiden Kurven, welche die Fehlerwahrscheinlichkeit für den High- (E(H)) und den Low-Pegel (E(L)) darstellen, entsprechen den Flächen E(L) und E(H). Die zugehörige Gleichung (2.15) ist die „error function“. Mit ihr wird das Integral über die Flächen E(L) und E(H) in Fig. 2.26 bestimmt. Darin ist E die Fehlerwahrscheinlichkeit und Q das Signal-Rausch-Verhältnis. Eine Näherung ist in Gleichung (2.16) dargestellt. Der Verlauf der Funktion ist in Fig. 2.27 dargestellt. Zum Beispiel wird bei einem Signal-Rausch-Verhältnis von 7 eine in Systemen üblicherweise spezifizierte Fehlerrate von 10^{-12} erreicht.

$$E = \frac{1}{\sqrt{2\pi}} \frac{e^{-Q^2/2}}{Q} \quad (2.16)$$

In Fig. 2.25 kann man auch erkennen, dass ein der Amplitude überlagertes Rauschen nach der Amplitudenentscheidung, bei der das Amplitudenrauschen auf dem High- und Low-Pegel eliminiert wird, in ein Phasenrauschen („random jitter“) übergeht.

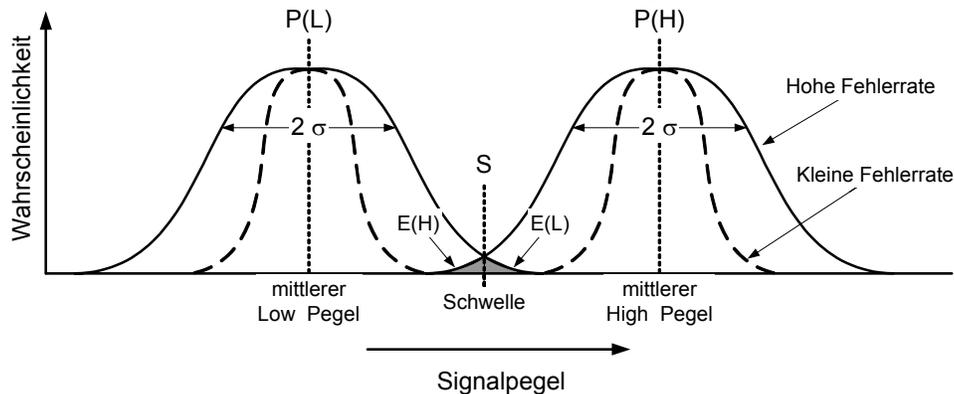


Fig. 2.26 : Wahrscheinlichkeitsverteilung für ein verrauschtes Digitalsignal; E(H) = Fehlerwahrscheinlichkeit für den High-Pegel, E(L) = Fehlerwahrscheinlichkeit für den Low-Pegel, S = Schwelle des Entscheiders, σ = Effektivwert des Rauschens

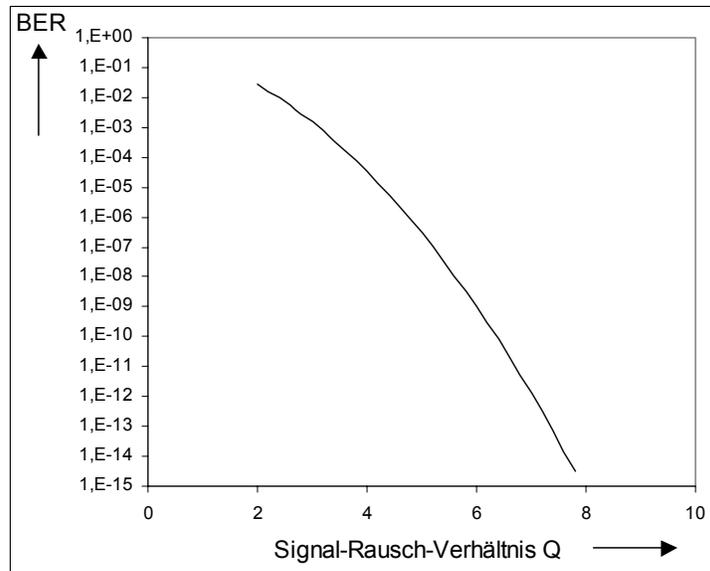


Fig. 2.27 : Bitfehlerrate (BER) als Funktion des Signal Rausch Abstandes Q nach Gleichung (2.15)

2.1.7 Gleichstromgekoppelte Systeme

Kurz soll auch noch auf die Problematik von gleichstromgekoppelten Empfängern eingegangen werden, die für sogenannte Burst-Mode-Systeme benötigt werden. Mit diesen Empfängern werden zwar die in Kap. 2.1.3. dargestellten Nachteile der unteren Grenzfrequenz vermieden, sie erfordern aber Schaltungen zum Beherrschen der Offsetdriften. Um vertretbare Empfindlichkeiten und Systemeigenschaften zu erzielen, wird beispielsweise dem Datensignal eine Präambel bestimmter Länge in Form eines bekannten Bitstromes vorausgeschickt. Während dieses Vorgangs der Zeitdauer einiger ns bis μ s (je nach Datenrate und System) kann die Empfangsschaltung die Entscheidungsschwelle einjustieren. Dazu wird der High- und Low-Pegel erfasst und daraus die Schwellenspannung gebildet. Dies kann mit analogen Schaltungen erfolgen, z.B. mit Sample-and-Hold-Schaltungen oder Spitzenwertdetektoren. Zunehmend werden dafür aber auch die Pegel digital erfasst und die Schwellenspannung digital einjustiert. Aufgrund der zusätzlichen Fehlermöglichkeiten und Driften bei den Sampling-Verfahren erreicht man damit allerdings nicht die Empfindlichkeitswerte von wechselstromgekoppelten Systemen. Beispiele können aus der Literatur entnommen werden [17][18].

2.2 Bestandteile der Empfängerschaltung

2.2.1 Photodioden

Da diese Arbeit in erster Linie die Elektronik des Empfängers beschreiben soll, wird hier nicht detailliert auf die Photodioden eingegangen. Es sollen aber kurz die verschiedenen Typen mit ihrer Charakteristik dargestellt werden, soweit sie für den Betrieb mit Verstärkern von Wichtigkeit sind.

Photodioden für Empfang von 650 nm bis 900 nm Wellenlänge

Für diesen Wellenlängenbereich sind für „langsame“ Produkte der unteren Kostenkategorie in erster Linie Silizium-Dioden im Einsatz. Diese können bis weit über 250MBit/s eingesetzt

werden. Sie haben üblicherweise eine Sperrschichtkapazität zwischen 1 und 5pF, je nach benötigter Fläche und anliegender Vorspannung. Plastikfaser-Systeme beinhalten derartige Bauelemente und gehören zu den Systemen, die zur Zeit an Bedeutung gewinnen. Hier werden relativ großflächige Dioden eingesetzt, da die Fasern einen Durchmesser von 1mm haben. Für höhere Datenraten (>1Gbit/s) eignet sich das Materialsystem Silizium nicht, weil durch hohe Eindringtiefen der Photonen (>20 μ m bei 850nm) die Ladungsträgerlaufzeiten groß werden. Deshalb werden relativ hohe Versorgungsspannungen benötigt, um die entsprechende Raumladungszone zu erzeugen und um die Driftzeiten zu verkürzen. Hohe Betriebsspannungen sind jedoch in modernen Schaltungstechnologien und -systemen unerwünscht, da sie in der Anwendung teuer sind.

In Bauteilen für Computer-Netzwerke oder LANs sind für Datenraten bis zu einigen Gbit/s auch kleinflächige Dioden aus GaAs (z.B. MSM-Dioden (Metal-Semiconductor-Metal)) im Einsatz. Diese Dioden haben dann Sperrschichtkapazitäten von weit unter einem pF. Da diese Photodioden auf einem GaAs-Substrat mit einem Standard MES-Fet Prozess gefertigt werden können, bietet sich hier eine Integration mit einem Vorverstärker an. Damit werden durchaus brauchbare Empfindlichkeitswerte erreicht [19][20][21]. Ein weiterer Vorteil dieser Dioden liegt in der Möglichkeit, ein voll differentielles Empfängerdesign aufzubauen. Darauf soll später im Detail eingegangen werden.

Photodioden für Empfang von 1300nm bis 1550nm Wellenlänge

Bei diesen Wellenlängen kommen ausschließlich Dioden aus dem Materialsystem InP oder GaAs zum Tragen, Silizium ist bei diesen Wellenlängen transparent. Die Chipkapazitäten können bis in den Bereich 0,2 pF (je nach Fläche) reichen und ermöglichen kapazitätsarme und damit sehr empfindliche Systeme für den Weitverkehrsbereich aber auch für den LAN-Markt. Photodioden dieses Materialsystems sind aufgrund der Materialeigenschaften auch sehr schnell. Ein Beispiel für eine integrierte Photodiode auf einem GaAs-Mes-Fet-Prozess ist in Fig. 2.28 zu sehen.

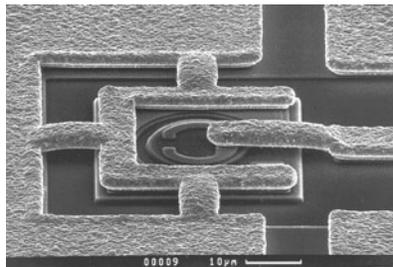


Fig. 2.28 : Integrierte Photodiode auf einem GaAS-MES-FET Prozess, aus [22]

Zusammenfassend kann man sagen, dass auf der einen Seite für extrem preisgünstige Systeme großflächige, relativ einfach aufgebaute Silizium-Photodioden, auf der anderen Seite für technisch anspruchsvolle Systeme sehr kapazitätsarme III/V-Halbleiter-Photodioden zur Verfügung stehen.

Monolithische Integration

Es liegt nahe, Photodioden auf konventionellen IC- Prozessen (Silizium-CMOS, -Bipolar, InP oder GaAs) zu integrieren. Dafür gibt es auch verschiedene Ansätze. Da sich jedoch die Prozessanforderungen, zumindest im Material Silizium, für fortschrittliche IC-Technologien und Photodioden widersprechen, hat sich bisher keine wirklich durchschlagende Lösung durchgesetzt [23][24]. Zudem ist der Bedarf an Scheibenfläche für diese Bauteile nicht besonders groß, da die benötigte Chipfläche relativ klein ist. Die Entwicklung einer speziellen Technologie ist somit nicht unbedingt rentabel.

Moderne Silizium-IC-Prozesse werden zunehmend mit dünneren Schichten (wesentlich kleiner als $1\mu\text{m}$) realisiert, um die gewünschten Geschwindigkeiten zu ermöglichen. Die Eindringtiefe von Photonen im Silizium bei 850nm Wellenlänge entspricht ca. $20\mu\text{m}$, d.h. erst nach $20\mu\text{m}$ sind weitgehend alle Photonen absorbiert. Bei dünneren Absorptionsschichten wird das Licht nur anteilig absorbiert, man verliert Empfindlichkeit. Ferner sind in gängigen IC-Prozessen keine intrinsischen oder schwach dotierten Schichten verfügbar, weshalb die verfügbaren Raumladungszonen sehr kurz sind. Aus diesem Grund sind moderne Silizium-Prozesse ungeeignet, um gute Photodioden zu erzeugen. Wegen der hohen Eindringtiefe können unter Umständen auch Ladungsträger im Substrat entstehen. Das kann sich störend auf die restliche Schaltung auswirken und die Pulsformen der Photodiode erheblich verlangsamen. Daher sind mit wenigen Ausnahmen heute nur hybride Aufbautechniken zu finden.

2.2.2 Eingangverstärker für optische Systeme

Der Eingangverstärker ist eines der Schlüsselemente eines optischen Übertragungssystems. Er bestimmt einen Großteil der Eigenschaften und damit die mögliche Übertragungslänge des Systems. (Als Beispiele werden im Folgenden immer wieder Schaltungen mit Bipolartransistoren aufgeführt. Dies ist darauf zurückzuführen, dass in den ersten Jahren der optischen Übertragungstechnik vorwiegend Schaltungen in dieser Technologie entwickelten und veröffentlicht wurden, da CMOS-Technologien in dieser Zeit für die benötigte Geschwindigkeiten nicht geeignet waren. Daher sollen auch an dieser Stelle diese Schaltungen in der „Originalversion“ dargestellt werden.)

Als wichtigste Eigenschaften für den optischen Eingangverstärker sind zu nennen:

- Signalübertragungsverhalten, Bandbreite (Amplituden- und Phasengang),
- Rauschverhalten und
- Eingangswiderstand.

Folgende Varianten wurden im Laufe der Zeit entwickelt und sollen kurz vorgestellt werden:

- Hochimpedanzverstärker
- Basisstufen-Eingangverstärker
- Transimpedanzverstärker
- Kettenverstärker.

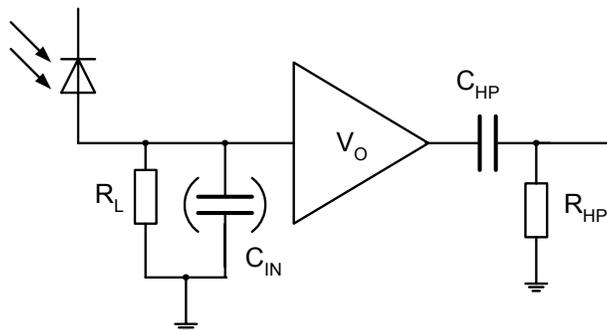


Fig. 2.29 : Blockdiagramm eines Hochimpedanz-Empfangsverstärkers, C_{IN} ist die parasitäre Eingangskapazität

Der *Hochimpedanzverstärker* wurde in frühen Weitverkehrsübertragungssystemen eingesetzt. Mit diesem Typ ließen sich, zumal bei Einsatz von GaAs-MES-FETs in der ersten Stufe, extrem niedrige Rauschwerte erzielen. Ein Blockdiagramm ist in Fig. 2.29 dargestellt. Kennzeichnend für diesen Verstärkertyp ist ein hoher und damit rauscharmer

Eingangswiderstand (R_{IN} , ca. $1M\Omega$ ist üblich), ein sehr rauscharmer und breitbandiger Verstärker hoher Dynamik sowie ein nachgeschalteter Entzerrer (in der Regel ein einfacher Hochpass).

Das Lastelement R_L , C_{IN} stellt für die Photodiode einen Tiefpass 1. Ordnung mit der Zeitkonstante

$$\tau_{IN} = 1/2\pi f_U = R_L * C_{IN} \quad (2.17)$$

R_L	Eingangslastwiderstand
C_{IN}	parasitäre Eingangslastkapazität
f_U	untere Grenzfrequenz
τ_{IN}	Eingangszeitkonstante

dar, dessen Ausgangsspannung verstärkt wird. Die nicht zu vernachlässigende Eingangskapazität ergibt zusammen mit dem großen Lastwiderstand eine relativ hohe Zeitkonstante, welche eine Signalübertragung ohne weitere Bearbeitung unmöglich macht. Der nachfolgende Hochpass mit der Zeitkonstante $\tau_{HP} = R_{HP} * C_{HP}$ dient als Entzerrer und kompensiert das Tiefpassverhalten.

Das zugehörige Bodediagramm ist in Fig. 2.30 dargestellt. Aufgrund des Tiefpassverhaltens wird eine erhöhte Dynamik im Verstärker benötigt, da bei langen Null- oder Eins-Folgen die Spannung integriert wird und somit linear ansteigt. Würde man diesen Anstieg begrenzen, würde der nachfolgende Entzerrer die Integration nicht korrekt kompensieren. Daher ist es nötig, für alle möglichen Signalfolgen ein lineares Verhalten zu garantieren. Um den hohen erforderlichen Dynamikbereich zu erreichen, wird deshalb eine hohe Versorgungsspannung benötigt. Zudem sind Regelschaltungen nötig, die den Gleichspannungsabfall am (relativ großen) Lastwiderstand R_L kompensieren, der erheblich sein und bei schwankender Eingangsleistung stark variieren kann. Ansonsten würde der Verstärker aus seinem optimalen Arbeitspunkt laufen und die Dynamik einschränken. All diese Bedingungen haben deshalb sehr schnell dazu geführt, dass dieser Verstärkertyp unattraktiv wurde.

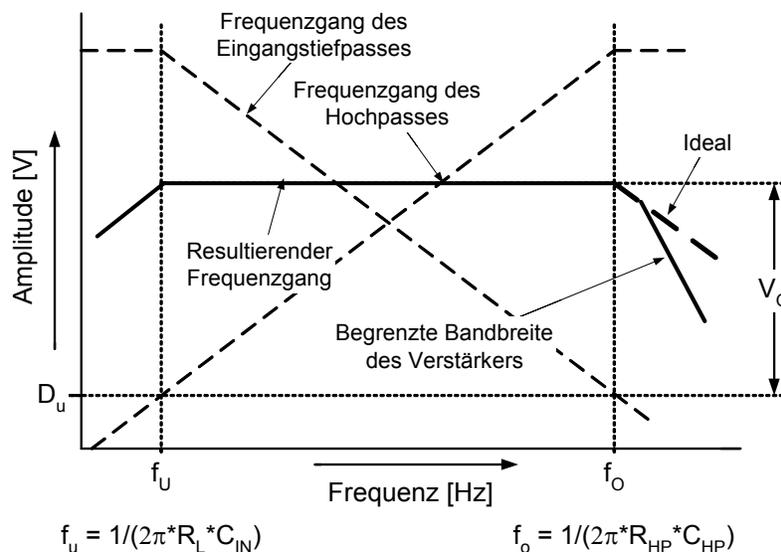


Fig. 2.30 : Bodediagramm eines Hochimpedanz-Empfangsverstärkers, D_U ist die Dämpfung des Hochpasses bei der unteren Grenzfrequenz f_U

Abhilfe schaffen niederohmige Eingangsschaltungen. Dies kann z.B. eine *Basisschaltung* (bei CMOS entsprechend Gate-Schaltung) sein, wie sie Fig. 2.31 zeigt. Dazu wurden vor allem

Anwendung in CMOS veröffentlicht [26]. Leider werden damit schlechtere Rauscheigenschaften erreicht, da die zusätzliche nötige Stromquelle (I_{BIAS}) am Eingang weiteres Rauschen einspeist und bei kleinen Frequenzen im Vergleich zum Transimpedanzverstärker keine Rauschminderung erfolgt. Gute Eigenschaften zeigen allerdings *geregelt Kaskodestufen*, damit kann man CMOS-Eingangsstufen mit kleiner Verlustleistung und relativ kleinem Rauschen aufbauen [27].

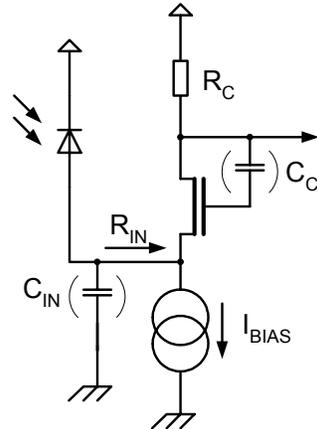


Fig. 2.31 : Optischer Empfangsverstärkers mit einer Basisstufe, C_{IN} und C_C sind parasitäre Kapazitäten

Ein optimaler und, wie sich zeigte, idealer Ansatz war die Anwendung des Transimpedanzverstärkers. Dies ist ein mit einem Widerstand rückgekoppelter Verstärker, welcher einen kleinen Eingangswiderstand aufweist. Dieser Verstärkertyp hat sich in fast allen Anwendungen (mit Ausnahme von sehr hochfrequenten Schaltungen) durchgesetzt. Die Rauscheigenschaften sind zwar geringfügig schlechter als beim Hochimpedanzverstärker, jedoch überwiegen die Vorteile wie schaltungstechnischer Aufwand, Herstellungskosten, Spannungsversorgung und gute Dynamikeigenschaften.

Die Funktionsweise ist in Fig. 2.32 dargestellt. Durch die Rückkopplung (R_F) entsteht ein sehr kleiner Eingangswiderstand R_{IN} (Gleichung 2.18, die genaue Herleitung der folgenden Formeln findet sich im Anhang B). Der effektive Last- und damit Rauschwiderstand (R_F) kann jedoch groß sein.

$$R_{IN} \approx R_F / V_{CL} \quad (2.18)$$

R_{IN}	Eingangswiderstand
R_F	Rückkopplungswiderstand
V_{CL}	Spannungsverstärkung des rückgekoppelten Verstärkers (Closed Loop)

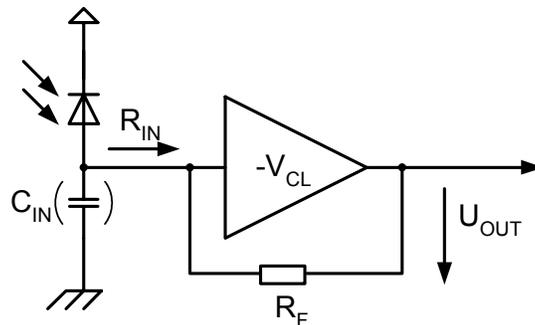


Fig. 2.32 : Blockdiagramm eines Transimpedanz-Empfangsverstärkers

Durch entsprechende Dimensionierung der Spannungsverstärkung V_{CL} und des Rückkopplungswiderstandes R_F wird üblicherweise eine ausreichende Bandbreite schon am Eingang erreicht (Gleichung 2.19). Problematisch ist bei diesem Verstärkertyp jedoch die Stabilität, dies wird in späteren Kapiteln noch detailliert behandelt.

$$f_o = 1 / (2 \pi R_{IN} C_{IN}) = V_{CL} / (2 \pi R_F C_{IN}) \quad (2.19)$$

C_{IN} Eingangskapazität
 f_o geforderte Bandbreite (obere Grenzfrequenz)

Eine weitere Variante ist der Einsatz von Kettenverstärkern („distributed amplifier“), heute beispielsweise für Datenraten von 40Gbit/s und darüber angewendet. Diese Schaltungen arbeiten im 50Ω-System, d.h. die Eingangsimpedanz muss 50Ω betragen, um Reflexionen zwischen Photodiode und Verstärker zu vermeiden. Da jedoch die Transistoren für die benötigte Verstärkung und Bandbreite zu hohe Eingangskapazitäten hätten, teilt man die Verstärkung in n Einzelverstärker auf, die über eine Wellenleitung verbunden sind. Die Wellenleitung wird etwas hochohmiger dimensioniert, sodass sich einschließlich der Eingangskapazität der Einzelverstärker ein Wellenwiderstand von 50Ω ergibt. Jeder Einzelverstärker erhält also mit einer definierten Verzögerung sein Eingangssignal und speist sein Ausgangssignal mit der gleichen Verzögerung in eine Ausgangswellenleitung ein. Auch deren Impedanz beträgt einschließlich der Ausgangskapazität der Verstärker 50Ω [22]. Solche Bauteile wurden hauptsächlich in GaAs-HEMT-Technologie entwickelt. In Fig. 2.33 sieht man im eindrucksvollen Chipfoto eines Kettenverstärkers deutlich die Wellenleitungen des Eingangs (unten) und des Ausgangs (mäanderförmig, oben). Links unten (im Kreis) ist die Photodiode zu erkennen. Aufgrund der Weiterentwicklung schneller Bipolartechnologien (Technologien mit Transitfrequenzen bis zu 200 GHz sind bereits verfügbar) werden diese Konzepte zunehmend durch „normale“ Transimpedanzverstärker bis hin zu 40Gbit/s und darüber ersetzt, welche wesentlich bessere Rauscheigenschaften und geringere Verlustleistungen aufweisen.

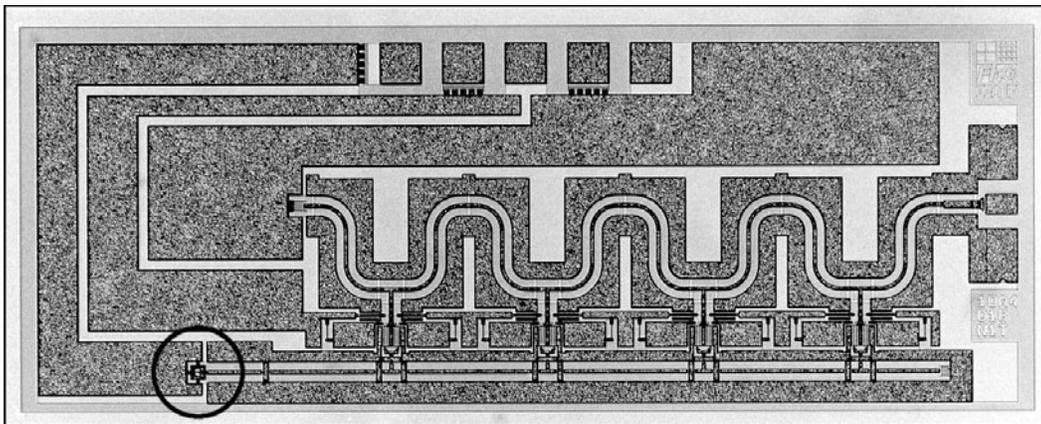


Fig. 2.33 : Chipfoto eines Kettenverstärkers („distributed amplifier“) für eine Datenrate von 40Gbit/s, links unten im Kreis die Photodiode, aus [22]

2.2.3 Anforderungen an die Dynamik

Die untere Grenze der Eingangsstromamplitude von Vorverstärkern liegt aufgrund üblicherweise erreichter Rauschwerte in der Größenordnung von 100nA (bei etwa 100Mbit/s) bis zu 10μA (bei 10Gbit/s). Maximale Ausgangsleistungen der Sender liegen bei etwa

einigen mW, d.h. die zugehörigen Eingangsströme betragen einige mA. Vor allem an Systeme mit relativ kleinen Datenraten (z. B. 100MBit/s) werden enorme Anforderungen an die Dynamik gestellt. Sie liegen bei über 40dB optischer Leistung, dies entspricht dem Faktor 10.000! Diese Ansprüche können nur erfüllt werden, wenn die Schaltungen mehrere Regelschleifen und begrenzende Verstärker beinhalten. Low-Cost-Systeme müssen zudem über den ganzen Dynamikbereich funktionieren, da die sonst erforderlichen optischen Dämpfungsglieder ein zu hoher Kostenfaktor wären. Entsprechende Anforderungen wurden auch an den vorliegenden Chip gestellt.

2.2.4 Nachverstärker

Alle oben beschriebenen Vorverstärker haben eine Ausgangsspannung von nur wenigen mV. Um das Signal vernünftig weiter verarbeiten zu können, ist eine Nachverstärkung erforderlich. Wegen der erforderlichen Dynamik kommen dafür entweder geregelte lineare Verstärker oder begrenzende (Differenz-) Verstärker in Frage. Erstere wurden früher in (aufwendigen) Weitverkehrssystemen eingesetzt. In heutigen Systemen werden (nahezu ausschließlich) begrenzende Verstärker eingesetzt.

Um Offseteinflüsse auszuschalten (das Signal ist in der gleichen Größenordnung wie die Offsetspannungen), werden Offsetkompensationsschaltungen eingesetzt, wie sie im Weiteren noch detaillierter beschrieben werden. Bei hohen Frequenzen werden Kaskodenstufen und andere Anpassungsschaltungen verwendet, um die erforderliche Bandbreite zu erhalten [30]. In der Regel wird eine Verstärkung von 40 bis 60dB benötigt. Die Bandbreite sollte höher als beim Transimpedanzverstärker sein, damit bandbegrenzende Effekte (Jitter) hier nicht mehr wirksam werden und der Transimpedanzverstärker mit maximaler Verstärkung und damit minimaler Bandbreite ausgestattet werden kann. Im Anschluss an den Nachverstärker bzw. in diesem integriert findet die Amplitudenregenerierung z.B. mittels eines Komparators statt. Dadurch wird das Amplitudenrauschen eliminiert. Beim Einsatz begrenzender Verstärker findet dieser Vorgang in einer der Begrenzerstufen statt. Abhängig von der Eingangsamplitude findet diese Begrenzung an unterschiedlicher Stelle der Verstärkerkette statt.

2.2.5 Regenerator

Im Anschluss muss das Signal zeitlich regeneriert werden, d.h. der Flankenjitter wird eliminiert. Da der zu den Daten gehörige Takt nicht zur Verfügung steht, muss der Takt aus dem Datensignal mittels einer Taktregenerierung hoher Güte (→ kleiner Jitter) zurückgewonnen werden. Die Daten werden dann mittels eines flankengetriggerten Flipflops (Entscheider) zeitlich regeneriert. Üblicherweise wird dazu eine Phase-Locked-Loop(PLL)-Schaltung verwendet. Damit ein solches Verfahren funktionieren kann, muss im Datenstrom die erforderliche Taktinformation in Form von ausreichend vielen Signalwechseln vorhanden sein, realisiert z.B. durch die schon beschriebenen Codierungsverfahren. Diese Thematik soll hier nicht näher behandelt werden, es sei auf die umfangreiche Literatur hingewiesen (z.B. [31]).

3 Transimpedanzverstärker für optische Empfängerschaltungen

Im vorhergehenden Kapitel 2.2.2. wurde kurz erläutert, warum Transimpedanzverstärker (abgekürzt „TIA“, aus dem englischen Transimpedance Amplifier) eine so wichtige Bedeutung für die optische Nachrichtentechnik haben. In diesem Kapitel soll im Detail auf die technischen Eigenschaften und die diversen Design-Varianten des Transimpedanzverstärkers eingegangen werden.

3.1 Grundprinzip des Transimpedanzverstärkers

Wie bereits erwähnt, sind folgende Eigenschaften für einen optimalen Eingangsverstärker von Vorteil:

- kleiner Eingangswiderstand, damit hohe Bandbreite am Eingang
- kleines Rauschen
- hohe Dynamik
- Stabilität

Aufgrund von realen und damit bandbegrenzenden Elementen von Verstärkern sind Transimpedanzverstärker aus den folgenden Gründen schwinganfällig [32]: Der dominante Pol der Leerlaufverstärkung derartiger Verstärker liegt bei relativ kleinen Frequenzen, etwa bei einem Hundertstel der benötigten Bandbreite. Ein zweiter wesentlicher Pol wird durch den Tiefpass des Rückkopplungsnetzwerkes R_F - C_{IN} erzeugt, dieser liegt bei einer Frequenz ähnlicher Größenordnung. Dadurch entsteht im rückgekoppelten System prinzipiell eine Unstabilität, es muss einer der erstgenannten Pole kompensiert werden. Dies geschieht am einfachsten zum Beispiel durch eine Kapazität C_F parallel zu R_F (Fig. 3.1), die eine passende Nullstelle erzeugt (Herleitung im Anhang B). Es gibt allerdings Transimpedanzverstärker, die ohne derartige Maßnahmen stabil sind. In diesen Fällen gibt es parasitäre Elemente, welche wie diese Kapazität C_F wirken, z.B. die Miller-Kapazität eines Transistors oder aber die Leerlaufverstärkung des nicht rückgekoppelten Verstärkers ist geringer und breitbandig.

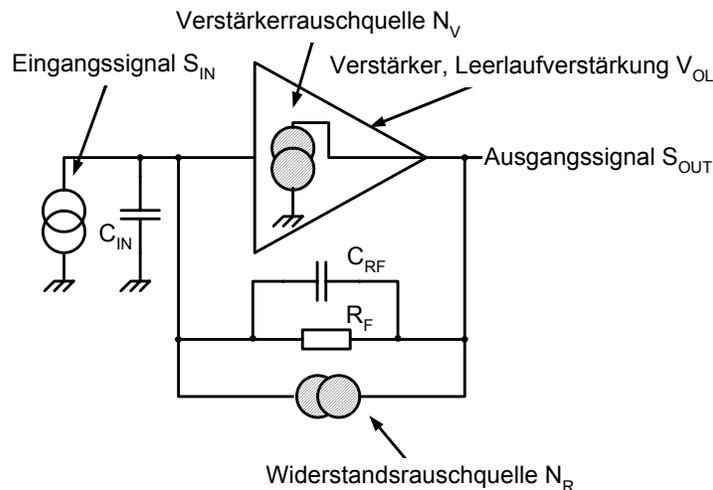


Fig. 3.1 : Allgemeines Rauschersatzschaltbild des Transimpedanzverstärkers

Weitere Pole des Transimpedanzverstärkers sollten normalerweise außerhalb des relevanten Frequenzbereiches liegen. Sie werden z.B. durch einen komplexen Ausgangswiderstand oder durch Parasiten innerhalb des Verstärkers hervorgerufen, welche eine Bandbegrenzung bewirken. Fig. 3.1 zeigt ferner das prinzipielle Rauschersatzschaltbild des Transimpedanz-

verstärkers und Fig. 3.2 ein vereinfachtes Rauschersatzschaltbild für einen TIA mit einfacher MOS-Transistor-Verstärkerstufe. (Die genaue Herleitung der in diesem Kapitel verkürzt dargestellten Formeln findet sich im Anhang B).

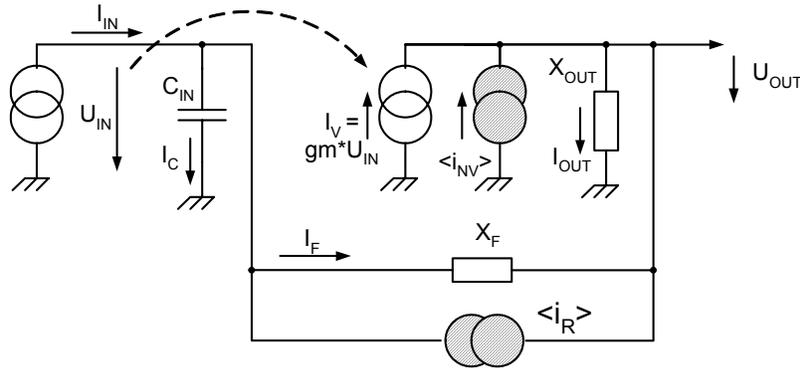


Fig. 3.2 : Rauschersatzschaltbild für einen TIA mit einfacher MOS-Verstärkerstufe

Die eigentliche Verstärkerstufe wird dabei durch die gesteuerte Stromquelle I_V (Transistor) und den komplexen Ausgangswiderstand X_{OUT} gebildet, die Leerlaufverstärkung („open loop gain“) V_{OL} ist daher gegeben durch

$$V_{OL} = - gm * X_{OUT} \quad (3.1)$$

V_{OL}	Leerlaufverstärkung (ohne Rückkopplung)
gm	Transistorsteilheit
X_{OUT}	komplexer Ausgangswiderstand

Für den Eingangswiderstand ist, wie erwähnt, die Verstärkung des Verstärkers in der geschlossenen Schleife* („closed loop gain“) relevant (Gleichung 2.17). Sie beträgt für diese Schaltung (Fig. 3.2)

$$V_{CL} = (1 - gm * X_F) / (X_F / X_{OUT} + 1) \quad (3.2)$$

V_{CL}	Spannungsverstärkung der geschlossenen Schleife
X_F	komplexer Rückkopplungswiderstand

und ist negativ, da $gm * X_F$ größer eins ist (Anhang B, Gleichung B.12).

In Fig. 3.2 sind die beiden wesentlichen Rauschquellen eingezeichnet. Die Rauschquelle der Photodiode spielt keine Rolle. Sie liegt um mindestens eine Größenordnung tiefer als die der rauschenden Widerstände und kann daher vernachlässigt werden. (Als Beispiel für eine Datenrate von 1Gbit/s gelten folgende Werte: ein $1k\Omega$ Widerstand rauscht mit $4pA/\sqrt{Hz}$, die Photodiode an der Empfindlichkeitsgrenze des hier behandelten Verstärkers bei $10\mu A$ mit $0,18pA/\sqrt{Hz}$, das Rauschen des Dunkelstromes der Photodiode (einige nA) ist nochmals um Größenordnungen kleiner.)

Die beiden relevanten Rauschquellen des Transimpedanzverstärkers sind die des Rückkopplungswiderstands R_F (N_R) und die des Verstärkers (N_V). Diese beiden Rauschquellen wirken jedoch unterschiedlich. Die Rauschquelle des Rückkopplungswiderstandes (Gleichung 3.3) erzeugt einen Rauschstrom, der umgekehrt proportional zum Widerstandswert ist. Dieser Rauschstrom wird parallel zum Signal der Photodiode in den Verstärker eingespeist, d.h. der Rauschstrom des Widerstandes kann direkt zum

*) nicht zu verwechseln mit der üblicherweise verstandenen „closed loop gain“ bei Operationsverstärkerschaltungen.

Eingangssignal der Photodiode in Relation gesetzt werden. Er erfährt die gleiche Behandlung (Verstärkung, Bandbreite) wie das eigentliche Signal. Daher ist man natürlich bestrebt, diesen Widerstand möglichst groß zu machen.

$$\langle i_R^2 \rangle = 4kT\Delta f / R_F \quad (3.3)$$

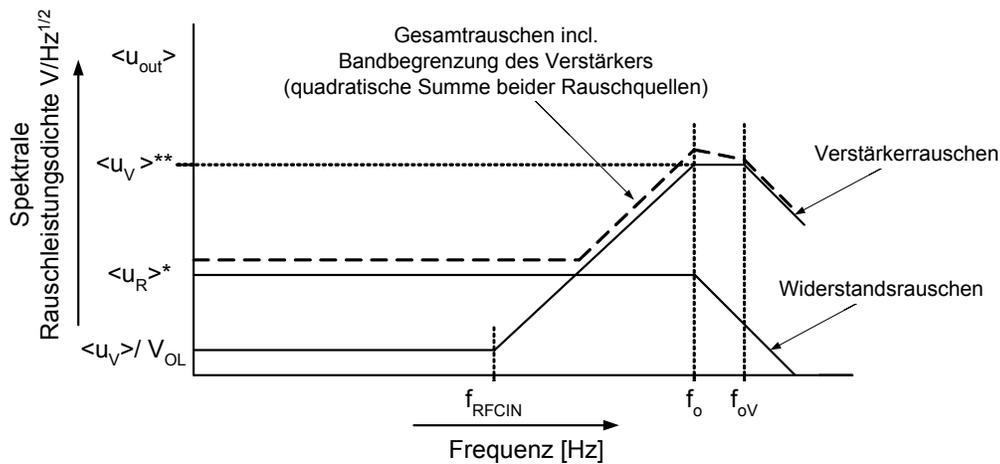
$\langle i_R^2 \rangle$	Effektivwert des Rauschstromes des Widerstandes
k	Boltzmann Konstante
T	absolute Temperatur
R_F	Rückkopplungswiderstand
Δf	Rauschbandbreite

Ein vollständig anderes Verhalten erfährt das Rauschen des Verstärkers selbst, hervorgerufen durch seine Transistoren und Widerstände. Das Rauschen wirkt nicht auf den Eingang sondern auf den Ausgang und gelangt über den Tiefpass $R_F - C_{IN}$ an den Eingang. Diese Eingangsspannung wird nun verstärkt und gelangt invertiert wieder zum Ausgang, wo sie dem eigentlichen Rauschsignal entgegenwirkt. Insgesamt wird das Verstärkerrauschen dadurch mit etwa dem Faktor $1/V_{OL}$ reduziert, wobei V_{OL} die Leerlaufverstärkung des nicht rückgekoppelten TIAs darstellt (Gleichung B.28). Diese Wirkung wird allerdings durch den Tiefpass des Eingangskreises der offenen Schleife $R_F - C_{IN}$ ab dessen Grenzfrequenz

$$f_{RFCIN} = 1 / (2 \pi R_F * C_{IN}) \quad (3.4)$$

f_{RFCIN}	Grenzfrequenz des Rückkopplungsnetzwerkes
C_{IN}	Eingangskapazität
R_F	Rückkopplungswiderstand

zu höheren Frequenzen hin vermindert, die Rauschleistung des Verstärkers steigt ab f_{RFCIN} mit 10dB/Dekade an. Fig. 3.3 zeigt ein prinzipielles Bodediagramm dieses Verhaltens. Anzumerken ist hierbei, dass die Grenzfrequenz des Verstärkers (f_o in Fig. 3.3) bezüglich des Signals von der Grenzfrequenz der Rauschquelle des Verstärkers f_{OV} abweichen kann, da die Rauschquelle bei hohen Frequenzen direkt auf den (komplexen) Ausgangswiderstand X_{OUT} wirkt und nicht vom Eingang her verstärkt wird.



*) $\langle u_R \rangle = \langle i_R \rangle * R_F$ **) $\langle u_V \rangle = \langle i_V \rangle * (R_F \parallel X_{OUT})$

Fig. 3.3 : Prinzipielles Bodediagramm für das Rauschverhalten des Transimpedanzverstärkers

Der Eingangstiefpass hat für diese Rauschquelle bei hohen Frequenzen keine begrenzende Wirkung, da die Rückkopplung dort praktisch aufgehoben ist [44]. Auch die Kompensationskapazität C_F als Bestandteil des Rückkopplungswiderstandes X_F bleibt in Bezug auf die Frequenz f_{RFCIN} und damit bezüglich des Rauschens vernachlässigbar, da die Zeitkonstante $R_F \cdot C_F = \tau_{IN}$ in der Nähe der oberen Grenzfrequenz (f_0) liegt (Gleichung B.34). Zusammenfassend kann gesagt werden, dass das Rauschen des Widerstandes direkt verstärkt wird und daher der Widerstandswert im Allgemeinen möglichst hoch gewählt wird, zumal auch die Signalverstärkung proportional zum Widerstand ansteigt. Das Rauschen des Verstärkers wird mit der Leerlaufverstärkung reduziert. Von wesentlicher Bedeutung ist dabei die Eingangskapazität, welche den Anstieg des Rauschens zu hohen Frequenzen hin beeinflusst. Gelingt es nun, die Eingangskapazität klein zu halten, kann man eine wesentliche Verbesserung der Eigenschaften des Transimpedanzverstärkers erzielen.

Bei sehr hohen Bitraten (etwa $> 10\text{Gbit/s}$) kann man z.B. auch mittels einer Induktivität am Eingang eine gewisse Kompensation der Photodiodenkapazität erreichen. Die sowieso vorhandene Eingangsinduktivität des Bonddrahtes wird beispielsweise genutzt, um die externen Kapazitäten des Systems (Photodiode und Bondpads der Aufbautechnik) zu kompensieren. Die Rauscheigenschaften werden dadurch verbessert [33].

Dies soll an einem kleinen Rechenbeispiel verdeutlicht werden. Fig. 3.4 zeigt das zugehörige Ersatzschaltbild.

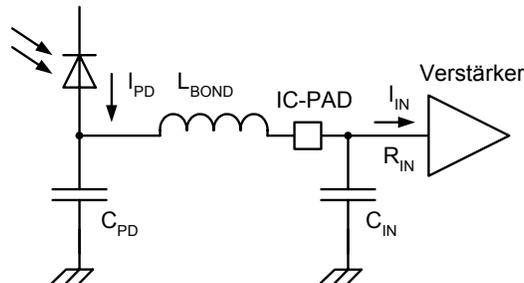


Fig. 3.4: Ersatzschaltbild einer Eingangsstufe mit Bonddrahtinduktivität $L_{B(OND)}$, Photodiodenkapazität C_{PD} , Eingangskapazität C_{IN} und Eingangswiderstand R_{IN} .

Durch die Wirkung der Induktivität können bei hohen Frequenzen zwei Effekte wirksam werden (im Prinzip auch bei kleineren Frequenzen, allerdings werden die benötigten Induktivitäten dann unpraktikabel):

- Kompensation der Eingangskapazität C_{IN} durch die Induktivität in der Vorwärtsübertragungsfunktion des Photodiodenstromes, und damit Anhebung der Übertragungsbandbreite
- Reduzierung der Rauschens durch die Kompensation der Photodiodenkapazität C_{PD} (zum Einfluss der Eingangskapazität auf das Rauschen siehe die Ausführungen oben sowie die Berechnungen im Anhang B)

Die Übertragungsfunktion für den Photostrom des Netzwerkes (Fig. 3.4) lautet:

$$H(\omega) = I_{IN}/I_{PD} = 1 / \{1 - j \omega R_{IN} (C_{PD} + C_{IN}) - \omega^2 L_B C_{PD} (1 - j \omega R_{IN} C_{IN})\} \quad (3.5)$$

Es ergibt sich für die Bonddrahtinduktivität $L_B = 0$ die „normale“ Wirkung des Tiefpasses aus der Summe der Eingangskapazitäten und dem Eingangswiderstand. Der Imaginärteil erster Ordnung kann nun theoretisch durch den Imaginärteil dritter Ordnung vollständig oder teilweise kompensiert werden, wodurch die Wirkung der Kapazität verringert wird. Leider neigt das System dann zu Überschwingern, sodass entsprechend vorsichtiges Design bzw. weitere kompensierende oder dämpfende Elemente am Verstärkereingang nötig werden.

Das folgende Bild (Fig. 3.5) zeigt eine Simulation für einen 10Gbit/s-Empfänger. Die simulierte Schaltung enthält folgende (realistische) Größen der parasitären Elemente:

Bonddraht von der Photodiode zum IC:	$L_{\text{BOND}} = 0 \dots 1,25\text{nH}$
Photodiodenkapazität:	$C_{\text{PD}} = 0,3\text{pF}$
Eingangskapazität des ICs:	$C_{\text{IN}} = 0,3\text{pF}$
Eingangswiderstand des Verstärkers	$R_{\text{IN}} = 50\Omega$

In der Simulation wurde der Parameter Bonddrahtinduktivität im Bereich von 0...1,25nH variiert. Er kann in diesem Fall die durch die Photodiodenkapazität begrenzte Bandbreite mittels einer geeigneten Bonddrahtinduktivität etwa verdoppeln.

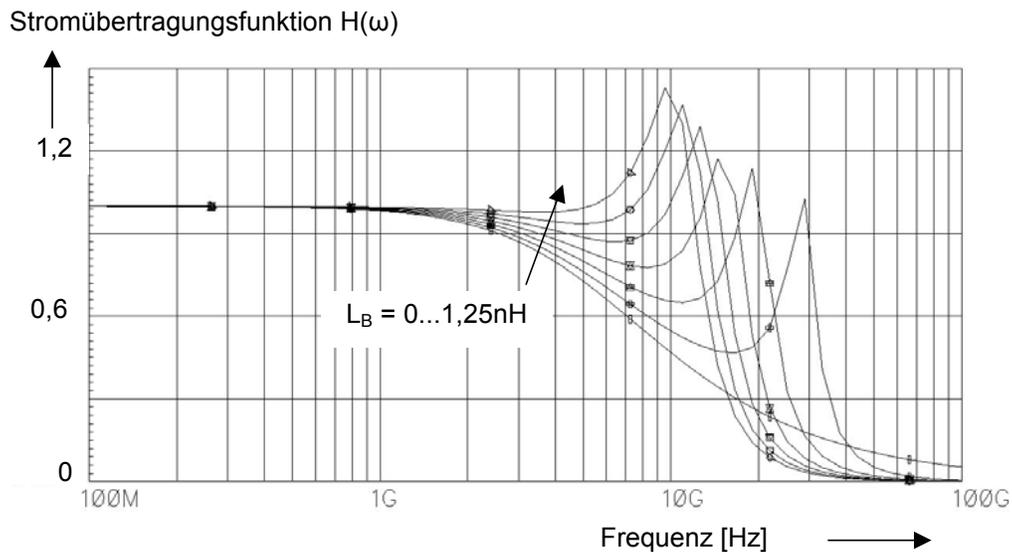


Fig. 3.5: Stromübertragungsfunktion $H(\omega) = I_{\text{IN}}/I_{\text{PD}}$ der Eingangsschaltung nach Fig. 3.4 und Gleichung (3.4); Bonddrahtinduktivität variiert von 0 – 1,25nH

3.2 Designvarianten des Transimpedanzverstärkers

3.2.1 Schaltungen in Bipolartechnologie

Wie schon erwähnt, wurden in der Anfangszeit der optischen Nachrichtentechnik aus technologischen Gründen fast ausschließlich Bipolarverstärker entwickelt. Deshalb sollen hier auch einige vereinfachte Varianten von Bipolar-Transimpedanzverstärkern dargestellt werden (Fig. 3.6).

Die einfachste Form des Transimpedanzverstärkers ist die Emitterschaltung mit einer Widerstandsgegenkopplung vom Kollektor zur Basis (Fig. 3.6.a). Sie wird bei Hochfrequenzverstärkern durchaus angewendet. Aufgrund nur eines verstärkenden Elements (T_1) sind die Stabilitätseigenschaften gut, weil die Verstärkung relativ klein und breitbandig ist. Es gibt aber einige gravierende Nachteile: Es wird eine Bias-Stromquelle I_B bzw. ein zusätzlicher Widerstand (statt I_B) am Eingang benötigt, damit eine Gleichspannung über R_F abfällt. Ansonsten ist der Aussteuerbereich gering und der Transistor T_1 kann leicht in Sättigung gehen, da die Kollektor-Emitter-Spannung zu gering wird. Diese Maßnahme erhöht jedoch das Rauschen. Ferner wird der Ausgang (Kollektor T_1) durch R_F direkt belastet, wodurch die Spannungsverstärkung des gegengekoppelten Verstärkers mit den bereits

erwähnten nachteiligen Einflüssen für die Bandbreite herabsetzt wird (Gleichung B.13). Ein weiterer negativer Aspekt ist der Einfluss der Miller-Kapazität (C_M in Fig. 3.6.b), die der Kollektor-Basis-Kapazität von T_1 multipliziert mit der Spannungsverstärkung der Stufe entspricht. Da die Spannungsverstärkung derartiger Stufen durchaus in der Größenordnung 100 liegen kann, wird eine erhebliche Erhöhung der Eingangskapazität mit den in Kapitel 3.1 beschriebenen negativen Einflüssen wirksam.

Der Verstärker in Fig. 3.6.b vermeidet die Belastung des Kollektors, da ein Emitterfolger den Ausgang sowie den Rückkopplungswiderstand vom Kollektor des ersten Transistors entkoppelt. Die oben beschriebene Millerkapazität wird jedoch auch hier wirksam.

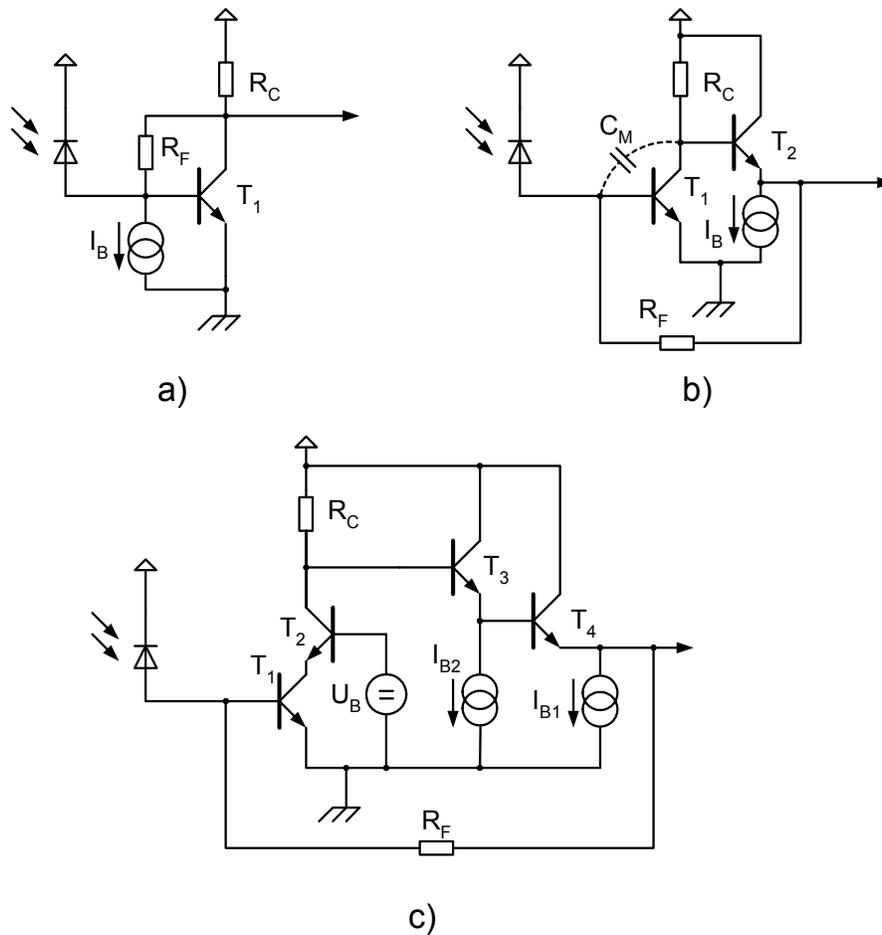


Fig. 3.6 : Varianten des Transimpedanzverstärkers für Bipolartechnologien

Wesentliche Vorteile bringt die Schaltung nach Fig. 3.6.c, welche eine Kaskodenschaltung mittels T_2 einführt. Der Transistor T_2 in Basisschaltung bewirkt eine Reduzierung der Leerlaufverstärkung des Transistors T_1 , wodurch die Miller-Kapazität C_M an diesem Transistor verkleinert wird. Der Transistor T_2 führt zwar zu einer geringfügigen Erhöhung der Rauschwerte, jedoch überwiegen die Vorteile der Schaltung. Um die Arbeitspunkte der beiden Eingangstransistoren einzustellen, werden am Ausgang der Stufe ein oder mehrere Emitterfolger benötigt, da ansonsten die Kollektorspannungen an T_1 und T_2 zu klein werden würden. Ferner ist bei dieser Variante zu beachten, dass hier natürlich aufgrund der Vielzahl der Verstärkerstufen (im Fig. 3.6.c beispielsweise vier Stufen) und der damit eingebauten Laufzeit (Phasendrehung) entsprechende Maßnahmen für die Stabilität getroffen werden müssen bzw. nur kleinere Bandbreiten erreicht werden [34][35][36][37].

3.2.2 Schaltungen in CMOS Technologie

Seit der Einführung von „deep-submicron“-CMOS-Technologien, also Technologien mit Strukturgrößen kleiner als ein Mikrometer, wurden zunehmend Hochfrequenzschaltungen in CMOS Technologien implementiert, wodurch dieses Thema natürlich auch für die optische Nachrichtentechnik interessant geworden ist. Obwohl CMOS-Transistoren grundsätzlich schlechtere Verstärkungseigenschaften als bipolare Transistoren haben, kann es doch günstig sein, Empfängerschaltungen in CMOS zu integrieren (siehe Einleitung). Grundsätzlich sind in den hochfrequenten CMOS-Analogstufen erheblich höhere Ströme als in vergleichbaren Bipolarschaltungen nötig, will man die notwendigen Verstärkungsbandbreiten und Rauscheigenschaften verwirklichen. Folgende Gleichungen für die Verstärkung (Steilheit) von Bipolar- und MOS-Transistor verdeutlichen den Unterschied.

Für die Steilheit des Bipolartransistors erhält man:

$$g_{m_{\text{Bip}}} = (I_E e) / (k T) \approx I_C / 26\text{mV}^* \quad (3.6)$$

I_E Emitterstrom
*) bei Raumtemperatur

Die Steilheit ist (abgesehen von ebenfalls wirksamen externen Emitterbahnwiderständen) unabhängig von der Transistorgröße. Daher kann man kleine Transistoren mit kleinen parasitären Kapazitäten verwenden.

Für die Steilheit eines MOS-Transistors ergeben sich die folgenden Zusammenhänge:

$$g_{m_{\text{MOS}}} = 2 I_D / (U_{GS} - U_T) = \sqrt{(2\mu C_{OX} I_D (W/L))} = \mu C_{OX} (U_{GS} - U_T) (W/L) \quad (3.7)$$

I_D Drainstrom
 U_{GS} Gate-Source-Spannung
 U_T Threshold-Spannung
 C_{OX} Oxid-Kapazität
 μ Beweglichkeit
 W Transistorweite
 L Transistorlänge

Man benötigt also bei MOS-Transistoren vergleichsweise hohe Ströme und/oder große Transistoren (große Transistorweite W) um vergleichbare Steilheiten zu erzielen. Große Transistorweiten erzeugen jedoch hohe kapazitive Belastungen und senken die Bandbreite. In der Literatur wird auch beim Vergleich MOS-Bipolar eingewandt, dass bei vergleichbarer Linearität vergleichbare Ströme aufgewendet werden müssen. Dies trifft bei gegengekoppelten Transimpedanzverstärkern nur begrenzt zu. Aufgrund der Gegenkopplung wird die Linearität eines Transimpedanzverstärkers selbst bei einer nicht linearen Leerlaufverstärkung wesentlich verbessert, zumal die Linearitätsanforderungen in digitalen Systemen nicht sehr hoch sind (Bedingungen für die Linearität in digitalen Systemen siehe Kapitel 2.1.5).

Man kann allerdings an anderer Stelle beim Einsatz von MOS-Technologien Vorteile erzielen, z.B. beim Einbau großer Logikblöcke und/oder kleinen Versorgungsspannungen. Ferner können bei kleinen und mittleren Bandbreiten mit CMOS-Eingangsstufen sogar günstigere Rauschwerte als mit Bipolarschaltungen erreicht werden [38], da bei MOS-Transistoren das Rauschen mit zunehmender Steilheit (Gleichung 3.7) kleiner wird und theoretisch beliebig klein werden kann, während beim Bipolartransistor das Schrotrauschen des Basis-Emitter-Stroms dominiert und mit zunehmendem Strom ansteigt.

Die in Fig. 3.6 gezeigten Schaltungen sind prinzipiell auch für MOS-Schaltungen geeignet, wenn man alle NPN- durch NMOS-Transistoren ersetzt. Natürlich sind die Eigenschaften der MOS-Transistoren bei der Dimensionierung zu berücksichtigen. Beispiele hierzu finden sich in der Literatur [39][40][41].

Eine Auswahl von speziell auf die Besonderheiten von CMOS-Technologien ausgelegten Schaltungen zeigt Fig. 3.7. Es wird hier vor allem auf die Einbeziehung der P-MOS-Transistoren Wert gelegt, welche einen Vorteil gegenüber Bipolartechnologien darstellen, da diese in der Regel nur NPN-Transistoren zur Verfügung stellen. Durch Einsatz der P-MOS-Transistoren können vor allem im Niederspannungsbereich Vorteile erzielt werden (z.B. beim Einsatz gefalteter Schaltungen).

Fig. 3.7.a zeigt einen einfachen CMOS-Inverter, welcher über den Widerstand rückgekoppelt wird. Dies stellt die einfachste Variante eines CMOS-Verstärkers dar. Vorteil ist neben der Einfachheit der Schaltung der geringe Spannungsbedarf (im Prinzip kann mit Betriebsspannungen bis in den 1-V-Bereich gearbeitet werden, wenn die Schwellspannungen der Transistoren entsprechend klein sind). Auch die Stabilitätseigenschaften sind bei dieser Variante gut, da die Leerlaufverstärkung nicht zu hoch ist. Dies ist, wie oben beschrieben, allerdings auch ein Nachteil, da damit der Eingangswiderstand erhöht wird. Des Weiteren wird keine Maßnahme zur Reduktion der Miller-Kapazität getroffen. Beispiele für diesen Verstärkertyp sind aus Veröffentlichungen [42][43] bekannt.

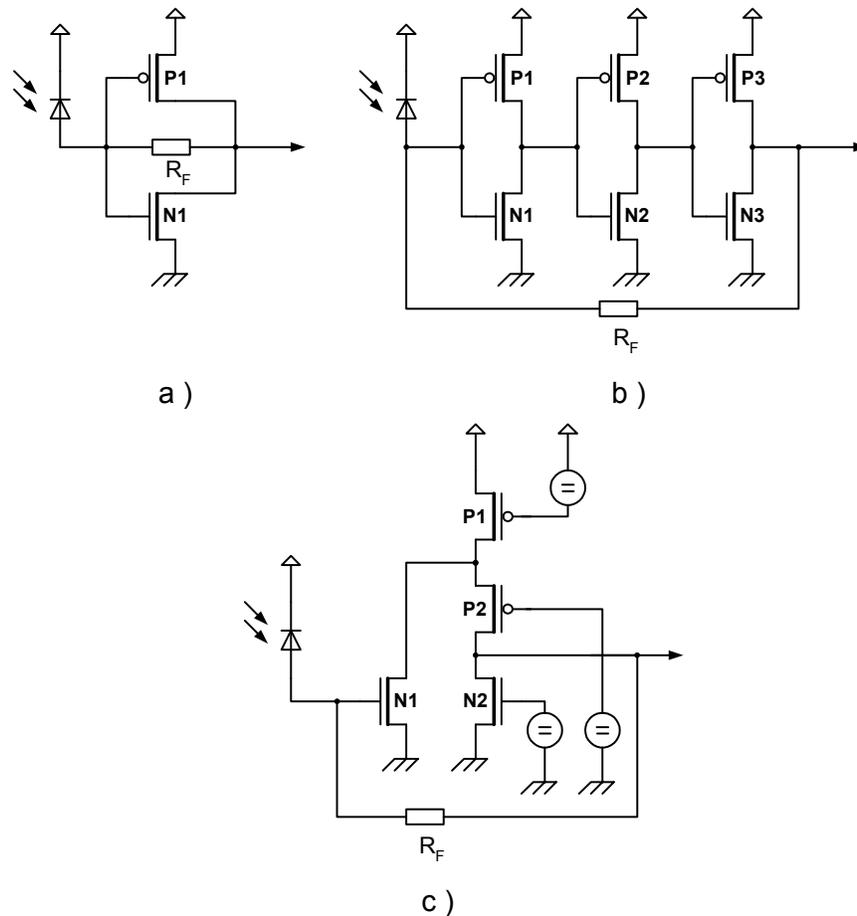


Fig. 3.7 : Varianten des Transimpedanzverstärkers in CMOS Technologie

Fig. 3.7.b bringt nun durch die Verwendung von mehreren Inverterstufen eine Erhöhung der Leerlaufverstärkung, was sich günstig auf den Eingangswiderstand und damit auf die erzielbare Bandbreite auswirkt. Der Hauptnachteil hier ist die mangelhafte Stabilität des Verstärkers, hervorgerufen durch die relativ hohe Verstärkung sowie die hohen Laufzeiten,

die eine große Phasendrehung hervorrufen. Deshalb werden beispielsweise zusätzliche Lastelemente an die Ausgänge der Inverter geschaltet, um die Bandbreite zu erhöhen und um die Verstärkung etwas zu reduzieren [44].

Ein anderer Weg wird mit der Schaltung Fig. 3.7.c eingeschlagen [45]. Dort wird eine Stromfaltung mittels eines P-MOS Transistors P1 und in Abwandlung der Kaskodenschaltung von Fig. 3.7.c die Kaskodenstufe mit einem P-MOS-Transistor P2 realisiert. Die Kaskodenstufe wirkt im Vergleich zu Fig. 3.6.c in die entgegengesetzte Polarität, weshalb diese Schaltung mit einer kleineren Versorgungsspannung arbeiten kann. Die Transistoren P1 und N2 sind als Stromquellen geschaltet, N2 stellt den Lasttransistor dar. Obwohl P-MOS-Transistoren schlechtere Eigenschaften als vergleichbare N-MOS-Transistoren haben (die Beweglichkeit μ der Löcher ist um etwa den Faktor 2-3 kleiner, daher ist die erreichbare Steilheit (Gleichung 3.7) und damit auch die Transitfrequenz (Gleichung A.2) kleiner), kann man mit diesem Schaltungsprinzip durchaus vernünftige Werte erreichen, zumal die P-MOS Transistoren hier nur als Stromquellen und Kaskoden genutzt werden. Vor allem bleibt der Pfad in Richtung kleine Versorgungsspannung offen, da diese Kaskodenstufe im Gegensatz zu der aus Fig. 3.6.c keine Erhöhung der Versorgungsspannung voraussetzt. Dieses Prinzip wurde für die Transimpedanzstufe der entwickelten Schaltung ausgewählt. Die detaillierte Behandlung dieser Stufe erfolgt deshalb in Kapitel 4.

3.2.3 Differentielle Transimpedanzverstärker

Alle bisher behandelten Verstärkertypen sind Eintaktverstärker. Es liegt nahe, auch differentielle Transimpedanzverstärker aufzubauen, da die differentielle Aufbauweise Vorteile bezüglich der Störsicherheit aufweist. Daher werden sie vor allem in hochbitratigen Anwendungen bevorzugt, wo es schwierig ist, auf dem Chip eine gute Störungsunterdrückung zu realisieren. Fig. 3.8 zeigt ein Beispiel für eine Schaltung [8][46], welche wegen der hohen Bitraten in Bipolartechnologie ausgeführt wurde (zum Zeitpunkt der Erstellung der Arbeit war kein derartiges Design in CMOS bekannt). Die in den vorhergehenden Kapiteln gezeigten Schaltungsmaßnahmen können grundsätzlich auch in Differenzverstärkern eingebaut werden, um die genannten Verbesserungen zu erzielen.

Es sollen allerdings auch die Nachteile bzw. (zutreffender) Unzulänglichkeiten aufgezählt werden: Ein wirklich differentielles Design verlangt natürlich eine differentielle Beschaltung aller Schaltungsteile, vor allem der empfindlichen Eingangsstufen. Damit eine hohe Gleichtaktunterdrückung („common mode rejection“) erreicht wird, muss die Eingangsstufe absolut symmetrisch beschaltet werden. Da differentielle Photodioden praktisch kaum zur Anwendung kommen, stößt der Einsatz der differentiellen Transimpedanzverstärker vor allem hier an seine Grenzen. Aus diesem Grund wird im Beispiel eine Dummy-Kapazität an den zweiten Eingang geschaltet (C_{DUMMY} in Fig. 3.8), welche möglichst gut der Kapazität C_{IN} des aktiven Eingangs entspricht. Die Kompensation gelingt natürlich nur bedingt. Idealerweise müsste man eine weitere „echte“, nicht beleuchtete Photodiode anschließen. Dies unterbleibt zumeist aus Kostengründen, zumal auch der mechanische Anschluss der Diode gleich sein müsste, damit die Parasiten wirklich identisch sind.

Ein zweiter Nachteil ist die halbierte Leerlaufverstärkung, da die Differenzstufe nur zur Hälfte genutzt wird. Dies hat eine Verdopplung des Eingangswiderstandes zur Folge. Drittens wird durch den Differenzweig ein erhöhtes Rauschen erzeugt, da der zweite Eingangszweig (T_2 , R_{F2} , R_{C2}) zwar Rauschen liefert, jedoch kein Signal erhält und verstärkt.

Weiterhin ist eine Offset-Stromkompensation erforderlich, damit der Verstärker immer symmetrisch angesteuert wird. Dies wird mit einer Regelschaltung (Regelverstärker mit einer entsprechenden Stromquelle (I_{OFFSET})) erreicht, welche die mittlere Spannung am Ausgang auf Null regelt.

Trotzdem kann es in bestimmten Fällen Sinn machen, ein derartiges Design zu realisieren, vor allem, wenn eine hohe Störspannungsunterdrückung erforderlich ist. Im nächsten Kapitel soll

daher auf ein Design eingegangen werden, welches einige der Vorteile nutzt und zudem auch eine differentielle Photodiode einsetzt.

In neuester Zeit sind für 40Gbit/s Systeme differentielle Photodioden mit integriertem optischen Powersplitter und echt differentiellem Stromausgang entwickelt worden. Sie eignen sich hervorragend für die Anwendung in Differenzverstärkern [47].

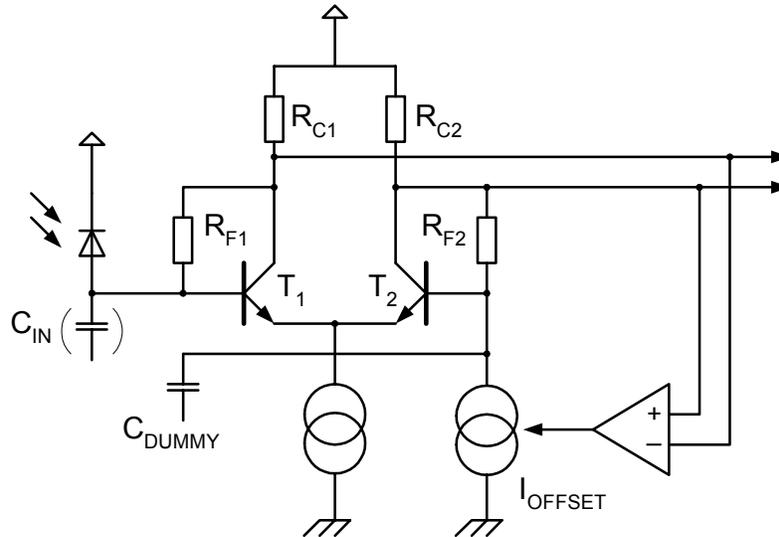


Fig. 3.8 : Differenzieller Transimpedanzverstärker

3.2.4 Beispiel eines differentiellen Designs mit monolithisch integrierter Photodiode

Verfügt man über eine Technologie auf Basis von III/V-Halbleitern, so kann man gute Photodioden zusammen mit dem Verstärker integrieren. Dies kann mit GaAs- (für 850nm Wellenlänge) oder InP-Technologien (für 1300nm bis 1500nm Wellenlänge) verwirklicht werden. Im nachfolgenden Beispiel [21] wurde auf einem Ga-As-MES-Fet Prozess ein sogenanntes PIN-Preamp-Design (PIN-Photodioden-Vorverstärker) realisiert. Die Photodiode ist eine Metal-Semiconductor-Metal-Photodiode (MSM) [48], die aus zwei gegeneinander in Serie geschalteten Schottky-Dioden besteht. Eine Diode wird in Flussrichtung, die andere in Sperrrichtung betrieben. Die in Sperrrichtung betriebene Diode arbeitet als Photodiode, die andere wird als Kontakt genutzt. Die Kontaktfinger der Schottky-Diode haben einen entsprechenden Abstand, damit sich zwischen ihnen eine geeignete Raumladungszone kleiner Kapazität ausbreiten kann, die für die Photonenabsorption genutzt werden kann. Ein Teil der photoempfindlichen Fläche wird allerdings durch die Kontakte selbst abgeschattet, welche das Substrat teilweise abdecken und die Empfindlichkeit reduzieren. Zu große Kontaktfingerabstände erhöhen die Laufzeit der generierten Ladungsträger und erfordern eine höhere Spannung für die Raumladungszone bzw. eine niedrigere Dotierung. Daher muss ein Kompromiss gefunden werden, um das Verhältnis von Fingerbreite zu Abstand für eine bestimmte Anwendung (Sperrspannung, Empfindlichkeit, Geschwindigkeit) zu optimieren. Die Realisierung einer derartigen Photodiode auf dem MES-Fet-Prozess erfordert keine weiteren Technologieschritte, als die sowieso schon vorhandenen. Sie stellt daher eine extrem kostengünstige Variante für die Implementierung eines PIN-Preamp-Designs dar. Ein weiterer Vorteil dieses Diodentyps ist, dass er absolut symmetrisch aufgebaut werden kann, wie aus dem Technologiequerschnitt in Fig. 3.9 zu erkennen ist.

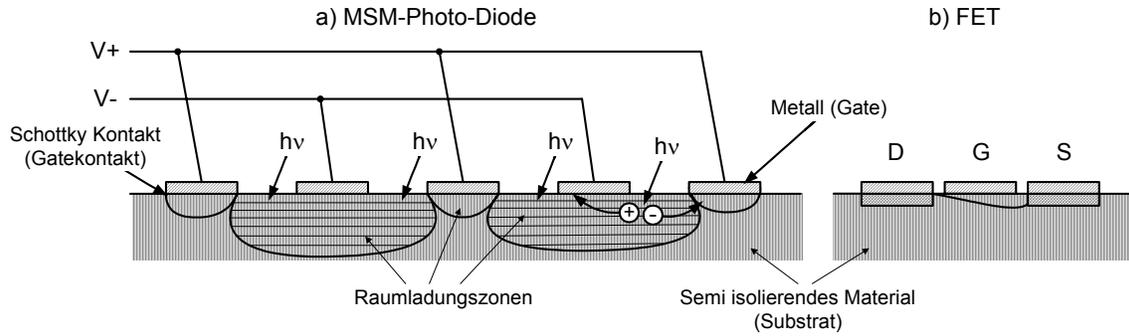


Fig. 3.9 : Technologie für monolithische Integration: a) Prinzipieller Aufbau der Metal-Semiconductor-Metal-Photo-Diode (MSM); b) Links zum Vergleich ein Feldeffekttransistor (MES-FET)

Trotzdem ist eine Reihe von schaltungstechnischen Maßnahmen erforderlich, damit dieses Design seinen vollen Wirkungsgrad entwickeln kann. Fig. 3.10 zeigt die Konzeption. Zunächst benötigt die MSM-Diode eine Vorspannung, damit der geforderte Wirkungsgrad und die Geschwindigkeit erreicht werden können. Dies ist bei einem direkten Anschluss der Diode an den Verstärker nicht möglich, weil die am Eingang anliegende Gleichspannung eines Differenzverstärkers normalerweise Null ist. Eine Lösungsmöglichkeit ist beispielsweise die kapazitive Kopplung der Ströme. Dies erfordert allerdings einen Kompromiss zwischen unterer Grenzfrequenz (Bedingungen siehe Kap. 2.1.3), d.h. der Größe der zu integrierenden Koppelkapazitäten (C_K) und der damit kapazitiven Belastung des Eingangs durch die erheblichen parasitären Kapazitäten (C_{Par}) dieser Koppelkapazitäten. Diese werden als Plattenkondensatoren (MIM, Metall-Isolator-Metall) ausgeführt. Die untere Elektrode hat daher eine verhältnismäßig große Kapazität zum Substrat. Da bei niederohmigen Verstärkereingängen große Koppelkapazitäten notwendig wären, ist im vorliegenden Fall eine Integration nur für Systeme sinnvoll, die eine gute Unterdrückung der unteren Frequenzbänder durch eine entsprechende Codierung besitzen.

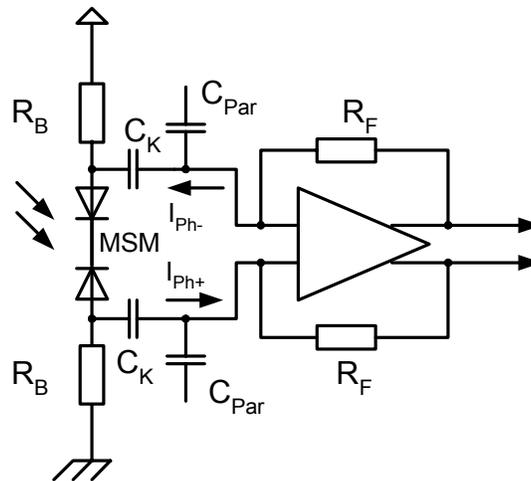


Fig. 3.10 : Differentieller Transimpedanzverstärker mit monolithisch integrierter Photodiode
Da die Photodiode zum Verstärker hin wechselstromgekoppelt ist, muss die Gleichstromzuführung für die Photodiode separat erfolgen. Dies ist im vorliegenden Fall über die Bias-Widerstände R_B gegeben. Sie müssen gegenüber dem Eingangswiderstand hochohmig sein, damit der Signalstrom der Photodiode möglichst in den Verstärker fließt, und nichtlinear, damit bei höheren Photoströmen (Dynamikbereich!) der Spannungsabfall an

der Photodiode nicht zu klein wird. Dies geschieht z.B. durch Parallelschalten einer Diode oder eines Transistors zum Widerstand R_B .

Damit vermeidet dieses Design die in Kap. 3.2.3 erwähnten Nachteile, nämlich die Asymmetrie der Photodiode und der Ansteuerung. Dieser Verstärker erhält an beiden Eingängen ein voll differentiell und damit verdoppeltes Photostrom-Signal (angedeutet durch die Strompfeile I_{PH+} und I_{PH-} in Fig. 3.10).

3.3 Regelungskonzepte

Moderne Empfängerschaltungen erfordern ein hohes Maß an Dynamik. Der Aussteuerungsbereich ist normalerweise so groß ist, dass die Schaltung die Signalvariation nicht mehr verarbeiten kann.

Bei einem Transimpedanzverstärker (z.B. Fig. 3.7c, aber auch andere gezeigte Schaltungen arbeiten in dieser Weise) fließt der gesamte Photodiodenstrom durch den Rückkopplungswiderstand R_F und damit auch über den Ausgangstristor N2 zur Masse. Das heißt, dieser Transistor muss mindestens mit einem Strom größer als der Eingangsstrom betrieben werden, damit der Photodiodenstrom verarbeitet werden kann. Ferner muss bei maximalem Eingangsstrom der Triodenbetrieb vermieden werden.

Vergrößert man jetzt den Eingangsstrom, verkleinert sich die Ausgangsspannung und damit die Drain-Source-Spannung von N2. Bei ungünstiger (zu kleiner) Dimensionierung oder zu hohem Eingangsstrom erreicht der Arbeitspunkt dieses Transistors den Triodenbereich. Dadurch wird die Bandbreite des Verstärkers reduziert, da die Leerlaufverstärkung sinkt. Bei weiterer Erhöhung des Eingangsstromes kann die Ausgangsspannung wegen des Triodenbetriebes nicht weiter sinken. Es fließt allerdings zunehmend weniger Strom im Ausgangspfad (P2), da der Eingangspfad (N1) wegen dessen ansteigender Gate-Source-Spannung (Spannungsabfall des Eingangsstromes an $N2-R_F$) übersteuert wird und Strom aus P2 abzieht. Der Gesamtstrom ist wegen der Stromquelle P1 konstant. Aus diesem Grund muss die Ausgangsspannung eines Transimpedanzverstärkers begrenzt werden, damit die Schaltung, innerhalb der eingestellten Arbeitspunkte bleibt. Für hohe Dynamikanforderungen werden daher Regelkonzepte erforderlich.

Folgendes Beispiel zeigt die erforderlichen Dimensionen: Ein Transimpedanzverstärker für eine Datenrate von 155MBit/s hat einen Transimpedanzwiderstand von $30k\Omega$. Der minimale Eingangsstrom beträgt aufgrund der Rauschgrenze ca. $100nA_{pkpk}$. Dies führt zu einer Ausgangsspannung von $3mV_{pkpk}$. Es sind jedoch auch Eingangsströme von $1mA$ entsprechend einer optischen Eingangsleistung im mW -Bereich vorgesehen, was zu einem (theoretischen) Ausgangspegel des Transimpedanzverstärkers von $30V$ führen würde. Derartige Verstärker können am Ausgang jedoch höchsten einige hundert mV verarbeiten. Deshalb müssen bereits vor oder im Transimpedanzverstärker Maßnahmen zur Signalregelung in einer Größenordnung von etwa $40dB$ (Faktor 100 im Signalpegel) ergriffen werden.

3.3.1 Einspeisung des DC Stromes am Eingang

Eine einfache Lösung für kleinere Dynamikanforderungen, die vielfach bei bipolaren Schaltungen höherer Frequenzen Anwendung findet, ist die Kompensation des Gleichanteils des Signalstromes. Dieser entspricht bei den üblichen Signalkodierungen dem Mittelwert des Signalstromes. Dadurch gewinnt man meist etwa den Faktor 2 ($3dB$ optisch) an Dynamik, da die Aussteuerung am Ausgang des Verstärkers jetzt symmetrisch um den Ruhearbeitspunkt erfolgt. Im Gegensatz dazu wird bei einer nicht kompensierten Schaltung (z.B. Fig. 3.6.b oder Fig. 3.6.c) nur in eine Richtung angesteuert.

Fig. 3.11 zeigt zwei Varianten einer derartigen Schaltung. In der Variante a) [49] wird mit einer Stromquelle der mittlere Photostrom I_{AVG} vom Signalstrom der Photodiode I_{Ph}

subtrahiert. An den Transimpedanzverstärker gelangt daher nur mehr der Wechselanteil I_{PhAC} des Signals. Dieser Strom wirkt nun jeweils mit halber Amplitude in positiver und negativer Richtung, dasselbe gilt für die Spannungsamplitude am Ausgang. Mittels eines Referenz-TIAs (= Dummy TIA, gleiche Schaltungsstruktur wie der TIA, jedoch üblicherweise mit kleinerem Versorgungsstrom arbeitend) kann man eine recht gute Referenzspannung für einen Regelverstärker erzeugen, welcher die Stromquelle nachregelt. Der Mittelwert der Differenzspannung am Ausgang der beiden TIAs ist daher im Ruhezustand gleich Null. Wird nun ein optisches Signal angelegt, versucht der Differenzverstärker diese Spannung auf Null zu regeln. Die Stromquelle wird auf den entsprechenden Wert (mittlerer Strom) ausgeregt, sodass der mittlere Eingangsstrom in den Verstärker Null ist.

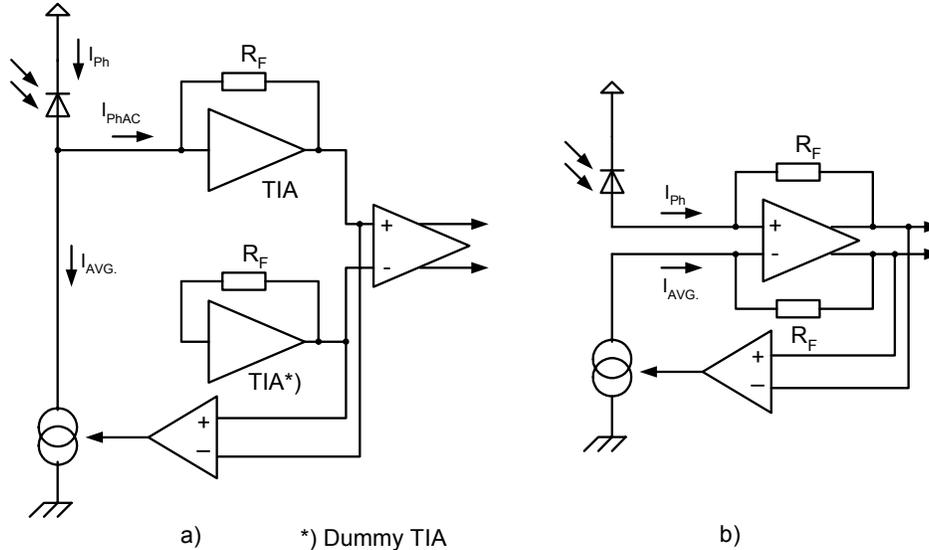


Fig. 3.11 : Schaltungsvarianten zur eingangsseitigen Gleichstromkompensation. a) Eintaktschaltung mit Referenzquelle („Dummy TIA“), b) voll differenzielle Schaltung

Die Variante b) [8] verwendet einen voll differentiellen Transimpedanzverstärker. Eine Stromquelle speist den Mittelwert des Signalstromes (I_{AVG}) in den negativen Eingang des differentiellen TIAs ein. Der mittlere differentielle Eingangsstrom ist auch hier gleich Null, damit wird wie in der Lösung a) der Verstärker im Ruhezustand gehalten und die Dynamik verbessert.

Die Zeitkonstante der Regelverstärker muss in beiden Fällen gleich groß oder größer als die Zeitkonstante der unteren Grenzfrequenz des Übertragungssystems sein, damit keine Signalbeeinträchtigungen entstehen. Ferner sind ggf. weitere Einflüsse von anderen Regelstufen zu berücksichtigen, damit keine kritischen Pole entstehen, die zu einer Schwingneigung des Verstärkers führen können.

3.3.2 Nichtlineares Lastelement für die Photodiode

Eine weitere Möglichkeit ist der Einbau eines nichtlinearen Lastelements für die Photodiode am Eingang. Dafür kommt eine Diode in Flussrichtung parallel zu einem Widerstand in Frage (Fig. 3.12). Bei kleinen Strömen wirkt nur der Widerstand, da der Spannungsabfall kleiner als die Flussspannung der Diode ist. Wird diese erreicht, wird die Diodenimpedanz von

$$R_D = k \cdot T / e \cdot I_{PhDC} \quad (3.8)$$

R_D differentieller Diodenwiderstand
 I_{PhDC} Gleichstromanteil des Photodiodestroms

wirksam. Bei $100\mu\text{A}$ sind dies bereits nur mehr 260Ω , ein Wert der in der Größenordnung des Eingangswiderstandes des TIAs liegt. Problematisch ist die AC-Kopplung wegen der schlechten Integrierbarkeit. Außerdem wird wegen der relativ großen parasitären Effekte die Eingangskapazität erhöht (siehe dazu auch Kapitel 3.2.4).

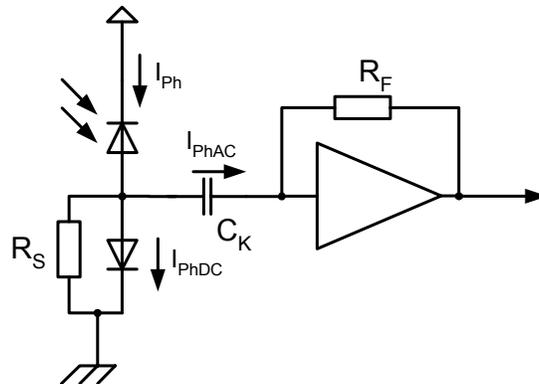


Fig. 3.12 : Dynamikverbesserung mit nichtlinearer Last am Eingang

Für eine bessere Integrierbarkeit ist eine DC-Kopplung erforderlich. Ohne den Koppelkondensator C_K ist demnach beispielsweise eine Regelung des Fußpunkts der Lastdiode erforderlich. Eine entsprechende Schaltung ist in Fig. 3.13 skizziert. Hier muss der Ausgang des Regelverstärkers niederohmiger als die gewünschte Impedanz des Lastelementes (Diode) sein. Der Regelverstärker sorgt dafür, dass die Eingangsgleichspannung am TIA der Ruhespannung entspricht. Somit erfolgt auch hier die Aussteuerung um den Ruhearbeitspunkt.

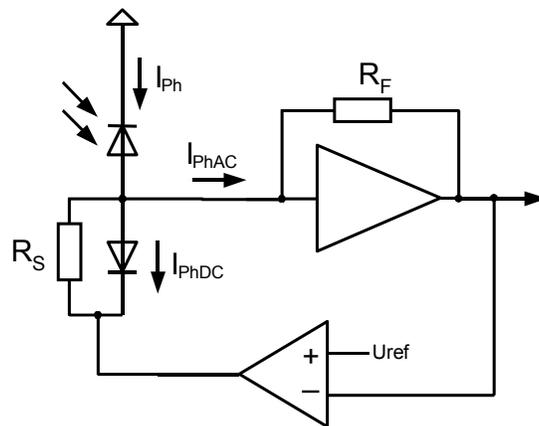


Fig. 3.13 Nichtlineare Eingangsimpedanz mit Fußpunktregelung

3.3.3 Regelung des Transimpedanzwiderstandes

Eine elegantere Methode besteht darin, den Transimpedanzwiderstand zu variieren [10][50]. Dies erfordert allerdings eine IC-Technologie, welche über MOS-Transistoren verfügt, also ein Design in CMOS- oder BICMOS-Technologie. Man schaltet parallel zum Rückkopplungswiderstand R_F einen MOS-Transistor, dessen Source-Drain-Widerstand über die Gatespannung gesteuert wird. Sorgt man nun dafür, dass über den Rückkopplungswiderstand R_F nur wenige hundert mV abfallen und sich der Transistor immer im Triodenbereich befindet, erhält man einen über die Gatespannung linear regelbaren Widerstand parallel zu R_F . Mit dem Rückkopplungswiderstand ändern sich leider auch die

dynamischen Verhältnisse des TIAs, d.h. die Stabilität nimmt mit kleiner werdendem Widerstand ab und führt u.U. zu unerwünschten Oszillationen. Darum ist man gezwungen, entweder in den Verstärker selbst einzugreifen, indem man z.B. auch die Leerlaufverstärkung entsprechend verkleinert oder eine variable Kompensationskapazität C_F parallel zum Rückkopplungswiderstand einbaut, welche allerdings dann in geeigneter Weise variiert werden muss (Fig. 3.14, siehe dazu auch die Betrachtungen im Kapitel 3.1; in den Kapiteln 4.1.3 und im Anhang B wird detailliert darauf eingegangen).

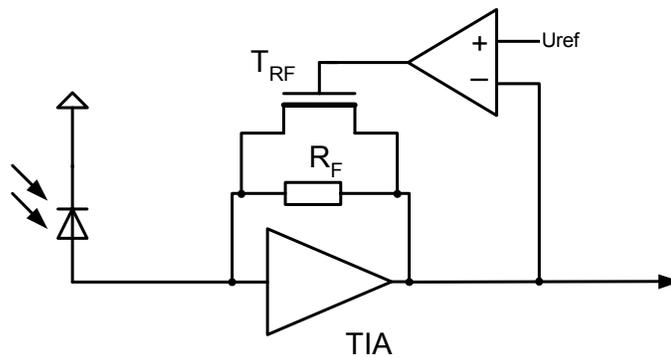


Fig. 3.14 : Regelung mit Shunt-Transistor parallel zum Rückkopplungswiderstand

4 Schaltungsdesign des CMOS Receiverbausteins

Im Folgenden wird die Entwicklung des CMOS-Receiver-Bausteins vorgestellt. Als Technologie wurde eine 0,35 μm Technologie der Fa. Infineon Technologies AG gewählt. Ausgewählte Daten der Technologie werden im Anhang A vorgestellt.

Zu Beginn der Entwicklung stand auch eine 0,25 μm Technologie zur Verfügung, zumindest in einem für einen Designstart brauchbarem Entwicklungsstadium. Aus folgenden Gründen hat sich aber die o.g. 0,35 μm Technologie als die sinnvollere Lösung herauskristallisiert:

- 3,3V Verträglichkeit (statt 2,5V bei 0,25 μm), damit wird auch ein einfacheres Design von 5V Schaltungen möglich; ESD-Zellen waren im Gegensatz zur 0,25 μm -Technologie für 3,3 und 5V verfügbar
- Fortschritt in der Technologieentwicklung (die Entwicklung der 0,35 μm -Technologie war weiter fortgeschritten)
- nur geringfügig kleineres f_t und f_{max} als bei der 0,25 μm Technologie (siehe auch Anhang A, Fig. A.3)
- geringere Kosten

Folgende Aufgabenstellung stellte sich am Anfang der Entwicklung:

- Integration eines kompletten optischen Empfängers mit Logik-Pegel-Ausgang („light-to-logic-receiver“),
- 3,3V und 5V Betrieb,
- hoher Dynamik Bereich,
- Betrieb mit Datenraten von 155MBit/s bis 1,25GBit/s,
- Temperaturbereich von -40°C bis 125°C (Sperrschicht-Temperatur).

Schaltungen mit den oben genannten Anforderungen und in dieser Komplexität sind meines Wissens bisher weder veröffentlicht worden, sieht man von Teilschaltungen ab, noch in einem kommerziell verfügbarem Design (weder in CMOS- noch in Bipolartechnologie) aufgebaut worden. Die wesentlichen neuen Schaltungsteile bzw. Systemkonzepte sind aus meiner Sicht:

- die erstmalig veröffentlichten schaltbaren Kompensationskapazitäten im Transimpedanzverstärker [51] und die damit erreichte sehr hohe Dynamik von 40dB(optisch) – 80dB(elektrisch) – im Eingangsverstärker,
- eine hohe Verstärkung auf dem Chip und die damit erreichte Isolation von Ausgang und Eingang, u.a. mit Hilfe der patentierten Verstärkungsbegrenzung [52],
- eine neue, patentierte LVDS-Ausgangsstufe [53],
- das mehrstufige Regelungskonzept (Amplituden- und zweistufige Offsetregelung)

Die folgenden Schaltungsteile sollten auf einem Chip mit möglichst kleiner Fläche bei geringem Versorgungsstrom und unter Verwendung von möglichst wenigen (bzw. keinen) externen Bauelementen integriert werden, vor allem sollten keine externen Koppelkondensatoren zur Anwendung kommen:

- Transimpedanzverstärker
- Nachverstärker (mit etwa 55dB Verstärkung)
- LVDS-Ausgangsstufe
- Amplitudenregelung
- Offsetregelung
- Signal Detect Schaltung
- Spannungsregler für konstante interne Versorgung für 3,3 bis 5V Betrieb
- Diverse Bias-Stufen zur Versorgung der Schaltung (Stromquellen, Bandgap, etc.)

Diese Schaltungsteile sowie das Systemkonzept werden in den nachfolgenden Kapiteln im Detail beschrieben.

4.1 Folded Cascode Transimpedanzverstärker

4.1.1 Schaltungsoptimierung

Für den Transimpedanzverstärker wurde eine „Folded Cascode“ Struktur gewählt [45], wie sie bereits in Kapitel 3.2.2 skizziert wurde. Die komplette Schaltung ist übersichtlich in Fig. 4.1 dargestellt, die Dimensionierung am Beispiel des 1,25GBit/s-Verstärkers kann aus Fig. 4.2 entnommen werden.

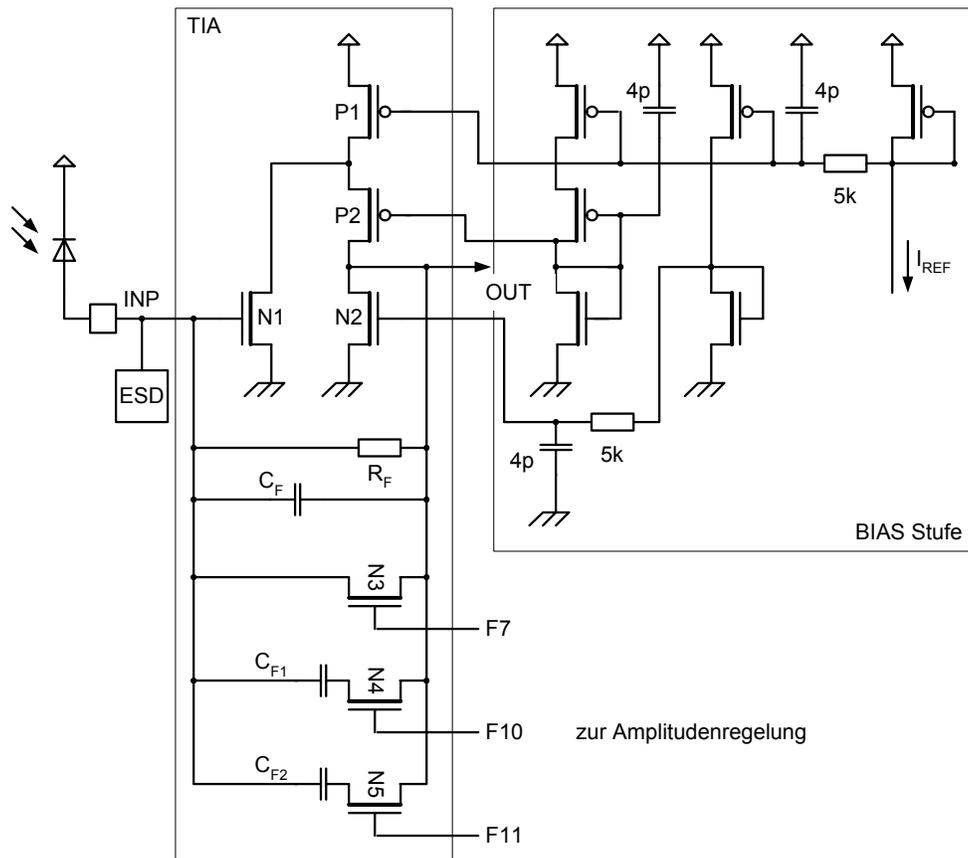


Fig. 4.1: Schaltung des Transimpedanzverstärkers im Überblick

Die eigentliche Verstärkerstufe des TIA in Fig. 4.1. besteht aus den Transistoren N1, P1, P2 und N2, wobei N für n-Kanal und P für p-Kanal Transistor steht. Der Eingang ist mit „INP“, der Ausgang mit „OUT“ bezeichnet. Durch den Einsatz der gefalteten Struktur kann erstens die Spannungsversorgung erniedrigt werden, zweitens kann im Vergleich zum Einsatz einer normalen Kaskode-Stufe (wie in Fig. 3.6c) auf Sourcefolger verzichtet werden, welche die Stromaufnahme wesentlich erhöhen und Laufzeiten einfügen würden (Stabilität!).

Wirkungsweise der Schaltung

Der Strom für beide Schaltungszweige N1 und N2 kommt aus der Stromquelle P1 und ist konstant. Ein Eingangsstrom der Photodiode erzeugt über den Rückkopplungswiderstand R_F einen negativen Spannungsabfall am Ausgang des TIAs. Der Photostrom fließt als zusätzlicher Strom in den Ausgangstransistor N2. Dieser Strom verschiebt nun die

Strombilanz im Verstärker. Er reduziert den Strom im Transistor P2, da der Transistor N2 seinen Drain-Strom zunehmend aus dem Rückkopplungswiderstand erhält. Gleichzeitig wird jedoch auch die Drain-Spannung des Transistors N2 erniedrigt. Dies bringt ihn tendenziell in den Triodenbereich, der Drainleitwert des Transistor N2 wird entsprechend größer. Die Gatespannung an N1 wird dadurch nicht mehr über die Gegenkopplung stabilisiert, sondern vom Spannungsabfall an R_F und N2 definiert. Dadurch entzieht auch der Transistor N1 der Ausgangsstufe N2-P2 zusätzlich Strom. All dies würde zu wesentlichen Änderungen der Eigenschaften des Verstärkers führen, unter anderem wegen der Abnahme der Leerlaufverstärkung und der Reduzierung der Wirkung der Kaskode-Stufe, weil N2 niederohmiger und die Kaskodenstufe P2 hochohmiger wird.

Daher ist für die Funktion der Stufe über den vollen Dynamikbereich die später beschriebene Begrenzung der Spannungsamplitude am Ausgang (Kapitel 4.1.3) sowie ein relativ hoher Grundstrom im Transistor N2 nötig, damit dieser immer in Sättigung bleibt.

Die Kaskode-Stufe mit ihrer niederohmigen Impedanz wird notwendig, da der Drain-Knoten N1/P1 relativ hochohmig und wegen der sehr großen Transistoren auch stark kapazitiv belastet ist. Ferner wird, wie bereits in Kapitel 3.2 beschrieben, die Miller Kapazität von N1 reduziert.

Dimensionierung

Die Dimensionierung wurde in folgender Weise durchgeführt: Im Ausgangspfad (N2, P2) des Verstärkers muss mindestens der maximal mögliche Eingangsstrom durch den Rückkopplungswiderstand zuzüglich eines Betriebsstromes für den Transistor P2 fließen, damit dieser auch bei maximalem Eingangsstrom in Sättigung bleibt. Dieser Strom wurde auf einen Wert von 4mA festgelegt, um einen Spitzeneingangsstrom von 2mA durch den Rückkopplungswiderstand R_F zu ermöglichen. Mit dieser Dimensionierung ergibt sich für N2 ein Drain-Widerstand von 2,7k Ω . Dies entspricht in erster Näherung dem Lastwiderstand X_{OUT} für den Verstärker, wie er in Fig. 3.2 modelliert wurde. Die Steilheit von P2 beträgt 17mS, was einer Eingangsimpedanz der Kaskodestufe von 59 Ω entspricht.

Über die Dimensionierung des Transistors N1 und dessen Strom, welcher über den Transistor (Stromquelle) P1 eingestellt wird, ergibt sich die Verstärkung der Stufe: bei einem noch vertretbaren Strom von 10mA und einer Transistorgröße W/L von 275 μ /0,35 μ ergibt sich eine Steilheit von 40mS. Die resultierende „open loop gain“ hat daher einen Wert von etwa 2,8k Ω *40mS \approx 100 (40dB). Der Drainwiderstand des Transistors P1 beträgt 480 Ω , ein zwar nicht ganz zu vernachlässigender Wert, jedoch im Vergleich zum Eingangswiderstand der Kaskode-Stufe (59 Ω) noch ausreichend groß.

Für die Verstärkung der Eingangsstufe des Transimpedanzverstärkers N1, P2 ergibt sich nun eine Verstärkung von etwa 2 ($g_{mN1}/g_{mP2} = 40/17 = 2,3$). Dies entspricht nicht ganz der optimalen Kompensation der Miller-Kapazität, stellt aber einen guten Kompromiss dar. Ansonsten wäre eine wesentliche Erhöhung der Stromaufnahme in der Kaskode-Stufe nötig gewesen. Größere Transistoren hätten mit ihren höheren kapazitiven Belägen die Bandbreite stärker beeinträchtigt.

Diese Dimensionierung wird für alle Datenraten gleich festgelegt. Die Rückkopplungswiderstände für die entwickelten Datenraten betragen:

1,25GBit/s	1,5k Ω
622MBit/s	5k Ω
155MBit/s	30k Ω

Stabilitätsbetrachtung

Parallel zum Rückkopplungswiderstand wird, wie bereits in Kapitel 3.1 beschrieben und im Anhang B (Gleichung B.30 – B.39) abgeleitet, eine Kapazität C_F benötigt, um die Stabilität des rückgekoppelten Verstärkers zu gewährleisten.

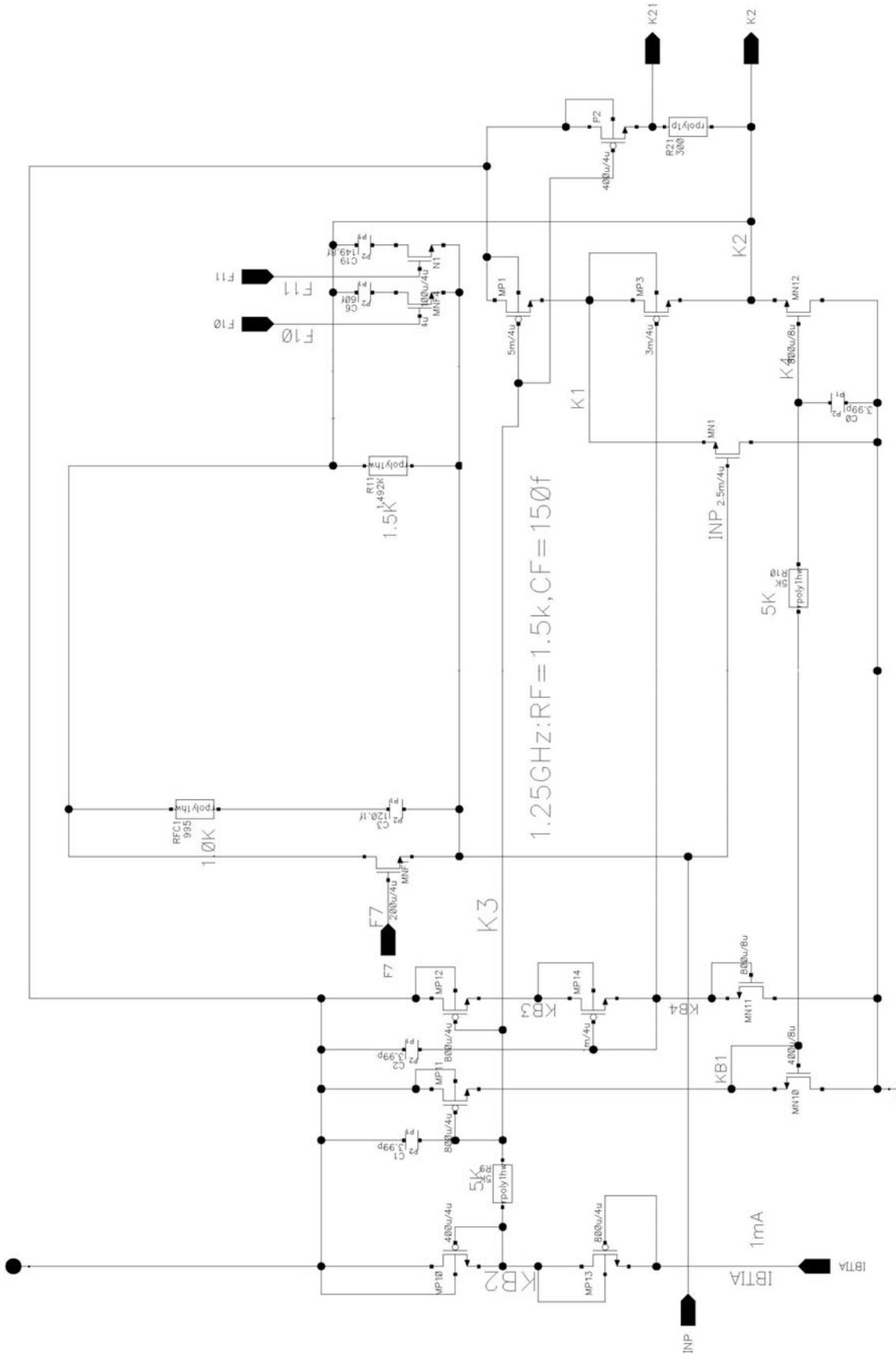


Fig. 4.2 : Folded Cascode Transimpedanz Stufe.

Fig. 4.3 zeigt im Bodediagramm die Simulation der Leerlaufverstärkung sowie den Phasengang der offenen Schleife über der Frequenz für die 1GBd-Variante. Die Simulation ohne Kompensationskapazität ($C_F = 0$) lässt die Instabilität der nicht kompensierten Schaltung deutlich werden. Bei einer Phasendrehung von 180° ist die Verstärkung noch größer eins (Markierung bei etwa 380MHz). Ein erster Pol wird durch Verstärker selbst hervorgerufen. Ein weiterer Pol entsteht durch den RC-Tiefpass R_F-C_{IN} der Rückkopplung bei etwa 100MHz ($f_{RFCIN} = 1/2\pi R_F C_{IN}$, mit $R_F = 1,5k\Omega$ und $C_{IN} = 1pF$). Da dieser Pol noch innerhalb des zu berücksichtigenden Frequenzbereichs liegt, muss er kompensiert werden. Dies geschieht mit der oben erwähnten Kompensationskapazität C_F in Fig. 4.1, welche damit den Phasengang entsprechend verändert.

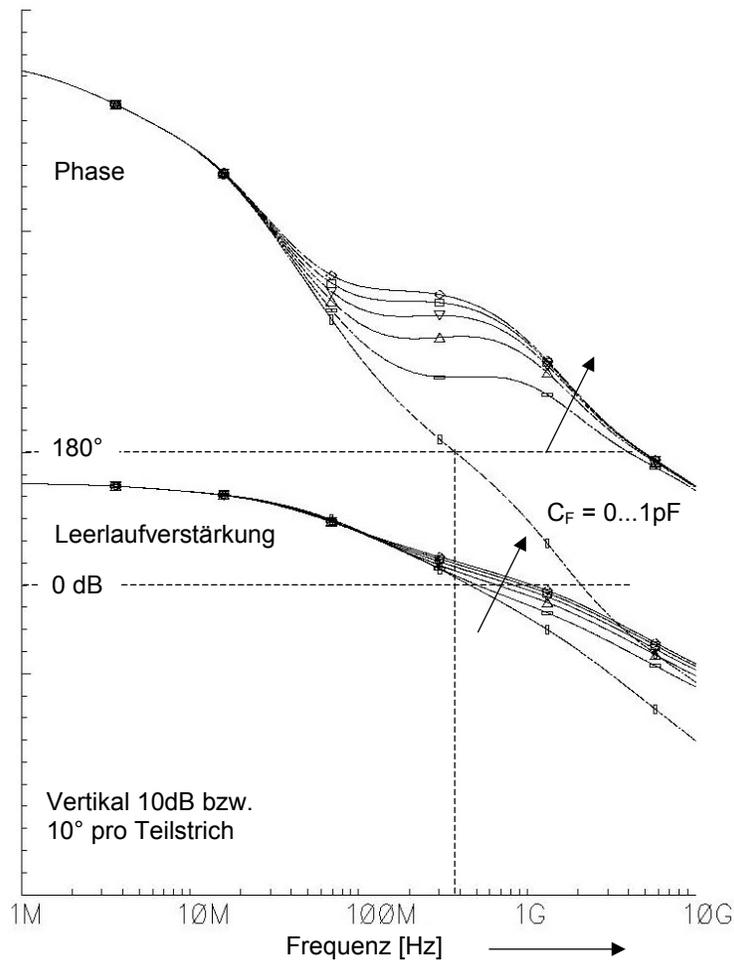


Fig. 4.3 : Bodediagramm der Folded Cascode Stufe mit der Kompensationskapazität C_F (C_3 aus Fig. 4.2) von 0 bis 1pF als Parameter, unterste Kurve jeweils ohne Kapazität.

In Fig. 4.3 erkennt man, dass für einen Wert von 200fF ein „vernünftiger“ Phasenrand von ca. 40° entsteht. Weitere Pole sind für die Stabilität unkritisch, da sie außerhalb des zu betrachtenden Frequenzbereiches liegen.

Die Optimierung des Verstärkers wurde allerdings mittels der Transientenanalyse durchgeführt, wobei die Augenöffnung in horizontaler und vertikaler Richtung das Design-Kriterium war. Dies führt in der Regel zu genaueren Ergebnissen. Die Simulation des Stabilitätsbereiches des Verstärkers sollte die in Kapitel 3 aufgestellte Theorie am praktischen Beispiel bestätigen. Die Ergebnisse der Transientensimulation sind in

Fig. 4.4 zu sehen. Fehlt die Kompensationskapazität (Kurve mit 0fF), erkennt man die Schwingneigung (bzw. die nicht abklingende Oszillation). Bereits mit einer sehr kleinen Kapazität von 50fF wird die Schaltung stabil. Das Optimum der Pulsform wird bei etwa 150fF erreicht. Mit dieser Kapazität wurde das Augendiagramm in Fig. 4.5 simuliert. Die Pulsantworten und das Augendiagramm zeigen einen nicht ganz aperiodischen Einschwingvorgang. Ein leichtes Überschwingen verbessert in der Regel die Augenöffnung.

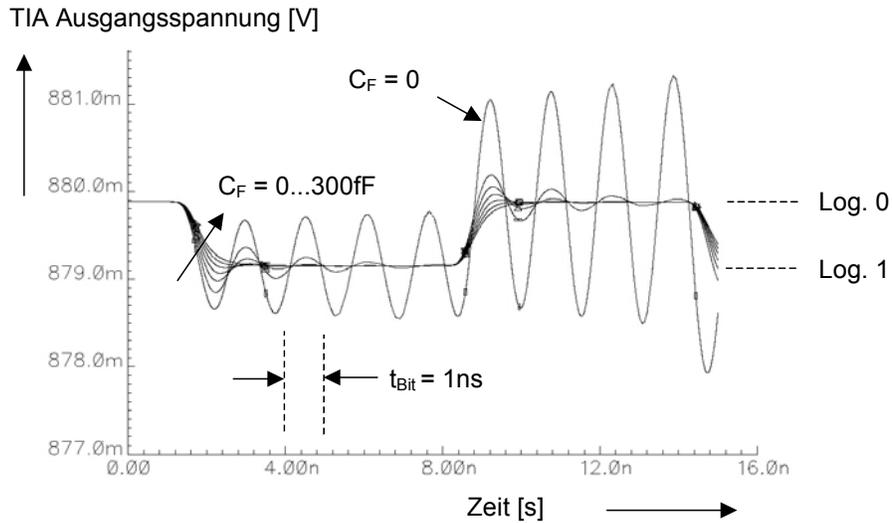


Fig. 4.4 : Einschwingverhalten des Transimpedanzverstärkers; Ausgangssignal für die Kompensationskapazitäten C_F von 0 bis 300fF in 50fF Stufen.

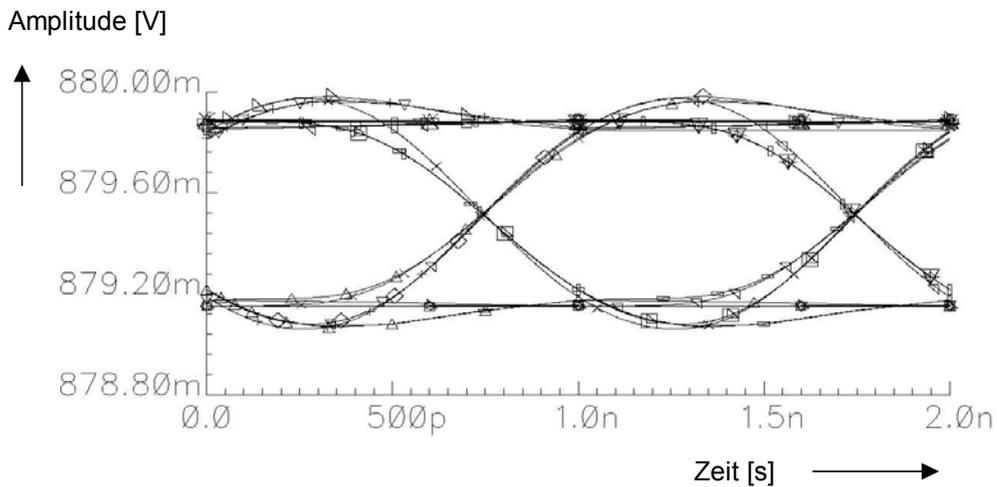


Fig. 4.5 : Augendiagramm des Transimpedanzverstärker-Ausgangssignals mit einer Kompensationskapazität von $C_F = 150\text{fF}$

Parallel zu R_F sind der Regeltransistor N3, welcher die Transimpedanz regelt, und die weiteren Kompensations-Kapazitäten C_{F1} , C_{F2} und deren Schalter N4, N5 eingefügt. Die Dimensionierung dieser Komponenten ist in Kapitel 4.1.3 beschrieben.

Die in Fig. 4.1 dargestellte Bias-Stufe des Transimpedanzverstärkers sorgt mittels eines Netzwerkes von Stromspiegeln für die nötigen Arbeitspunkte im Verstärker. Man beachte, dass zusätzlich RC-Glieder ($5\text{k}\Omega$, 4pF) eingebaut wurden. Diese sorgen für einen hochfrequenten Kurzschluss der entsprechenden Gate-Spannungen und erhöhen damit die Bandbreite der Stromquellen. Die Auswirkung auf die Bandbreite zeigt Fig. 4.6 am Beispiel der Stromquelle P1. Diese Tiefpässe reduzieren auch das Rauschen, das durch die

Stromspiegel induziert wird (siehe Kapitel 4.1.2), und verhindern ein Übersprechen auf die anderen Stromquellen.

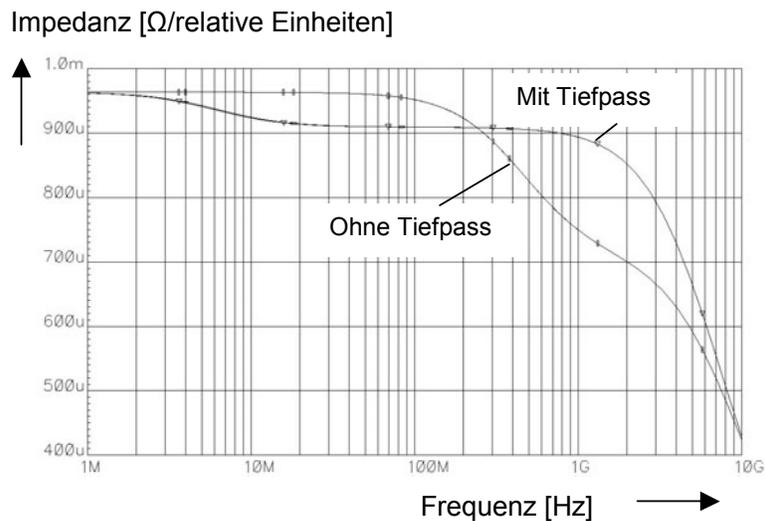


Fig. 4.6: Betrag der Stromquellenimpedanz mit und ohne Tiefpass am Gate

4.1.2 Rauschverhalten

Das prinzipielle Rauschverhalten wurde schon in vorangegangenen Kapiteln behandelt. Hier soll nun anhand quantitativer Simulationen das Rauschverhalten des realisierten Verstärkers dargestellt werden. Das Rauschmodell der Einzeltransistoren wird im Anhang A beschrieben.

Beschreibung der Rauschsimulationen für den TIA (Fig. 4.7 bis Fig. 4.9):

- Fig. 4.7 zeigt das Ausgangsrauschen (Rauschspannungsquadrat) der nicht gegengekoppelten Verstärkerstufe, also das Rauschen der Transistoren im Verstärker ohne den Rückkopplungswiderstand R_F . Zu kleineren Frequenzen ($< 1\text{MHz}$) hin ergibt sich ein leichter Anstieg durch das $1/f$ Rauschen.
- In Fig. 4.8 ist das Ausgangsrauschen der gegengekoppelten Verstärkerstufe dargestellt. Variiert wurde der Rückkopplungswiderstand R_F von 1 bis $2\text{k}\Omega$. Zum Vergleich ist auch das Grundrauschen eines $1,5\text{k}\Omega$ -Widerstandes eingezeichnet. Wie man hier sieht, ist im mittleren Bereich (zwischen 10 und 100MHz) fast ausschließlich das Widerstandsrauschen wirksam, da, wie bereits gezeigt, das Verstärkerrauschen mit der Leerlaufverstärkung verkleinert wird (siehe Kapitel 3.1, Anhang B). Zu kleinen Frequenzen hin wird das Rauschen nicht mehr genügend unterdrückt, ferner wird das $1/f$ Rauschen dominanter. Bei Frequenzen größer 100MHz reduziert die Zeitkonstante $\tau_{\text{RFCIN}} = R_F \cdot C_{\text{IN}}$ (Gleichung 3.2) die Gegenkopplung und das Rauschen steigt proportional zur Frequenz an. Bei etwa 1GHz ist die Gegenkopplung praktisch aufgehoben, das Rauschen entspricht dem Ausgangsrauschen der nicht geschlossenen Schleife bei 1GHz (Fig. 4.7) und beträgt etwa $10^{-16}\text{V}^2/\text{Hz}$.
- Fig. 4.9 stellt das Ausgangsrauschen der gegengekoppelten Verstärkerstufe mit Variation der Eingangskapazität dar. Man sieht die Variation in der Frequenzüberhöhung bei ca. 1GHz . Die Fläche (Integral des Rauschens) unter der Kurve erhöht sich signifikant mit der Erhöhung der Eingangskapazität und verschiebt sich zu kleineren Frequenzen hin. Dies führt zu einer Verringerung der Empfindlichkeit.

Spektrale Rauschleistung [V^2/Hz]

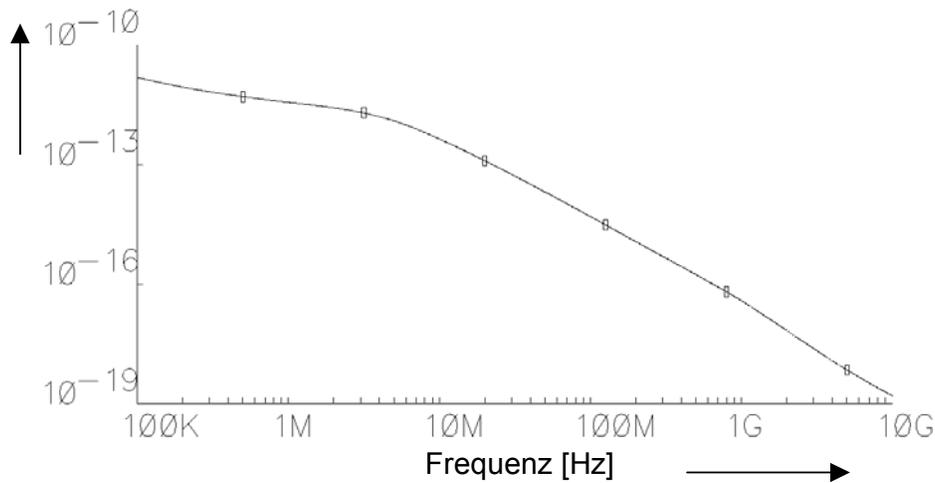


Fig. 4.7 : Ausgangsrauschen der nicht gegengekoppelten Verstärkerstufe

Spektrale Rauschleistung V^2/Hz

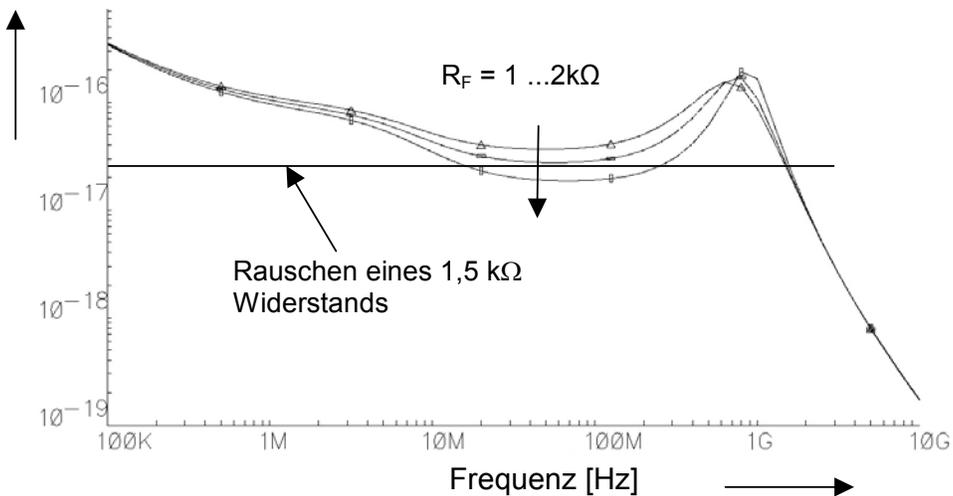


Fig. 4.8 : Ausgangsrauschen der gegengekoppelten Verstärkerstufe mit Variation der Gegenkopplungswiderstände von 1, 1,5 und 2kΩ (unterste Kurve)

Aus der Fig. 4.8 oder Fig. 4.9 kann man grob eine mittlere Rauschleistung von $10^{-16} V^2/Hz$ ablesen, umgerechnet auf 1 GHz Bandbreite ist dies etwa eine Rauschspannung von $320 \mu V_{eff}$. Dies entspricht, gerechnet mit der Transimpedanz von $1,5k\Omega$, einem äquivalenten Eingangsrauschen von $210 nA_{eff}$. Bei einem Signalrauschabstand von $S/N = 7$ für eine Fehlerrate von 10^{-12} (Gleichung 2.2) und der erforderlichen Korrektur mit dem Faktor 2 wegen der Ungenauigkeit des Rauschmodells im Arbeitspunkt (siehe Anhang A, Technologiedaten) errechnet sich eine theoretische Empfindlichkeit von $3,7 \mu A_{eff}$. Dies entspricht bei einer Effektivität der Photodiode von $0,8 A/W$ einer optischen Eingangsleistung von $-24,3 dB$. Diese Rechnung stellt nur eine sehr grobe Abschätzung dar, da die genaue Berechnung der Empfindlichkeit sehr komplex ist [13]. Sie setzt unter anderem u. a. die Bewertung der Signalpulsform, die genaue wirksame Rauschbandbreite sowie den Frequenzgang des Rauschens voraus. In diesem Fall ist dies nicht ganz einfach zu berechnen, weil die Funktionen Tiefpass und Amplitudenentscheidung nicht diskret vorliegen, sondern

nur ein unscharfer Übergang vom analogen zum digitalen Signal erfolgt. Zudem war das Rauschmodell des Transistors nicht sehr ausgereift. Trotzdem wurde mit dem so abgeschätzten Wert eine relativ genaue Übereinstimmung zu den Messungen erreicht (siehe Kapitel 5).

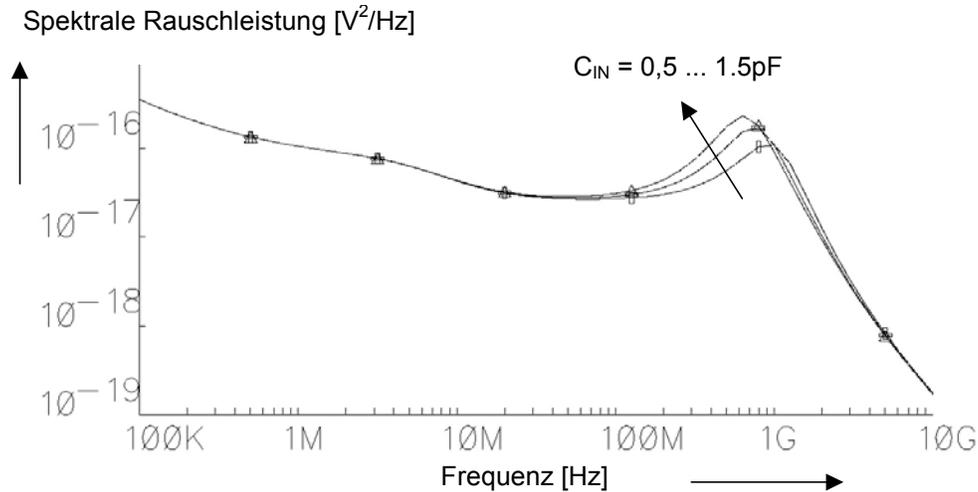


Fig. 4.9 : Ausgangsrauschen der gegengekoppelten Verstärkerstufe mit $R_F = 1.5k\Omega$ und Variation der Eingangskapazität von 0.5pF, 1pF und 1.5pF (obere Kurve)

Rauschbeitrag der Stromspiegel

Wie bereits angedeutet, würden die Stromspiegel erhebliches Rauschen in den Verstärker induzieren. Folgende Rechnung am Beispiel des Transistors P1 (Fig. 4.1) und des zugehörigen Stromspiegeltransistors der Bias-Stufe verdeutlicht dieses (MP10, MP1 in Fig. 4.2, vereinfachte Darstellung in Fig. 4.10).

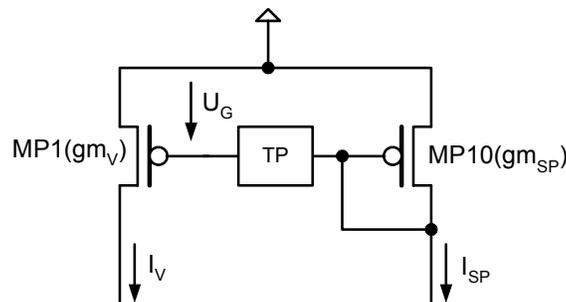


Fig. 4.10: Rauschen der Stromspiegel (TP=Tiefpass)

Das Rauschen $\langle i_{SP}^2 \rangle$ des Stromspiegeltransistors (MP10) beträgt unter Vernachlässigung der Kurzkanal- und parasitären Effekte entsprechend des Rauschmodells nach Gleichung A.4:

$$\langle i_{SP}^2 \rangle = \frac{8}{3} kT (g_{m_{SP}} + g_{d_{SP}} + g_{m_{b_{SP}}}) \approx \frac{8}{3} kT g_{m_{SP}} \quad (4.1)$$

- $g_{m_{SP}}$ Steilheit des Stromspiegeltransistors MP10
- $g_{m_{b_{SP}}}$ Steilheit des Bulkeffektes im Stromspiegeltransistors MP10
- $g_{d_{SP}}$ Drainleitwert des Stromspiegeltransistors MP10

Hieraus resultiert ein Rauschen der Gatespannung $\langle u_G^2 \rangle$ für den Transistor MP1 (unter Vernachlässigung der g_{d-} und $g_{m_{b-}}$ -Werte) von

$$\langle u_G^2 \rangle = \langle i_{SP}^2 \rangle / g_{m_{SP}}^2 = 8/3 kT / g_{m_{SP}} \quad (4.2)$$

Diese Rauschspannung induziert einen zusätzlichen Rauschstrom $\langle i_{VZ}^2 \rangle$ im Transistor MP1 von

$$\langle i_{VZ}^2 \rangle = \langle u_G^2 \rangle * g_{m_V}^2 = \langle i_{SP}^2 \rangle * g_{m_V}^2 / g_{m_{SP}}^2 = 8/3 kT * g_{m_V}^2 / g_{m_{SP}} \quad (4.3)$$

g_{m_V} Steilheit des Transistors MP1 im Verstärker

Setzt man nun die Verstärkung des Stromspiegels $g_{m_V}/g_{m_{SP}} = V_{SP}$, erhält man für den gesamten Rauschstrom im Transistors MP1

$$i_V^2 = 8/3 kT g_{m_V} \sqrt{(1 + V_{SP}^2)} \quad (4.4)$$

Da die Stromspiegelverstärkung bei größer 10 liegt, ergäbe sich eine erhebliche Verstärkung des Rauschstroms in MP1, würde man nicht die Einkopplung aus den Stromspiegeln reduzieren. Durch die erwähnten Tiefpässe kann man in weiten Frequenzbereichen die Rauschspannung $\langle u_G^2 \rangle$ unterdrücken. Die Stromspiegelverstärkung wird frequenzabhängig:

$$V_{SP}(\omega) = V_{SP0}/(1+j\omega RC) \quad (4.5)$$

4.1.3 Regelung der Transimpedanz

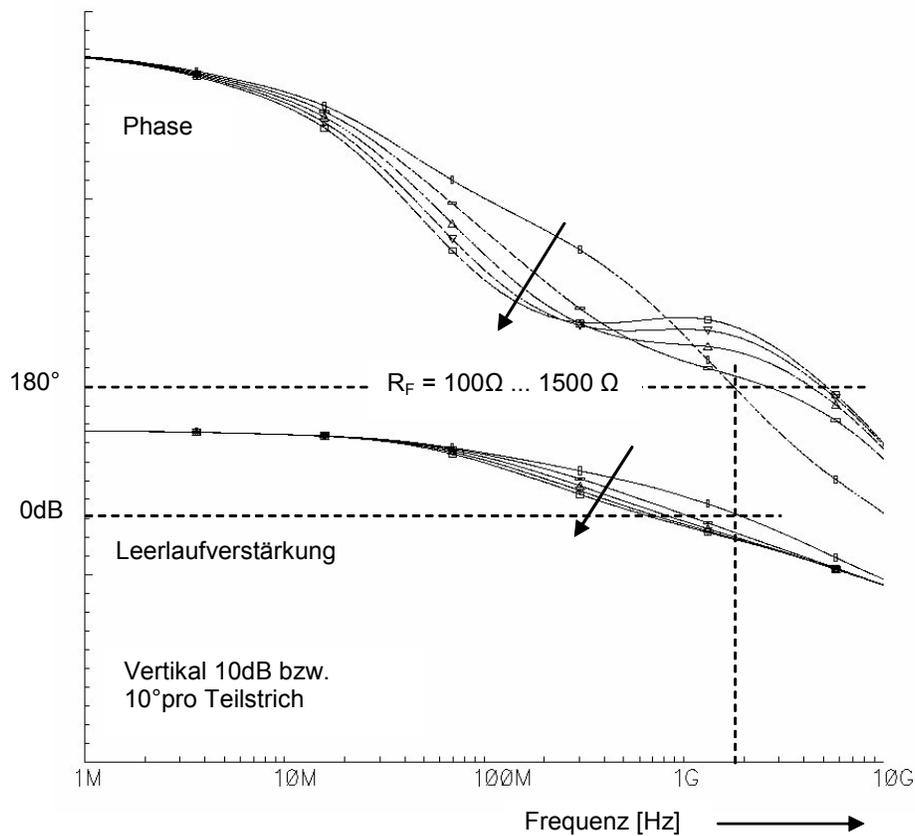


Fig. 4.11: Bodediagramm der Folded Cascode Stufe; der Rückkopplungswiderstand R_F wurde von 100 bis 1500Ω variiert, $C_F = 150fF$ (konstant)

Wie bereits in Kapitel 4.1.3 angedeutet, ist wegen der erforderlichen hohen Dynamik eine Regelung nötig. Dafür wurde das Konzept der regelbaren Transimpedanz (und des damit regelbaren Rückkopplungswiderstandes R_F) ausgewählt, da es den größten Dynamikbereich überdecken kann. Dies ist bereits aus früheren Veröffentlichungen bekannt [50]. Im Vergleich dazu wurde eine extrem hohe Dynamik von bis zu 40dB (optisch) erreicht (entsprechend dem Faktor 10000 für den 155MBit/s Empfänger) und eine Kompensation mittels variabler Rückkopplungskapazitäten durchgeführt [51].

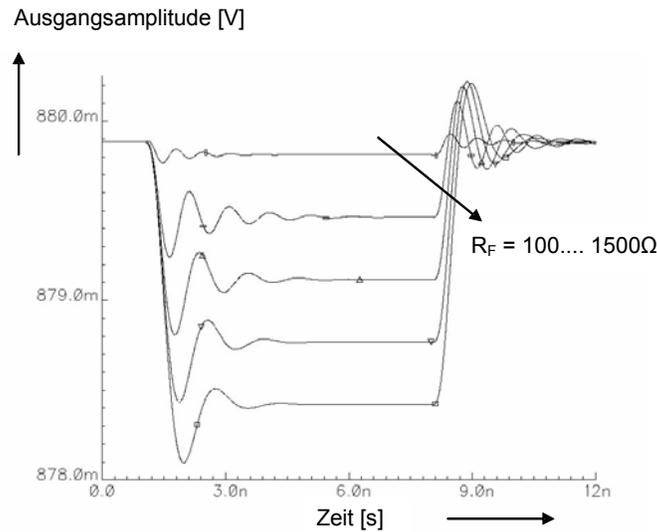


Fig. 4.12: Einschwingverhalten des Transimpedanzverstärkers; Ausgangssignal für die Rückkopplungswiderstände R_F von 100 bis 1500 Ω in 350 Ω -Stufen.

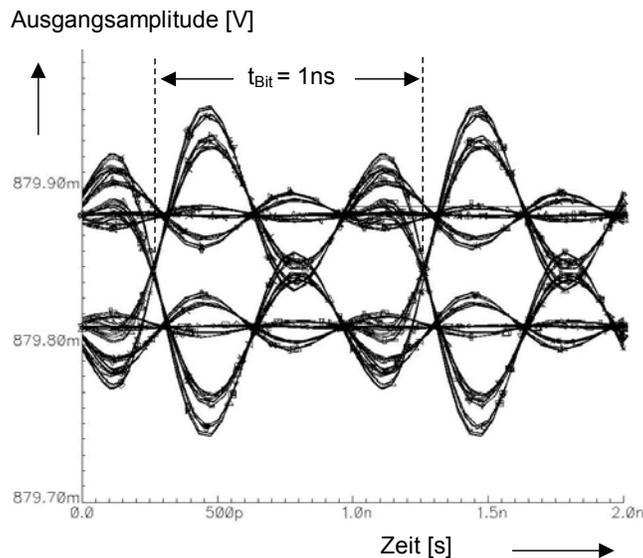


Fig. 4.13: Augendiagramm für den Transimpedanzverstärker mit $R_F = 100\Omega$ bei einer für $R_F = 1500\Omega$ optimierten Kompensation

Bei einer Verkleinerung des Rückkopplungswiderstandes kann sich die Übertragungsfunktion des Transimpedanzverstärkers und damit sein Einschwingverhalten erheblich verschlechtern. Dies legen die Gleichungen im Anhang B (B.30 ff.) nahe: die Pol-Nullstellenkompensation wird mit abnehmendem Rückkopplungswiderstand zunehmend ungünstiger. Fig. 4.11 zeigt das Bodediagramm der offenen Schleife mit variablem Rückkopplungswiderstand bei

konstanter Kompensationskapazität. Bei einem Rückkopplungswiderstand $R_F = 100\Omega$ kommt man zumindest der Stabilitätsgrenze sehr nahe (Markierung bei ca. 2GHz in Fig. 4.11). Ein mit abnehmendem Rückkopplungswiderstand verringerter Phasenrand lässt eine zunehmende Schwingneigung, wenn auch in diesem Fall keine Oszillation, erwarten. Die Sprungantwort in Fig. 4.12 zeigt dies. Mit abnehmendem Rückkopplungswiderstand nehmen die Überschwinger („ringing“) im Verhältnis zur Signalamplitude zu. Sie werden bei kleinen Rückkopplungswiderständen zu groß und führen zu erhöhtem Jitter und erheblicher Reduzierung der Augenöffnung. Der „worst case“ mit einem Rückkopplungswiderstand von 100Ω ist zur Verdeutlichung auch als Augendiagramm in Fig. 4.13 dargestellt. Die Unterschwinger in der Mitte des Bits überschreiten die Schwelle (50%-Amplitude des Signals) und machen damit eine fehlerfreie Übertragung unmöglich.

Eine stabileres Verhalten wäre wie z.B. mit der in [10] beschriebenen Absenkung der „open loop“ bzw. „closed loop“ Verstärkung bei kleiner werdendem Rückkopplungswiderstand zu erzielen. Dies würde allerdings auch bei der maximalen Verstärkung im empfindlichsten Bereich eine Beeinträchtigung des Verstärkers herbeiführen, da unvermeidliche parasitäre Elemente, z.B. ein geregelter Source-Widerstand im ersten Transistor, nie ganz auf Null geregelt werden könnte.

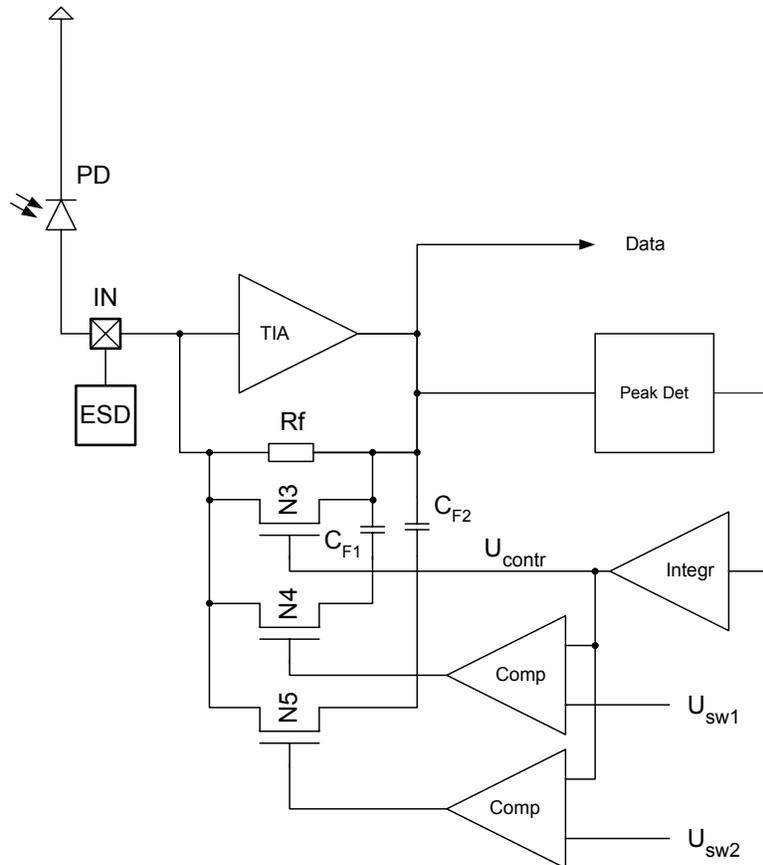


Fig. 4.14 : Skizzierung des TIA-Regler-Konzeptes mit neuer Kompensationsmethode

Aus diesem Grund wurde eine regelbare Kapazität parallel zu R_F in Erwägung gezogen. Würde man nun z.B., wie etwa bei spannungsgesteuerten Oszillatoren (VCOs), einen Varaktor verwenden, müsste man mit Festkapazitäten die zur Regelung erforderliche Gleichspannung vom Verstärker abkoppeln. Dies könnte nur mit im Verhältnis zur Kompensationskapazität großen Kapazitäten erfolgen. Integrierte Kapazitäten haben auf dem Chip allerdings eine große parasitäre Kapazität zum Substrat und belasten daher empfindliche Knoten des Verstärkers (z.B. den Eingang oder auch den hier relativ hochohmigen Ausgang). Die Folge wären erhebliche Empfindlichkeitsverluste und Stabilitätsprobleme. Ferner ist der

nötige Durchstimmbereich nicht auf einfache Weise zu erzielen. Auch wäre damit eine Einkopplung des Stromrauschens des Varaktors verbunden, was die Empfindlichkeit reduzieren würde. Aus diesen Gründen wurde ein Konzept mit zuschaltbaren Festkapazitäten (Poly-Poly-Kapazitäten) entwickelt.

Fig. 4.14 zeigt das Konzept der Schaltung. Eine Spitzenwerterfassung („peak detect“) ermittelt den Spitzenwert des TIA-Ausgangssignals. Über den Integrator, der dieses Signal weiter filtert, wird eine Gleichspannung für den Transistor N3 erzeugt. Durch diese Rückkopplungsschleife wird das Ausgangssignal auf ca. $200\text{mV}_{\text{pkpk}}$ konstant gehalten, jedenfalls für Eingangsleistungen des TIAs, die eine größere Spannung als diese generieren würden. Mittels des Transistor N3 (MNF1 in Fig. 4.2) wird damit bei den maximal zulässigen Eingangsleistungen von größer 1mW eine Verkleinerung des Rückkopplungswiderstandes auf etwa 100Ω erreicht. Der Transistor N3 (bzw. MNF1 in Fig. 4.2) hat eine Größe W/L von $22\mu\text{m}/0,35\mu\text{m}$. Bei Ausgangsspannungen kleiner 200mV ist die Schaltung nicht aktiv. Es wirken allerdings die parasitären Kapazitäten der für die Regelung und Kapazitätssteuerung vorgesehenen Bauteile. Diese sind allerdings verhältnismäßig klein und vernachlässigbar.

Der eigentliche Regeltransistor N3 wird mittels der Spannung U_{contr} gesteuert. Diese Spannung ist korreliert mit dem Wert des Kanalwiderstandes von N3 und damit in etwa mit der Transimpedanz. Bei bestimmten Werten dieser Spannung U_{contr} wird ein definierter Kapazitätswert dem Widerstand R_F zusätzlich parallel geschaltet. Dieser ist so bemessen, dass sich für den jeweils eingestellten Widerstandswert R_F die richtige Kompensation ergibt. Der Serienwiderstand der Schalttransistoren ist vernachlässigbar. Ursprünglich wurden bis zu vier Schalttransistoren und entsprechende Kapazitäten eingebaut. Es hat sich jedoch herausgestellt, dass zwei Schalter genügen, um die Stabilität im gewünschten Dynamikbereich zu gewährleisten. Die Schalttransistoren N4 und N5 haben eine Größe W/L von $11\mu\text{m}/0,35\mu\text{m}$, die zuzuschaltenden Kompensationskapazitäten eine Größe von $C_{F1} = 60\text{fF}$ bzw. $C_{F2} = 150\text{fF}$. In Fig. 4.2 entspricht dies dem Schaltungszweig F10 und F11. Es handelt sich bei allen Kompensationskondensatoren um Poly-Poly-Kapazitäten, da diese eine sehr kleine Spannungsabhängigkeit haben und im Vergleich zu MOS-Kapazitäten kleinere parasitäre Kapazitäten zum Substrat.

4.2 Nachverstärker

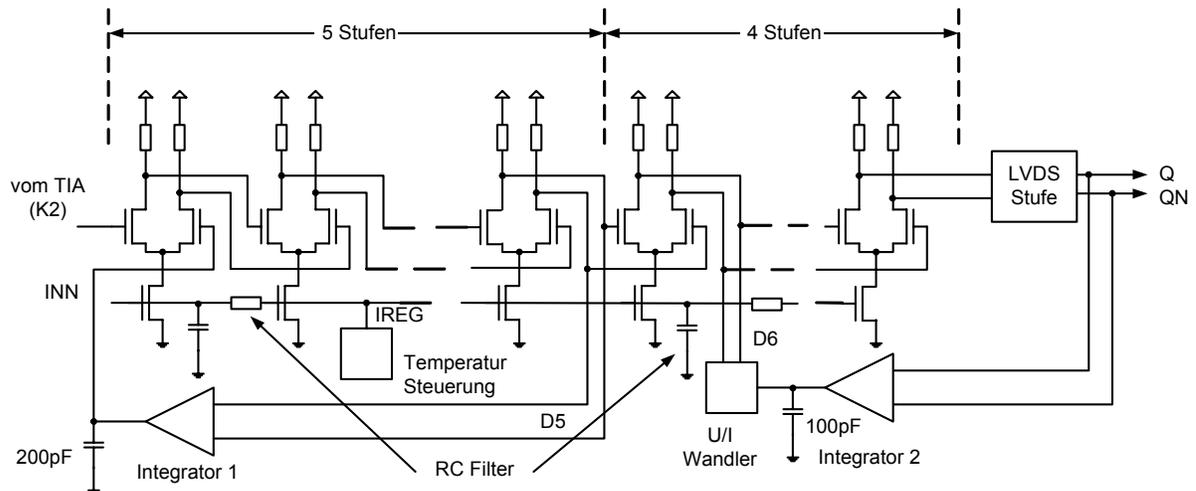


Fig. 4.15 : Blockschaltbild des Nachverstärkers

Der Haupt- oder Nachverstärker wurde mit sog. CML-Stufen (Current Mode Logic) aufgebaut, wie sie aus schnellen Logikschaltungen bekannt sind. Folgende Eigenschaften mussten erzielt werden:

- Bandbreite etwa 1GHz, jedoch einstellbar für die jeweiligen Bandbreitenvariante
- Verstärkung mindestens 40dB
- Temperaturregelung für die Verstärkung
- Offset-Regelung
- kleine untere Grenzfrequenz von etwa 100 kHz

Fig. 4.15 zeigt im Überblick das Blockdiagramm der Verstärkerkette mit den neun Verstärkerstufen, der Temperatur-Regelung und der Offset-Regelung.

4.2.1 CML-Stufen

Es existieren verschiedene Vorschläge in der Literatur, einen derartigen Verstärker zu realisieren. Diese reichen vom Einbau von Kaskodenstufen, induktiver Vorverzerrung („inductive peaking“) bis hin zum Einbau von aktiven Induktivitäten. All diese Vorschläge benötigen entweder eine höhere Versorgungsspannung bzw. wesentlich mehr Chipfläche wie z.B. die passiven Induktivitäten [54][55][56]. Daher wurden diese Schaltungskonzepte nicht angewendet. Es wurde die einfachste Variante gewählt, nämlich die direkte Kopplung einzelner CML-Stufen. Die Entkopplung durch Source Folger hätte einer höheren Stromaufnahme beduft, welche den erforderlichen Aufwand nicht gerechtfertigt hätte. Für den Einbau von Kaskodestufen wären ebenfalls Sourcefolger für die Pegelanpassung gebraucht worden. Da die einzelnen Stufen aufgrund der hohen Bandbreite eine relativ kleine Verstärkung haben (ca. Faktor $2 \approx 6\text{dB}$), fiel die Verminderung der Millerkapazität, die mit den Kaskoden-Stufen erreicht worden wäre, nicht sonderlich ins Gewicht.

Es wurden letztlich 9 Stufen aneinandergeschaltet, jede der Stufen hatte im Mittel folgende Eigenschaften (Beispiel 1Gbit/s-Verstärker):

- Bandbreite pro Stufe etwa 3GHz, (Summenbandbreite $\approx 3\text{GHz} / \sqrt{9} = 1\text{GHz}$)
- Verstärkung pro Stufe etwa 2 (6dB) ($9 * 6 = 54\text{ dB}$ typisch, worst case etwa 40dB)
- Stromaufnahme 2 – 4 mA, in Summe ca. 30mA

In [10] wird auf die maximal sinnvolle Anzahl von Verstärkerstufen hingewiesen und folgende Funktion für die normierte 3dB-Bandbreite abhängig von der Verstärkeranzahl definiert:

$$\omega_{3\text{dB}}/B = 0.9 / (N^{1/2} * V_{\text{NV}}^{1/N}) \quad (4.6)$$

$\omega_{3\text{dB}}/B$ normierte Bandbreite

B technologie- und stromabhängiger Bandbreitfaktor

N Anzahl der hintereinander geschalteten Verstärkerstufen

V_{NV} Verstärkung des gesamten Verstärkers

Diese Funktion beschreibt den Bandbreitengewinn für eine bestimmte Technologie und Verlustleistung. Man erkennt, dass mit der Verstärkeranzahl der Bandbreitengewinn zunehmend geringer wird. Wendet man diese Funktion auf die hier benötigten Parameter des Verstärkers an, nämlich 55dB Verstärkung (entspricht in etwa dem Faktor 500) ergibt sich die in Fig. 4.16 dargestellte Kurve. Man sieht, dass man sich bei 9 Stufen (Markierung) und einer Verstärkung von 500 noch im ansteigenden Bereich der Kurve befindet, d.h. noch Verstärkungsgewinn erzielt. Zum Vergleich ist die in [10] veröffentlichte Kurve bei einer Verstärkung von 100 aufgetragen.

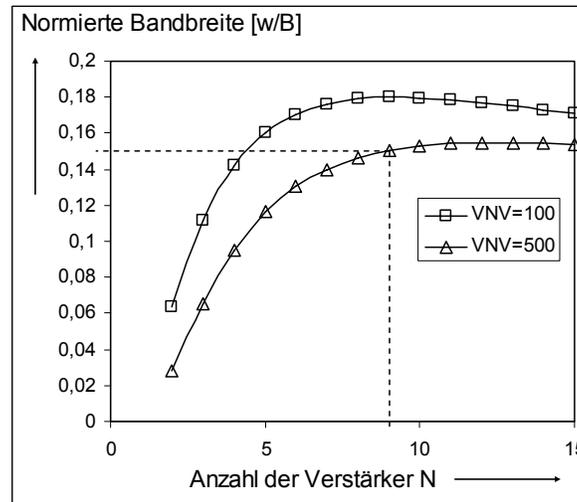


Fig. 4.16: Optimierung der Anzahl der Verstärkerstufen nach [10]

Der gesamte Verstärker hat ferner einen Ausgangshub von ca. $1,5 V_{pkpk}$, der zur Ansteuerung der LVDS-Stufe nötig ist, und eine Abschaltmöglichkeit der Ausgangsstufe (fester High- und Low-Pegel am Ausgang).

Fig. 4.17 zeigt die detaillierte Schaltung der Verstärkerkette ohne Offset-Regelung. Zu erkennen sind die zusätzlichen Drainwiderstände für die Verstärker kleinerer Datenraten, die in dieser Version kurzgeschlossen sind, da es sich um die 1GBd-Version handelt. Der Strom für die Verstärkerkette kann mit den Widerständen der Biasstufe (ganz links im Bild) eingestellt werden. Eingang der Stufe ist der Knoten K2. Knoten INN, der invertierte Eingang, wird an den Ausgang der ersten Offset-Regelung (Integrator 1) angeschlossen. Nach 5 Verstärkerstufen wird das Signal für den Eingang der Offset-Regelung aus dem Verstärker ausgekoppelt (Knoten D5, D5R).

Die zweite Offset-Regelung wird über die Knoten D6 und D6R eingespeist, das Eingangssignal für diese Offset-Regelung wird nach der LVDS-Ausgangsstufe (Q,Qn) ausgekoppelt. Im Biaszweig der Verstärkerstufen wurden Tiefpässe, bestehend aus MOS-Kapazitäten und Poly-Widerständen eingebaut, um ein Übersprechen zwischen den Verstärkerstufen über die Bias-Stromquellen zu verhindern. Da die Bias-Transistoren erhebliche parasitäre Drain-Gate-Kapazitäten haben, konnte bereits in den Simulationen eine Überkopplung und damit eine potentielle Schwingneigung erkannt werden. Mit den implementierten Tiefpässen war auch in den späteren Messungen praktisch keine Schwingneigung zu erkennen (Kapitel 5).

Ferner wurde über die Knoten D9, D9R ein Abschalten des Verstärkers ermöglicht, welches über das Signal DON (Data On) aktiviert werden kann. Dazu wird an den besagten Knoten ein dauerhafter High- und Low-Pegel (generiert durch die Inverter im Bild links unten) angelegt, der den LVDS-Ausgang auf Dauer-Low legt. Dadurch kann man den Empfänger abschalten, wenn z. B. kein optisches Signal anliegt, weil unter Umständen die nachfolgenden Schaltungen den undefinierten Logik-Pegel (Rauschen) nicht verarbeiten können. Verbindet man DON mit dem Pin SD (Signal Detect), wird die Abschaltfunktion automatisch aktiviert.

Um die LVDS-Endstufe korrekt anzusteuern, wird der Ausgangspegel des Nachverstärkers (Spannungsversorgung der Drainwiderstände der letzten Stufe) über den Transistor P1 (letzte Verstärkerstufe Fig. 4.17) und eine später zu beschreibende Spannungsregelung angepasst (siehe Kapitel 4.3.3).

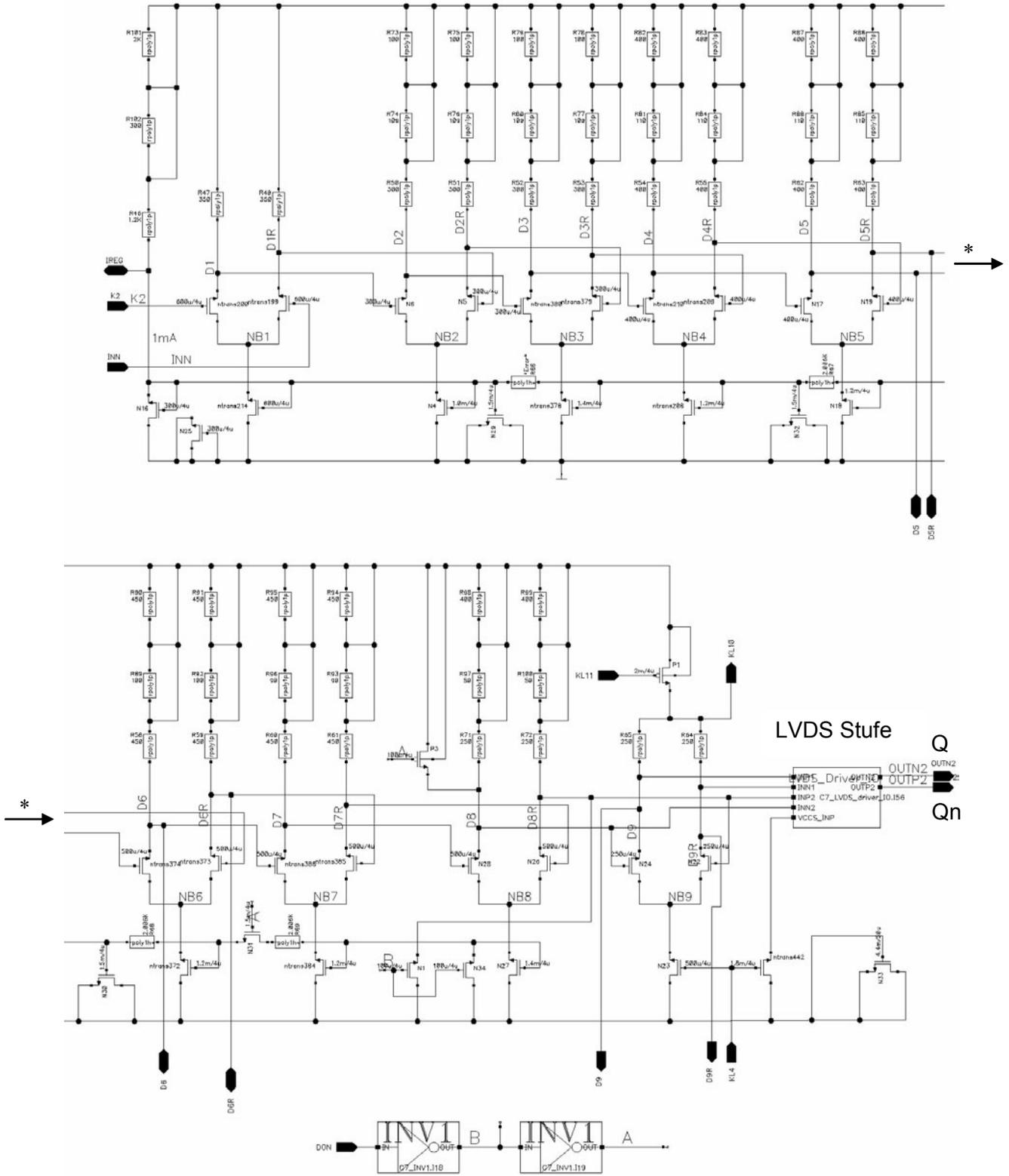


Fig. 4.17 : Schaltbild der Verstärkerkette

4.2.2 Verstärkungssteuerung über die Temperatur

Die Verstärkungsvariation der Nachverstärkerkette bei konstantem Bias-Strom in den Differenzverstärkern ist erheblich. Fig. 4.18 zeigt, dass die Variation der Verstärkung über der Temperatur schon bei Nominalparametern 40 bis 70dB beträgt. Für Prozessvariationen kommen nochmals etwa 5dB hinzu. Grund dafür ist die starke Temperaturabhängigkeit der Steilheit der Transistoren, die zusammen mit den Lastwiderständen die Verstärkung bestimmt. Da zu befürchten war, dass bei einer derart hohen Verstärkung von 70dB im Maximum bei -40°C eine Rückkopplung auf dem Chip entstehen könnte, sollte die Verstärkung bei tiefen Temperaturen reduziert werden. Dazu wurde eine Schaltung entwickelt und patentiert, welche den Biasstrom der einzelnen Stufen bei kleinen Temperaturen vermindert. Dies führt zu einer Abnahme der Steilheit und damit der Verstärkung in den Differenzverstärkern.

Das Ergebnis der Simulationen ist im erwähnten Bild zu sehen. Die Variation konnte inklusive Prozessvariationen auf maximal 15 dB reduziert werden. Die maximale Verstärkung beträgt 55dB statt 70dB.

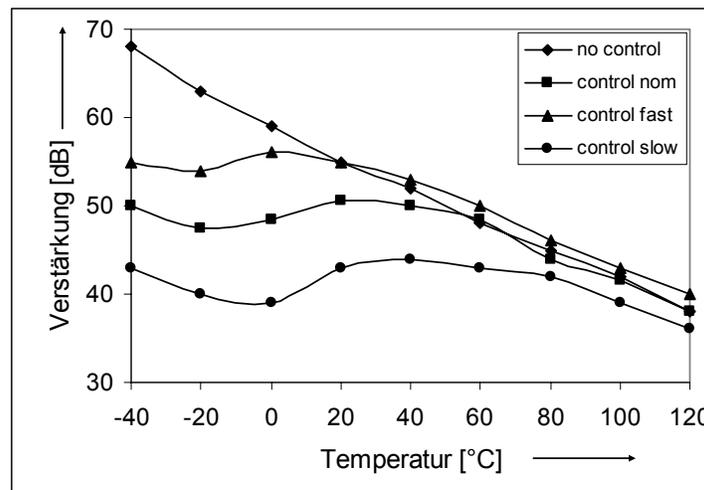


Fig. 4.18 : Verstärkung des Nachverstärkers über der Temperatur, ohne (♦) und mit Temperatursteuerung für unterschiedliche Prozessparameter (fast, nominal und slow)

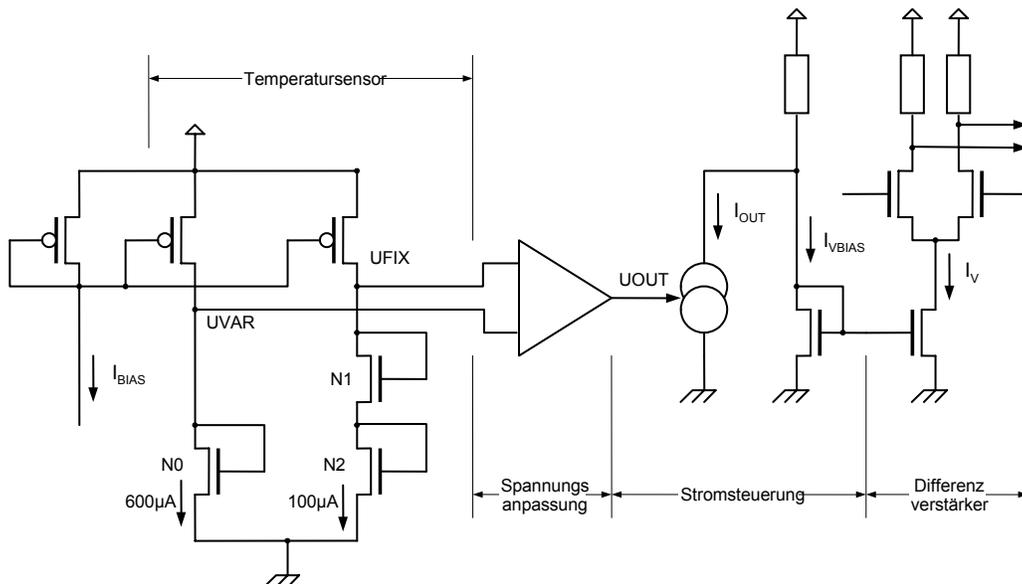


Fig. 4.19: Übersicht der patentierten, temperaturabhängigen Verstärkungssteuerung

Fig. 4.19 zeigt die prinzipielle Struktur der patentierten Schaltung der Verstärkungssteuerung. Sie besteht aus dem Temperatursensor, einer Spannungsanpassung und der Stromsteuerung für den Differenzverstärker.

Temperatursensor

Der Temperatursensor nutzt den Effekt, der unterschiedlichen Stromsteuerungsmechanismen eines MOS- Transistors unterhalb und oberhalb der Schwellenspannung. Den Bereich unterhalb der Schwellenspannung nennt man „weak inversion“, die Anreicherung von Majoritätsträgern im Kanal ist nicht besonders ausgeprägt. Der Steuerungsmechanismus ist vom Prinzip ähnlich dem von Bipolartransistoren (Minoritätsträgersteuerung, Gleichung 4.7). Im Unterschied zum Bipolartransistor wird ein Faktor ζ wirksam, ein Technologiefaktor für MOS-Transistoren. Der Strom steigt im Bereich der „weak inversion“ mit der Temperatur an. Nachfolgende Gleichung beschreibt den Mechanismus [57]:

$$I_D = I_0 \exp(eV_{GS}/\zeta kT) \tag{4.7}$$

- I_D Drainstrom
- I_0 Drainstrom für $V_{GS} = 0V$
- V_{GS} Gatespannung (kleiner der Schwellenspannung V_{TH})
- ζ Technologiefaktor
- k Boltzmannkonstante
- T absolute Temperatur
- e Elementarladung

Im Vergleich dazu wird der Strom oberhalb der Schwelle durch die Beweglichkeit der Majoritätsträger gesteuert. Diese ist proportional zur Leitfähigkeit (des Kanals) und hat einen negativen Temperaturgang [9]:

$$I_D = \{(\mu C_{OX} W)/(2L)\}(V_{GS} - V_T)^2 \tag{4.8}$$

$$\mu(T) \approx \mu(T_0) * \{T/T_0\}^{-3/2} \tag{4.9}$$

- μ Beweglichkeit
- T_0 Referenztemperatur

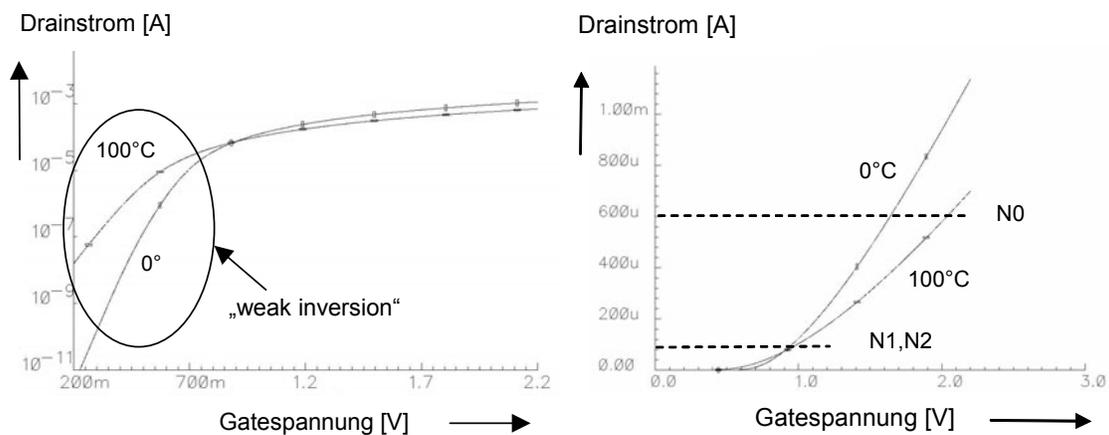


Fig. 4.20 : Kennlinien der Transistoren (N0 bis N2) im Temperatursensor der Schaltung 4.13. $W/L = 5.5/0.7\mu m$ für 0°C und 100°C; links logarithmischer, rechts linearer Maßstab

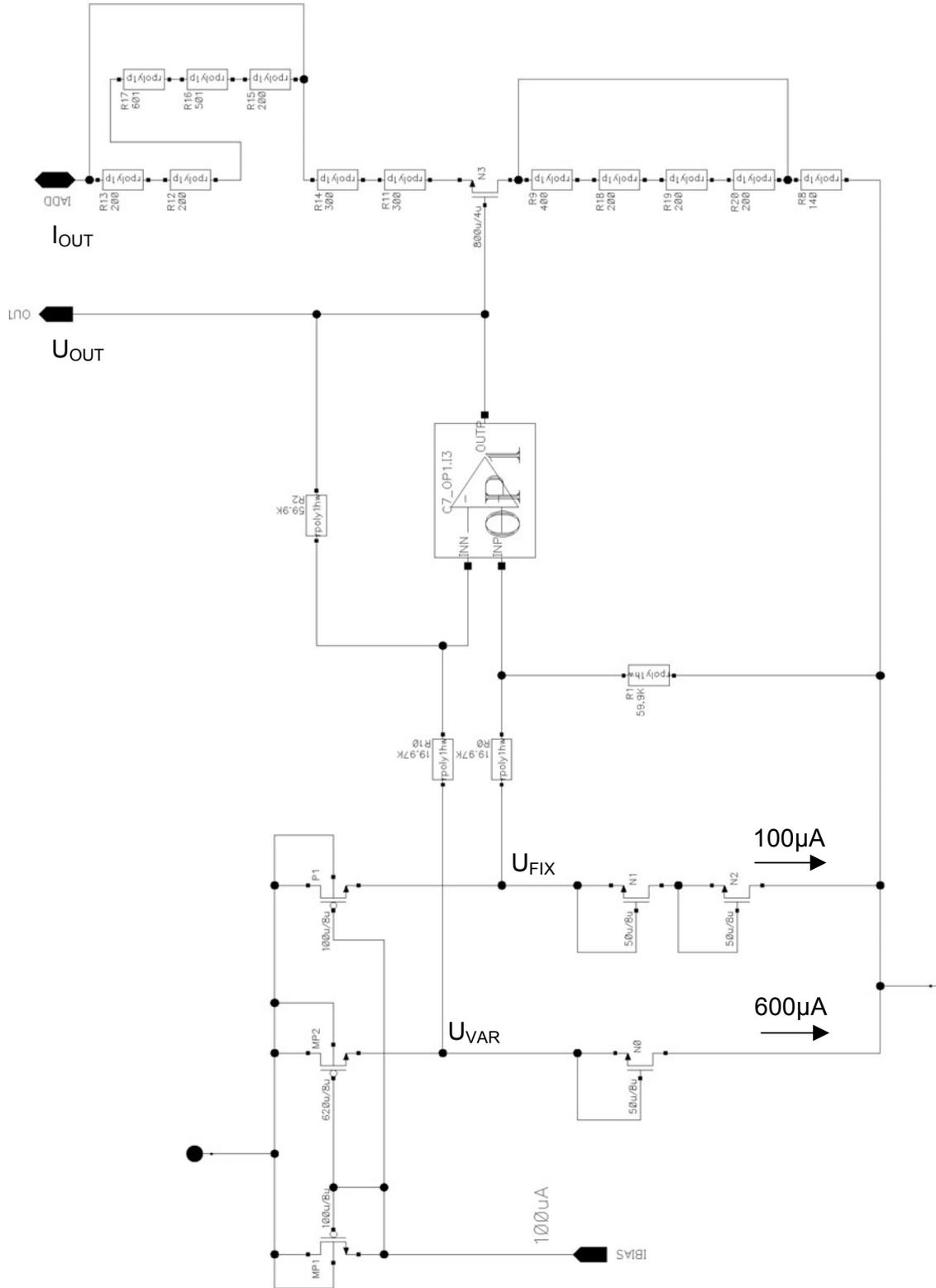


Fig. 4.21 : Schaltbild des Temperatursensors

Es ist daher zu erwarten, dass sich bei einer bestimmten Gate-Source-Spannung der Temperaturgang des Drainstroms umkehrt. Fig. 4.20 zeigt das Verhalten eines MOS-Transistors in Diodenschaltung (Drain mit Gate verbunden). Im linken Bild der

logarithmischen Darstellung ist der exponentielle Anstieg des Stromes unterhalb der Schwelle (im Bereich der „weak inversion“, entsprechend Gleichung 4.7) zu erkennen. Oberhalb der Schwelle steigt der Drain-Strom mit dem Quadrat der Gate-Spannung (entsprechend Gleichung 4.8). Im rechten Bild, in der linearen Darstellung, ist der Temperaturgang der Gatespannung bei konstantem Drainstrom abzulesen. Die gestrichelten Linien stellen die Arbeitspunkte der Schaltung nach Fig. 4.21 (für N0, N1, N2) dar. Der Temperaturumkehrpunkt liegt etwas oberhalb der Schwellenspannung bei etwa 900mV Gatespannung.

Fig. 4.21 zeigt die Schaltung für die Temperatursteuerung. Zwei Stromquellen prägen zwei unterschiedliche Ströme in die MOS-Transistoren (Diodenschaltung N0, N1, N2) ein. Durch die Dimensionierung der Transistoren, der eingepprägten Ströme sowie ggf. von Reihenschaltungen der Transistoren und der Dimensionierung des nachfolgenden Verstärkers kann man in weiten Grenzen den Stromsteuerbereich variieren.

Fig. 4.22 zeigt die auftretenden Signale in der Schaltung nach Fig. 4.21. Das eigentliche Nutzsignal ist das Stromsignal I_{OUT} , dieser Strom wird aus der Stromquelle im Verstärker abgezweigt (realisiert durch den Widerstand R46, links oben in Fig. 4.17). Dadurch verringert sich der Strom in den Fußpunkttransistoren der Verstärkerstufen. Die Differenz der Spannungen $U_{FIX}-U_{VAR}$ stellt die eigentliche Steuerspannung dar, die der nachfolgende Operationsverstärker in geeigneter Weise verstärkt und damit den Transistor N3 (Fig. 4.21) ansteuert. Durch die Serienschaltung von zwei Transistoren (N1, N2) im Temperatursensor kann die Offset-Spannung ($U_{FIX}-U_{VAR}$) klein gehalten werden, was die nachfolgende Verstärkerschaltung vereinfacht.

Die Schaltungsteile im rechten Teil der Schaltung (Fig. 4.21, Transistor und Widerstände) subtrahieren nun einen Strom aus der Bias-Stromquelle des Verstärkers (links oben in Fig. 4.17, Eingang IREG).

Wie die Ergebnissen in Fig. 4.18 erkennen lassen, gelingt keine vollständige Kompensation, da vor allem die Technologieabhängigkeiten (Transistorparameter nominal, slow, fast) der Schaltungsteile erheblich sind und nicht vollständig kompensiert werden konnten. Jedenfalls wird die sehr hohe Verstärkung bei kleinen Temperaturen verhindert.

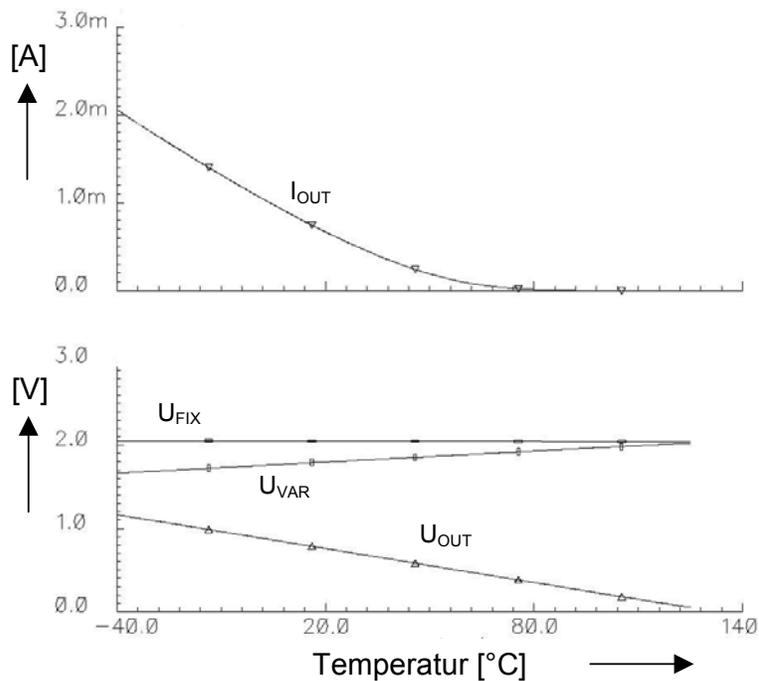


Fig. 4.22: Steuersignale der Temperaturregelung

4.2.3 Offset-Regelung

Anstatt der gebräuchlichen AC-Kopplung bei diskreten oder wenig integrierten Schaltungen (Hybriden) wird hier eine Offset-Regelung für den Nachverstärker verwendet. Wie man im Blockschaltbild Fig. 4.15 sieht, wird dabei der invertierte Eingang des Differenzverstärkers auf den mittleren Gleichstrompegel der TIA-Ausgangsspannung geregelt. Als Eingangssignal für die Offsetregelung dient das differenzielle Ausgangssignal des Verstärkers, das auf eine mittlere Differenzspannung von Null geregelt wird. Dadurch entfallen externe Koppelkondensatoren, die der unteren Grenzfrequenz wegen wenigstens einige nF haben müssten und daher nicht integriert werden können. Auch ist es ungünstig, die kleinen Signale des TIA-Ausgangs (einige mV) außerhalb der Chips zu verarbeiten, da diese nicht differenziellen und sehr kleinen Signale durch elektromagnetische Einkopplungen nachhaltig gestört werden können.

Die Offset-Schaltung hat daher die folgenden Aufgaben:

- die Wandlung des Eintaktsignals aus dem TIA in ein differenzielles Signal
- Offsetkompensation des Verstärkers; selbst eine geringe Offset-Spannung von bereits 1mV würde den Ausgangsverstärker bei hoher Verstärkung von 40-60dB in eine unsymmetrische Begrenzung bringen, was zu Signalverzerrungen (sogenannte „Duty Cycle Distortion“) führen würde

Durch dieses Systemkonzept wird praktisch eine Gleichstromkopplung über den ganzen Verstärker hinweg erreicht, allerdings nur bis zur unteren Grenzfrequenz, die sich durch die Regelzeitkonstanten der Offsetregelung ergibt.

Folgende Problematik ergibt sich bei der Dimensionierung der Offsetregelschleife:

- Die Regelzeitkonstante verkleinert sich proportional zur Vorwärtsverstärkung, die hier sehr hoch ist. Deshalb wäre eine entsprechend große Zeitkonstante des Integrators erforderlich.
- Die Implementierung von sehr großen Integrationskondensatoren hat wegen der benötigten Fläche und Zuverlässigkeit des Bausteins ihre Grenzen.
- Die potentielle Rückkopplung über parasitäre Kapazitäten der Charge Pump auf den empfindlichen Eingang des Verstärkers steigt mit seiner Verstärkung an und kann zu Schwingneigung bzw. Empfindlichkeitsreduzierung führen.

Regelzeitkonstante

In Fig. 4.23 ist eine vereinfachte Darstellung der implementierten Offset-Regelung eines Teilverstärkers dargestellt. Die im Bild markierte Charge Pump wird nicht, wie sonst üblich, digital durchgeschaltet, sondern im Arbeitspunkt mit kleinem Signal moduliert. Dies wird durch den vorgeschalteten Tiefpass und entsprechend kleiner Steilheiten der Transistoren T1 und T2 erreicht, die durch diese Maßnahme immer wie eine lineare Schaltung in Sättigung betrieben werden. Dadurch bildet die Steilheit g_m der Transistoren T1 und T2 zusammen mit dem Kondensator C_{OFFS} die Zeitkonstante des linearen Integrators.

Wegen des Stromspiegels T4 und T5, kann die Charge Pump sowohl positive als auch negative Ströme in den Kondensator einspeisen.

Die Übertragungsfunktion $H_{INT}(\omega)$ des Integrators (bestehend aus Charge Pump und Kapazität C_{OFFS}) nach Fig. 4.23) lautet:

$$H_{INT}(\omega) = U_{OUT}(\omega) / U_{IN}(\omega) = g_m / j \omega C_{OFFS} = 1 / j \omega \tau_{INT} \quad (4.10)$$

$\tau_{INT} = C_{OFFS} / g_m$	Integrationszeitkonstante des Integrators
C_{OFFS}	Kapazität des Integrators
g_m	Steilheit des Charge Pump Transistors T1, T2

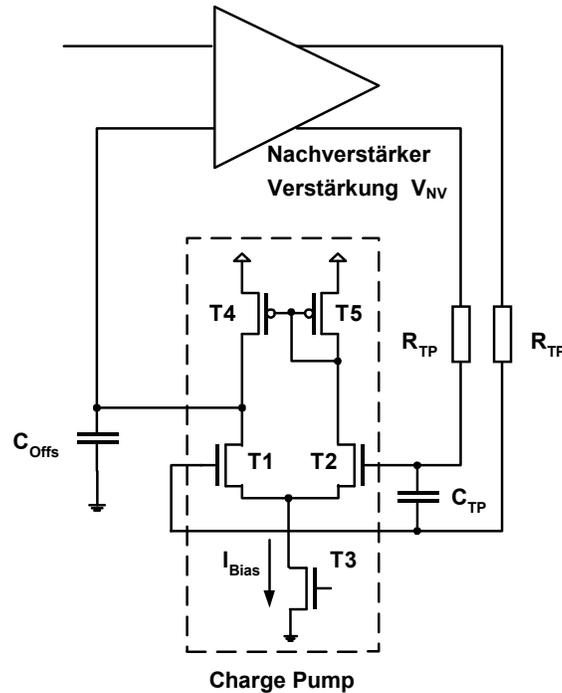


Fig. 4.23 : Blockdiagramm der Offset-Regelung

Damit ergibt sich für die Übertragungsfunktion des Nachverstärkers $H_{NV}(\omega)$

$$H_{NV}(\omega) = V_{NV} / (1 + V_{NV} H_{INT}(\omega)) \tag{4.11}$$

$$H_{NV}(\omega) = V_{NV} / (1 + V_{NV} / j\omega \tau_{INT}) = V_{NV} / (1 + 1/j\omega \tau_{UV}) \tag{4.12}$$

V_{NV}	Verstärkung des Nachverstärkers
τ_{UV}	Zeitkonstante des Nachverstärkers (untere Grenzfrequenz)

Dies ist die Übertragungsfunktion eines Hochpasses mit der Zeitkonstante τ_{NV} . Diese berechnet sich aus der um die Vorwärtsverstärkung reduzierte Integratorzeitkonstante:

$$\tau_{UV} = \tau_{INT} / V_{NV} \tag{4.13}$$

Die Regelzeitkonstante wird also mit der Verstärkung verkleinert. Bei einer Verstärkung V_{NH} von 500 würde das bei gleicher unterer Grenzfrequenz eine Vergrößerung der Kapazität um den Faktor 500 bedeuten. Dies würde die Chipfläche „sprengen“. Daher wurde der Verstärker in zwei Stränge aufgeteilt, jeder Teilverstärker hat etwa die Verstärkung $\sqrt{V_{NH}} \approx \sqrt{500} \approx 22$. Dadurch können die Integratorzeitkonstanten klein gehalten werden.

Wird die Offsetregelung mit begrenzenden Verstärkern betrieben, wie es im zweiten Teil des Nachverstärkers der Fall ist, wird die für die Regelung effektiv Verstärkung im Vorwärtszweig (V_{NV}) reduziert. Für die Regelung am Eingang der Charge Pump wird dann eine mittlere Eingangsspannung wirksam, die sich aus der „duty cycle distortion“ des Signals ergibt:

$$\Delta U_{\text{CPIN-AVG}} = \text{DCDr} * (U_{\text{Q}} - U_{\text{QN}}) = ((t_{\text{BIT}} - t_{\text{BITd}})/t_{\text{BIT}}) * (U_{\text{Q}} - U_{\text{QN}}) \quad (4.14)$$

$\Delta U_{\text{CPIN-AVG}}$	mittlere Eingangsspannungsdifferenz der Charge Pump
DCDr	relative Duty Cycle Distortion
$U_{\text{Q}} - U_{\text{QN}}$	Ausgangsspannung Verstärkers, im Begrenzungsfall konstant
t_{BITd}	distorted Bit

Die „duty cycle distortion“ definiert sich, ähnlich wie in Kapitel 2.1 beschrieben, durch interne Anstiegszeiten vor dem begrenzenden Verstärker.

Daher kann man die Regelzeitkonstante im begrenzenden Verstärker als Funktion von der relativen „duty cycle distortion“ DCDr und der Ausgangsamplitude ΔU_{Q} des Verstärkers definieren. Die relative „duty cycle distortion“ DCDr ergibt sich aus der Steigung (siehe Gleichung 2.13) im Verstärker, dividiert durch die Bitzeit:

$$\text{DCDr} = (\Delta t_{\text{DC}}/\Delta t_{\text{BIT}}) (U_{\text{IN}} - U_{\text{INN}}) * St \quad (4.15)$$

Δt_{DC}	absolute duty cycle distortion
$U_{\text{IN}} - U_{\text{INN}}$	Eingangsspannung des Verstärkers

Die wirksame Verstärkung des Nachverstärkers ist nun gegeben durch

$$\Delta U_{\text{CPINAVG}}/(U_{\text{IN}} - U_{\text{INN}}) = \text{DCDr}(U_{\text{Q}} - U_{\text{QN}})/(U_{\text{IN}} - U_{\text{INN}}) = \text{DCDr} * V_{\text{NVBEG}} \quad (4.16)$$

V_{NVBEG}	begrenzte Verstärkung des Nachverstärkers
--------------------	---

Sie ist nun von der relativen „duty cycle distortion“ und der begrenzten Verstärkung abhängig, diese wiederum hängt von der Eingangsamplitude des Verstärkers ab.

Diese Funktion gilt jedoch hauptsächlich für den zweiten Teil des Verstärkers, der erste Teil arbeitet zumindest in weiten Bereichen der Eingangsleistung im linearen, unbegrenzten Betrieb.

Störpegel am Integratorausgang (Eingang des Nachverstärkers)

Wie bereits erwähnt, wurde ein Tiefpass vor den Integrator geschaltet. Dieser bewirkt eine zusätzliche Dämpfung bei höheren Frequenzen (hier größer 4MHz) im Rückkopplungspfad. Ansonsten würden unvermeidliche parasitäre Kapazitäten des Integrators die Dämpfung bei hohen Frequenzen reduzieren (u.a. die Gate-Drain-Kapazitäten von T1 im Integrator). Der Tiefpass ist so dimensioniert, dass er vom dominierenden Pol der Regelschleife genügend Abstand hat.

Fig. 4.22 bis 4.25 zeigen die Wirkung der Offsetregelung für den nicht geteilten und den geteilten Nachverstärker für Datenraten von 155MBit/s und 1GBit/s. Sie demonstrieren die Auswirkung der Maßnahmen

- Aufteilung der Verstärkung
- Einbau des Tiefpasses vor der Charge Pump

jeweils beispielhaft für die beiden Datenraten mit einer Zufallsfolge der Länge 2^7-1 .

Die Bilder zeigen die Signale jeweils am Ausgang der Charge Pump, dies entspricht dem inversen Eingang des Nachverstärkers INN (Fig. 4.13). Diese Signale liegen also am Eingang des differentiellen Nachverstärkers an und werden zum Störpegel (Rauschen) des TIAs addiert (siehe Kapitel 2.1.4).

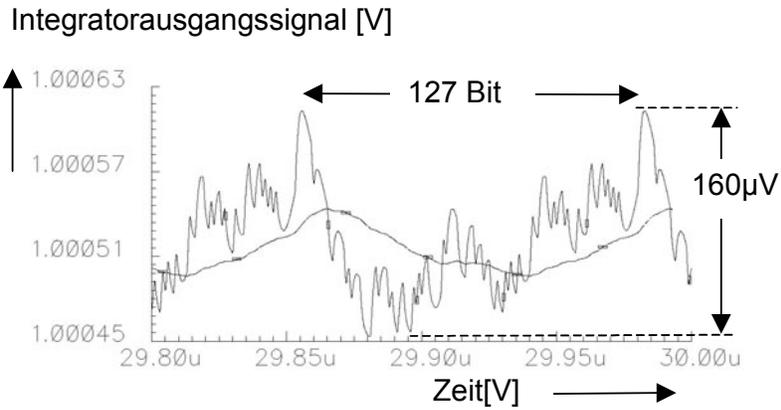


Fig. 4.24 : Integratorausgangssignal bei 1Gbit/s (PRBS 2^7-1) mit nur einer Rückkopplungsschleife ($V_{NV} = 550$), ohne und mit Tiefpassfilter.

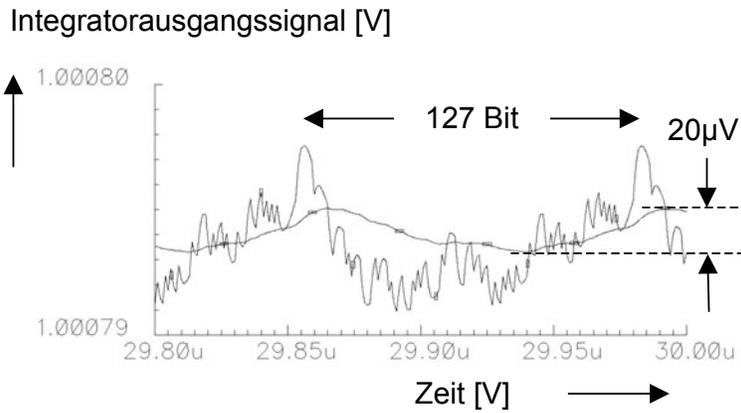


Fig. 4.25 : Integratorausgangssignal bei 1Gbit/s (PRBS 2^7-1) mit nur einer Rückkopplungsschleife ($V_{NV} = 23$), ohne und mit Tiefpassfilter.

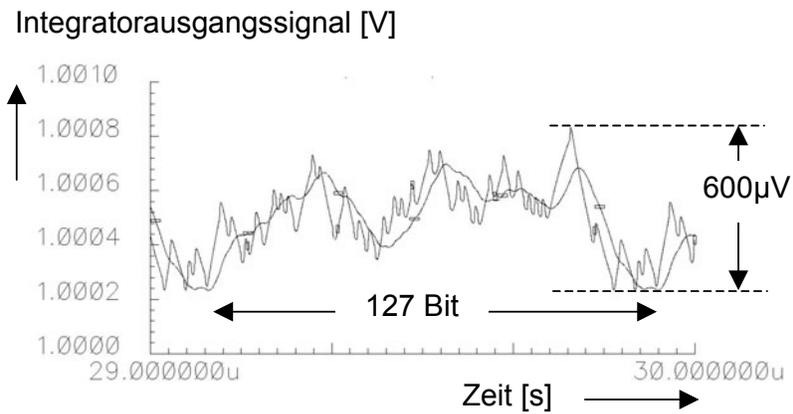


Fig. 4.26: Integratorausgangssignal bei 155Mbit/s (PRBS 2^7-1) mit nur einer Rückkopplungsschleife ($V_{NV} = 550$), ohne und mit Tiefpassfilter

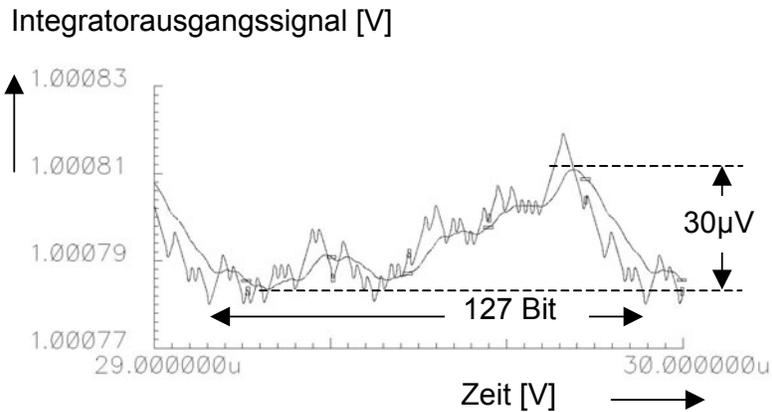


Fig. 4.27: Integratorausgangssignal bei 155Mbit/s (PRBS 2^7-1) mit nur einer Rückkopplungsschleife ($V_{NV} = 23$), ohne und mit Tiefpassfilter

Die Tabelle gibt einen Überblick über die Störspannung bei den untersuchten Varianten. Dabei ist zu beachten, dass das zur Simulation verwendete Signal am Eingang des Nachverstärkers eine Amplitude von 1mV hatte. In der Tabelle ist daher neben dem Spitzenwert der jeweilige Signal-Rauschabstand angegeben.

Tabelle 4.1: Übersicht über die Störspannung am Ausgang der Charge Pump:

Datenrate [Bit/s]	V_{NV}	Störspannung und Störabstand S/N am Ausgang der Charge Pump,			
		mit Tiefpass		ohne Tiefpass	
		[μV_{pkpk}]	S/N[dB]	[μV_{pkpk}]	S/N[dB]
155M	22	25	32	40	28
	500	480	6,3	600	4,4
1G	22	2	54	7	43
	500	50	26	160	16

Folgende Erkenntnisse können aus den Ergebnissen gezogen werden:

- Der höhere Störpegel bei 155MBit/s resultiert aus der im Verhältnis höheren Hochpass-Grenzfrequenz; die Auswirkung der „disparity“ ist daher gravierender.
- Der Tiefpass wirkt vor allem bei höheren Datenraten, er verdreifacht den Störabstand bei 1GBit/s.
- Bei einer Rückkopplung über den ganzen Nachverstärker kann kein ausreichender Rauschabstand gewährleistet werden.

Für eine Fehlerrate von 10^{-12} ist ein Signal-Rausch-Abstand von 17dB erforderlich. Jede zusätzliche Störquelle, wie z. B. dieses über die Offsetregelung rückgekoppelte Datensignal, verkleinert den Störabstand und verschlechtert daher die Empfindlichkeit. Zudem wird bei ungünstigeren Bitfolgen als den hier benutzten, eine noch wesentlich höhere Störspannung generiert. Die für Tests von Weitverkehrssystemen angewendeten Pseudozufallsfolgen der Länge $2^{15}-1$ oder $2^{23}-1$, haben eine maximale „disparity“, die um ein bzw. zwei Zehnerpotenzen größer ist. Die relevanten Störspannungen ändern sich, wie beschrieben, proportional zur maximalen „disparity“.

Durch geeignete Dimensionierung der Rückkopplung, der Tiefpässe sowie der Aufteilung der Verstärkerkette wurde eine Offsetregelung entwickelt, die keine Verschlechterung der Empfindlichkeit zur Folge hat. Damit wurde auch bei kleiner Datenrate ein ausreichender Störabstand von 32 dB erreicht.

Charge Pump Design

Um eine sehr große Zeitkonstante des Integrators zu erreichen, wird nach Gleichung 4.1 eine sehr kleine Steilheit der Transistoren (T1, T2 in Fig. 4.23 bzw. #429 und #430 in Fig. 4.28) benötigt. Sie haben eine extreme Gatelänge ($W/L = 1\mu\text{m}/10\mu\text{m}$) und werden mit sehr kleinem Strom von 1 bis $2\mu\text{A}$ (I_{Bias}) betrieben. Dies bedeutet eine Steilheit in den beiden relevanten Transistoren von etwa $5\mu\text{S}$ (bei halbem Strom pro Transistor im Arbeitspunkt). Damit ergibt sich bei einer Integrationskapazität von 200pF eine Integrationszeitkonstante von $40\mu\text{sec}$ (ca. 4kHz). Bei einer Verstärkung von etwa 20dB entspricht das einer unteren Grenzfrequenz von 40kHz für die gesamte Regelschleife. Dies ist für alle hier in Frage kommenden Anwendungen, selbst für die „niederfrequente“ Variante von 155MBit/s , vollständig ausreichend. Fig. 4.28 zeigt die implementierte Schaltung der Charge Pump für die erste Offsetregelung im Detail.

Fig. 4.29 zeigt die Charge Pump der zweiten Offsetregelung für den zweiten Teil des Nachverstärkers. Diese benötigt zusätzlich zur eigentlichen Charge Pump einen Strom-Spannungs-Wandler, da die Offset-Korrektur in den Verstärker-Zweig als differentieller Offsetstrom eingespeist werden muss und nicht wie im ersten Zweig als Gleichspannung an einen Eingang angelegt werden kann. Hier kann der Integrationskondensator bei gleichen Zeitkonstanten wie im ersten Teil der Schaltung etwas kleiner ausfallen (100pF), weil die Gesamtverstärkung des Verstärkers etwas kleiner und teilweise begrenzend ist sowie ein Teil der Verstärkung im Strom-Spannungs-Wandler reduziert wird.

Da beide Regelkreise hintereinander geschaltet sind und sich nicht gegenseitig beeinflussen, können sie die gleiche Regelzeitkonstante haben.

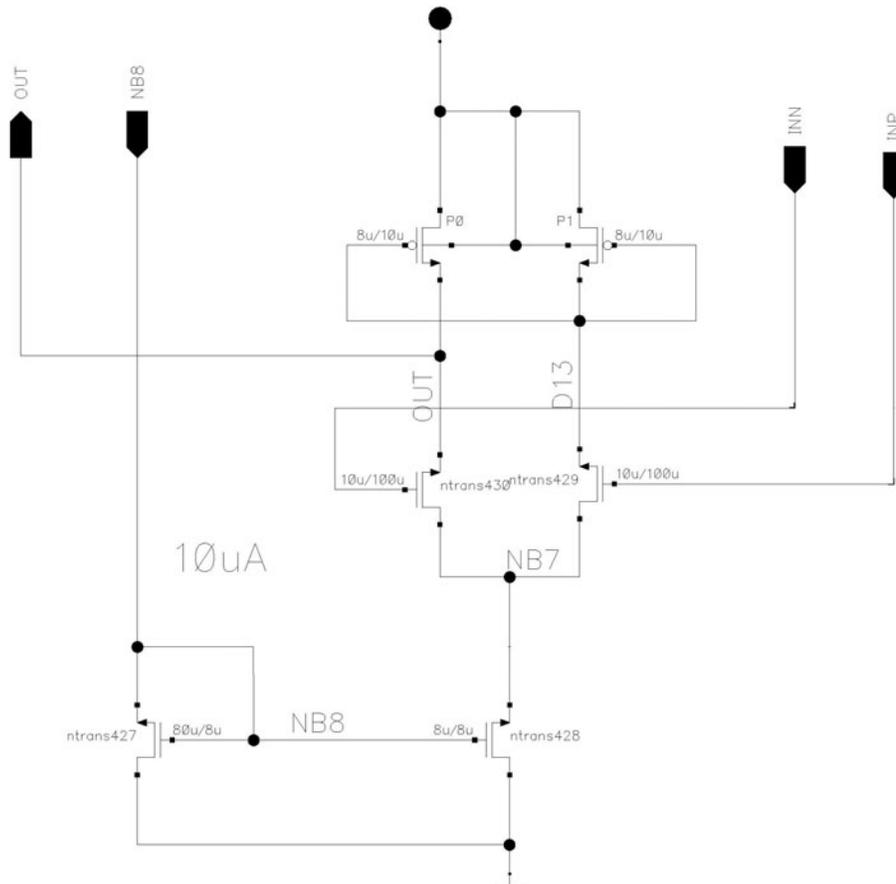


Fig. 4.28 : Charge Pump für die Offset-Regelung

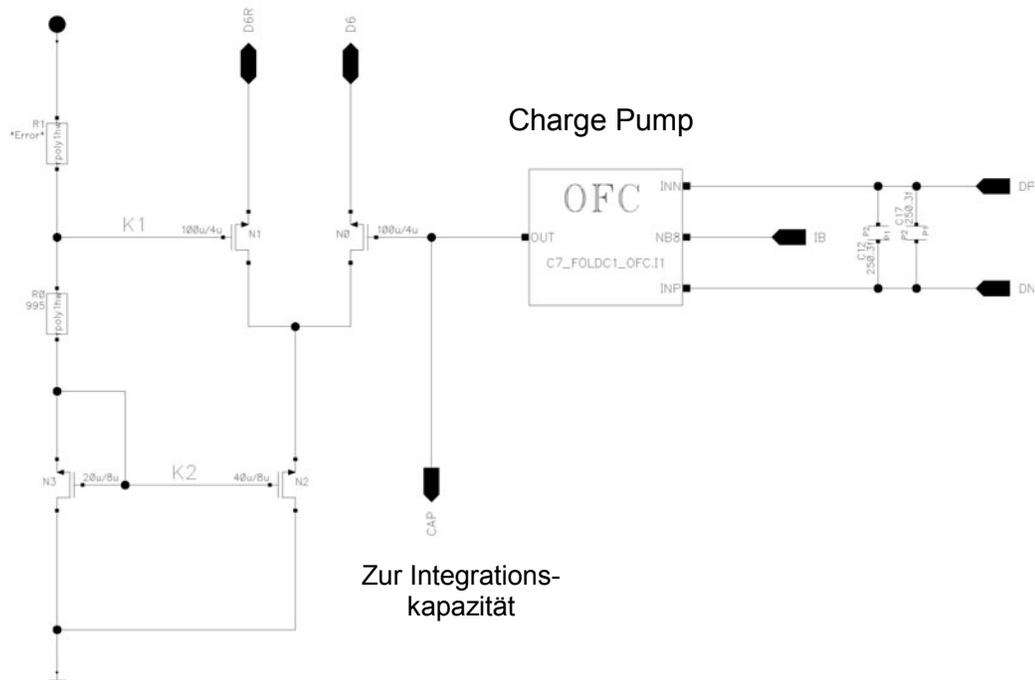


Fig. 4.29 : Charge Pump für die Offset-Regelung des zweiten Teils der Verstärkerkette, mit Strom-Spannungs-Wandler für die Stromeinspeisung in den Verstärker. Der Block „Charge Pump“ entspricht der Schaltung Fig. 4.28

4.2.4 Signal-Detect-Schaltung

Fig. 4.30 zeigt das Blockdiagramm der Signal-Detect-Schaltung und deren Einbettung in den Nachverstärker. Solche Schaltungen werden in Empfängern üblicherweise eingebaut, um in der Systemanwendung anzeigen zu können, ob Licht anliegt oder nicht. Als Schwelle gilt dabei die Empfindlichkeitsgrenze des Empfängers, d.h. über der Empfindlichkeitsgrenze ist die Anzeige positiv, darunter negativ.

Die Funktionsweise der integrierten Schaltung ergibt sich aus dem Blockdiagramm: ein differenzieller Gleichrichter, bestehend aus den beiden p-Kanal-Source-Folgern, richtet das Signal gleich und integriert es über eine bestimmte Periode mittels der Kapazität C_{SD} . Ein dahinter geschalteter Komparator mit eingebauter Hysterese erzeugt das notwendige Logik-Ausgangssignal.

Mehrere Probleme sind bei der Implementierung zu beachten:

- Das gleichgerichtete Signal vor dem Komparator muss groß genug sein, um die Einflüsse von Offsetdriften gering zu halten
- Der Temperaturgang des Nachverstärkers muss weitgehend ausgeglichen werden
- Für den Schwellwertkomparator muss eine geeignete Referenzspannung zur Verfügung stehen

Wie im vorhergehenden Kapitel beschrieben, konnte der Temperaturgang des Nachverstärkers nicht vollständig kompensiert werden. So hatte die Stelle, an dem das gleichzurichtende Signal für den Gleichrichter abgezweigt werden sollte, einen zu kleinen Pegel für den Komparator. Um den Pegel zu erhöhen, wurde dem Gleichrichter ein temperaturabhängiger Verstärker vorgeschaltet (in Fig. 4.30 als „Temperaturkompensation“ bezeichnet). Diese Schaltung bewertet jedoch Gleichspannungen, also Offsetfehler, genauso wie Wechselspannungen (erwünschte Signale). Daher ist es notwendig, das Signal aus dem Nachverstärker an einer Stelle abzuzweigen, an dem es möglichst keinen Gleichspannungs-

offset enthält. Es wurde deshalb an der Stelle ausgekoppelt, an der die Offset-Kompensation erfolgt, weil hier der geringste Offset in der Verstärkerkette entsteht. Selbstverständlich ist das Signal an dieser Stelle im Schaltbereich der Signal-Detect-Schaltsschwelle noch nicht begrenzt.

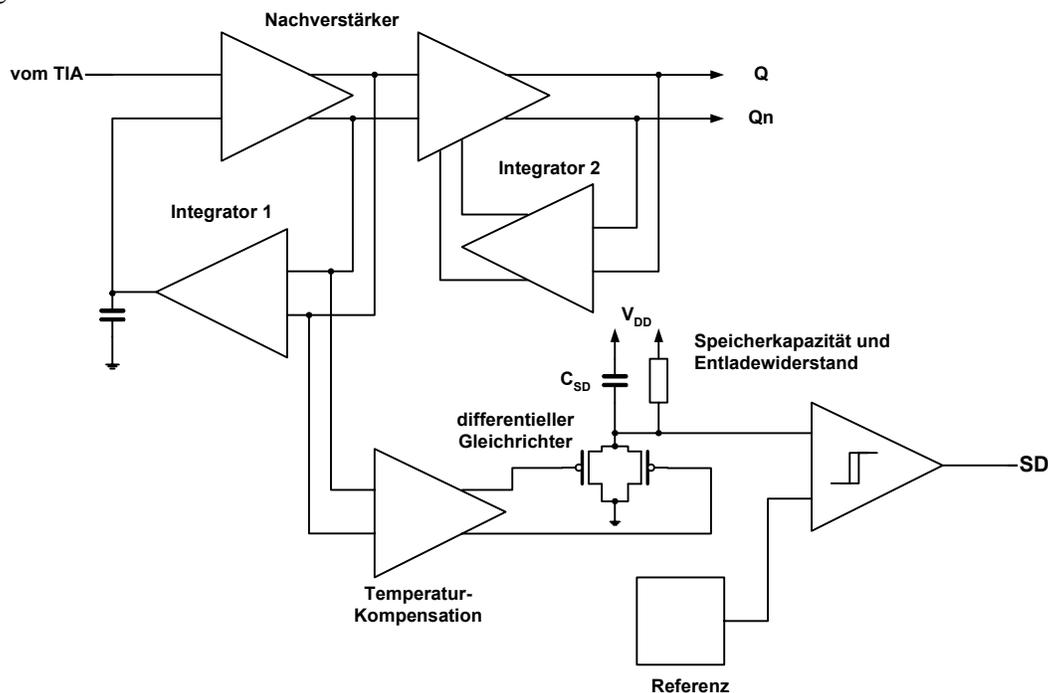


Fig. 4.30 : Blockdiagramm der Signal-Detect-Schaltung

Nun fehlt noch der dritte Punkt aus obiger Aufzählung, die Referenzspannung. Dafür wurde ein Teil des Nachverstärkers samt Temperaturkompensation dupliziert und an geeigneter Stelle ein Offset eingespeist, der die Schaltschwelle der Signal-Detect-Schaltung festlegt. Damit kompensieren sich an dieser Stelle Temperatureinflüsse und Technologieeinflüsse.

4.3 LVDS-Ausgangsstufe

Der Ausgangstreiber wurde entsprechend der „Low Voltage Differential Signal“-Spezifikation entsprechend des IEEE-Standards IEEE-1596.3-1996 [59] entworfen. Die Gründe für diese Entscheidung waren:

- standardisiertes differenzielles Interface
- gute Eignung für CMOS-Schaltungen
- geringe Verlustleistung
- 50Ω-Treiberfähigkeit mit differentielltem 100Ω-Abschlusswiderstand der Leitungen,
- gute Hochfrequenz-Eigenschaften

Das ebenfalls diskutierte PECL-Interface* [60] ist für eine CMOS-Technologie denkbar ungeeignet, da es als wesentlichen Bestandteil Emitterfolger mit Treiberströmen bis zu 25mA enthält. Eine derartige Funktionalität wäre in CMOS nur mit unverhältnismäßig hohen Leistungsaufnahmen und extrem großen Transistoren zu realisieren, für welche in den Vorstufen sehr hohe Treiberleistungen erforderlich gewesen wären. Die für ein LVDS-Interface erforderlichen Ströme liegen etwa um den Faktor 10 niedriger. Ein „normaler“

*) Positive Emitter Coupled Logic

CMOS-Push-Pull-Treiber könnte die 50Ω Leitungen nicht treiben und würde zusätzlich erhebliche Störungen auf der Spannungsversorgung induzieren.

4.3.1 LVDS-Spezifikation

Hier soll nun kurz auf die wichtigsten Eigenschaften des Interfaces eingegangen werden, für die detaillierte Betrachtung sei auf den Standard [59] verwiesen.

Das Interface wurde Anfang der 90er Jahre ursprünglich für das „Scalable Coherent Interface“ (SCI) entwickelt und war für eine breitbandige Bus-Verbindung in Computern ausgelegt. Die Busbreite kann bis zu 128 Bit betragen, als Verbindungsleitung dient jeweils eine differentielle 100Ω -Leitung ($2 \times 50\Omega$ mit differentiellem 100Ω -Abschluss). Die Übertragungsgeschwindigkeit beträgt laut Standard maximal 500MBit/s. Aufgrund vieler parallel zu übertragenden Signale wird eine kleine Verlustleistung und eine gewisse Gleichförmigkeit der Signale (u.a. Skew, Matching der Kanäle, geringe Offset Spannung, u.s.w.) gefordert. Ferner wird eine gute Hochfrequenztauglichkeit spezifiziert, z.B. ein breitbandiger und reeller Ausgangswiderstand (geringer Ausgangsreflektionsfaktor), eine ebensolche Eingangsimpedanz sowie eine Gleichtaktunterdrückung („Common Mode Rejection“) bis in den Gigahertz-Bereich. All diese Eigenschaften machen dieses Interface auch für andere Anwendungen attraktiv.

4.3.2 Treiberkonzept

Treiberkonzepte für LVDS-Stufen sind beispielsweise in [59], [61] und [62] veröffentlicht. Diese Konzepte benötigen jedoch einen vollen CMOS-Hub für die Ansteuerung der Endstufe. Bei Datenraten von 1GBit/s würde dafür eine sehr hohe Verlustleistung benötigt. Ferner wären die eingespeisten Störungen auf den Versorgungsleitungen wesentlich größer, da CMOS Stufen beim Umschalten bekanntlich große Stromspitzen erzeugen. Aufgrund dieser Tatsache und der unzureichenden Hochfrequenztauglichkeit derartiger Stufen wurde ein anderes Treiberkonzept gewählt, welches meines Wissen erstmalig angewendet und, wie bereits erwähnt, patentiert wurde [53].

Die LVDS Stufe besteht aus der eigentlichen Endstufe (Fig. 4.31) sowie der Pegelregelung (Fig. 4.33). Zuerst soll die Funktionsweise der Endstufe anhand von Fig. 4.31 erklärt werden.

Die Endstufe besteht aus einer Differenzstufe (N3, N4) und einer Stromquelle (N5) am Fußpunkt, sowie zwei Sourcefolgern (N1, N2), die in Verbindung mit dem eigentlichen Abschlusswiderstand (100Ω) die Last für die Differenzstufe N3, N4 darstellen. Die Ausgangsspannung ist V_Q und V_{Qn} . Folgende Signale steuern die Stufe:

- Differenzdatensignal V_2, V_{2n}
- Differenzdatensignal V_1, V_{1n}
- Statische Steuerspannung für die Stromquelle N5.

Die Transistoren N3 und N4 werden so dimensioniert, dass sie mit dem Signal V_2 - V_{2n} vollständig oder zumindest nahezu vollständig durchgesteuert werden. Dies führt dazu, dass im jeweils durchgeschalteten Pfad (in Fig. 4.31 der Transistor N3) ein Strom in den Widerstand eingepreßt wird, der durch die Stromquelle N5 definiert ist. Die Transistoren N1 und N2 werden nun durch die Signalspannung V_1 und V_{1n} differenziell angesteuert, sodass der Strom entsprechend Fig. 4.31 entlang der gestrichelten Linie fließt. Auch die Transistoren N1 und N2 können vollständig durchgeschaltet oder gesperrt werden. Damit kann nun ein symmetrisches Signal an Q und Q_n mit kleinster Verlustleistung erzeugt werden, da nur der Nutzstrom im Widerstand fließt.

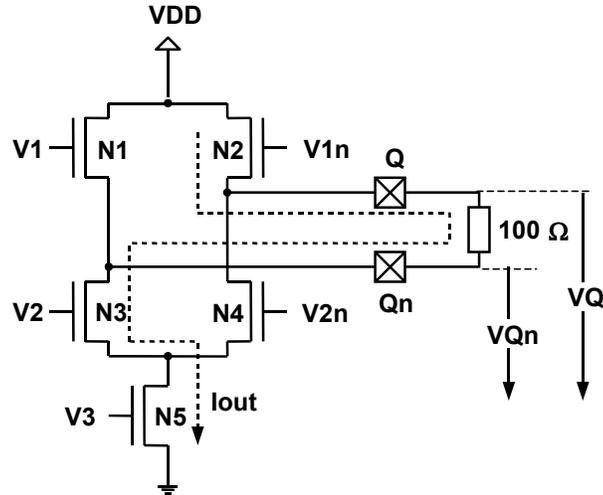


Fig. 4.31 : Grundstruktur der neuen LVDS-Ausgangsstufe

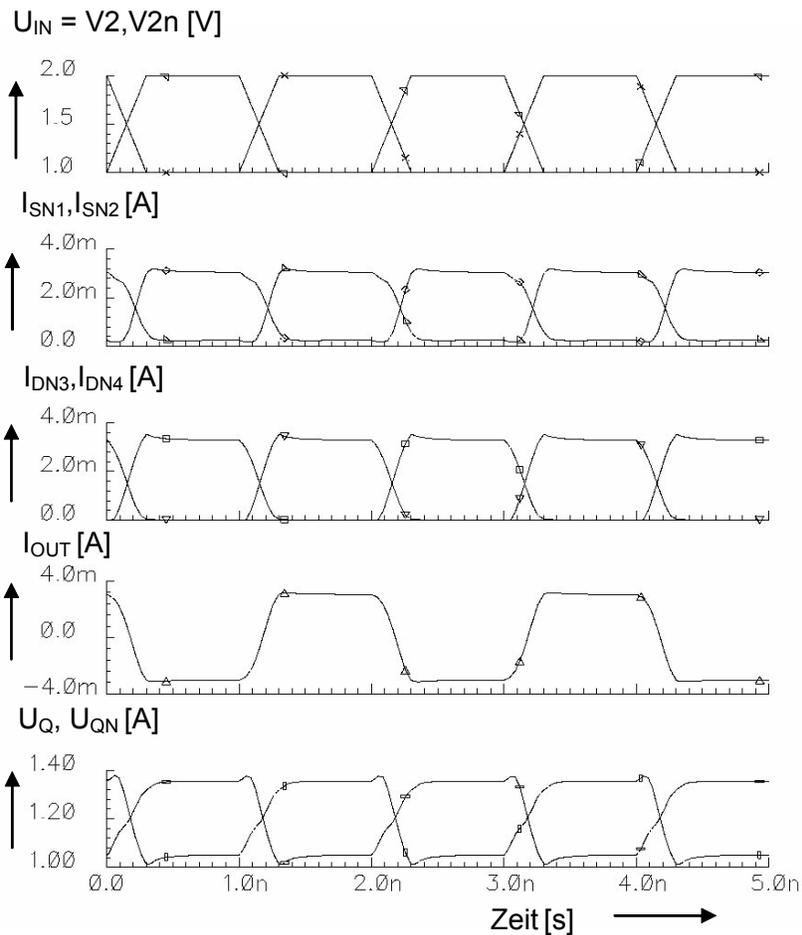


Fig. 4.32: Signalverläufe in der LVDS-Stufe, I_{Dxx} , I_{Sxx} = Drain-, Sourceströme der entsprechenden Transistoren in Fig. 4.31, I_{OUT} ist der Strom durch den Lastwiderstand

Die Ansteuerspannung $V1$, $V1n$ (Gatespannung im High-Pegel) muss nun so dimensioniert werden, dass der jeweils Strom ziehende Sourcefolger (N1 oder N2) den High-Pegel des Ausgangs definiert, d.h. die Spannung $V1n$ liegt um die Gate-Source-Spannung $V_{GS} =$

V_{1n} - V_Q höher als die geforderte Ausgangsspannung. Folgende Funktionen definieren die Ausgangspegel (high und low Pegel) der Endstufe:

$$V_{Q_{high}} = V_{1n} - V_{GSN2}(I_{OUT}) \quad (4.17)$$

$$V_{Q_{nhigh}} = V_1 - V_{GSN1}(I_{OUT}) \quad (4.18)$$

$$V_{Q_{low}} = V_{1n} - V_{GSN2}(I_{OUT}) - I_{OUT} \cdot 100\Omega \quad (4.19)$$

$$V_{Q_{nlow}} = V_1 - V_{GSN1}(I_{OUT}) - I_{OUT} \cdot 100\Omega \quad (4.20)$$

Die Signale in der Schaltung sind in Fig. 4.32 zu sehen. Hier wird deutlich, wie die Ströme nahezu vollständig umgeschaltet werden und nur im jeweils aktiven Pfad fließen. Der High-Pegel wird also (fast) ausschließlich über den Sourcefolger gesteuert, der Low-Pegel über den Strom durch den Lastwiderstand (100Ω). Ein minimaler Reststrom von einigen Prozent fließt im eigentlich gesperrten Sourcefolger (I_{SN1} , I_{SN2}).

Mit diesem Prinzip sind extrem schnelle Signalanstiegs- und -abfallzeiten möglich und das Überschwingen (sog. „Ringing“) wird gering gehalten. Aufgrund der Arbeitsweise der Schaltung kann auch die Ausgangsimpedanz weitgehend konstant gehalten werden und die Schaltung mit einem relativ kleinen Hub von ca. $1V_{pkpk}$ angesteuert werden. Sowohl n-Kanal-Source Folger als auch der Differenzverstärker haben eine hohe Bandbreite. Es werden keine p-Kanal-Schalter benötigt, die eine niedrigere Performance hätten. Als zusätzlicher Vorteil treten praktisch keine Stromspitzen auf, da der Versorgungsstrom der Stufe (wie bei CML-Schaltungen) in erster Näherung konstant ist.

4.3.3 Regelkonzept für die LVDS-Stufe

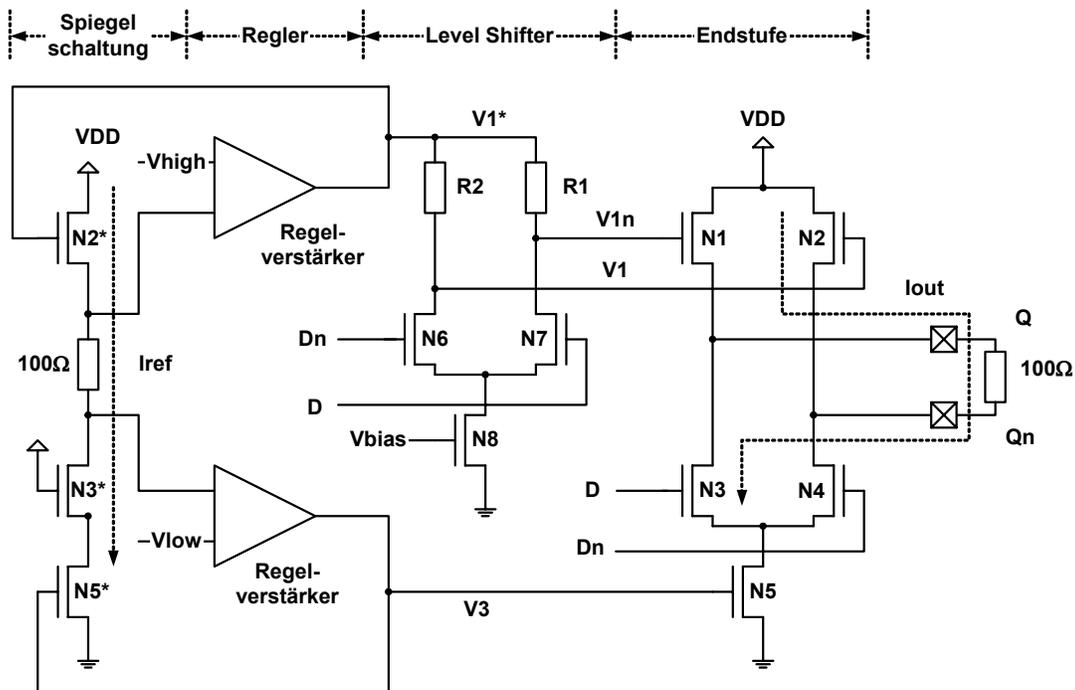


Fig. 4.33 : Prinzipskizze der Pegelregelung für die neue LVDS-Stufe

Mit diesem Schaltungskonzept wurde nun eine Hochgeschwindigkeitsausgangsstufe aufgebaut. Problematisch bleibt es, die geforderten präzisen Ausgangspegel der LVDS-Stufe zu gewährleisten. Die relativ eng tolerierten Ausgangspegel des LVDS-Standards erfordern

aufgrund der Temperatur- und Technologieabhängigkeiten der Elemente eine präzise Steuerung der Potenziale V1 und V3. V3 ist dabei eine statische Spannung zur Steuerung der Stromquelle, V1 bzw. V1n eine Pulsspannung, da einer der beiden Transistoren N1 oder N2 jeweils abgeschaltet ist. Der High-Pegel der Pulsspannung muss präzise sein, da er über die Gate-Source-Spannung den High-Pegel an Q/Qn einstellt. Der Low-Pegel von V1, V1n ist unkritisch. Er muss nur tief genug sein, um jeweils einen der beiden Transistoren N1 bzw. N2 zu sperren. Die Transistoren N3 und N4 sind Stromschalter eines Differenzverstärkers, die den Strom aus dem Transistor N5 schalten. Ihr Ansteuerpegel ist relativ unkritisch.

Die patentierte Regelschaltung in Fig. 4.33 zeigt, wie die Spannungen V1 und V3 erzeugt werden. Da die Ausgänge schalten und entsprechende Spitzenwertdetektoren zu aufwendig und bei diesen Geschwindigkeiten vermutlich auch zu ungenau wären, können an den eigentlichen Ausgängen Q und Qn keine Ist-Werte gemessen werden. Daher wurde eine Referenzstufe in Form einer Spiegelschaltung aufgebaut. Sie wird statisch betrieben und besteht aus den gleichen Bauelementen wie die Endstufe. Die entsprechenden Spiegel-elemente sind mit * gekennzeichnet. Diese Schaltung kann nun Gleichspannungspegel (High- und Low-Pegel) der Spiegelschaltung regeln. Mit den so erzeugten Steuersignalen V1 und V3 wird parallel die aktive Treiberschaltung betrieben. Die Referenzpegel (Soll-Werte V_{high} und V_{low}) werden von einer Referenzquelle (Bandgap) erzeugt und sind hinreichend stabil.

Der obere Regelverstärker erzeugt die Spannung V1*, welche im stromlosen Zustand des jeweiligen Level-Shifter-Zweiges (hier D = high, Dn = low, R2 und N6 stromlos) der Spannung V1 entspricht. Dadurch wird über den Source-Folger von N2 der High-Pegel an Q erzeugt. Bei umgekehrter Polarität des Signals (D = low, Dn = high) ergibt sich der High-Pegel an Qn.

In gleicher Weise wird der Pegel für die Stromquelle N5 über N5* erzeugt. Diese steuert den Strom im Ausgangszweig und damit über den Low-Pegel den Spannungsabfall am externen Lastwiderstand (100Ω). Um Strom zu sparen, kann man die Spiegelschaltung auch mit entsprechend skalierten Bauelementen realisieren und benötigt dann entsprechend weniger Strom im Referenzzweig.

Fig. 4.34 zeigt die Präzision der Regelung. Die Signalamplitude ist bei 27°C und 85°C Umgebungstemperatur nahezu gleich.

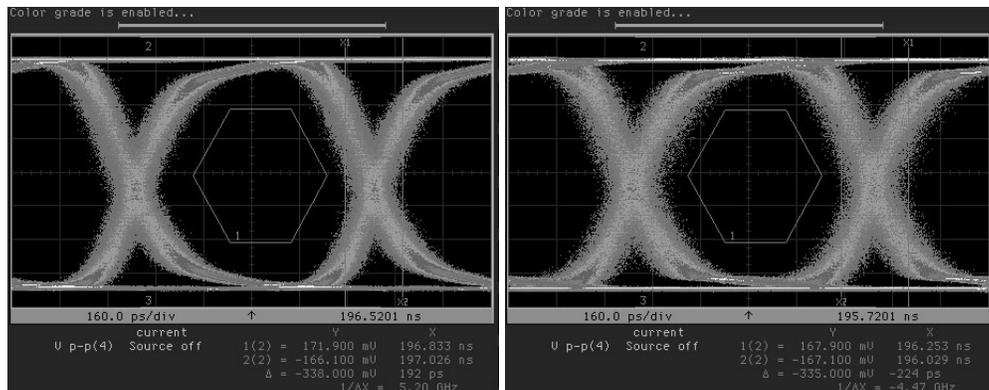


Fig. 4.34: Signalamplitude (Δ) bei 27°C (338mV, links) und 85°C (335mV, rechts)

Außerdem kann durch geeignete Dimensionierung der Transistoren N1 bis N5 der Ausgangswiderstand gemäß der LVDS-Spezifikation im Bereich von 40 bis 140Ω erreicht werden. Aufgrund der Regelung und der damit erreichten Kompensation aller Temperatur- und Technologieschwankungen wird sogar eine wesentlich kleinere Schwankung des Ausgangswiderstandes erreicht, als im LVDS-Standard spezifiziert ist.

Fig. 4.35 zeigt die Ausgangswiderstandsimpedanz der Endstufe über der Frequenz bis 1GHz und der Temperatur für den High- und Low-Pegel. Sie liegt nahe bei 50Ω innerhalb der Spezifikation von 40Ω bis 140Ω und ist bis hin zu hohen Frequenzbereichen konstant und nahezu reell. Hier nicht enthalten sind Gehäuse- und Bonddraht-Parasiten, welche allerdings in diesem Frequenzbereich noch nicht kritisch sind.

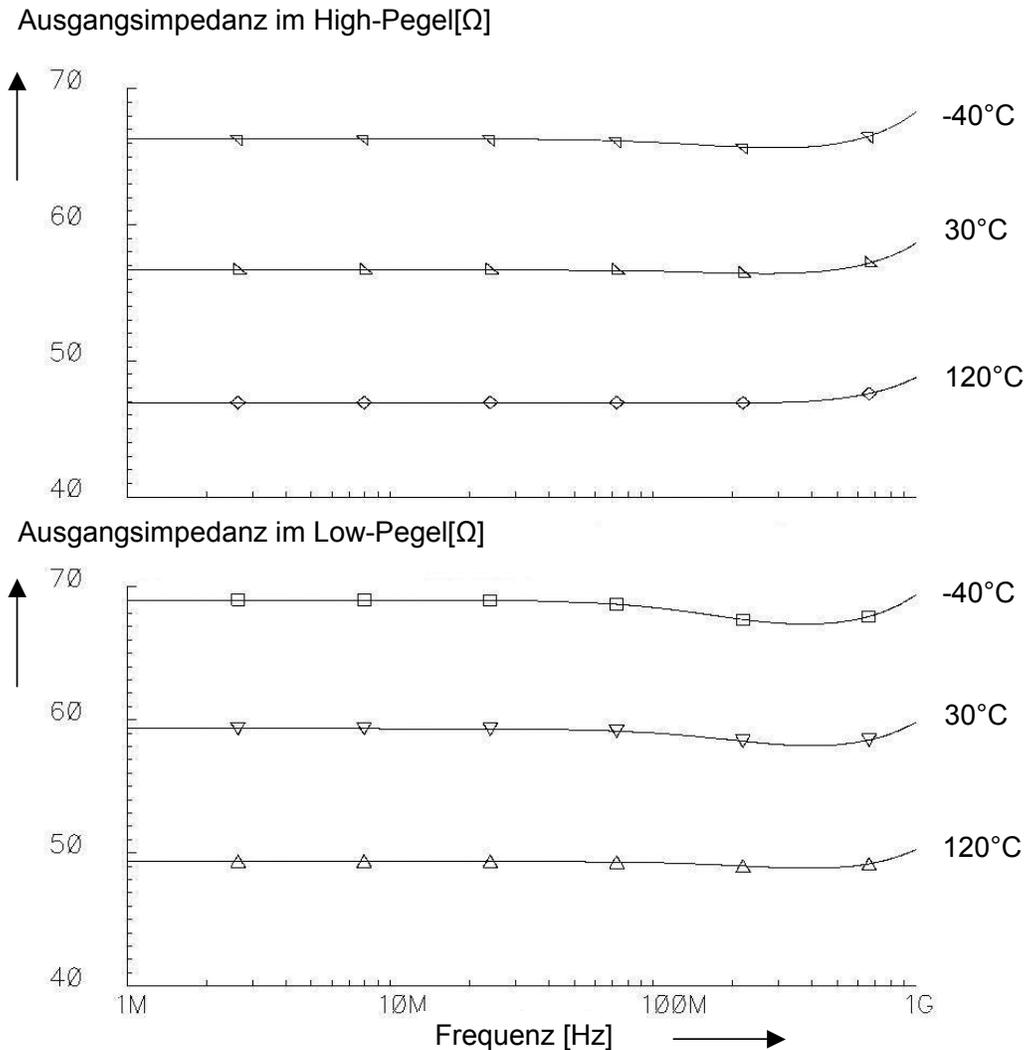


Fig. 4.35 : Betrag der Ausgangsimpedanz der LVDS-Treiberstufe für High- und Low-Pegel, über der Frequenz und der Temperatur

4.3.4 ESD-Konzeption für die Ausgangsstufe

Das ESD-Konzept für die verwendete Technologie sieht den Einbau einer „Lightly Doped Drain“ (LDD)-Struktur in n-Kanal-Ausgangs-Transistoren vor. Diese Transistoren haben folgende Layout-Regeln:

- minimale Gatelänge 0,605μm (statt 0,35μm),
- minimaler Abstand Drain (Kontakt) – Gate 3μm (statt 0,335μm für einen Standardtransistor),
- zusätzliche LDD-Implantation im Drain-Bereich zwischen Drain-Kontakt und Gate.

Diese Maßnahmen erhöhen den externen Drainwiderstand im Transistor und erzwingen damit einen gleichmäßigen Stromfluss über die gesamte Drain-Weite. Zusätzlich vermeiden sie einen lokalen Drain-Source- oder Drain-Substrat-Durchbruch im Transistor bei einer ESD-Entladung. Jedoch haben diese Transistoren erhebliche Nachteile bezüglich der Leistungsfähigkeit (Steilheit) und Geschwindigkeit (Grenzfrequenz), wie aus den nachfolgend aufgelisteten Parametern hervorgeht:

- höhere Schwellspannung (0,51V statt 0,45V),
- größerer Drain-Widerstand,
- kleinerer Sättigungsstrom,
- größere Drain-Substrat-Kapazität,
- kleinere Steilheit im Vergleich zu Minimaltransistoren.

Mit diesen Transistoren ist es daher unmöglich, bei gleicher Verlustleistung ähnliche Geschwindigkeiten wie mit Standardtransistoren zu erreichen, weshalb ein anderes ESD-Konzept verfolgt wurde. Entscheidend ist eine gleichmäßige Strombelastung im Kanal sowie eine Strombegrenzung im ESD-Fall. Deshalb ersetzt man den LDD-Bereich des Transistors mit „normalen“ zum Transistor in Serie geschalteten Poly-Widerständen, indem man gleichzeitig jeden Ausgangstransistor in viele kleine Transistoren aufteilt und jeden dieser Transistoren mit einem zusätzlichen Drain-Widerstand von mindestens 300Ω beschaltet. Der Schalttransistor N3/N4 (aus Fig. 4.33) wurde in 80 Einzeltransistoren mit je einem W/L von 880nm/605nm und mit je einem Poly-Widerstand von 300Ω aufgeteilt, der Source-Folger N1/2 in 192 Einzeltransistoren mit je einem W/L von 990/605nm mit je einem Poly-Widerstand von $1k\Omega$. Dieser Kompromiss ergab noch gute Hochfrequenzeigenschaften. Die benötigte (vorgeschriebene) größere Gatelänge von $0,605\mu\text{m}$ (statt $0,35\mu\text{m}$) vergrößert die Gate-Kapazität bei kleinerer Steilheit und verringert damit die Geschwindigkeit. Aufgrund der vielen Einzeltransistoren mit den relativ hochohmigen Widerständen ist die Gleichmäßigkeit der Stromaufteilung sowie die Strombegrenzung gegeben. Der zusätzliche Kapazitätsbelag im Drain-Pfad ist vernachlässigbar, da die Poly-Widerstände sehr kapazitätsarm sind. Der Hauptnachteil der ESD-tauglichen Schaltung liegt in der geringeren Steilheit und größeren Gate-Kapazität der Ausgangstransistoren. ESD-Tests ergaben eine Belastbarkeit von über 1000V entsprechend dem Human Body Model [63]. Der zusätzliche ohmsche Serienwiderstand pro Ausgang von etwa 4Ω pro Transistor ist vernachlässigbar. Um die Konstanz der Ausgangsspannungen zu gewährleisten, muss natürlich auch ein gleicher Transistortyp in die Spiegelschaltung (Fig. 4.33) eingebaut werden, damit eine optimale („spiegelbildliche“) Referenz entsteht.

4.4 Spannungsregler

Eine weitere Herausforderung für den Baustein war die Entwicklung einer Spannungsversorgung, wobei der Spannungsversorgungsbereich von 3 bis 5 Volt reichen sollte. Die eigentliche Verstärkerschaltung für einen derartig großen Versorgungsbereich auszulegen, scheiterte für diese Technologie aufgrund der maximal zulässigen Spannung von 3,6V. Dies wäre aber auch wegen der großen Variation der Arbeitspunkte innerhalb der Schaltung schwierig geworden. Durch die Einfügung des Spannungsreglers konnte die Schaltung für einen relativ kleinen Schwankungsbereich der Versorgung ausgelegt werden. Allerdings wurde die Versorgungsspannung der inneren Schaltung auf ca. 2,85V typisch abgesenkt.

Weiter wurden zwei Spannungsregler eingebaut, einer für die Vorstufe (TIA und relevante Schaltungsteile), einer für die restliche Schaltungsteile. Damit kann eine gute Entkopplung der Versorgungsspannung der empfindlichen Schaltungsteile erreicht werden. Ein Großteil der für den Regler erforderlichen Chip-Fläche wird bereits von den p-Kanal-Regeltransistoren

(Stellglieder) benötigt, die wegen des kleinen Spannungsabfalls von nur 200 bis 300mV eine sehr große Weite haben müssen. Sie beträgt $2200\mu\text{m}$ für den Regler des Eingangsbereiches und $4400\mu\text{m}$ für den Regler der Endstufe bei einer Gatelänge von $0,35\mu\text{m}$. Die Regelverstärker belegen eine kleinere Fläche. So fällt die doppelte Auslegung der Versorgung flächenmäßig nicht sonderlich ins Gewicht.

Mehrere Probleme waren beim Aufbau der Stufe zu lösen:

- möglichst hohe Bandbreite,
- Treiberfähigkeit für hohe kapazitive Lasten (Regeltransistor),
- Toleranz der Spannungsversorgung von 3,135 bis 5,5V.

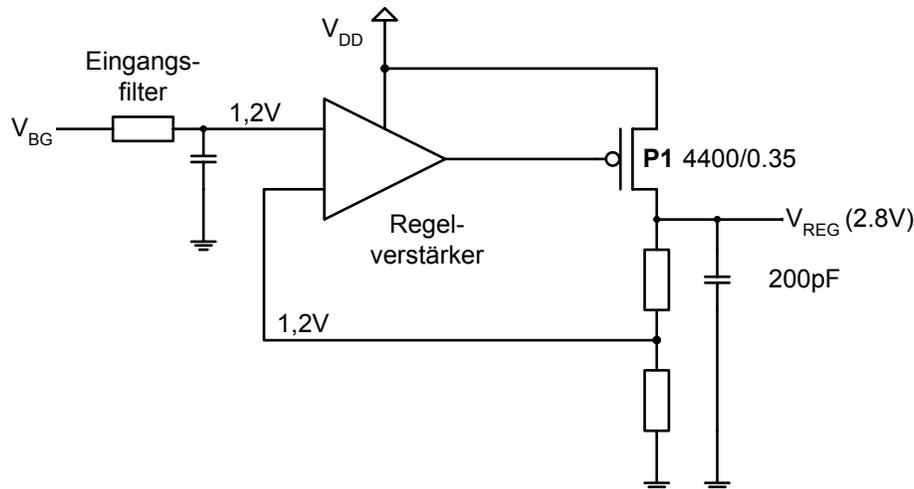


Fig. 4.36 : Blockschaltbild des Spannungsreglers, V_{BG} ist die Bandgap Spannung, V_{REG} die geregelte Ausgangsspannung von 2,8 V

Fig. 4.36 zeigt die Realisierung im Überblick. Die Referenzspannung aus der Bandgap (V_{BG}) muß nochmals gefiltert werden, um niederfrequente Störeinkopplungen aus der Versorgung (V_{DD}) zu vermindern. Der Regelverstärker steuert den p-Kanal-MOS-Transistor P1, der für die geregelte Versorgung V_{REG} sorgt. Eine MOS-Kapazität auf dem Chip von ca. 200 pF dient für die hochfrequente Abblockung der geregelten Chip-Versorgungsspannung.

In Fig. 4.37 ist der Regelverstärker (Operationsverstärker) dargestellt. Er enthält wegen der erforderlichen Bandbreite und der im ungünstigsten Fall geringen Versorgungsspannung folgende Schaltungselemente:

- Folded-Kaskoden-Schaltung wegen des Betriebs bei kleinen Spannungen und höheren Geschwindigkeiten,
- gepufferte Stromquellen (Kaskoden), um den Einfluss der Spannungsversorgung zu reduzieren und die Verstärkung zu erhöhen,
- zusätzliche Serien-Widerstände (R25, R26) und Transistoren in Diodenschaltung (N22) um die Spannung im Kernbereich des Verstärkers für den 5V-Betrieb zu reduzieren sowie
- eine kapazitive Kompensation (C2, 9,5 pF), zur Gewährleistung der Stabilität.

Aufgrund der benötigten hohen Treiberleistung für den Regeltransistor (wegen dessen Gate-Source-Kapazität von ca. 6pF) wird eine verhältnismäßig hohe Stromaufnahme von 2,7mA benötigt. Der Knoten D8 steuert das Gate vom Regeltransistor P1 (Fig. 4.36). Die Kompensationskapazität (Knoten CMOP) wird an V_{REG} angeschlossen.

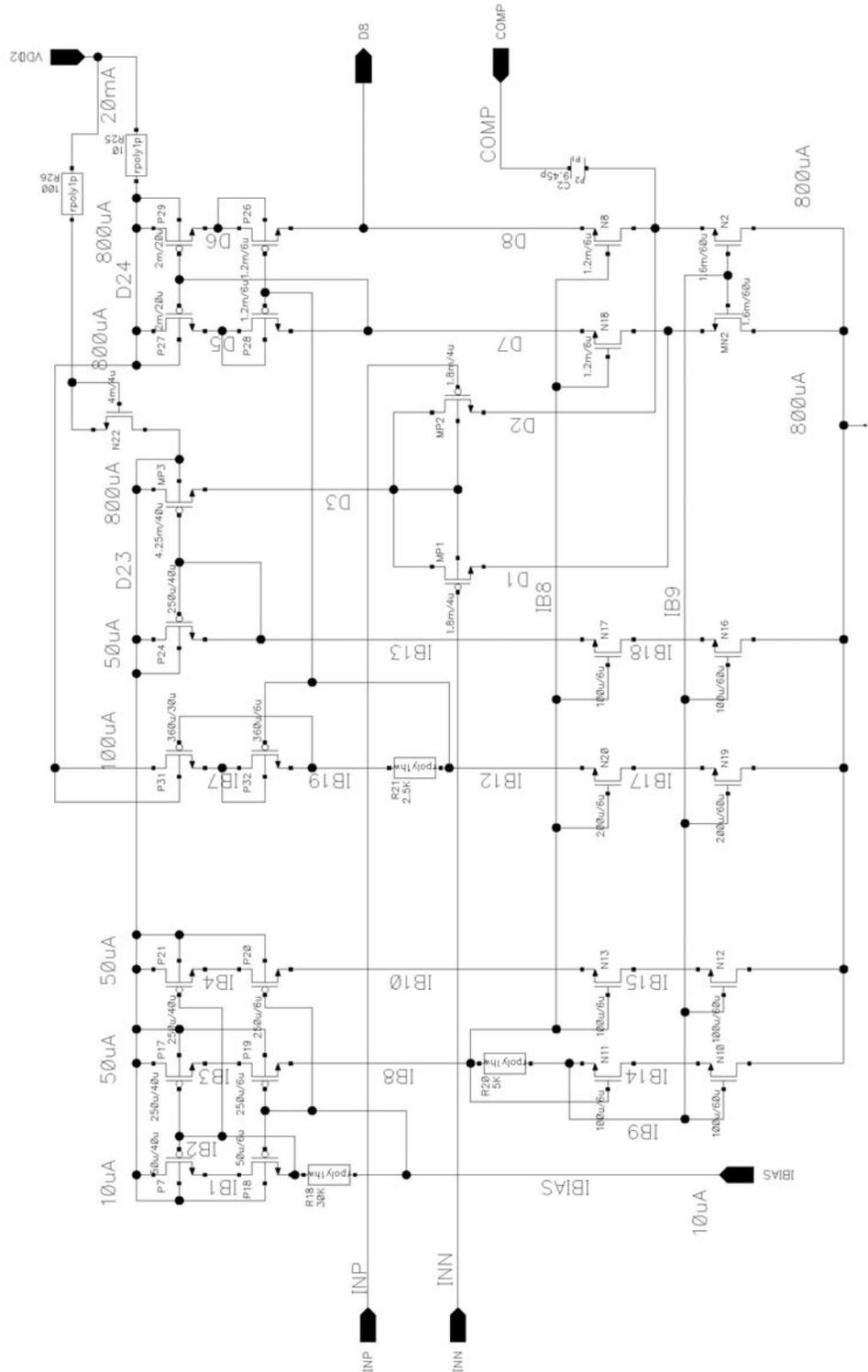


Fig. 4.37 : Schaltbild des Regelverstärkers im Spannungsregler

4.5 Layout

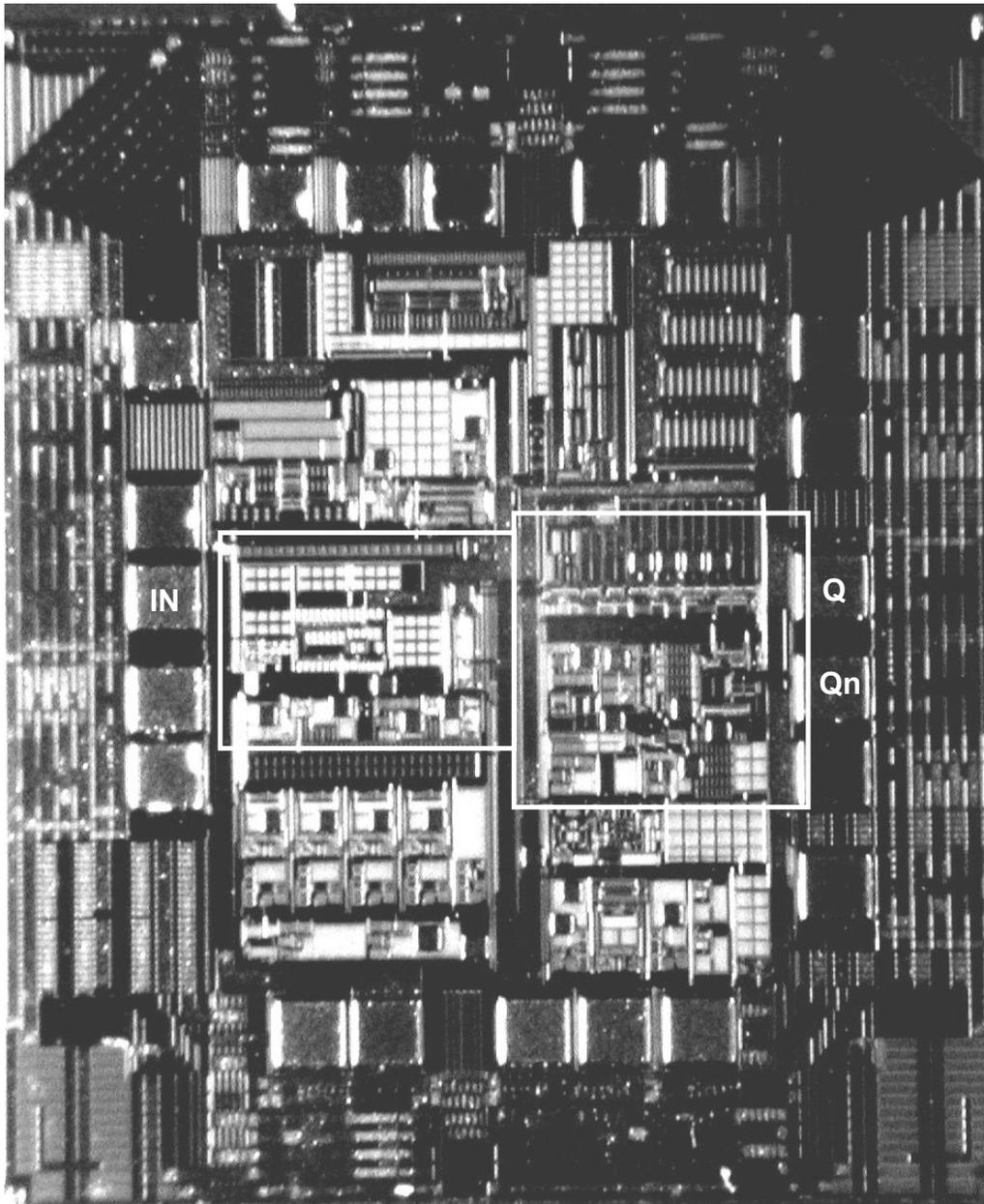


Fig. 4.38 : Layout der gesamten Empfängerschaltung

Fig. 4.38 zeigt das Layout der gesamten Empfängerschaltung. Im Bild sind zwei Rechtecke markiert. Links der Schaltungsteil des TIA mit dem Eingangspad („IN“), im Rechteck daneben der Nachverstärker mit den Ausgangspads („Q“ und „Qn“). Darunter befinden sich die Schaltungsteile für die Regelung des TIAs und die Signal-Detekt-Schaltung. Oberhalb der Verstärkerschaltungen liegen die Spannungsregler sowie die Bias-Schaltungen. Außerhalb des Padframes sind die ESD-Schaltungen untergebracht, in den Ecken die größeren Kapazitäten der Regelkreise und der Spannungsversorgungen. Der Chip misst ca. 1,3 x 1,6 mm.

5 Messergebnisse

In diesem Kapitel werden die wichtigsten Messergebnisse des Empfängers präsentiert. Bei der hier verfolgten Integration ist es bis auf wenige Ausnahmen unmöglich, einzelne Teilschaltungen getrennt zu messen. Deshalb beschränkt sich das Kapitel im Wesentlichen auf Systemmessungen.

5.1 Empfindlichkeitsmessungen

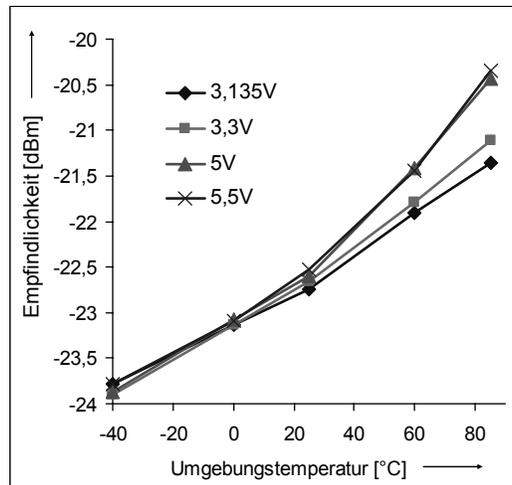


Fig. 5.1 : Optische Empfindlichkeit des 1,25Gbit/s-Empfängers

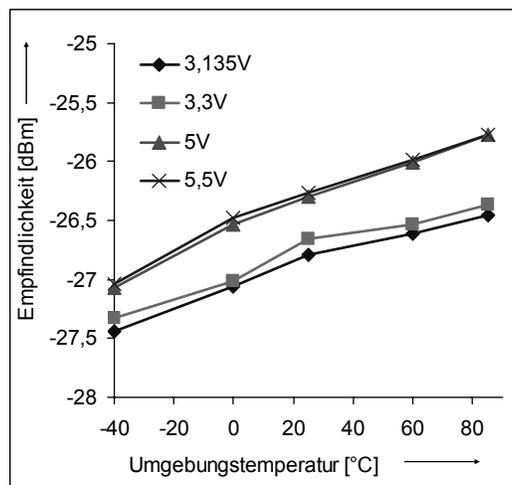


Fig. 5.2 : Optische Empfindlichkeit des 622Mbit/s-Empfängers

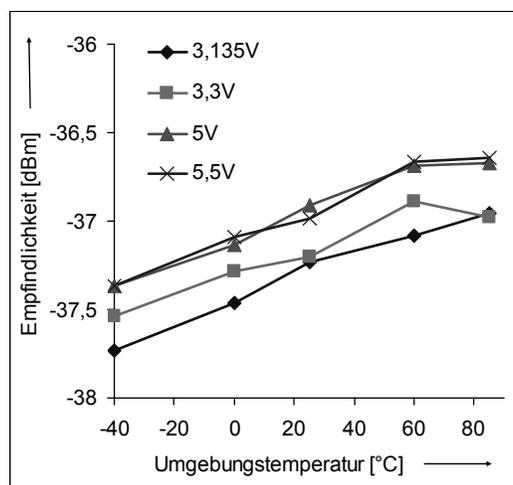


Fig. 5.3 : Optische Empfindlichkeit des 155MBit/s-Empfängers

Fig. 5.1 bis Fig. 5.3 zeigen die erreichten optischen Empfindlichkeitswerte der Empfängerschaltungen der Datenraten 155Mbit/s, 622Mbit/s und 1,25Gbit/s über Temperatur und Versorgungsspannung. Man erkennt eine relativ starke Temperaturabhängigkeit von etwa 3dB bei den 1,25Gbit/s Schaltungen gegenüber 1dB bei den anderen Schaltungen. Hervorgerufen wird diese große Schwankung bei der 1,25Gbit/s-Schaltung durch eine relativ starke Abnahme der Bandbreite über der Temperatur. Die Verstärkung ist also nicht der limitierende Faktor. Sie ist über den ganzen Temperaturbereich ausreichend, wie aus den Signalbildern (Augendiagramme) im nächsten Abschnitt zu erkennen ist. Da bei den 622Mbit/s- und 155Mbit/s-Empfängern der Bandbreiteneinfluss aufgrund der verringerten Datenraten vernachlässigbar ist, ist auch der Temperaturgang der Empfindlichkeit wesentlich geringer.

Die Randbedingungen für diese Messungen waren:

- Eingangskapazität inklusive der Photodiode und parasitärer Aufbaukapazitäten : 1pF
- Responsivity der Photodiode : 0,75 A/W
- Jitter des optischen Eingangssignals : ca. 100ps
- Extinction Ratio* des optischen Sendesignals : ca. 10dB
- Pseudo-Zufalls-Bitmuster (PRBS) : 2^7-1
- Bitfehlerrate BER = 10^{-12}

Folgende Tabelle zeigt im Überblick die Messergebnisse einschließlich der gerechneten Eingangsräuschkennwerte und der Transimpedanzwiderstände der drei Empfängerschaltungen.

Tabelle 5.1 : Übersicht über die Empfängereigenschaften

Bitrate		155MBit/s	622MBit/s	1,25Gbit/s
Äquivalentes Eingangsräuschen bei 25°C		$1,5\text{pA}\sqrt{\text{Hz}}$	$9\text{pA}\sqrt{\text{Hz}}$	$16\text{pA}\sqrt{\text{Hz}}$
Rückkopplungswiderstand R_F		30k Ω	5k Ω	1,5k Ω
Typische optische Empfindlichkeit für eine Bitfehlerrate von 10^{-12} [dBm]	-40°C	-37,5	-27,5	-24
	25°C	-37,2	-27	-22
	85°C	-36,5	-26,5	-21
Verlustleistung für 3,3V (gesamte Schaltung)	25°C	160	200	200
	85°C	170	260	260

* Die Extinction Ratio ER ist das Verhältnis des optischen High Pegels zum Low Pegel, $ER = 10\log(P(H)/P(L))$

5.2 Augendiagramme

Die folgenden Bilder zeigen die Signale am digitalen LVDS-Ausgang. Der Signalhub entspricht einer Amplitude von ca. 350mV entsprechend dem typischen Pegel des LVDS-Standards. Der Verstärker ist in Begrenzung, zu erkennen am rauschfreien High- und Low-Pegel. Die Anstiegs- und Abfallzeiten betragen etwa 200ps, ein für diese Technologie hervorragender Wert. Zur Messung wurden beide Ausgänge mit 50Ω und kapazitiver Kopplung abgeschlossen. Diese Messung entspricht der Anwendung, nämlich dem Abschluss mit differentielltem 100Ω Widerstand entsprechend dem LVDS-Standard.

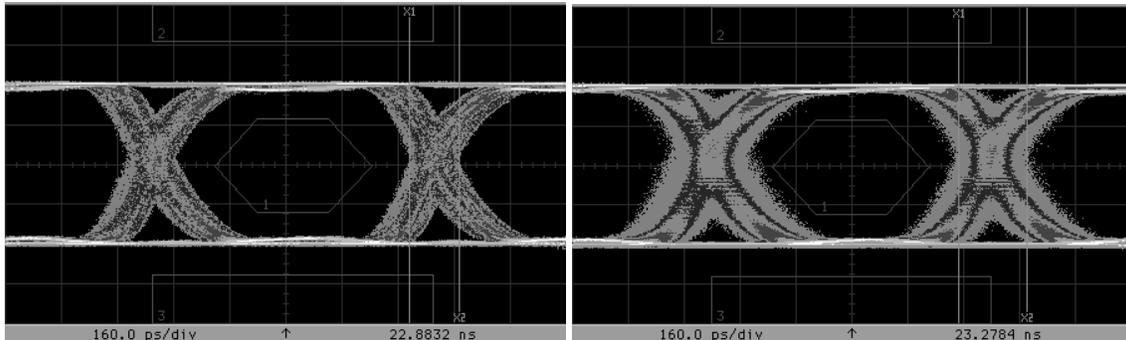


Fig. 5.4 : Augendiagramme des 1,25GBit/s Empfängers, links 0dBm, rechts -21dBm optische Eingangsleistung, $t_{\text{Bit}} = 800\text{ps}$

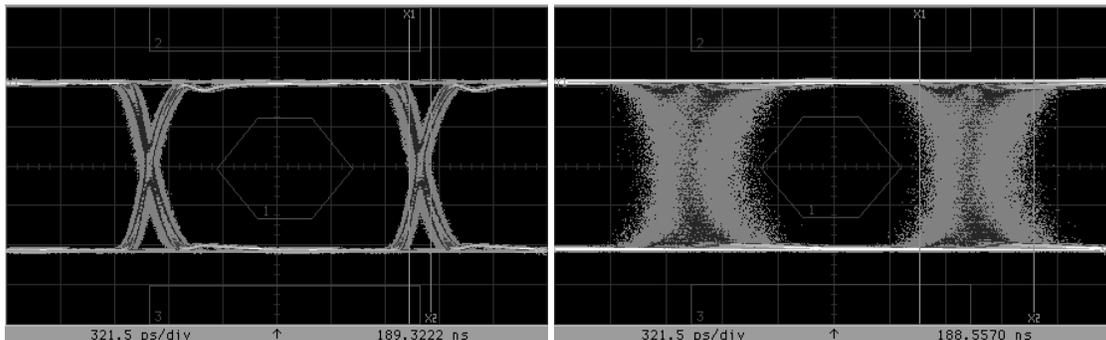


Fig. 5.5: Augendiagramme des 622MBit/s Empfängers, links 0 dBm, rechts -26dBm optische Eingangsleistung, $t_{\text{Bit}} = 1,6\text{ns}$

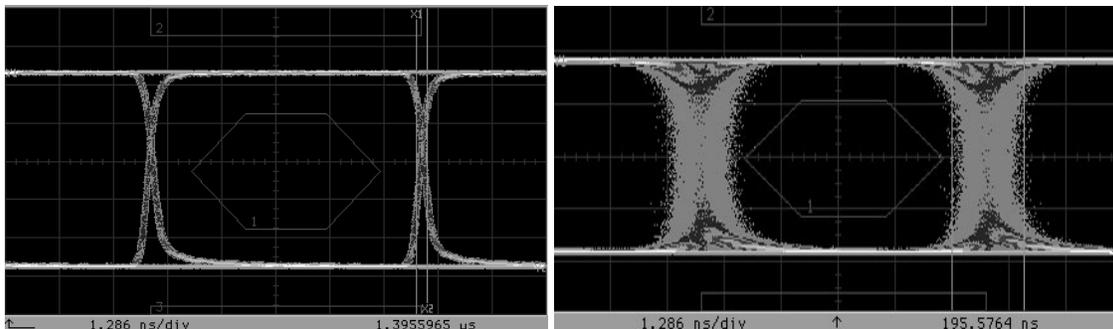


Fig. 5.6 : Augendiagramme des 155MBit/s Empfängers, links 0dBm, rechts -37dBm optische Eingangsleistung, $t_{\text{Bit}} = 6,45\text{ns}$

Die rechten Bilder aus Fig. 5.4 bis Fig. 5.6 zeigen deutlich, dass das Signal auch für die untere Grenze der Eingangsleistung in Begrenzung geht, ein Nachweis für die in allen Fällen ausreichende Verstärkung. Ferner ist auf diesen Bildern der zunehmende Rauschpegel auf den

Flanken zu erkennen, hervorgerufen durch den Betrieb an der Rauschgrenze (siehe dazu die Erläuterungen in Kap 2.1.6). Die Messbedingungen entsprechen den oben erwähnten Randbedingungen, Umgebungstemperatur war 27°C, Spannungsversorgung 3,3V.

5.3 Jittermessungen

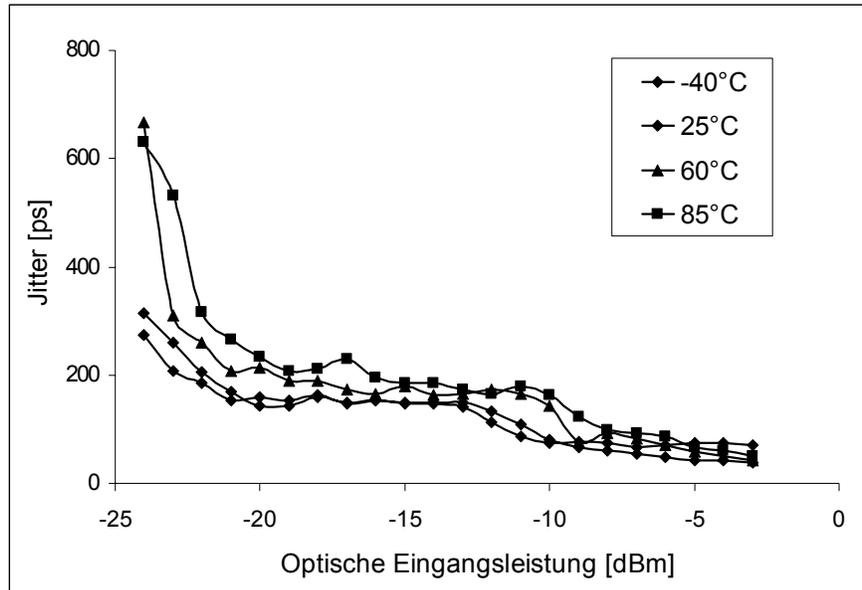


Fig. 5.7 : Jitter des 1,25GBit/s-Empfängers

Wie schon an den Masken (Hexagone in Fig. 5.4 bis Fig. 5.6) der gezeigten Augendiagramme ersichtlich, werden die geforderten Jitterwerte eingehalten. Fig. 5.7 zeigt exemplarisch das Jitterverhalten für den 1,25 GBit/s Empfänger, abhängig von der optischen Eingangsleistung und der Temperatur. Dieser Empfänger ist, wie bereits erwähnt, bezüglich Bandbreite und Verstärkungsreserve kritisch. Dasselbe gilt auch für die Jitterwerte. Wie die Grafik zeigt, wird über Temperatur und den gesamten Eingangsleistungsbereich die Gigabit-Ethernet-Spezifikation eingehalten. Da der Einfluss der Spannungsversorgung auf den Parameter gering ist, wurde er der Übersichtlichkeit wegen nicht aufgetragen. Erkennbar ist allerdings eine gewisse Schwankung im Jitterverhalten bei mittleren Leistungswerten (vor allem bei etwa -10 dBm). Dies wird durch die beschriebene Umschaltung der Kompensationskondensatoren im Rückkopplungszweig des TIA (siehe Kapitel 4.1.3) hervorgerufen, welche bei diesen Leistungswerten erfolgt. Für die Grafik wurde der Jitter des optischen Senders herausgerechnet. Deshalb sind die Jitterwerte in den Augendiagrammen geringfügig größer. Der Random Jitter (Einfluss des Rauschens auf den Jitter) wurde für eine Fehlerrate von 10^{-12} bewertet, dies bedeutet eine Extrapolation auf $\pm 7\sigma$ des Effektivwertes.

5.4 Signal Detect Messungen

Ein großes Problem stellte die Entwicklung einer Signal Detect Schaltung dar, die stabil über Temperatur und Spannungsversorgung funktionieren sollte. Der Gigabit-Ethernet-Standard verlangt einen Schaltbereich zwischen -19 und -29 dBm. Wie aus dem vorhergehenden Kapitel bekannt, hat der Nachverstärker selbst nach Kompensation einen beträchtlichen Temperaturgang und variiert erheblich über die Technologieparameter. Dies sollte durch den Kompensationsverstärker in der Signal Detect Schaltung verbessert werden.

Das Ergebnis ist in Fig. 5.8 zu sehen. Es zeigt die Einhaltung des Umschaltbereiches (allerdings nur knapp). Dies bedarf sicher einer Verbesserung. Die Spannungsabhängigkeit ist relativ gering, die gezeigten Kurven überstreichen den vollen Spannungsversorgungsbereich. Die Hysterese beträgt durchgehend etwa 2dB.

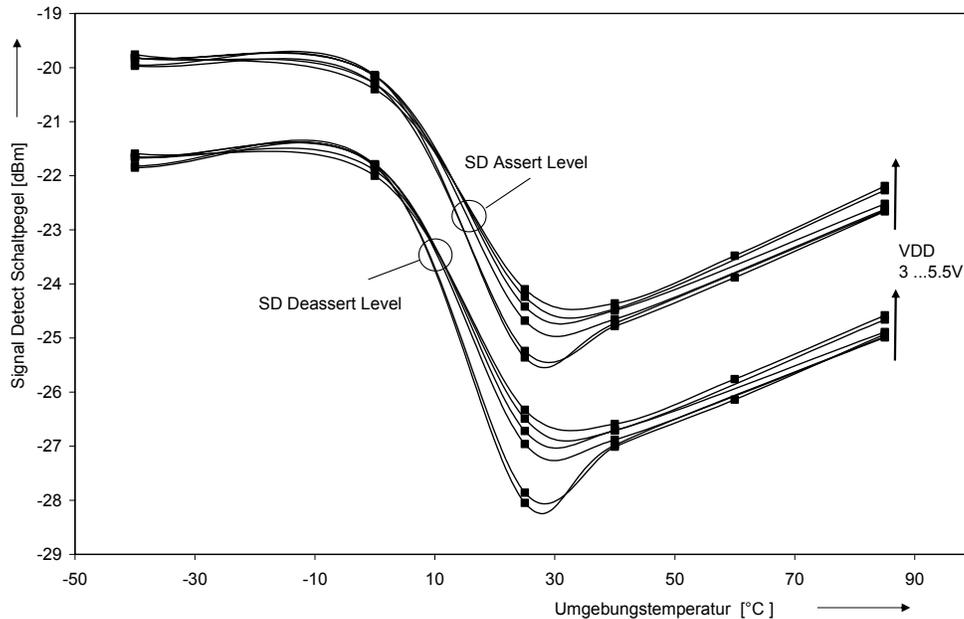


Fig. 5.8 : Schaltschwelle der Signal Detect Schaltung; Einschaltpegel (Assert Level) oben, Ausschaltpegel (Deassert Level) unten

5.5 Power Supply Rejection Ratio

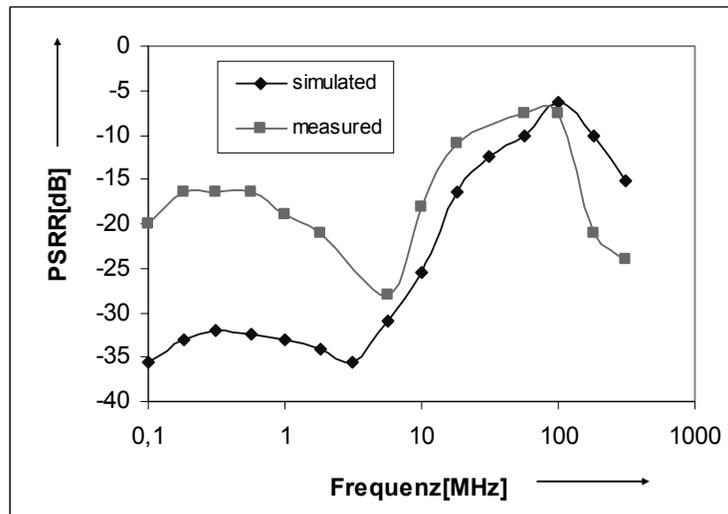


Fig. 5.9 : Störungseinfluss der Versorgungsspannung im Spannungsregler (Power Supply Rejection Ratio, PSRR), Vergleich Simulation und Messung

In Fig. 5.9 wird der Einfluss von Störungen auf die Versorgungsspannung dargestellt, und zwar als Vergleich von Simulation und Messung. Vertikal aufgetragen ist die Power-Supply-Rejection-Ratio (PSRR), also das Verhältnis des Störpegels der intern geregelten Spannung im Verhältnis zum Störpegel der externen Versorgungsspannung.

$$\text{PSRR} = 20 \log (<V_{\text{REG}}>/<V_{\text{DD}}>) \quad (5.1)$$

PSRR	Power supply rejection ratio
<V _{REG} >	Störpegel auf der geregelten Spannung
<V _{DD} >	Störpegel auf der Versorgungsspannung

Man kann eine recht gute Übereinstimmung feststellen. Der eigentliche Regler hat eine Bandbreite von ca. 10MHz, ist also nicht breitbandig genug, um die geforderte Bandbreite der Störung zu unterdrücken. Daher kann man für Frequenzen größer 10MHz eine Abnahme der Störunterdrückung feststellen. Dies wurde jedoch in Kauf genommen, da sonst eine erheblich höhere Stromaufnahme für den Regelverstärker nötig gewesen wäre. Im hochfrequenten Bereich (>100MHz) unterdrückt der integrierte 200pF-Kondensator Störungen. Mit größeren Kondensatoren außerhalb des Chips kann daher der steile Abfall rechts von 100MHz zu kleineren Frequenzen hin verschoben und damit die Störunterdrückung verbessert werden. Die gemessene schlechtere Störunterdrückung bei kleinen Frequenzen (<1MHz) resultiert aus einer nicht optimalen Filterung der Bandgap-Spannung (V_{REF}), ist jedoch, wie in Kap. 4.4 beschrieben, durch Anpassung des integrierten Eingangsfilters einfach zu beheben.

Zur Verbesserung der relativ schlechten Störunterdrückung um 100MHz wird der Einbau eines Filters an der Spannungsversorgung des Bausteins (z.B. ein π -Filter mit $2 \times 4,7\mu\text{F}$ und $4,7\mu\text{H}$) vorgeschlagen, damit Störungen bereits dort vermindert werden und gar nicht mehr in den Baustein gelangen. Eine derartige Beschaltung wird bei handelsüblichen Empfängerbausteinen ebenfalls angewendet, da es schwierig bis unmöglich sein dürfte, auf dem Chip einen breitbandigen Spannungsregler mit noch vertretbarer Stromaufnahme (Treiberfähigkeit) und entsprechendem Flächenbedarf (große MOS-Kapazitäten) zu integrieren.

5.6 Isolation des Nebensprechens auf dem IC

Ein besonders wichtiger Aspekt der Empfängerschaltung ist die Vermeidung von Nebensprechen auf dem IC vom Ausgang zum Eingang und damit die Vermeidung einer Rückkopplung. Nur dadurch kann die maximale Empfindlichkeit erzielt werden. Folgende Maßnahmen im Design wurden getroffen, um bestmögliche Werte zu erreichen:

- patentierte Reduzierung der Verstärkung bei kleinen Temperaturen [52]
- differentielle Signale im Nachverstärker und Ausgangstreiber, keine Push-Pull-CMOS-Signale
- Schirmung der relevanten Schaltungsteile durch Guard-Ringe,
- getrennte Spannungsversorgung von Eingangs- und Ausgangsstufen,
- größtmögliche Entfernung von Eingang und Ausgang auf dem Chip.

Nachfolgend beschriebene Tests demonstrieren, dass das Nebensprechen auf dem Chip sehr gut unterdrückt werden konnte. Fig. 5.10 zeigt den Chip auf der Testleiterplatte, mit der die Tests durchgeführt wurden. Die relevanten Signalpins (Eingang und Ausgänge (Q, Qn) sind im Bild beschriftet. Die Leitungen Q und Qn sind dabei als 50 Ω -Streifenleitungen ausgeführt, am Eingangspin wird die Photodiode (im TO46-Gehäuse) angelötet.

Fig. 5.12 bis Fig. 5.14 zeigen das Rauschspektrum des Chips ohne Photodiode und mit unterschiedlich angebundenem Photodiodengehäuse. Die Messungen lassen vermuten, dass über das Photodiodengehäuse sowie den entsprechenden inneren Gehäusekapazitäten der Photodiode eine schwache Rückkopplung besteht, die eine Rauschüberhöhung bei ca. 600MHz generiert, die ohne Photodiode nicht vorhanden ist. Es ist anzunehmen, dass ein Teil der Rauschüberhöhung, die bei den Messungen in Fig. 5.12 nicht auftritt, durch die zusätzliche Photodiodenkapazität am Eingang des Verstärkers bedingt ist (vergleiche dazu

Kap. 3.1). Bei unbeschaltetem Eingang, wo nur ein Bonddraht zum Leiterplatten Bondpad führt, ist ein flaches Rauschspektrum (Fig. 5.12) vorhanden. Die kleine Rauschüberhöhung bei 170MHz, die sogar ohne Photodiode am Eingang auftritt, scheint im Chip selbst zu entstehen. Deshalb wurden weitere Versuche angestellt, um den Mechanismus zu verstehen.

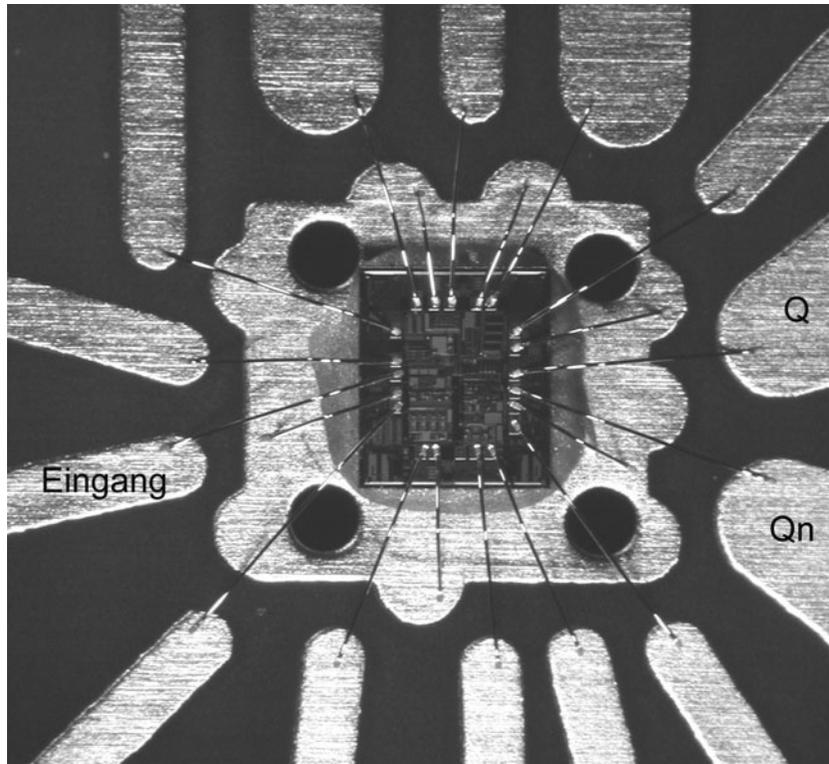


Fig. 5.10 : Empfänger-Chip auf Testleiterplatte

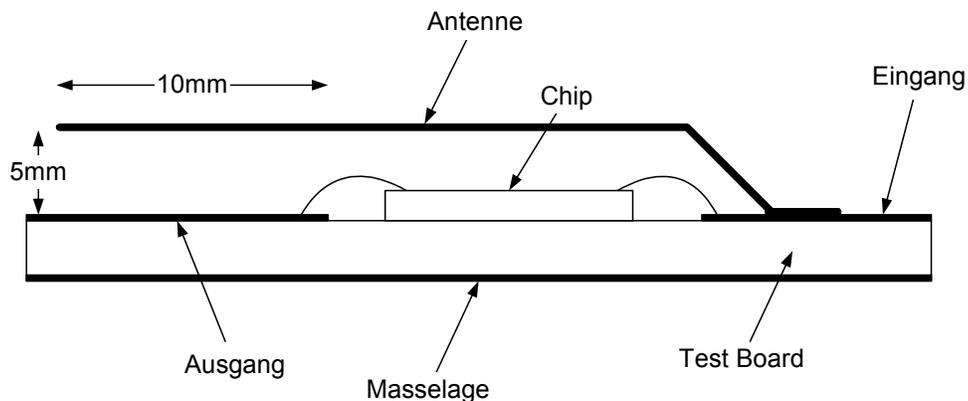


Fig. 5.11 : Skizze der Konfiguration des Empfänger Chips auf der Testleiterplatte und mit Antenne für die Rückkopplungsversuche (Querschnitt)

Die Skizze von Fig. 5.11 zeigt eine „Antenne“, die vom Eingangspin zum Ausgang „Q“ bzw. „Qn“ in Form eines ca. 15mm langen Drahtes angebracht wurde. Eine Länge von 10mm dieser Antenne lagen parallel und in ca. 5mm Höhe zu jeweils einer der beiden Ausgangsleitungen Q oder Qn. Dieser Draht stellt eine Kapazität von ca. 100fF zur jeweiligen Ausgangsleitung dar. Je nachdem zu welchem Ausgang nun gekoppelt wird, entsteht das Spektrum in Fig. 5.15 oder Fig. 5.16, also eine Schwingfrequenz von 498MHz bzw. 170MHz, hervorgerufen durch eine starke Rückkopplung. Der Aufbau mit der Kopplung zum

Ausgang „Q“ liefert die gleiche Schwingfrequenz, die im Rauschspektrum des Empfängers ohne Photodiode auftritt. Es liegt daher nahe, auf dem Chip eine schwache Rückkopplung vom Ausgang Q zum Eingang zu vermuten, durch die die schwache Spitze im Rauschspektrum bei 170MHz erzeugt wird.

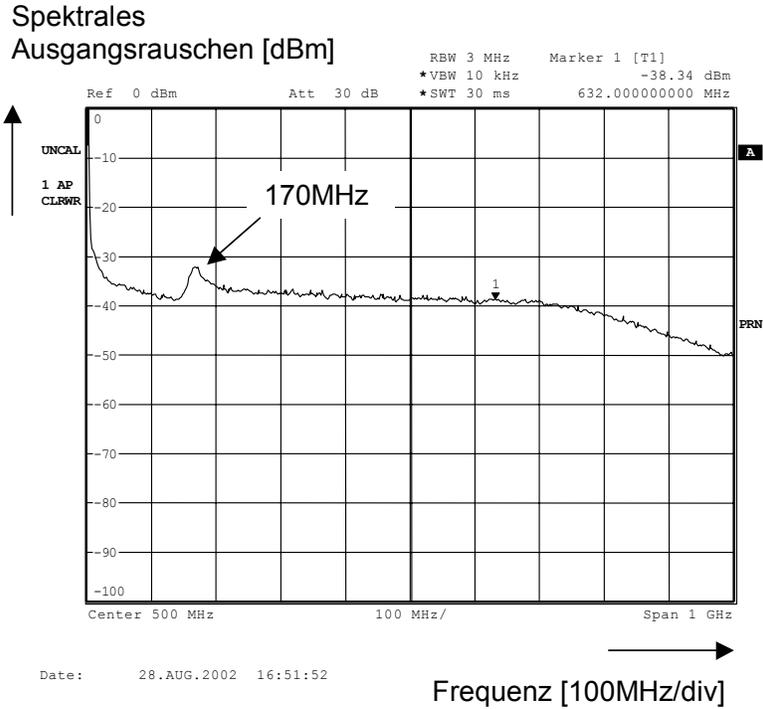


Fig. 5.12 : Empfänger Ausgangsrauschspektrum ohne Photodiode am Eingang

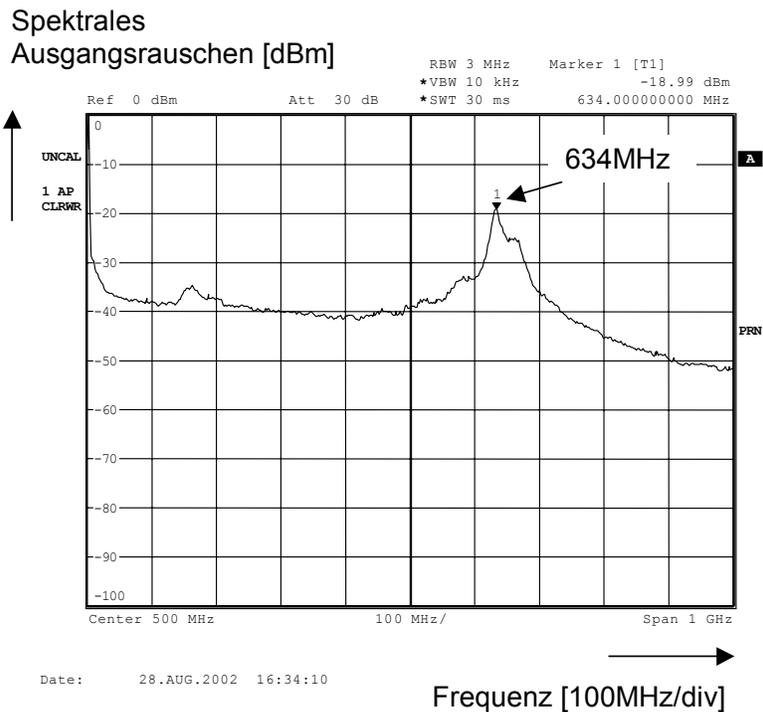


Fig. 5.13 : Empfänger Ausgangsrauschspektrum mit Photodiode am Eingang

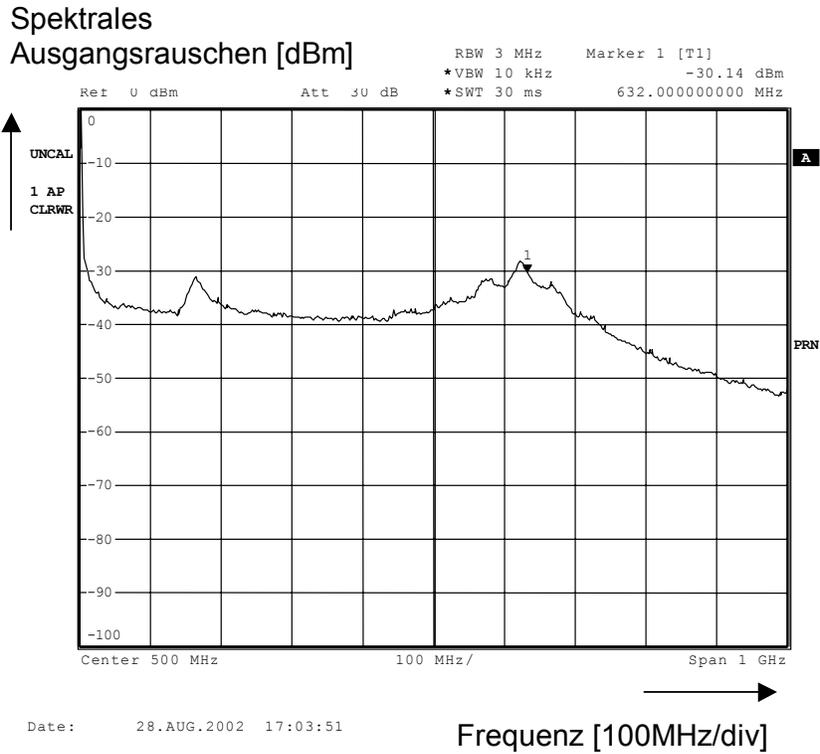


Fig. 5.14 : Empfänger Ausgangsrauschspektrum mit Photodiode am Eingang, bessere Erdung des Photodioden Gehäuses als in Fig. 5.13

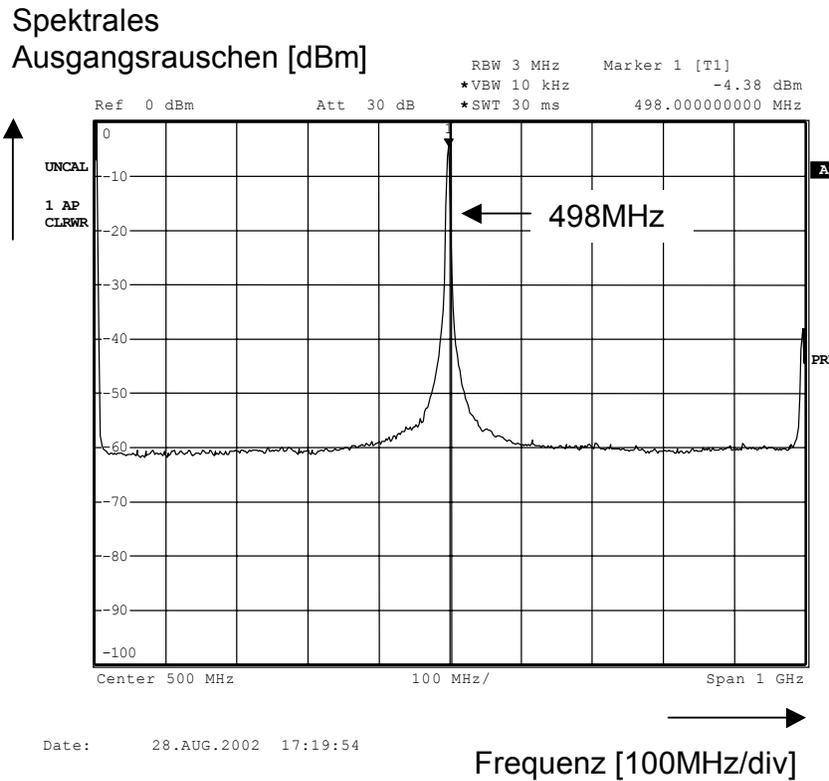


Fig. 5.15 : Empfänger Ausgangsrauschspektrum mit Antenne zum Ausgang Qn

Spektrales Ausgangsrauschen [dBm]

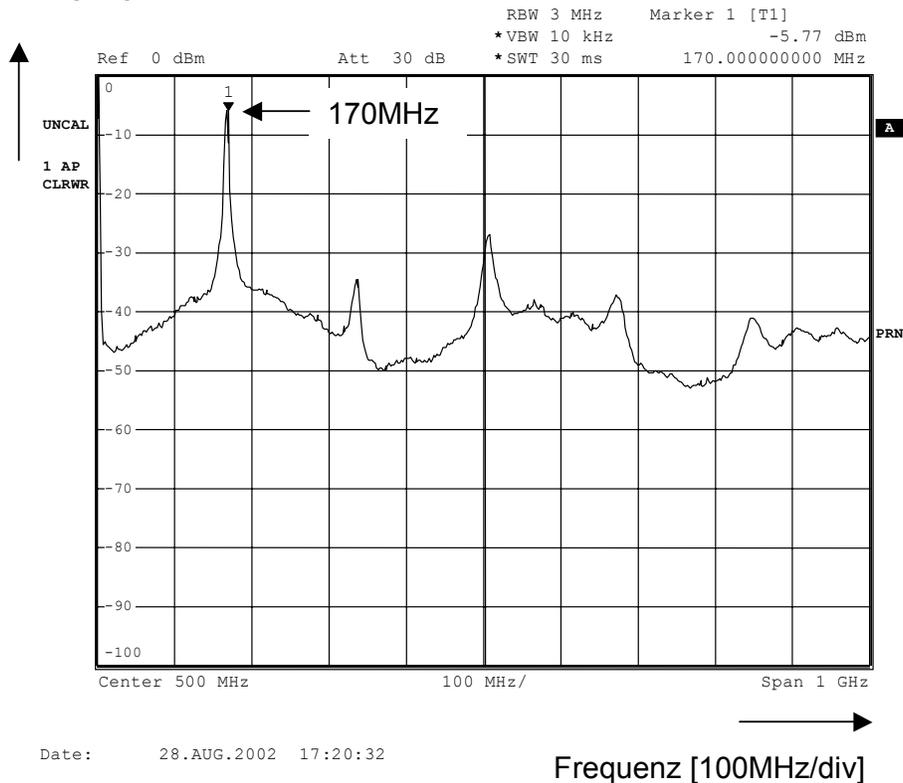


Fig. 5.16 : Empfänger Ausgangsrauschspektrum mit Rückkopplung zum Ausgang Q

Eine grobe Abschätzung ergibt einen effektiven Rückkopplungswiderstand von ca. $400\text{k}\Omega$ vom Ausgang Q zum Eingang z.B. über das Substrat, jedoch unter der Annahme, dass nur der Ausgang Q wirksam ist. Dies ist natürlich nicht der Fall, da ein differenzielles Ausgangssignal vorliegt. Relevant für die Rückkopplung ist daher nur die Unsymmetrie von Q und Qn, mit einer leichten Dominanz des Ausgangs Q. Unter der Annahme von 1% Unsymmetrie ergäbe sich ein effektiver Substrat-Koppel-Widerstand von $4\text{k}\Omega$. Dies ist eine durchaus realistische Größenordnung für eine Substratkopplung eines derartigen Chips (ein Siliziumstreifen von 1,3mm Länge und $300 \times 300 \mu\text{m}^2$ Querschnitt hätte bei einer Leitfähigkeit von $5\Omega\text{cm}$ einen Widerstand von ca. 700Ω , hinzu kommen die Impedanzen der Koppelkapazitäten der Bauteile ins Substrat).

Die vorher erwähnte Rückkopplung über das Photodiodengehäuse greift deshalb vermutlich erst bei Frequenzen von 600MHz, weil die internen parasitären Photodioden-Gehäuse-Kapazitäten sehr klein sind (wesentlich kleiner als $0,1\text{pF}$) und dadurch eine Bandbegrenzung nach unten bewirken. Somit vermindern sie eine stärkere Rückkopplung bei der kleinen Frequenz von 170MHz, welche wie oben sichtbar, potenziell immer vorhanden ist.

Mit diesen Untersuchungen wird gezeigt, dass das Nebensprechen auf dem Chip weitgehend unterdrückt werden kann. Die auftretende Überhöhung von etwa 5dB bei 170MHz und einer spektralen Breite von 20MHz (aus Fig. 5.12) kann vernachlässigt werden. Sie entspricht etwa einem Empfindlichkeitsverlust von 0,25dB. Anders verhält es sich beim Einfluss der Photodiodenschirmung, da Überhöhungen im Rauschspektrum von 20dB und 100MHz spektraler Bandbreite einen erheblichen Empfindlichkeitsverlust von etwa 3,5dB ausmachen können (siehe Fig. 5.13).

5.7 Stromaufnahme

Der Vollständigkeit halber wird hier kurz die Stromaufnahme der Gesamtschaltung dargestellt. Wegen der integrierten Temperaturkompensation im Nachverstärker nimmt die Stromaufnahme bis etwa 20°C zu und bleibt dann weitgehend konstant (siehe detaillierte Beschreibung in Kap 4.2.2).

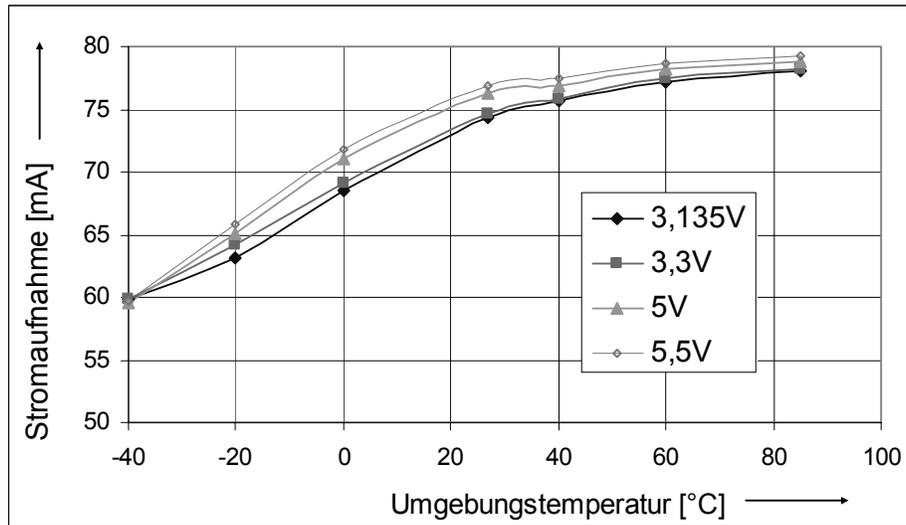


Fig. 5.17 : Stromaufnahme des Empfängers

6 Ausblick

6.1 Weiterentwicklung in CMOS

Wie bereits erwähnt, waren zu Beginn dieses Projektes bei Datacom Systemen Datenraten von 1Gbit/s (Gigabit Ethernet) und CMOS-Technologien mit Strukturgrößen von 0,35 und 0,25 μm eingeführt bzw. weit fortgeschritten. Heute werden Systeme mit 10Gbit/s entwickelt. Die Strukturgrößen liegen inzwischen bei 0,13 μm und darunter. Daher stellt sich die Frage nach potenziellen Weiterentwicklungen.

Aus meiner Sicht ergeben sich eine Reihe von Randbedingungen, die den Einsatz von CMOS-Technologien für Hochfrequenz-Analog-Anwendungen, speziell auch für optoelektronische Anwendungen, beeinflussen. Diese stellen sich wie folgt dar:

Zunahme der Bandbreite durch Strukturverkleinerung, Analogeigenschaften

In CMOS-Technologien steigern die Transistoren ihre Bandbreite in etwa umgekehrt proportional zu ihrer Strukturgröße. Die Bandbreite definiert sich über die Transitfrequenz f_t und die maximale Oszillationsfrequenz f_{max} . Dabei skaliert f_t ziemlich gut invers zur Gatelänge ($f_t \sim 1/L$), f_{max} wächst weniger stark. Die Tabelle 6.1 gibt einen Überblick der Abhängigkeit von CMOS Grenzfrequenzen abhängig von der Strukturgröße [64][65][66].

Tabelle 6.1. : CMOS Transistor Grenzfrequenzen abhängig von der Strukturgröße

Strukturgröße* [μm]	0,5	0,35	0,25	0,18	0,13	0,1
f_t [GHz]	20	35-40	40-45	65	75-80	100
f_{max} [GHz]		40	45	55	63	
Vdd [V]	5	3,3	2,5	1,8	1,2	1

*) minimale Gatelänge

Vor allem bei Verstärkerschaltungen haben die f_{max} -Werte einen wesentlich höheren Stellenwert für die zu verarbeitende Datenrate als die f_t -Werte, da in der f_{max} -Definition die Gate-Drain-Kapazität (als Miller-Kapazität) wirksam wird. Sie ist für das Verstärkungsbandbreiteprodukt maßgeblich. Die Ursache für die schlechtere Skalierung der f_{max} -Werte liegt m.E. vor allem in der Device-Entwicklung. Die Fokussierung wird bei CMOS-Technologien auf Hochintegration und die Anwendung in Speichern und Prozessoren für die Computertechnologie gelegt. Da hier in erster Linie Schalttransistoren mit möglichst kleiner Fläche benötigt werden, geht dies zu Lasten der Analogeigenschaften des Einzeltransistors [67], da beispielsweise die Gate-Drain-Kapazität nicht optimiert und der Ausgangsleitwert nicht minimiert wird bzw. aus technologischen Gründen nicht minimiert werden kann.

Vergleicht man dazu die Weiterentwicklung der Eigenschaften von GaAs-MES-Fet's, so wird deutlich, dass dort wesentlich größere f_{max} als f_t Werte erzielt werden. Das ist vor allem auf die Verkleinerung der Gate-Drain-Kapazität im Transistor-Design zurückzuführen. Diese Technologien wurden seit jeher viel stärker auf analoge Hochfrequenzanwendungen hin entwickelt. Die Analog- und Hochfrequenzanwendungen in CMOS sind jedoch gewissermaßen eine Nische, worunter die Bauteilentwicklung für analoge Anwendungen zwangsläufig leidet. Mit zunehmender Strukturverkleinerung sind also zunehmend schlechtere Analogeigenschaften und schlechter skalierende Hochfrequenzeigenschaften zu erwarten. Diese Randbedingungen beeinträchtigen die Hochfrequenz-CMOS-Entwicklung und bedingen eine Kompensation durch entsprechend intelligentes Schaltungsdesign.

Einsatz in optischen Systemen

Optische Anwendungen benötigen aufgrund der Photodioden oder der zu treibenden Laser sowohl auf der Sende- als auch auf der Empfangsseite höhere Spannungen. Dies läuft entgegen der Entwicklungstendenz in CMOS-Technologien, wo (gezwungenermaßen) die Versorgungs- bzw. Betriebsspannung immer weiter gesenkt werden muss. Daher ergeben sich gewisse Schwierigkeiten bei der Umsetzung derartiger Schaltungen mit kleinen Strukturgrößen.

Verlustleistung

Obwohl mit CMOS-Technologien mittlerweile beachtliche Datenraten erreicht werden, benötigen diese Anwendungen höhere Verlustleistungen als Schaltungen mit Bipolartechnologien der gleichen Generation. Beispielsweise benötigt ein D-Flip-Flop mit 40ps setup and hold time in einer 0,18 μ m CMOS-Technologie eine Verlustleistung von 3,6mW bei 1,8V-Versorgungsspannung, ein vergleichbares D-Flip-Flop in einer Bipolar-Technologie (0,35 μ m, $f_t = 75$ GHz) nur eine Leistung von 2,3mW bei 3,3V-Versorgungsspannung, beide betrieben bei 3,2GHz Taktfrequenz. Dies verdeutlicht, dass die CMOS-Integration nur attraktiv ist, wenn große Logikblöcke für eine umfangreiche Datenverarbeitung eingebaut werden, oder anders ausgedrückt: Große digitale Chips müssen mit hochdatenratigen Schnittstellen versehen werden (wie beispielsweise die in der Einleitung bereits erwähnten Infiniband-Technologien).

Zusammenfassend kann man daher sagen, dass CMOS-Hochfrequenz-Schaltungen (auch solche in optoelektronischen Anwendungen) durchaus gebraucht werden. Die Anwendungen werden jedoch eher in der Hochintegration liegen als in kleinen Treiber- oder Empfängerschaltungen. Jedenfalls wird die Bedeutung von Hochfrequenz-CMOS-Schaltungen in der Zukunft zunehmen.

6.2 Empfängerschaltung für 3GBit/s

In Simulationen wurde demonstriert, dass mit einer 0,18 μ m Technologie Schaltungen für optische „Frontends“, also Empfänger- oder Lasertreiberschaltungen, aufgebaut werden können. Folgendes Beispiel einer Empfangsschaltung (TIA, Fig. 6.1) in der oben genannten Technologie zeigt die erreichbaren Leistungen. Sie arbeitet mit einer Stromaufnahme von 8mA bei 1,8V, hat eine Transimpedanz von 2k Ω bei einer parasitären externen Eingangskapazität von 0,5pF (für Photodiode und Bondpads). Die Schaltungsstruktur ist die gleiche, wie die in der Arbeit vorgestellte, ein Folded-Cascode-Verstärker, wobei die Versorgungsspannung entsprechend der Technologie auf 1,8V verkleinert wurde. Der Eingangstransistor hat ein W/L von 200 μ m/0,18 μ m und damit allein eine Eingangskapazität von ca. 0,5pF. Diese erhebliche Größe ist nötig, um die benötigte Verstärkung und Eingangsimpedanz für die Bandbreite von 3GBit/s bei der oben genannten Stromaufnahme zu realisieren. Fig. 6.2 zeigt das simulierte Ausgangssignal der Empfangsschaltung bei einer Datenrate von 3GBit/s. Die Verlustleistung von 15mW liegt im Bereich von elektrischen Differenzempfängern dieser Datenraten, ist also diesbezüglich mit elektrischer Übertragung konkurrenzfähig.

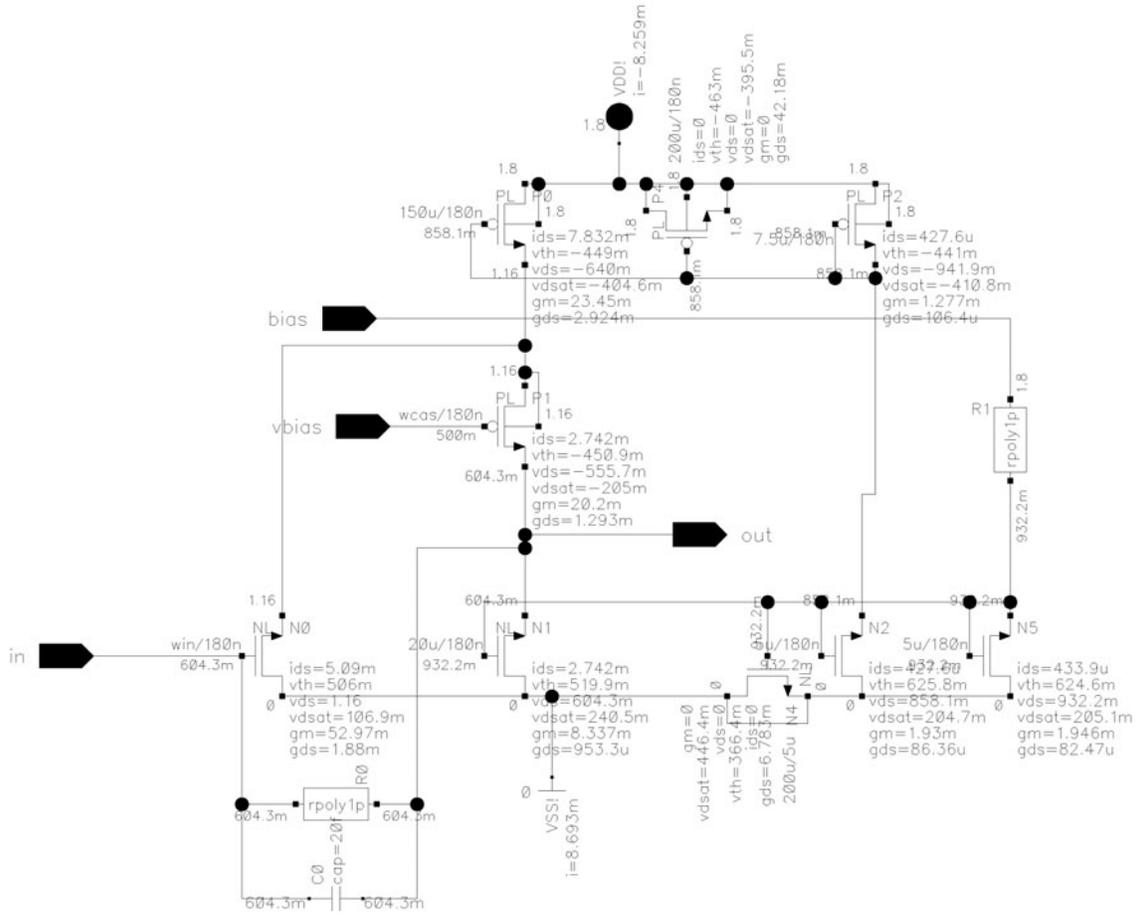


Fig. 6.1 : Schaltbild mit Arbeitspunktdaten des TIAs für 3Gbit/s in 0,18µm-CMOS

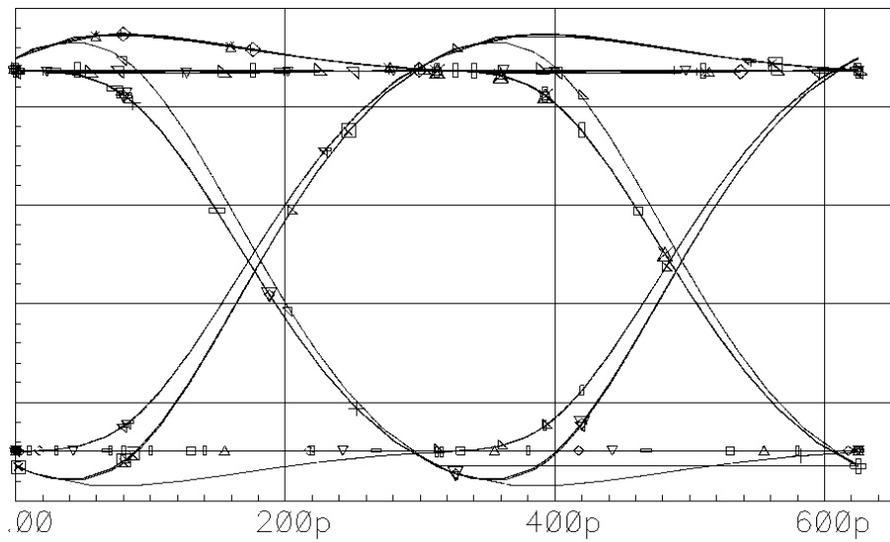


Fig. 6.2 : Augendiagramm der Schaltung nach Fig. 6.1

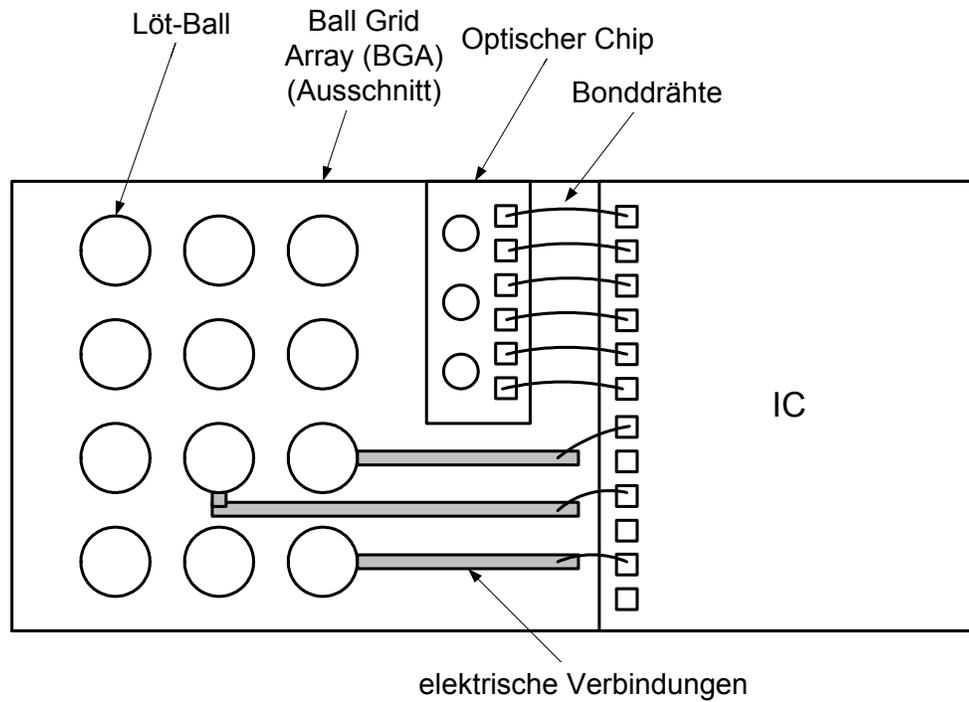
6.3 Systemtechnische Aspekte

Wie schon in der Einleitung erwähnt, erwartet man in absehbarer Zeit eine optische Chip-to-Chip- oder Board-to-Board-Übertragung innerhalb von Systemen in bestimmten Einsatzgebieten. Als Anwendungsgebiete eignen sich Systeme, die in kurzer Zeit riesige Datenmengen bewältigen müssen, wie z.B. Multiprozessorkopplung und hochbitratige Telekommunikationsgeräte (z.B. sog. Switches).

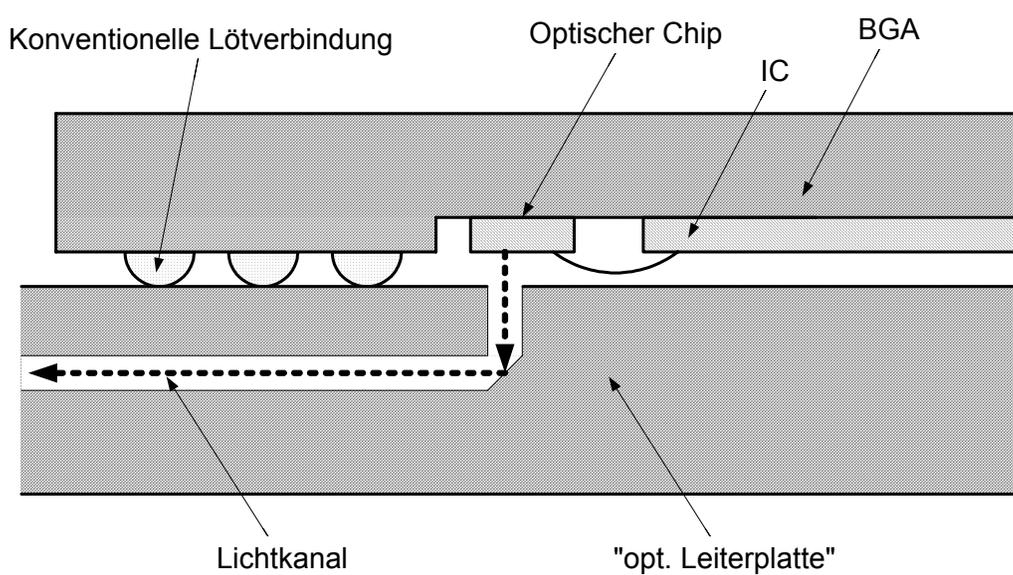
Mit diesen Technologien reduziert man Verlustleistung und verbessert die Übertragungseigenschaften erheblich. Gleichzeitig vermindern sich Störabstrahlung und Störeinstrahlungsempfindlichkeit. Ferner erzielt man höhere Datenraten und spart Platz. Heutige elektrische Schnittstellen mit einer Datenrate von 3GBit/s auf differentiellen 50 Ω -Leitungen benötigen für eine Übertragungslänge (Chip-to-Chip oder Board-to-Board) von 50cm einen differentiellen Pegel von 1,6V. Dies entspricht einem Strom von ± 8 mA allein auf der Übertragungsleitung. Bereits heute verfügbare 10GHz VCSEL (Vertikal Cavity Surface Emitting Laser) kommen mit einem Betriebsstrom in der Größenordnung von 2-4mA aus, also weniger als der Hälfte des Stromes der elektrischen Übertragung. Bei einer Übertragungsrate von 10GBit/s wird bei einer optischen Übertragung etwa nur 1/4 der Verlustleistung benötigt, die Übertragungslängen betragen jedoch ein Vielfaches [68].

Die Störsicherheit optischer Übertragung ist mittlerweile sprichwörtlich und bedarf keiner weiteren Erläuterung. Nötige Technologien für die optische Chip-to-Chip-Übertragung, wie z.B. in Leiterplatten integrierte optische Wellenleiter, sind im Labor bereits verfügbar. Diese haben eine wesentlich höhere Bandbreite als elektrische Wellenleiter und sind räumlich enger anzuordnen, vverfügen also über wesentliche Vorteile bei der Systemauslegung dar.

Die folgende Prinzipskizze (Fig. 6.3) zeigt, wie eine solche Übertragung aussehen könnte. Es wird deutlich, mit welchem geringem Aufwand derartige Systeme zu realisieren sind. Es sind keine „exotischen“ Verpackungstechnologien nötig. Alle für das „Opto-IC“ nötigen Technologien sind heute bereits großtechnisch verfügbar und weit verbreitet. Die Skizze in Fig. 6.3 basiert auf einer heute schon in großen Stückzahlen eingesetzten Ball-Grid-Array-Technologie. Man kann jedoch auch optische Chips (Photodioden oder vertikal emittierende Laser) neben oder auf elektronischen Silizium Chips platzieren und kontaktieren, sodass sich ein nach unten abstrahlendes optisches Signal ergibt. Dieses kann in geeigneter Weise in eine sog. „Opto-Leiterplatte“ eingekoppelt werden. Diese Art der Leiterplatte ist heute das begrenzendende System, das noch nicht im breiten Rahmen verfügbar ist. Jedoch wird, wie bereits erwähnt, an verschiedenen Stellen daran gearbeitet [69][70][71], wie auch an den Lasern, deren Kosten der Laser und Zuverlässigkeit noch nicht die für eine breite Anwendung nötigen Reife haben. Die beschriebenen hervorragenden Kennwerte der damit möglichen Übertragung werden jedoch dafür sorgen, dass derartige Systeme eines Tages Anwendung finden werden.



a) Sicht des "Opto-ICs" /Ausschnitt) von unten



b) Querschnitt eines auf eine "optische Leiterplatte" montierten "Opto-ICs"

Fig. 6.3 : Prinzipskizze für optische Chip to Chip Übertragung; a) Aufsicht, b) Querschnitt

Zusammenfassung

Die vorliegende Arbeit beschreibt die Ergebnisse der Entwicklung eines vollständig integrierten Empfängerbausteins (sogenannter „Light to Logic Receiver“) in einer 0,35µm CMOS-Technologie.

Im Eingangsteil wird auf die Problematik der digitalen Übertragungstechnik, im Speziellen der digitalen optischen Übertragungstechnik eingegangen. Dabei werden die wesentlichen Randbedingungen für eine Empfängerschaltung herausgearbeitet. Ferner werden die Eigenschaften von verschiedenartigen Photodioden und deren Auswirkungen auf die elektrischen Eingangsstufen dargestellt.

Das anschließende Kapitel behandelt die Grundprinzipien und möglichen Schaltungsvarianten für optische Empfängerschaltungen sowie deren Vor- und Nachteile. Dabei wird auch auf Varianten in Bipolar- und GaAs-MES-FET-Technologien eingegangen. Es werden Möglichkeiten, Schwierigkeiten und Grenzen bei der monolithischen Integration von Photodioden und Verstärkern besprochen. Dabei kommen die wesentlichen Vorteile des Transimpedanzverstärkers und dessen Bandbreiten-, Dynamik- und Rauschvorteile zur Sprache.

Das folgende Kapitel beschreibt im Detail die Entwicklungsaktivitäten für den CMOS-Empfänger. Begonnen wird mit dem Design des „Folded Cascode Transimpedanzverstärkers“, sowie dessen Optimierung und Einbindung in den Gesamtaufbau der Schaltung. Eine wichtige Rolle spielen dabei die Maßnahmen zur Empfindlichkeitsverbesserung (Rauschoptimierungen), der Dynamikerweiterung mit erstmals veröffentlichter variabler Pol-Kompensation sowie die Stabilitätsbetrachtungen. Sodann werden der Nachverstärker und dessen Offsetregelung behandelt. Hierfür werden die Simulationen der Rückkopplungsschleife ausgewertet. Der Verstärker beinhaltet ferner eine patentierte temperaturabhängige Verstärkungssteuerung, um die starken Schwankungen der Verstärkung über der Temperatur auszugleichen und Rückkopplungen durch zu hohe Verstärkung zu vermeiden.

Ausführlich wird auf eine neue ebenfalls patentierte LVDS-Ausgangsstufe eingegangen, die linear (mit gesättigten Transistoren) arbeitet und Datenraten bis 1,25Gbit/s treiben kann sowie eine Regelschaltung zur präzisen Steuerung der Ausgangspegel enthält. Wichtig für dieses Design ist die Vermeidung von Störeinflüssen auf der Versorgungsspannung durch geschaltete Ströme, die die Empfindlichkeit herabsetzen können. Kurz werden auch noch die Signal-Detect-Stufe und die integrierten Spannungsregler dargestellt, die das Design vervollständigen.

Im Rahmen der Messungen des Bausteins werden die von außen messbaren Parameter dieser hochintegrierten Schaltung beschrieben. Dies sind im Wesentlichen die Empfindlichkeit, Übersteuerungsgrenze, Jitterwerte und die Eigenschaften der LVDS-Ausgangsstufe. Diese Ergebnisse übertreffen die Anforderungen an den Gigabit-Ethernet-Standard. Es wird messtechnisch nachgewiesen, dass nur ein extrem kleines Substratnebensprechen (Rückkopplung auf dem Chip über das Substrat) auftritt und damit die im Chip eingebauten Abschirmungsmaßnahmen erfolgreich sind. Abschätzungen hierzu zeigen, dass aufgrund dieser kleinen Rückkopplungen kein Empfindlichkeitsverlust entsteht, solange keine weiteren Rückkopplungen außerhalb des Chips auftreten.

Im Ausblick werden mögliche Weiterentwicklungen in kleineren CMOS Strukturen (0,18µm) und bei höheren Datenraten (bis zu 3Gbit/s) aufgezeigt und potentielle zukünftige Anwendungen von „Low-Voltage-CMOS-Receivern“ beschrieben, welche auf der Basis dieser Arbeit verwirklicht werden können.

Anhang A: Technologiedaten

Ausgewählte Technologiedaten

Bei der verwendeten Halbleiter-Technologie handelt es sich um einen Mixed-Signal-CMOS Prozess mit

- Dreilagennmetallisierung in Aluminium
- Lineare Poly-Poly-Kapazität und
- Hochohmwiderstand

Das Salizid auf der Gate-Metallisierung gewährleistet niedrigere Gate-Serienwiderstände. Ferner ist eine LDD-Option (lightly doped drain) verfügbar, u.a. um die ESD-Verträglichkeit der Ausgangstransistoren zu verbessern. Dies vergrößert allerdings den Drain-Serienwiderstand und die Drain-Kapazität und ist daher für Hochfrequenzschaltungen ungeeignet.

Anzahl der Masken: 18, optionale Polyimide Passivierung möglich.

In folgenden Tabellen wird auszugsweise die Technologie-Spezifikation dargestellt:

Grenzdaten (Absolute Maximum Ratings) :

Maximale Versorgungsspannung	4,6 V
Maximale Lagertemperatur	-55 bis 150°C

Technologiedaten (Geometrie)

Minimale Strukturgröße (Gate Länge)	0,35 μm
Gate Oxid Dicke	8,7 nm
Dicke der Oxid Isolation zwischen den einzelnen Metalllagen bzw. dem Substrat	500 – 1400 nm,
Dicke der Oxid Isolation zwischen Metal 3 und Substrat	4000nm
Nitrid Passivierung	300 nm
Dicke des Poly-Siliziums (Gate und Widerstände)	180 – 330 nm
Dicke der Metalllagen Alu1 und Alu2	400nm
Dicke der Metalllagen Alu3	600 nm

Betriebsbedingungen

Chiptemperatur (Junction)	-40 bis 125°C
Maximale Betriebsversorgungsspannung	3,6 V

Elektrische Parameter (typische Werte)

<i>Transistor</i>	
Gate Flächen-Kapazität	4 fF/ μm^2 (gemessen in Inversion)
Threshold Spannung	0,45 \pm 0,11 V (3 σ)
Sättigungsstrom ($V_{GS} = V_{DS} = 3,3\text{V}$, w=10 μm , n-Kanal)	540 $\mu\text{A} \pm 12\%$ (3 σ)
Sättigungsstrom ($V_{GS} = V_{DS} = 3,3\text{V}$, w=10 μm , p-Kanal)	250 $\mu\text{A} \pm 17\%$ (3 σ)
Body Effekt (Threshold shift V_{BS} 0... $\pm 2\text{V}$)	0,3... 0,5V
Punch through	7,5V

<i>Kapazitäten</i>	
Poly-Poly-Kapazität	1,35 fF/μm ²
Linearität der Poly-Poly-Kapazität	300ppm/V
MOS-Kapazität	4 fF/μm ²

<i>Widerstandsbeläge</i>	
Hochohm-Widerstand	1kΩ/sq.
Temperaturgang	1,2E-3/°C
Matching (1σ)	2%
n+-Poly Widerstand	275 Ω/sq.
Temperaturgang	1,2E-3/°C
Matching (1σ)	3,5%
p+-Poly Widerstand	130 Ω/sq.
Temperaturgang	2E-4/°C
Matching (1σ)	2%
Poly-1-Widerstand mit Salizid (Gatemetall)	4 Ω/sq.
Alu- und Alu2-Widerstände	100mΩ/sq.
Alu3-Widerstand	50mΩ/sq.

Transistor Kenndaten

Transistor Kennlinien

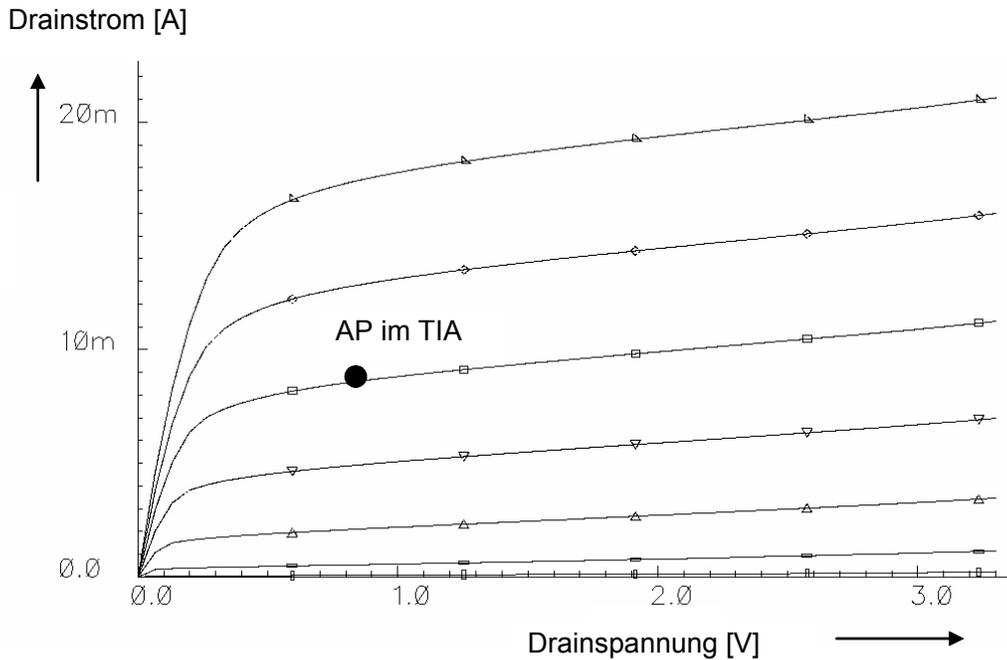


Fig. A. 1: Kennlinienfeld des Transistors MN1 (W/L = 225μm/0,35μm, 25°C, nominal Parameter, Gate-Spannung Vg von 600mV bis 1200mV in 100mV Schritten variiert)

Die Bilder Fig. A. 1 und Fig. A. 2 zeigen exemplarisch die statischen Transistorkennlinien für den Eingangstransistor MN1 sowie den Kaskoden Transistor MP2 (beide aus der Schaltung Fig. 4.1). Die Punkte kennzeichnen die Arbeitspunkte der Transistoren in der Schaltung. Der Transistor MN1 wird bei etwa 8mA, der Transistor MP2 bei etwa 4mA betrieben.

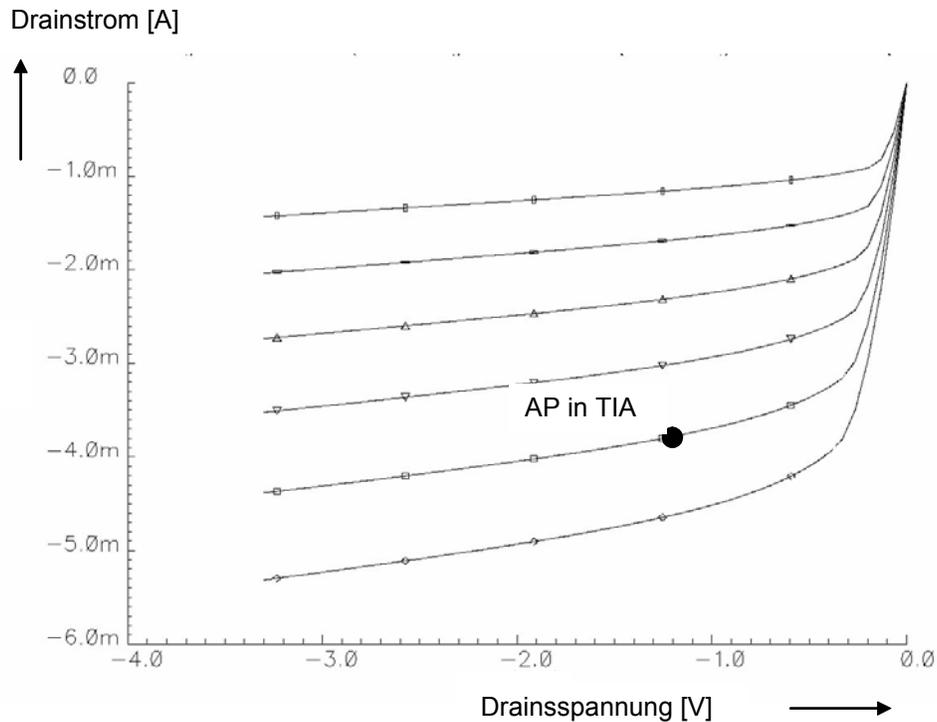


Fig. A. 2: Kennlinienfeld des Transistors MP2 (W/L = 330 μ m/0,35 μ m, 25°C, nominal Parameter, Gate-Spannung Vg von 600mV bis 850mV in 50mV Schritten variiert)

Bandbreite

Als Bandbreite der Transistoren wird gemeinhin die „Transitfrequenz“ f_t bzw. die „Maximum Oszillation Frequency“ f_{max} definiert. Für die Transitfrequenz gilt allgemein, dass die Stromverstärkung gleich Eins wird, es gilt also die Gleichung A.1. Eine Kleinsignalvereinfachung stellt Gleichung A.2 dar [74].

$$|h_{21}| = 1 \quad (\text{A.1})$$

$$f_t = g_m / (2\pi (C_{gs} + C_{gd})) \quad (\text{A.2})$$

f_t Transitfrequenz
 g_m Steilheit im Arbeitspunkt
 C_{gs} Gate-Source-Kapazität
 C_{gd} Gate-Drain-Kapazität

Für die Maximum Oszillation Frequency f_{max} gilt, dass die Maximale Leistungsverstärkung (Maximum Available Power Gain, MAG) gleich Eins wird. Die Kleinsignalvereinfachung dafür ist in Gleichung A.3 definiert [9].

$$f_{max} = \sqrt{\frac{f_t}{8 \pi R_g C_{gd}}} = \sqrt{\frac{g_m}{16 \pi^2 R_g C_g C_{gd}}} \quad (\text{A.3})$$

R_g Gate-Widerstand
 C_{gd} Gate-Drain-Kapazität

Für Verstärker relevant ist daher eher die f_{\max} -Definition nach Gleichung A.3, welche auch von der Gate-Drain-Kapazität (als Miller Kapazität) und der Gate-Serienwiderstand abhängt.

Fig. A. 3 zeigt einen Vergleich der Grenzfrequenzen für verschiedene Sub-Micron-CMOS Technologien der Firma Infineon Technologies AG [66]. Wie man erkennt, ist vor allem bei f_{\max} der Unterschied zwischen $0,35\mu\text{m}$ und $0,25\mu\text{m}$ nicht sehr groß, auch das ist ein Grund für die gute Eignung der verwendeten $0,35\mu\text{m}$ -Technologie. Erst bei $0,18\mu\text{m}$ Technologien ergibt sich wieder eine signifikante Verbesserung der Transistorbandbreitenwerte.

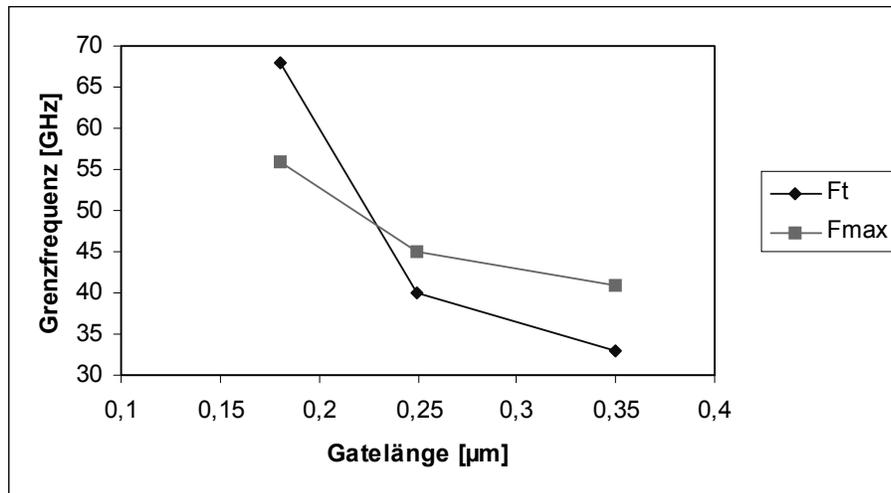


Fig. A. 3: Vergleich der Grenzfrequenzen f_t und f_{\max} für verschiedene Sub-Micron-CMOS Technologien der Firma Infineon Technologies AG [66].

Rauschen

Wichtig für die Eignung der Eingangsschaltung und deren Simulation ist natürlich das Rauschersatzschaltbild der verwendeten Technologie. Hier muss angemerkt werden, dass vor allem für die Hochfrequenzanwendung kein definiertes und abgesichertes Rauschmodell zur Verfügung stand. Es wurde im Rahmen der Arbeit mit einer Näherung auf Basis der zur Verfügung stehenden Modelle im Simulator und von durchgeführten Messungen gearbeitet.

Als Simulationsbasis stand ein Modell nach dem BSIM3v3-Modell der University of California Berkeley [72] sowie das Spice-Modell bereit, welche beide im Simulator Spectre der Fa. Cadence implementiert waren. Das hier verwendete Modell war eine Mischung aus dem Spice- und BSIM3v3-Modell, das BSIM3v3-Modell wurde als Modell für das Kanalrauschen verwendet, für das $1/f$ -Rauschen (flicker noise) kam das Spice-Modell zum Einsatz. Diese Kombination kam den Transistormessungen am nächsten.

Das „normale“ Rauschmodell nach Gleichung A.4 [72] ist wegen des zunehmenden Einflusses der heißen Elektronen („hot electron noise“) nicht mehr gültig. Es wurden in der Literatur verschiedene Ansätze entwickelt, um dies zu modellieren, z.B. in [73]. Zum Teil wird auch mit Faktoren gearbeitet, die den Faktor $8/3$ in Gleichung A.4 vergrößern (S_i ist dabei die spektrale Stromrauschleistung).

$$S_i = \frac{8}{3} kT (g_m + g_{ds} + g_{mb}) \quad (\text{A.4})$$

- S_i spektrale Rauschstromdichte
- g_{ds} Drain-Source-Leitwert
- g_{mb} Steilheit des Bulkeffektes

Das für diese Arbeit verwendete BSIM3v3-Modell genügt der Gleichung A.5 und wurde in [74] hergeleitet.

$$S_i = \frac{4kT}{L^2} \mu Q_{inv} \quad (A.5)$$

Q_{inv} Inversionsladung
 L Gate-Länge
 μ Majoritätsträgerbeweglichkeit

Dabei ist die Inversionsladung Q_{INV} für den Transistor in Sättigung definiert durch

$$Q_{INV} = \frac{2}{3} W L C_{OX} (V_{GS} - V_T) \quad (A.6)$$

W Transistorweite
 C_{OX} Gate-Oxidkapazität
 V_{GS} Gate-Source-Spannung
 V_T Threshold-Spannung

Für das 1/f-Rauschen verwendet der Simulator das Spice-Modell nach Gleichung A.6.

$$S_i = \frac{K_f I_{ds}^{af}}{C_{ox} L_{eff}^2 f^{ef}} \quad (A.6)$$

K_f Flicker Noise Parameter
 I_{DS} Drainstrom
 L_{eff} effektive Gate-Länge
 af Frequency exponent
 ef Flicker exponent

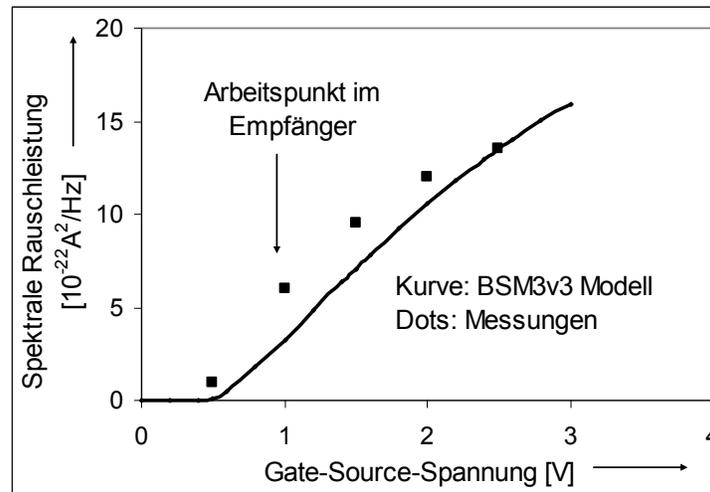


Fig. A. 4: Vergleich der gemessenen (Punkte) und simulierten Rauschwerte (Linie) eines Einzeltransistors mit einem $W/L = 96\mu\text{m}/0,35\mu\text{m}$ [66]

Fig. A.4. zeigt einen Vergleich der gemessenen und simulierten Rauschwerte eines Einzeltransistors mit einem $W/L = 96\mu\text{m}/0,35\mu\text{m}$. Der Kurvenverlauf wird einigermaßen gut angepasst. Jedoch ergibt sich vor allem im Arbeitspunkt (bei $U_{GS} \approx 1\text{V}$) ein etwa um den

Faktor zwei höheres Rauschen als in der Simulation. Für die Abschätzung der Empfindlichkeit müssen die Rausch-Simulationswerte daher mit dem Faktor zwei multipliziert werden.

Anhang B : Modellierung des Transimpedanzverstärkers

Für ein einfaches TIA-Modell, welches nur einen Rückkopplungswiderstand und einen idealen Verstärker (unendlich hoher Eingangswiderstand, 0Ω Ausgangswiderstand, Fig. B. 1, closed-loop-Verstärkung gleich open-loop-Verstärkung) enthält, gilt folgendes Gleichungssystem:

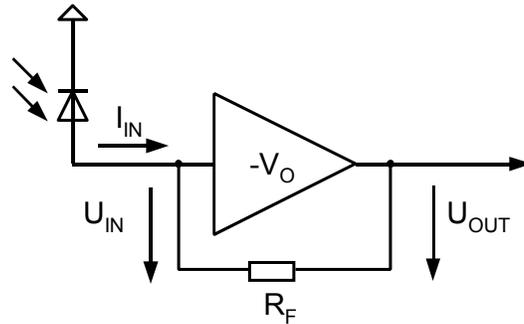


Fig. B. 1: TIA-Modell mit idealem Verstärker

$$\text{I) } U_{\text{OUT}} = U_{\text{IN}} \cdot (-V_{\text{O}}) \quad (\text{B.1})$$

$$\text{II) } I_{\text{IN}} = U_{\text{F}} / R_{\text{F}} \quad (\text{B.2})$$

$$\text{III) } U_{\text{IN}} = U_{\text{OUT}} - U_{\text{F}} \quad (\text{B.3})$$

Hieraus berechnet sich der Eingangswiderstand zu:

$$U_{\text{IN}} / I_{\text{IN}} = R_{\text{IN}} = R_{\text{F}} / (V_{\text{O}} - 1) \quad (\text{B.4})$$

Sowie die Transimpedanz zu :

$$U_{\text{OUT}} / I_{\text{IN}} = R_{\text{F}} / (1 - 1/V_{\text{O}}) \quad (\text{B.5})$$

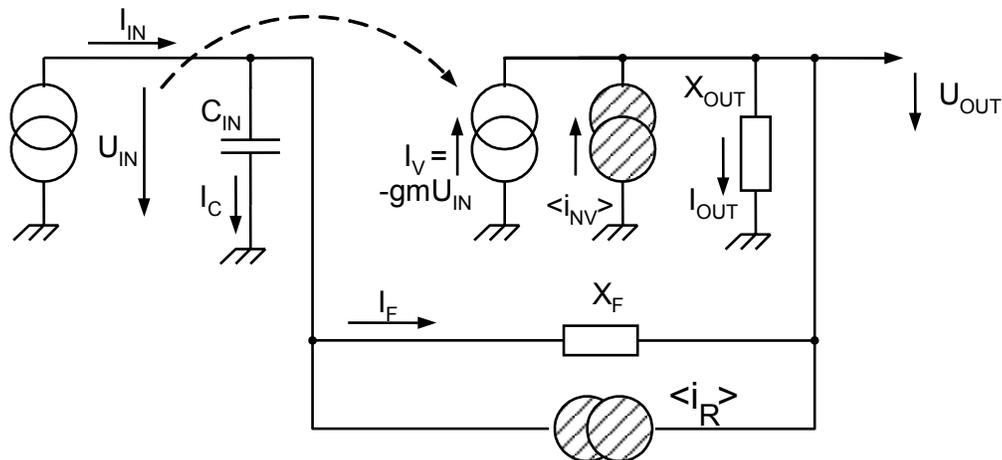


Fig. B. 2: Modell für einen TIA mit einstufigem Transistor Verstärker

Fig. B. 2 zeigt ein einfaches Modell für einen TIA mit einem einstufigen Transistor-Verstärker, wie es in erster Näherung dem hier behandeltem Verstärkertyp entspricht (unter Vernachlässigung der Kaskode-Stufe, welche sich nur dynamisch auswirkt). Die schraffierten Quellen sind Rauschquellen und sollen erst mal nicht beachtet werden. Das Modell besteht somit aus folgenden Bestandteilen:

- Eingangstromquelle I_{IN} (entspricht der Photodiode)
- Eingangskapazität C_{IN}
- Komplexer Rückkopplungswiderstand X_F
- Komplexer Ausgangswiderstand X_{OUT}
- Gesteuerte Stromquelle I_V (entspricht dem Transistor mit der Steilheit g_m)

Für dieses Modell ergibt sich das folgende Gleichungssystem:

$$I) \quad I_{IN} = I_C + I_F \quad (B.6)$$

$$II) \quad I_F - g_m \cdot V_{IN} = I_{OUT} \quad (B.7)$$

$$III) \quad U_{IN} - U_F - U_{OUT} = 0 \quad (B.8)$$

$$IV) \quad U_{IN} = I_C / j\omega C_{IN} \quad (B.9)$$

$$V) \quad U_F = X_F \cdot I_F \quad (B.10)$$

$$VI) \quad U_{OUT} = I_{OUT} \cdot X_{OUT} \quad (B.11)$$

Da nun kein idealer Spannungsverstärker vorliegt, sondern eine auf einen komplexen Ausgangswiderstand arbeitende Stromquelle (der Transistor), ergeben sich etwas komplexere Resultate für die den Verstärker beschreibenden Parameter.

Für die **Spannungsverstärkung** des Verstärkers in der geschlossenen (!) Schleife (hier „closed loop gain“ genannt, nicht zu verwechseln mit Begriff, der dem üblicherweise bei Operationsverstärkern angewandt wird) ergibt sich:

$$U_{OUT} / U_{IN} = V_{CL} = (1 - g_m \cdot X_F) / (X_F / X_{OUT} + 1) \quad (B.12)$$

Mit der Vereinfachung $X_F = X_{OUT} = X$, welche für das vorgestellte Verstärkerkonzept beim 1Gbit/s-Verstärker in erster Näherung gilt, ergibt sich:

$$U_{OUT} / U_{IN} = V_{CL} = (1 - g_m \cdot X) / 2 \approx -g_m \cdot X / 2 \quad (B.13a)$$

Dies entspricht der halben Verstärkung, welche die offene Schleife hätte, da der Ausgangstreiber jetzt auch noch den Transimpedanzwiderstand zu treiben hat. Aufgrund des relativ hohen Ausgangswiderstandes ist daher, anders als bei einem idealen Verstärker, der Strom in den Rückkopplungswiderstand nicht zu vernachlässigen.

Für die Vereinfachung $X_F \gg X_{OUT}$, welche für den 155MBit/s -Verstärker in erster Näherung gilt, ergibt sich:

$$U_{OUT} / U_{IN} = V_{CL} \approx (1 - g_m \cdot X_F) X_{OUT} / X_F \approx -g_m \cdot X_{OUT} \quad (B.13b)$$

Die Spannungsverstärkung entspricht in diesem Fall der der offenen Schleife („open loop gain“), da (nahezu) kein Strom in den Rückkopplungswiderstand fließt.

Für die Vereinfachung $X_F \ll X_{OUT}$ ergibt sich:

$$U_{OUT} / U_{IN} = V_{CL} \approx (1 - g_m * X_F) \approx - g_m * X_F \quad (B.13c)$$

In diesem Fall ist am Ausgang praktisch nur der Rückkopplungswiderstand wirksam.

Für die **Transimpedanz** $T(\omega)$ ergeben sich folgende Eigenschaften (wegen der Übersichtlichkeit als inverse Transimpedanz $1/T(\omega)$ dargestellt):

$$I_{IN} / U_{OUT} = 1 / T(\omega) = ((X_F + X_{OUT}) / (X_{OUT} - g_m X_F X_{OUT})) * (j\omega C_{IN} + 1/X_F) + 1/X_F \quad (B.14)$$

Der Bruch in der ersten Klammer ist nach Gleichung B.12 gleich $1/V_{CL}$, damit ergibt sich für Gleichung B.14 folgende Vereinfachung:

$$I_{IN} / U_{OUT} = 1 / T(\omega) = (j\omega C_{IN} + 1/X_F) / V_{CL} + 1/X_F \approx j\omega C_{IN} / V_{CL} + 1/X_F \quad (B.15)$$

Hieraus resultiert für kleine Frequenzen eine Transimpedanz von $T(\omega) = X_F$, sowie eine durch die Spannungsverstärkung verkleinerte Wirkung der Eingangskapazität und damit eine Erhöhung der Bandbreite der Transimpedanz.

Der **Eingangswiderstand** des TIAs wird durch folgende Gleichung beschrieben (wegen der Übersichtlichkeit als ebenfalls als inverser Eingangswiderstand $1/R_{IN}$ dargestellt):

$$I_{IN} / U_{IN} = 1 / R_{IN} = j\omega C_{IN} + 1/X_F - U_{OUT} / (U_{IN} * X_F) \quad (B.16)$$

$$I_{IN} / U_{IN} = 1 / R_{IN} = j\omega C_{IN} + 1/X_F - V_{CL} / X_F \quad (B.17)$$

$$1 / R_{IN} \approx j\omega C_{IN} - V_{CL} / X_F \approx j\omega C_{IN} + |V_{CL}| / X_F \quad (B.18)$$

Damit wird für kleine Frequenzen der Eingangswiderstand mit der Spannungsverstärkung reduziert, ferner wird die Zeitkonstante des Eingangswiderstandes mit der Spannungsverstärkung herabgesetzt:

$$\tau_{IN} = X_F * C_{IN} / |V_{CL}| \quad (B.19)$$

Das **Rauschmodell** wird ebenfalls aus Fig. B. 2 abgeleitet. Wichtig dabei ist, dass die Rauschquelle des Widerstandes (N_R) die gleiche Übertragungsfunktion erfährt wie das Eingangssignal, also die der Transimpedanz entsprechend der Gleichungen B.14 und B.15. Hingegen erfährt das Rauschen des Verstärkers (Rauschquelle N_V) eine völlig andere Übertragungsfunktion, da dieses Rauschen nicht direkt auf den Eingang wirkt.

Folgendes Gleichungssystem ergibt sich für die Rauschübertragungsfunktion des Verstärkerrauschens I_{VN} (entspricht in Fig. B.2 der Quelle $\langle i_V \rangle$, I_{IN} und I_R werden nicht betrachtet (also gleich Null gesetzt):

$$I) \quad I_F + I_V + I_{VN} - I_{OUT} = 0 \quad (B.20)$$

$$II) \quad -U_{IN} + U_F + U_{OUT} = 0 \quad (B.21)$$

$$III) \quad U_{IN} = - I_F / j\omega C_{IN} \quad (B.22)$$

$$IV) \quad U_F = X_F * I_F \quad (B.23)$$

$$V) \quad U_{OUT} = I_{OUT} * X_{OUT} \quad (B.24)$$

$$VI) \quad I_V = - gm * U_{IN} \quad (B.25)$$

Damit ergibt sich folgende Übertragungsfunktion für das Rauschsignal I_{VN} :

$$I_{VN} / U_{OUT} = 1 / X_{OUT} + (j\omega C_{IN} + gm) / (1 + X_F j\omega C_{IN}) \quad (B.26)$$

Für $\omega \rightarrow \infty$ ergibt sich:

$$I_{VN} / U_{OUT} = 1 / X_{OUT} + 1 / X_F = 1 / X_{ges} \quad (B.27)$$

Die Rauschquelle wirkt auf die Parallelschaltung der Widerstände X_{OUT} und X_F , die Gegenkopplung ist aufgehoben. Für kleine Frequenzen $\omega \rightarrow 0$ ergibt sich unter Verwendung von Gleichung 3.1:

$$U_{OUT} / I_{VN} = X_{OUT} / (1 + gm * X_{OUT}) \approx X_{OUT} / (1 + V_{OL}) \quad (B.28)$$

d.h. die Rauschquelle arbeitet, hervorgerufen durch die Gegenkopplung, auf einen etwa um die Leerlaufverstärkung V_{OL} (**nicht** die closed loop Verstärkung!) reduzierten Ausgangswiderstand, was zu einer Rauschverminderung des Verstärkerrauschens bei kleinen und mittleren Frequenzen führt. Oberhalb der Grenzfrequenz f_{RFCIN} steigt das Rauschen an. Aus Gleichung (B.26) ergibt sich eine Zeitkonstante für den Anstieg des Rauschens

$$\tau_{RFCIN} = 1/2\pi f_{RFCIN} \approx X_F * C_{IN} \quad (B.29)$$

Der Tiefpass $X_F - C_{IN}$ verringert zunehmend die Gegenkopplung und hebt damit das Rauschen an.

Die **Kompensation der Schwingneigung** des Transimpedanzverstärkers erfolgt durch Parallelschaltung von C_F zu R_F und entspricht im Folgenden dem komplexen Rückkopplungswiderstand X_F . Die Verstärkung V_{CL} des eigentlichen Verstärkers ist negativ und normalerweise auch komplex (zweiter Pol). Aus Gleichung B.15 folgt für die Transimpedanz $T(\omega)$

$$1/T(\omega) = j\omega C_{IN} / V_{CL} + 1 / (X_F V_{CL}) + 1 / X_F \quad (B.30)$$

mit $X_F = R_F \parallel C_F$ ergibt sich:

$$1/T(\omega) = j\omega C_{IN} / V_{CL} + 1 / (R_F V_{CL}) + j\omega C_F / V_{CL} + 1 / R_F + j\omega C_F \quad (B.31)$$

$$T(\omega) = (R_F V_{CL}) / (1 + V_{CL} + j\omega (C_{IN} R_F + (C_F R_F (1 + V_{CL})))) \quad (B.32)$$

mit $V_{CL}(\omega) = V_{CL0} / (1 + j\omega / \omega_V)$ sowie mit $V_{CL0} =$ Verstärkung bei kleinen Frequenzen und ω_V der 3dB-Grenzfrequenz der „closed loop“ Verstärkung. ω_V ist damit einer der Pole des Systems. Es ergibt sich nach Vernachlässigung der beiden Terme „1“ im Nenner von Gleichung B.32 (wegen $|V_{CL0}| \gg 1$) und weiterer Umformung

$$T(\omega) \approx (\omega_V \omega_{IN} R_F) / \{ \omega_V \omega_{IN} + j\omega (\omega_V / V_{CL0} + \omega_V \omega_{IN} / \omega_F) - \omega^2 \} \quad (B.33)$$

mit $C_{IN} R_F = 1 / \omega_{IN}$ und $C_F R_F = 1 / \omega_F$.

Die Übertragungsfunktion eines Systems 2. Ordnung ist allgemein definiert als

$$F(\omega) = (k \omega_0) / (\omega_0^2 + 2j\omega D \omega_0 - \omega^2) \quad (B.34)$$

mit der Dämpfung D und der natürlichen Frequenz ω_0 des Systems.

Diese Gleichung entspricht strukturell der Gleichung B.33, damit kann die Dämpfung des Systems beispielsweise mittels der Kapazität C_F ($\rightarrow \omega_F$) bei sonst festen Parametern beeinflusst werden. Für Werte von $D < 0$ wird das System instabil, für $D > 1$ erfolgt aperiodisches Einschwingen. Für den Transimpedanzverstärker entsprechend dem Modell nach Fig. B.2 und Gleichung B.33 ergibt sich die Dämpfung zu

$$D_{TIA} = \frac{1}{2} \{ \omega_V / |V_{CL0}| + \omega_V \omega_{IN} / \omega_F \} / \sqrt{(\omega_V \omega_{IN})} \quad (B.35)$$

Der Verstärker ist stabil für Werte von $D_{TIA} > 0$, damit ergibt sich die Stabilitätsbedingung zu

$$\omega_{IN} |V_{CL0}| > \omega_F \quad (B.36)$$

und wegen $C_{IN} R_F = 1 / \omega_{IN}$ und $C_F R_F = 1 / \omega_F$ zu

$$|V_{CL0}| C_F > C_{IN} \quad (B.37)$$

Im vorgegeben Fall entsprechen $C_{IN} = 1\text{pF}$ und $V_{CL0} \approx -100$. Damit errechnet sich für C_F ein Wert von mindestens 10fF . Dies stimmt mit den Simulationen überein, nach dem schon für sehr kleine Werte von C_F ein stabiles Verhalten erreicht wird (siehe Kapitel 4.1.1). Interessanter Weise ist (zumindest für das vereinfachte Gleichungssystem) die Stabilität weder vom Rückkopplungswiderstand R_F noch von der Grenzfrequenz des Verstärkers ω_V abhängig. Daher wird das System nicht instabil, wenn der Rückkopplungswiderstand (z.B. durch die Amplitudenregelung) verkleinert wird (siehe Kapitel 4.1.3). Allerdings nimmt die Schwingneigung erheblich zu, da das Einschwingverhalten nicht unabhängig von R_F und ω_V ist, wie folgende Gleichung zeigt.

Für $D_{TIA} = 1$, dem Grenzfall für ein aperiodisches Einschwingverhalten, ergibt sich der Wert für C_F von

$$C_F = 1/R_F \{ [2\sqrt{(\omega_{IN}/\omega_V)} + 1/|V_{CL0}|] / 2\omega_{IN} \} \quad (B.38)$$

Für $\omega_{IN} \approx \omega_V$, was in erster Näherung für die 1Gbit/s-Variante zutrifft, kann man den Term $1/|V_{CL0}|$ vernachlässigen. Für Werte von $\omega_{IN} \approx \omega_V \approx 100\text{MHz}$ ergibt sich dann für C_F ein Wert von

$$C_F = 1 / (R_F \sqrt{(\omega_{IN} \omega_V)}) \approx 1\text{pF}. \quad (B.39)$$

Dieser Wert ist, wie die Simulationen gezeigt haben, allerdings viel zu groß, der Verstärker würde zu langsam werden. Da leichtes Überschwingen nicht schädlich ist, ist eine Dämpfung von etwa 0.25 bis 0.5 ausreichend, um Pulsnebensprechen ausreichend zu unterdrücken. Ferner ist zu berücksichtigen, dass parasitäre Kapazitäten wirksam werden und möglicherweise nicht alle Vereinfachungen für eine exakte Lösung zulässig sind. Deshalb sind die simulierten Werte für C_F im Bereich von 200fF durchaus plausibel (Kapitel 4.1).

Anhang C : Verzeichnis der Formelzeichen und Abkürzungen

Abkürzungen

AKF	Autokorrelationsfunktion
AP	Arbeitspunkt
BER	Bit Error Rate, Bitfehlerrate
CML	Collector Mode Logic
Datacom	Daten Kommunikation
ESCON®	Enterprise System Connection, 200MBit/s Übertragungssystem, Markenzeichen vom IBM
FDDI	Fiber Distributed Data Interface, 125MBit/s Local Area Network System
HEMT	High Electron Mobility Transistor
IEEE	Institute of Electrical and Electronics Engineers, Inc.
ISI	Inter Symbol Interference, Bitnebensprechen
LAN	Local Area Network, Lokales Netzwerk
LED	Light Emitting Diode, Leuchtdiode
LVDS	Low Voltage Differential Signals
MES-FET	Metal Semiconductor Field Effect Transistor
MSM	Metal Semiconductor Metal
NRZ	Non Return to Zero
PECL	Positive Shifted Emitter Coupled Logic
PLL	Phase Locked Loop
POF	Plastic Optical Fiber
PRBS	Pseudo Random Bit Sequence, Pseudozufallsbitfolge
PSSR	Power Supply Rejection Ratio
SCI	Scalable Coherent Interface
SDH	Synchrone Digitale Hierarchie, Telekommunikationsstandard (ITU)
SONET	Synchronous Optical Network, Telekommunikationsstandard (Bellcore)
TIA	Transimpedance Amplifier, Transimpedanzverstärker
VCSEL	Vertical Cavity Surface Emitting Lasers
UI	Unit Intervall, Maß für Jitterbewertung, $1UI = 360^\circ$ bzw. Zeitdauer eines Bits
XAUI	10Gbit[X] Auxillary Interface (des Ethernet Standards)

Formelzeichen

B	Hz	Bandbreite des Übertragungskanal
C_C	F	Kollektorkapazität
$C_F, C_{F1,2}$	F	Rückkopplungskapazität (feedback capacitor)
C_{gd}	F	Gate-Drain-Kapazität
C_g	F	Gate-Kapazität
C_{HP}	F	Hochpasskapazität
C_{IN}	F	Eingangskapazität
C_K	F	Koppelkapazität
C_L	F	Lastkapazität
C_M	F	Millerkapazität
C_{OFFS}	F	Kapazität im Offsetregler
C_{OX}	F	Oxidkapazität
C_{PAR}	F	Parasitäre Kapazität
C_{PD}	F	Photodioden Kapazität

DP	Bit	Disparity, laufende Abweichung von der 50%-Eins-Null-Verteilung im Bitstrom
DP _{MAX}	Bit	Maximale Disparity
D _U	dB	Dämpfung bei der unteren Grenzfrequenz
e	$1.602 \cdot 10^{-19} \text{C}$	Elementarladung
E		Fehlerwahrscheinlichkeit
E(H)		Fehlerwahrscheinlichkeit des high-Pegels
E(L)		Fehlerwahrscheinlichkeit des low-Pegels
f _{BIT}	Hz	Bitfrequenz
f _{max}	Hz	Maximale Oszillations Frequenz
f _O	Hz	Obere Grenzfrequenz
f _{OV}	Hz	Obere Grenzfrequenz des Verstärkers
f _{RFCIN}	Hz	Grenzfrequenz des Rückkopplungswiderstandes und der Eingangskapazität
f _t	Hz	Transitfrequenz
f _U	Hz	Untere Grenzfrequenz
gm	S	Steilheit
gm _{BIP}	S	Steilheit des Bipolar Transistors
gm _{MOS}	S	Steilheit des MOS Transistors
gds	S	Drain Leitwert des MOS Transistors
gmb	S	Bulk Steilheit des MOS Transistors
h ₂₁	S	Stromverstärkung des Transistors, I _{OUT} /I _{IN}
<i _R >	A	Effektivwert des Rauschstroms des Widerstandes
<i _V >	A	Effektivwert des Rauschstroms des Verstärkers
I _{OUT}	A	Ausgangsstrom
I _D	A	Drainstrom
I _E	A	Emitterstrom
k	$1,38 \cdot 10^{-23} \text{ J}$	Boltzmann Konstante
L _(eff)	m	(effektive) Gate-Länge
L _B	H	Bond Induktivität
μ		Majoritätsträgerbeweglichkeit
N		Anzahl der Nachverstärkerstufen
N _R		Allg. Rauschquelle des Widerstandes
N _V		Allg. Rauschquelle des Verstärkers
P(H)		Allg. Wert des high-Pegels
P(L)		Allg. Wert des low-Pegels
Q		Signalrauschabstand
Q _{INV}	As	Inversionsladung im Kanal des MOS-FET
R _C	Ω	Kollektorwiderstand
R _D	Ω	Differentieller Diodenwiderstand
R _F	Ω	Rückkopplungswiderstand (feedback resistor)
R _G	Ω	Gate-Widerstand
R _{HP}	Ω	Hochpasswiderstand
R _{IN}	Ω	Eingangswiderstand
R _L	Ω	Lastwiderstand
RL	Bit	Laufänge von Eins oder Null Bits
R _S	Ω	Shunt-Widerstand
S		Entscheidungsschwelle
S _i	<i ² /Hz>	Spektrale Stromrauschdichte
Sig _{min}		Minimale Signalamplitude
Sig _{nom}		Nominale Signalamplitude

S_{IN}		Eingangssignal
S_{OUT}		Ausgangssignal
S/N	dB	Signal to noise ratio, Signalrauschabstand
St	V/s	Anstiegszeit (Steigung [V/s]) an der Schwelle
σ		Standardabweichung, Zeitkonstante des Gauß-Tiefpasses
T	K	Absolute Temperatur
T_0	K	Referenztemperatur
t_{Bit}	sec	Bitzeit, Länge des einzelnen Bits
t_{Bitd}	sec	Bitzeit eines gestörten Bits, distorted bittime
t_{BLW}	sec	Baseline wander jitter
t_U	sec	Zeitkonstante der unteren Grenzfrequenz
t_{MAX}	sec	Maximale Zeit zwischen zwei Nulldurchgängen im Signal
t_{MIN}	sec	Minimale Zeit zwischen zwei Nulldurchgängen im Signal
τ_{IN}	sec	Eingangszeitkonstante
τ_{HP}	sec	Hochpasszeitkonstante
τ_{INT}	sec	Integrationszeitkonstante
τ_{OV}	sec	Zeitkonstante der unteren Grenzfrequenz des Verstärkers
U_{IN}	V	Eingangssignalspannung
U_{OUT}	V	Ausgangssignalspannung
$\langle u_V \rangle$	V	Effektivwert der Rauschspannung des Verstärkers
$\langle u_R \rangle$	V	Effektivwert der Rauschspannung des Widerstandes
$\langle u_{OUT} \rangle$	V	Effektivwert der Rauschspannung am Ausgang
V_{CL}		Closed Loop Verstärkung, frequenzabhängig
V_{CL0}		Closed Loop Verstärkung bei der Frequenz 0
V_{DD}	V	Positive Versorgungsspannung
$\langle V_{DD} \rangle$	V	Störpegel auf der Versorgungsspannung
V_{DD}	V	Negative Versorgungsspannung
V_{OL}		Open Loop Verstärkung
V_{GS}	V	Gate-Source-Spannung
V_{HIGH}	V	Spannung des Low Pegels
V_{LOW}	V	Spannung des High Pegels
V_{NV}		Verstärkung de nachverstärkers
V_O		Spannungsverstärkung
V_{OL}		Leerlaufverstärkung (open loop gain)
V_{REG}	V	Geregelte Versorgungsspannung
$\langle V_{REG} \rangle$	V	Störpegel auf der geregelten Versorgungsspannung
V_T	V	Schwellspannung des MOS-FET
V_{SP}		Stromspiegelverstärkung
W	m	Gate-Weite
ω/B		Normierte Bandbreite
ω_{IN}	rad/s	Eingangsgrenzfrequenz
ω_V	rad/s	Grenzfrequenz der Verstärkers im Leerlauf
ω_F	rad/s	Grenzfrequenz der Rückkopplung
ω_0	rad/s	Natürliche Frequenz im System 2. Ordnung
X_{OUT}	Ω	Komplexe Ausgangsimpedanz
X_F	Ω	Komplexer Rückkopplungsimpedanz

Anhang D : Veröffentlichungen und Patente

Veröffentlichungen zum Thema der Arbeit

- 1) Karl Schrödinger, Jaro Stimma, Manfred Mauthe, A fully integrated CMOS light to logic Fiber Optic Receiver Circuit, ESSCIRC 2001, Villach/Österreich
- 2) Karl Schrödinger, Jaro Stimma, Manfred Mauthe, A fully integrated CMOS Receiver Front End for Optical Gigabit Ethernet, IEEE JSSC, Vol. 37, No. 7, July 2002

Patente zum Thema der Arbeit

- 1) DE 100 38 693 C2, Temperatursensor, Karl Schrödinger, Jaro Stimma, Patenterteilung: 24.10.2002
- 2) DE 100 16 445 C2, Ausgangsstufe, Karl Schrödinger, Jaro Stimma, Patenterteilung: 28.02.2002

Sonstige Veröffentlichungen

- 1) Dr. Klaus Panzer, Dr. Wilhelm Wilhelm, Karl Schrödinger, Digitales optisches Übertragungssystem für industriellen Einsatz mit Datenraten bis 200MBit/s, Siemens Components 24 (1986) Heft 5, S. 175 – 178
- 2) Gervin Ruegenberg, Karl Schrödinger, Optisches Übertragungssystem an seiner Leistungsgrenze, Elektronik 12, 12.6.1987
- 3) Karl Schrödinger, Taktoszillator und -regenerator für digitale Übertragungstrecken bis 200 MBit/s, Elektronik 18, 4.9.1987
- 4) Karl Schrödinger, Modulares optisches Übertragungssystem für Datenraten bis 200MBit/s, Elektronik 19, 16.9.1988
- 5) Karl Schrödinger, Übertragungsbandbreite von Mehrmoden-Glasfasern, Elektronik 24, 25.11.1988
- 6) Karl Schrödinger, A Fast and Accurate Test Methode for Determining the Dynamic Low Level of Optical Transmitters, Journal of Optical Communication 10 (1989), No.1
- 7) I. Schmale, J. Blank, J.-R. Kropp, D. Kuhl, M. Heinemann, M. Ehlert, J. Höhn, D. Klix, V. Plickert, P. Hildebrandt, L. Melchior, N.-P. Staudemeyer, G. Notermans, K. Schrödinger, H.-D. Wolf, F. Auracher, F. Léger, S. Jacquet, F. Guellec, M. Lucas, H. Unold, M. Kicherer, Towards 10 Gbit/s/channel in parallel optical links, OFC 2000
- 8) A. Schild, H.-M. Rein, J. Müllrich, L. Altenhain, J. Blank, K. Schrödinger, Amplifier Array for 12 parallel 10Gb/s optical-Fiber Links Fabricated in a SiGe Production Technology, IMS 2002
- 9) A. Schild, H.-M. Rein, J. Müllrich, L. Altenhain, J. Blank, K. Schrödinger, High-Gain SiGe Transimpedance Amplifier Array for a 12 x 10 Gb/s Parallel Optical-Fiber Link, IEEE JSSC, Vol. 38, No. 1, January 2003

Literaturverzeichnis

- [1] Marktpreise der Firma Siemens AG und Infineon Technologies AG
- [2] IEEE 1394b Draft 1.3.3, Nov 16, 2001, Draft Standard for a High Performance Serial Bus (High Speed Supplement), Institute of Electrical and Electronics Engineers, New York, USA
- [3] K. Panzer, G. Müller, H. Hurt, C. Thiel, From D2B to MOST, Siemens Components, 1/1999
- [4] Rod C. Alferness, H. Kogelnik, Th. H. Wood, The Evolution of Optical Systems: Optics Everywhere, Bell Labs Technical Journal, January-March 2000
- [5] Infiniband Architecture Release 1.0a, Physical specification, Volume 2, June 2001, Infiniband Trade Assosiation
- [6] IEEE Draft 802.3ae, Clause 47: XAUI-Specification, May 1, 2002, Institute of Electrical and Electronics Engineers, New York, USA
- [7] Geckeler S., Lichtwellenleiter für die optische Nachrichtenübertragung, Springer Verlag, Berlin, Heidelberg, New York, 1985
- [8] A. Schild, H.-M. Rein, J. Müllrich, L. Altenhain, J. Blank, K. Schrödinger, Amplifier Array for 12 Parallel 10Gbit/s Optical-Fiber Links Fabricated in a SiGe Production Technology, International Microwave Symposium 2002
- [9] Lee, Th. H., The Design of CMOS Radio-Frequency Integrated Circuits, Cambridge University Press, 1998, ISBN 0-512-63064-4
- [10] Razavi B., Design of Integrated Circuits for Optical Communications, McGraw Hill Publ. Comp. 2002, ISBN 0-072-82258-9
- [11] Pehl E., Digitale und analoge Nachrichtenübertragung, Verlag Heidelberg, 1998, ISBN 3-7785-2469
- [12] Müller R., Rauschen, Springer Verlag Berlin, Heidelberg, New York, 1979, ISBN 3-540-09397-6
- [13] D. W. Choi, Parallel Scrambler Techniques for Digital Multiplexers, AT&T Technical Journal, September/October 1986, Vol. 65, Issue 5
- [14] A. X. Widmer, P. A. Franaszek, A DC balanced, Partitioned-Block, 8B/10B Transmission Code, IBM Journal of Research and Development, Vol. 27, No. 5, September 1983
- [15] Fibre Channel –Methodologies for Jitter Specification, Working Draft T11.2 Project 1230, Rev. 10, Secretariat National Committee for Information Technologies Standardization (NCITS), June 9, 1999
- [16] H. Kressel (ed), Semiconductor Devices for Optical Communication, Springer Verlag 1982, chapter 4, pp. 89 ff, ISBN 3-540-11348-7
- [17] S. Brigati, P. Colombara, L.D. Ascoli, U. Gatti, T. Kerkes, P. Malacovati, A. Profumo, A SiGe BICMOS Burst-Mode 155Mbit/s Receiver for PON, ESCIRC 2001
- [18] S. Yamashita, A. Ide, K. Mori, A. Hayakawa, N. Ueno, K. Tanaka, Novel cell-ACG technique for Burst-Mode CMOS Preamplifier with wide Dynamic Range and High Sensitivity for ATM-PON System, IEEE JSSC, Vol. 37, No. 7, July 2002

- [19] M. Lang, W. Bronner, W. Benz, M. Ludwig, V. Hurm, G. Käufel, A. Leuther, J. Rosenzweig, M. Schlechtweg, Complete monolithic integrated 2.5 GBit/s optoelectronic receiver with large area MSM photodiode for 850nm wavelength, *Electronic Letters*, 27th Sept. 2001, Vol.37, No.20
- [20] V. Hurm, W. Bronner, W. Benz, K. Köhler, J.-R. Kropp, R- Kösch, M. Ludwig, G. Mann, M. Mikula, J. Rosenzweig, M. Schlechtweg, M. Walther, G. Weinmann, Large area MSM photodiode array for 0.85 μ m wavelength 10Gbit/s per channel parallel optical links, *Electronic Letters*, 29th Aug. 2002, Vol. 38, No. 18
- [21] VSC 7809, Datenblatt Vitesse Semiconductor Cooperation, Rev. 4.1, 4/4/02
- [22] V. Hurm, A. Leven, W. Benz, M. Berking, W. Bronner, A. Hülsmann, M. Köhler, M. Ludwig, H. Massler, J. Rosenzweig, M. Schlechtweg, J. Sohn, H. Walcher, G. Weinmann, Monolithic and Hybrid Integrated GaAS-based Photoreceivers for 40 GBit/s Optical Communication, *Conf. Proc. LEOS 2000*, vol. 1
- [23] T. Heide, A. Ghazi, H. Zimmermann, P. Seegebrecht, Monolithic CMOS photoreceivers for shortrange optical data communications, *Electronic Letters*, 16th Sept. 1999, Vol.35, No.19
- [24] D. Coppée, W. Pan, R. Vounckx, M. Kujik, The spatially modulated light detector, *OFC 1998*,
- [25] M. Ghioni, F. Zappa, V. Kesan, J. Warnock, A VLSI-compatible High-Speed Silicon Photodetector for Optical Data Link Applications, *IEEE Transactions on Electron Devices*, Vol. 43, No. 7, July 1996
- [26] S. S. Mohan, Th. H. Lee, A 2.125 Gbaud 1.6k Ω Transimpedance Preamplifier in 0.5 μ m CMOS, *IEEE 1999 Custom Integrated Circuits Conference*
- [27] S. Park, C. Toumazou, Low Noise Current Mode CMOS Transimpedance Amplifier for Gigabit optical Communication, *IEEE Proceedings of International Conf. on Circuits & Systems (ISCAS '98)*, Vol. 1, pp. 293 - 296, May 1998
- [28] T. Vanisri, C. Toumazou, Integrated High Frequency Low-Noise Current Mode Optical Transimpedance Preamplifiers: Theory and Praxis, *IEEE JSSC* Vol. 30, No. 6 June 1995
- [29] K. Takahata, Y. Muramoto, H. Fukano, K. Kato, A. Kozen. O. Nakajima, S. Kimura, Y. Imai, 20 GBit/s monolithic photoreceiver consisting of a waveguide pin photodiode and HEMT distributed amplifier, *Electronics Letters* 28th August 1997, Vol. 33, No. 18,
- [30] H.M. Rein, Si and SiGe bipolar ICs for 10 and 40 Gb/s optical-fiber TDM links, *International Journal of High Speed Electronics and Systems*, Vol. 9(1998), No.2
- [31] Behzad Razavi (ed.), *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, IEEE Press, Ney York 1996, ISBN 0-7803-1149-3
- [32] Carsten Opitz, Aus Licht werde Spannung, *Elektronik* 15/2001
- [33] Helen H. Kim, S. Chandrasekhar, C. A. Burrus, J. Baumann, A Si BiCMOS Transimpedance Amplifier for 10-Gb/s SONET Receivers, *IEEE JSSC* Vol. 36, No. 5, May 2001
- [34] H.-M. Rein, M. Neuhäuser, H. Wenz, V. Flaßnöcker, A 6.5 GBit/s Transimpedance Preamplifier in Silicon Bipolar Technology for Optical-Fiber Transmission Links, *Frequenz* 46, 1992, 5-6

- [35] M. B. Das, J. Wen, E. John, Designing Optoelectronic Integrated Circuit (OEIC) Receivers for High Frequency and Maximally Flat Frequency Response, *Journal of Lightwave Technology*, Vol. 13, No. 9, Sept. 1995
- [36] J. Wieland, H. Duran, A. Felder, Two-channel 5Gbit/s silicon bipolar monolithic receiver for parallel interconnects, *Electronic Letters*, 17th Feb. 1994, Vol.30, No.4
- [37] T. Masuda, K. Ohhata, K. Imai, R. Takeyari, K. Washio, A Wide Dynamic Range 1k Ω Transimpedance Si Bipolar IC for 10Gbit/s Optical Fiber Links, *IEEE 1997 Custom Integrated Circuits Conference*
- [38] W. Schmidt auf Altenstadt, Optimum choice of Si FET or GaAs FET as first-stage active device for very low-noise optical receiver with medium bandwidth, *Electronic Letters*, 27th Oct. 1983, Vol. 19, No. 22
- [39] C. Kuo, C. Hsiao, S. Yang, Y. Chan, 2Gbit/s transimpedance amplifier fabricated by 0.35 μ m CMOS technologies, *Electronic Letters*, 13th Sept. 2001, Vol. 37, No. 19
- [40] Z. G. Wang, et. al., CMOS ICs Design for GB/s Optic-Fiber Transmission System, *First Joint Symposium on Opto- and Microelectronic Devices and Circuits*, April 10-15, 2001 Nanjing, China
- [41] T.K. Woodward, A.V. Krishnamoorthy, R.G. Rozier, A.L. Lenthine, Low-power, small-footprint gigabit Ethernet-compatible optical receiver circuit in 0.25 μ m CMOS, *Electronic Letters*, 17th Aug. 2000, Vol. 36, No. 17
- [42] M. Ingels, M. Steyart, A 0.7 μ m CMOS 1GB/s Optical Receiver with Rail-to-Rail Output Swing, *ESSCIRC 1998*
- [43] T. Nakahara, H. Tsuda, K. Tateno, N. Ishihara, C. Amano, High-sensitivity 1-GB/s CMOS receiver integrated with a III-V photodiode by wafer-bonding, *LEOS 2000 Spring Meeting*
- [44] M. Ingels, G.van der Plas, J. Crols, M. Steyart, A CMOS 18 THz Ω 240 MB/s Transimpedance Amplifier and 155MB/s LED-Driver for Low Cost Optical Fiber Links, *IEEE JSSC Vol. 29, No. 12, Dec. 1994,*
- [45] N. Haraldibis, D. Loukas, K. Misiakos, S. Katsafouros, A Transimpedance CMOS Multichannel Amplifier with 50 Ω -wide Output Range Buffer for High Counting Rate Applications, *IEEE JSSC Vol. 32, No. 1, January 1997*
- [46] J. Müllrich, H. Thurner, J. F. Jensen, W. Stanchina, M. Kardos, H.-M. Rein, High-Gain Transimpedance Amplifier in InP-Based HBT Technology for the Receiver in 40-GB/s Optical Fiber TDM Links, *IEEE JSSC Vol. 35, No, 9, Sept. 2000*
- [47] A. Umbach, G. Unterbörsch, D. Trommer, C. Schramm, C.G. Mekonnen, C.-J. Weiske, Integrated Differential Photoreceivers for 40 Gbit/s Systems, *2000 Conference on Indium Phosphide and Related Materials*, pp. 321 – 324
- [48] M. Klingenstein, J. Kuhl, J. Rosenzweig, C. Moglestue, A. Hülsmann, J. Schneider, K. Köhler, Photocurrent Gain Mechanism in Metal-Semiconductor-Metal Photodetectors, *Solid State Electronics*, Vol. 32, No. 2, 1994, pp. 333 – 340
- [49] FOA1252, 2,5Gbit/s Transimpedance Amplifier, *Datenblatt Infineon Technologies AG*, Juli 1998
- [50] F. Gareth, H. P. Leblanc, Aktive Feedback Lightwave Receivers, *Journal of Lightwave Technology*, Vol. LT-4, No. 10, Oct. 1986

- [51] Karl Schrödinger, Jaro Stimma, Manfred Mauthe, A fully integrated CMOS Receiver Front End for Optical Gigabit Ethernet, IEEE JSSC, Vol. 37, No. 7, July 2002
- [52] Deutsche Patentschrift, DE 100 38 693 C2, Temperatursensor, Karl Schrödinger, Jaro Stimma, Patenterteilung: 24.10.2002
- [53] Deutsche Patentschrift, DE 100 16 445 C2, Ausgangsstufe, Karl Schrödinger, Jaro Stimma, Patenterteilung: 28.02.2002
- [54] S. S. Mohan, M. del mar Hershenson, S. P. Boyd, T. H. Lee, Bandwidth Extension in CMOS with Optimized On-Chip Inductors, IEEE JSSC Vol. 35, No. 3, March 2000
- [55] R. Tao, Zhi-Gong Wang, Ting-ting Xie, Hai Toa Chen, Yi Dong, Shi-Zong Xie, CMOS limiting amplifier for SDH STM-16 optical receiver, Electronic Letters, 15th Feb. 2001, Vol. 37, No. 4
- [56] S. Hara, T. Tokumitsu, T. Tanaka, M. Aikawa, Broad-Band Monolithic Microwave Aktive Inductor and Its Application to Miniaturized Wide-Band Amplifiers, IEEE JSSC Vol. 36, No. 12, Dec. 1998
- [57] B. Razavi, RF Micro Electronics, Prentice Hall 1998, ISBN 0-13-887571-5
- [58] B. P. Kelly, R. Lewis, Temperatur Sensing Circuit, United States Patent 5,336,943, Aug. 9, 1994
- [59] IEEE Standard for Low-Voltage Differential Signal (LVDS) for Scalable Coherent Interface (SCI), IEEE Std 1596.3-1996, Institute of Electrical and Electronics Engineers, New York, USA
- [60] Application Note, Designing with PECL, Motorola, Rev. 2, 08/2001
- [61] H. Preisach, Makrozellen für serielle GBit/s Schnittstellen in 0.35µm CMOS, Tagungsband zur 8. ITG Fachtagung Mikroelektronik, 3.-4.3.1998, Hannover
- [62] A. Boni, A. Pierazzi, D. Vechi, LVDS Interface for Gb/s-Pin Operation in 0.35µm CMOS, IEEE JSSC Vol. 36, No. 4, April 2001
- [63] MIL-STD-883D, Methode 3015.7, Electrostatic Discharge Sensitivity Classification, 22 March 1989
- [64] T. Manku, Microwave CMOS – Device Physics and Design, IEEE JSSC Vol. 34, No. 3, March 1999
- [65] J. N. Burghartz, Tailoring Logic CMOS for RF Applications, VLSI-TSI Symposium Taiwan, 2001
- [66] G. Knoblinger, interne Informationen, Infineon Technologies AG, München
- [67] W. Sansen, R. J. van de Plasche, J. H. Huijsing, Analog Circuit Design, Kluwer Academic Publishers, Boston, Dordrecht, London
- [68] J. Moisel, Optische Backplanes für Avionik und Telekommunikation, Information Technology, 45, 2003, 2, Oldenburg Verlag
- [69] W. Scheel, Die Leiterplatte und ihre elektro-optische Zukunft, Elektronik, 22, 1999
- [70] Prismark Partners LLC, The Promise of Optical Backplane, aus The Electronics Industry Report, New York, 2002
- [71] J. Gerling, J. Schrade, Th. Bierhoff, Schnelle “Optik” für die Leiterplatte, Markt&Technik, Nr. 32, 02.08.2002

- [72] BSIM3v3 Manual 1995/1996, University of California Berkeley,
www-device.berkeley.eecs.edu
- [73] G. Knoblinger, P. Klein, M. Tiebaut, A New Model for Thermal Channel Noise of Deep Submicron MOSFETs and its Application in RF-CMOS Design, IEEE JSSC Vol. 36, No. 5, May 2001
- [74] Y. P. Tsividis, Operation and Modeling of the MOS Transistor, New York, MacGraw-Hill, 1988