

Klasse-S

Mikrowellen-Leistungsverstärker mit

GaN-Transistoren

vorgelegt von
Diplom-Ingenieur
Andreas Wentzel
aus Berlin

von der Fakultät IV – Elektrotechnik und Informatik
der Technischen Universität Berlin
zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften
- Dr.-Ing. -

genehmigte Dissertation

Promotionsausschuss:

Vorsitzender:	Prof. Dr.-Ing. H. Klar
Berichter 1:	Prof. Dr.-Ing. W. Heinrich
Berichter 2:	Prof. Dr.-Ing. G. Fischer

Tag der wissenschaftlichen Aussprache: 22.07.2011

Berlin, 22. August 2011

D 83

Danksagung

Die vorliegende Dissertation entstand im Zeitraum zwischen April 2006 und März 2011 in der Abteilung Mikrowellentechnik unter der Leitung von Herrn Prof. Dr.-Ing. habil. Wolfgang Heinrich am Leibniz-Institut für Höchstfrequenztechnik, Ferdinand-Braun-Institut (FBH) in Berlin-Adlershof.

Hiermit will ich die Gelegenheit nutzen, mich bei all den Menschen zu bedanken, die mich auf vielfältige Art und Weise bei meiner Arbeit unterstützt haben.

Zunächst möchte ich mich bei den betreuenden Professoren, Herrn Prof. Dr. Günther Tränkle, Leiter des FBH, der mir die Möglichkeit zur Promotion an seinem Institut gegeben hat, und meinem Doktorvater Herrn Prof. Dr.-Ing. habil. Wolfgang Heinrich, der durch seine vielfältigen Anregungen, Diskussionen, Fragestellungen und seine stets aufgeschlossene und freundliche Art wesentlich zum Entstehen dieser Arbeit beigetragen hat, bedanken. Darüber hinaus möchte ich Prof. Dr.-Ing. Georg Fischer meinen herzlichen Dank aussprechen, der trotz seiner vielen Termine das Zweitgutachten übernommen hat.

Ein ganz besonderer Dank gilt Herrn Dr.-Ing. Chafik Meliani, der mir als unmittelbarer Betreuer bei der Einarbeitung und Bearbeitung des sehr herausfordernden Themas und vielen Problemen sowohl fachlich als auch menschlich eine sehr große Hilfe war.

Ein ganz wichtiger Aspekt bei dieser Arbeit waren die Aufbauten der entwickelten Verstärkerstrukturen, die durch die Herrn Marko Neuner und Hai Bang Nguyen unkompliziert, schnell und exakt realisiert wurden. Das war sehr hilfreich. Vielen Dank.

Weiterhin bedanken möchte ich mich bei Herrn Erhan Ersoy für Hilfen beim $\Delta\Sigma$ -Modulator, bei Herrn Dr.-Ing. Franz-Josef Schmückle für die EM-Simulationen, bei Herrn Dr.-Ing. Frank Schnieder für die Erstellung der Transistormodelle und die Hilfestellungen bei simulationstechnischen Problemen, bei Herrn Dr.-Ing. Bernd Janke für die Erstellung und Betreuung der MMIC-Layouts und bei Herrn Dr. Paul Kurpas für die Entwicklung der GaAs Schottky-Dioden.

Außerdem danke ich Herrn Steffen Schulz für viele messtechnische Hilfestellungen, Herrn Armin Liero für die allgemeinen Ratschläge und Hilfen bei Entwurf und Messungen und Herrn Stephan Freyer für die Charakterisierung der GaN-MMICs und Bearbeitung der Leiterplatten.

Mein Dank gilt nicht zuletzt ausdrücklich meiner Freundin Corina Seifert und meinen Eltern Martina und Michael Wentzel, die mich während der gesamten Arbeit unterstützt haben und immer für mich da waren. Vielen Dank für alles.

Abstract

This thesis provides a comprehensive experiment-based analysis of the class-S concept in the microwave frequency range, reporting on design procedures and measurement results of realized voltage- (VMCS) and current-mode (CMCS) class-S power amplifiers (PA) based on GaN-MMICs for the 450 MHz band. The work contributes to three main topics.

First, a time-domain measurement setup is developed. It allows waveform analysis of digital power MMICs as the ones used for class-S amplifiers. Several GaN power switch MMICs including drivers were characterized achieving drain efficiencies (η_{drain}) up to 90% and broadband (digital) output powers up to 20 W.

Second, a switch-based transistor model developed for large-signal simulations of switch-mode amplifiers in time-domain is presented. It was verified using measurements and provides direct access to the parasitic elements of the device such as drain-source on-resistance $R_{ds,ON}$ and the drain-source-capacitance C_{ds} . So, the loss mechanisms caused by parasitics could be clearly identified for the particular operation modes. Due to its simplicity it converges much faster than the standard models (cp. [30]), but achieves the same level of accuracy.

The main focus of this thesis is on the design, optimization and analysis of class-S PAs with special emphasis on the appropriate output networks. A detailed theoretical and practical analysis of the circuits for the current- and voltage-mode topology is given. The importance of odd- and even-mode input impedances is discussed in detail. They are key issues in maintaining class-S functionality and efficiency, especially in current-mode operation where the filter has a differential input. Amplifiers in both current- (CMCS) and voltage-mode (VMCS) topology were realized. They operate in the 450 MHz band and significantly advanced the state-of-the-art of S-class PAs in the microwave range. For class-S operation using a single-tone band-pass $\Delta\Sigma$ (BPDS) bit sequence, the built-up VMCS and CMCS amplifiers show peak efficiencies of 50% and 41% with maximum output powers (P_{out}) of 3.4 W and 9 W, respectively. Varying the encoded signal input power from 0 dB (full-scale) down to 10 dB, efficiency drops below 10%. Though the achieved results are record values for microwave class-S realizations in this frequency range and at this output power levels so far, they need to be improved to make this concept competitive. After identifying the main loss mechanisms, different approaches to enhance efficiency, especially at power back-off, were investigated: The oversampling ratio of the BPDS scheme does not lead to significant improvements. But coding efficiency of the modulation plays a key role with regard to efficiency and output power level. Using a periodic square-wave input signal with maximum coding efficiency, both P_{out} and efficiency are increased. The PAs deliver up to 19 W in current-mode and 7 W in voltage-mode configuration at 59% and 64%, respectively, which is almost double the BPDS values. Along

with the investigations on the coding schemes, the class-S PAs were tested with a pulse-width modulation (PWM) for amplitude in back-off operation. A voltage-mode version without freewheeling diodes now shows 83% efficiency at full-scale ($P_{out} = 3$ W) and an improvement at 10 dB power back-off from 11% (BPDSM) to 40%. The efficiency of the current-mode PA is increased to 20% at 10 dB back-off (10% for BPDSM) with such a PWM input signal.

The obtained results represent an excellent base for further improvements regarding efficiency at high power back-off levels using the class-S concept.

Kurzfassung

Die vorliegende Arbeit präsentiert eine umfassende Analyse des Klasse-S-Konzepts im Mikrowellen-Frequenzbereich. Es werden Voltage-Mode (VMCS) und Current-Mode (CMCS) Klasse-S-Verstärker, die auf GaN-MMICs basieren, für das 450 MHz - Band entworfen, realisiert und messtechnisch charakterisiert. Die Beiträge der Arbeit gliedern sich in drei Hauptthemen.

Zunächst wird ein Zeitbereichsmessplatz entwickelt. Dadurch ist es möglich, die Signalform der digitalen Leistungsschalter-MMICs, die in den Klasse-S-Verstärkern benutzt werden, zu analysieren. Verschiedene GaN Leistungsschalter-MMICs inklusive der jeweiligen Treiberschaltungen wurden charakterisiert. Sie erreichen eine Draineffizienz von bis zu 90 % und breitbandige (digitale) Ausgangsleistungen von bis zu 20 W.

Anschließend wird ein Schalter-basiertes Transistormodell vorgestellt, welches für Großsignalsimulationen von Schaltverstärkern im Zeitbereich entwickelt wurde. Es bietet den direkten Zugang zu den parasitären Elementen des Transistors wie z. B. den Drain-Source On-Widerstand R_{ds_ON} und die Drain-Source-Kapazität C_{ds} . Dadurch kann man z. B. Verlustmechanismen genauer identifizieren. Aufgrund seiner einfachen Struktur konvergiert es bei gleicher Genauigkeit schneller als die Standardmodelle (vgl. [30]).

Der Schwerpunkt dieser Arbeit liegt auf dem Entwurf, der Optimierung und der Analyse von Klasse-S-Verstärkern unter besonderer Betrachtung der dazugehörigen Ausgangsnetzwerke. Es wird eine detaillierte theoretische und praktische Untersuchung der Netzwerke für Voltage-Mode- und Current-Mode-Aufbau durchgeführt. Sie sind Schlüsselemente für die Funktionsweise und die Effizienz des Klasse-S-Konzepts, besonders im Current-Mode, bei dem das Filter einen differentiellen Eingang hat. Realisiert wurden Verstärker sowohl in Current-Mode (CMCS) als auch in Voltage-Mode-Topologie (VMCS) für das 450 MHz - Band. Die erreichten Ergebnisse stellen einen bedeutenden Fortschritt für den "State-of-the-Art" von Klasse-S-Verstärkern im Mikrowellen-Frequenzbereich dar. Im Klasse-S-Betrieb mit einer 1-Ton Bandpass- $\Delta\Sigma$ (BPDS) Bitsequenz erreichen die VMCS- und CMCS-Verstärker Spitzeneffizienzen von 50 % und 41 % bei maximalen Ausgangsleistungen (P_{aus}) von 3,4 W bzw. 9 W. Vermindert man die kodierte Signaleingangsleistung um 10 dB, dann fällt die Draineffizienz jedoch unter 10 %. Obwohl die erreichten Ergebnisse Bestwerte für Mikrowellen-Klasse-S-Verstärker in diesem Frequenzbereich und für diese Ausgangsleistungen darstellen, müssen sie verbessert werden, um das Konzept konkurrenzfähig zu machen. Nach der Identifizierung der Hauptverlustmechanismen wurden verschiedene Ansätze zur Verbesserung der Effizienz, speziell bei *power back-off*, untersucht. Die Ergebnisse zeigen, dass die Variation der Überabtastrate des BPDS-modulierten Signals zu keinen signifikanten Verbesserungen führt. Die Kodiereffizienz der Modulation jedoch spielt

eine Schlüsselrolle im Hinblick auf Effizienz und Ausgangsleistung. Mit einem periodischem Rechtecksignal am Eingang, welches die maximale Kodiereffizienz aufweist, können P_{aus} und Effizienz deutlich erhöht werden. Die Verstärker liefern bis zu 19 W im Current-Mode- und 7 W im Voltage-Mode-Aufbau. Das entspricht annähernd einer Verdopplung der BPDS-Resultate. Im Zuge der Untersuchungen zur Kodierung des Eingangssignals wurden die Klasse-S-Verstärker auch mit einer Pulsweitenmodulation (PWM) zur Kodierung der Amplitude im *back-off*-Betrieb getestet. Dabei zeigt eine Version des Voltage-Mode-Aufbaus ohne Freilaufdioden nun 83 % Draineffizienz bei Vollaussteuerung ($P_{aus} = 3$ W) und eine Verbesserung bei 10 dB *power back-off* von 11 % (BPDS) auf 40 %. Die Effizienz des Current-Mode-Verstärkers erhöht sich mit solch einem PWM-Signal auf 20 % bei 10 dB *back-off* (10 % für BPDS-Modulation). Die erreichten Resultate bilden darüber hinaus eine ausgezeichnete Grundlage für weitere Verbesserungen des Klasse-S-Konzepts im Hinblick auf Effizienz, speziell bei hohen *power back-offs*.

Inhaltsverzeichnis

Danksagung	I
Abstract	II
Kurzfassung	IV
Abbildungsverzeichnis	VIII
Tabellenverzeichnis	XVI
Kapitel 1. Einleitung	1
Kapitel 2. Klasse-S-Verstärker	11
2.1. Linearer Verstärker vs. Schaltverstärker	11
2.2. Konzept und Aufbau Klasse-S-Verstärker	15
2.2.1. Delta-Sigma-Modulator	16
2.2.2. Endstufenkonzepte für Schaltverstärker	21
2.2.2.1. Voltage-Mode-Topologie	22
2.2.2.2. Current-Mode-Topologie	27
2.2.3. Ausgangsnetzwerk mit Bandpassfilter	32
2.2.3.1. Ausgangsnetzwerk der Voltage-Mode-Topologie	33
2.2.3.2. Ausgangsnetzwerk der Current-Mode-Topologie	35
Kapitel 3. Entwurf und Charakterisierung von Schaltverstärkern im Zeitbereich	47
3.1. Zeitbereichsmessplatz	48
3.2. Transistormodell	51
3.2.1. Angelov-Modell	52
3.2.2. Schalter-basiertes Modell	53
3.2.3. Verifizierung des Schalter-basierten Transistormodells	54
3.3. Treiberschaltungen für Endstufen der Schaltverstärker	60
3.3.1. Optimale Eingangsimpedanz der Leistungsendstufe	60
3.3.2. Passive Treiberstruktur	62
3.3.3. Aktive Treiberstruktur	64
3.4. Charakterisierung der Schaltverstärker-MMICs	67
Kapitel 4. Voltage-Mode Klasse-S-Verstärker (VMCS): Entwurf, Aufbau und Messung	73
4.1. Entwurf und Aufbau	73
4.1.1. Dimensionierung und Messung des VMCS-Ausgangsnetzwerks	73
4.1.2. Aufbau des VMCS-Verstärkers	78
4.2. Charakterisierung des VMCS-Verstärkers	80
4.2.1. Messung im Klasse-S-Betrieb	81
4.2.2. Einfluss der Kodiereffizienz	88

4.2.3.	Verlustmechanismen im Voltage-Mode	89
4.2.4.	Betrieb ohne Freilaufdioden	95
4.2.5.	Modulationsansatz mit verbesserter Kodiereffizienz	98
4.2.5.1.	PLM mit konstanter Anzahl von Schaltvorgängen (PLM-K)	99
4.2.5.2.	PLM mit variierender Anzahl von Schaltvorgängen (PLM-SV)	101
Kapitel 5.	Current-Mode Klasse-S-Verstärker (CMCS): Entwurf, Aufbau und Messung	105
5.1.	Entwurf und Aufbau des CMCS-Verstärkers	105
5.1.1.	Optimierung und Realisierung des CMCS-Ausgangsnetzwerks	105
5.1.2.	Charakterisierung des CMCS-Ausgangsnetzwerks	111
5.1.2.1.	Messung der S-Parameter	111
5.1.2.2.	Messung der Odd- und Even-Mode Impedanz	114
5.1.3.	Aufbau der CMCS-Verstärker	116
5.2.	Charakterisierung der CMCS-Verstärker	118
5.2.1.	Messung CMCS-Verstärker (450 MHz)	118
5.2.1.1.	Messung im Klasse-S-Betrieb	118
5.2.1.2.	Verlustmechanismen im Current-Mode	121
5.2.1.3.	Einfluss der Kodiereffizienz	123
5.2.2.	Messung CMCS-Verstärker (450 MHz) mit <i>Oversizing</i>	124
5.2.2.1.	Messung im Klasse-S-Betrieb	125
5.2.2.2.	Einfluss der Carrier Oversampling Ratio (COSR)	128
5.2.2.3.	Einfluss der Kodiereffizienz	129
5.2.2.4.	Modulationsansatz mit verbesserter Kodiereffizienz	129
5.2.2.5.	Vergleich CMCS-Verstärker mit/ohne <i>Oversizing</i>	131
Kapitel 6.	Vergleich von VMCS- und CMCS-Verstärker	133
Kapitel 7.	Zusammenfassung und Ausblick	135
	Literaturverzeichnis	140
	Publikationen	143
	Lebenslauf	145

Abbildungsverzeichnis

1.1	<i>G. Marconi</i> 's erster frequenzabstimmbarer Transmitter (1899)	1
1.2	Sender und Empfänger (Ersatzschaltbild) zur drahtlosen Funktelegrafie von <i>Karl Ferdinand Braun</i> um 1900	1
1.3	Autotelefon um 1958	2
1.4	Erste GSM ¹ -Telefone um 1991 (Deutsches Historisches Museum (München))	2
1.5	Mobiltelefon der neuesten Generation (2009)	2
1.6	Entwicklung der Mobilfunkdichte in Entwicklungsländern (rot - "Developing"), Industriestaaten (blau - "Developed") und weltweit (grün - "World") von 1997 bis 2007 [1]	3
1.7	Aufbau der <i>Alcatel-Lucent OneBTSTM Macrocell</i> CDMA/UMTS-Basisstation (©Alcatel-Lucent 2005)	5
2.1	Blockdiagramm eines Schaltverstärkers	11
2.2	Spannungs- und Stromverlauf an einem als idealen Schalter approximierten Transistor bei Rechteckansteuerung	12
2.3	Typische Betriebszustände im Ausgangskennlinienfeld eines Transistors für lineare (AB-) Verstärker (blau) und Schaltverstärker (rot)	12
2.4	Blockdiagramm eines (linearen) Klasse-AB-Verstärkers	13
2.5	Blockdiagramm eines Klasse-S-Verstärkers	15
2.6	Verteilung der Rauschleistungsdichte $N(f)$ in Abhängigkeit vom <i>Oversampling</i> für $OSR = 1$ (Nyquist-Sampling), 2 und 8 über der Frequenz f [16]; Nutzsinalbandbreite: $2 \cdot f_B$	18
2.7	Prinzip eines einschleifigen Delta-Sigma Modulators (DSM)	18
2.8	Blockdiagramm eines zweischleifigen Bandpass-Delta-Sigma Modulators (BP-DSM) in linearisierter Form	19
2.9	Prinzip eines Klasse-S-Verstärkers in Voltage-Mode-Konfiguration	22
2.10	Signale am Drain der Schalttransistoren (U_{DS2} , $I_{DS1,2}$) und am Ausgang der Schaltendstufe ($U_F = U_{DS2}$, I_F) vor dem Filter; Eingangssignal: periodisch "10" und nicht periodisch (BPDS); Annahme: keine Freilaufdioden	24
2.11	Prinzip eines Klasse-S-Verstärkers in Current-Mode-Konfiguration	28
2.12	Strompfad (rot) in einem Current-Mode Klasse-S-Verstärker; Annahme: T_1 sperrend, T_2 leitend	29

2.13	Strom- und Spannungssignale in einem Current-Mode Klasse-S-Verstärker gemäß Abb. 2.12	30
2.14	Aufbau des Ausgangsnetzwerks für den realisierten Voltage-Mode Klasse-S-Verstärker (VMCS) mit Bandpassfilter und Anpassnetzwerk	34
2.15	Ersatzschaltbild des Ausgangsnetzwerks der Current-Mode-Endstufe und auftretende Signale bei reinem Gegentaktbetrieb (Odd-Mode)	36
2.16	Elektrische Feldlinien zwischen zwei verkoppelten Mikrostreifenleitungen (1, 2) bei Gegentaktanregung	40
2.17	Magnetische Feldlinien zwischen zwei verkoppelten Mikrostreifenleitungen (1, 2) bei Gegentaktanregung	40
2.18	Ersatzschaltbild des Ausgangsnetzwerks der Current-Mode-Endstufe und auftretende Signale bei reinem Gleichtaktbetrieb (Even-Mode)	40
2.19	Ersatzschaltbild des Ausgangsnetzwerks der Current-Mode-Endstufe mit Strömen und Spannungen sowie Gegen- und Gleichtaktimpedanz in einem bestimmten Zustand: T_1 leitet und T_2 sperrt (vgl. Abb. 2.11 und 2.18)	43
2.20	Ersatzschaltbild des Ausgangsnetzwerks eines Current-Mode Klasse-S-Verstärkers mit Bandpassfilter für Gegentakt- (C_1, L_1) und Gleichtaktsignale (C_2, L_2) sowie Balun zur Transformation auf 50Ω	43
2.21	Ersatzschaltbild des Ausgangsnetzwerks eines Current-Mode Klasse-S-Verstärkers mit a) Bandpassfilter für Gegentakt- (C_1, L_1) und Gleichtaktsignale (C_2, L_2) und b) Balun (C_3 und L_3) zur Transformation von symmetrisch auf <i>single-ended</i>	44
2.22	Schaltbild des Baluns für den CMCS-Verstärker zur Transformation von symmetrisch (Z_{odd}) auf unsymmetrisch (R_L)	45
3.1	Messplatz zur Charakterisierung der Schaltverstärker-MMICs und hybrid aufgebauter Strukturen im Zeitbereich	48
3.2	Foto des Messplatzes zur <i>On-Wafer</i> - und hybriden Charakterisierung von Schaltverstärkern im Zeitbereich mit (1) Bitmuster-generator, (2) Echtzeitoszilloskop, (3) Spektrumanalysator, (4) Spannungs- bzw. Stromquellen, (5) SHF Breitbandvorverstärker und (6) <i>On-Wafer</i> -Prober	50
3.3	Großsignal-Ersatzschaltbild eines GaN-HEMTs nach Angelov	52
3.4	Ersatzschaltbild eines GaN-HEMTs auf der Basis eines idealen Schalters S_1 für Simulationen im Zeitbereich	53
3.5	Messanordnung zur breitbandigen Charakterisierung von Current-Mode-Endstufen im Zeitbereich inklusive hybridem Messboard mit	

	differentieller Last R_{diff} , hochohmiger Auskopplung R_1 und DC-Versorgung (U_d, I_d)	55
3.6	Foto des realisierten hybriden Messboards zur breitbandigen Charakterisierung von Current-Mode-Endstufen im Zeitbereich mit differentieller 50 Ω -Last	56
3.7	Differentielles Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 1 Gbit/s; Zeitausschnitt: 50 ns	57
3.8	Differentielles Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 1,8 Gbit/s; Zeitausschnitt: 50 ns	57
3.9	Differentielles Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 3 Gbit/s; Zeitausschnitt: 50 ns	58
3.10	Differentielles Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 3 Gbit/s; Zeitausschnitt: 7 ns	58
3.11	Breitbandige Ausgangsleistung der Anordnung in Abbildung 3.5 in Abhängigkeit von der Bitrate (0,9 - 5 Gbit/s) für 1) Messung und 2) Simulation mit Angelov- und 3) Schalter-basiertem Transistormodell	59
3.12	links: Simulationsaufbau zur Bestimmung der Abhängigkeit des verstärkten Ausgangsspannungssignals U_{DS1} von der Eingangsimpedanz $R_{in} = 0 \dots 50 \Omega$; rechts: qualitative Darstellung des sich ergebenden Signals am Ausgang des Schalttransistors T_1 .	61
3.13	Schaltbild der Treiberstruktur mit passiver Impedanz R_L für die Leistungsschalterendstufe ("passiver Treiber")	62
3.14	Leistungsschalter-MMIC mit passiver Treiberstruktur in symmetrischer (differentieller) Anordnung; Treibertransistor: 4x125 μm ; gesamte Gate-Weite Endstufe: 4 mm; Chipgröße: 2 x 2 mm^2	64
3.15	Leistungsschalter-MMIC mit passiver Treiberstruktur in unsymmetrischer (<i>single-ended</i>) Anordnung; Treibertransistor: 4x125 μm ; gesamte Gate-Weite Endstufe: 4 mm; Chipgröße: 1,4 x 2,4 mm^2	64
3.16	Schaltbild der aktiven Treiberstruktur (3) mit zweistufigem Vortreiber (1), (2) für Leistungsschalterendstufen ("Endstufe")	65
3.17	Chip der aktiven Treiberstruktur (3) mit zweistufigem Vortreiber ((1) - Drainfolger; (2) - Differenzverstärker) für Leistungsschalterendstufen; Transistorgröße in (3): 4x125 μm ; Chipgröße: 2 x 2,8 mm^2	66

3.18	Differentielles Ausgangssignal im Zeitbereich für 1,8 Gbit/s; Treiber: passiv; Endstufentransistor: $8 \times 250 \mu\text{m}$; $U_{DD} = 15 \text{ V}$; Zeitausschnitt: 20 ns	68
3.19	Ausgangssignal (<i>single-ended</i>) im Zeitbereich für 1,8 Gbit/s; Treiber: passiv; Endstufentransistor: $2 \times 8 \times 250 \mu\text{m}$; $U_{DD} = 26 \text{ V}$; Zeitausschnitt: 20 ns	68
3.20	Ausgangssignal (<i>single-ended</i>) im Zeitbereich für 2,6 Gbit/s; Treiber: passiv; Endstufentransistor: $2 \times 8 \times 250 \mu\text{m}$; $U_{DD} = 26 \text{ V}$; Zeitausschnitt: 10 ns	69
3.21	Ausgangssignal (<i>single-ended</i>) im Zeitbereich für 1,8 Gbit/s; Treiber: aktiv; Endstufentransistor: $8 \times 250 \mu\text{m}$; $U_{DD} = 26 \text{ V}$; Zeitausschnitt: 20 ns	71
4.1	Beschaltung zur Bestimmung des Impedanzverlaufs der benutzten Luftspulen für den VMCS-Aufbau mit SMA-Stecker ((1) Signalleiter, (2) Dielektrikum, (3) Masse)	74
4.2	Prinzipaufbau zur Messung des Ausgangsnetzwerks (Filter und Anpassung) des realisierten VMCS-Verstärkers	75
4.3	Eingangsreflexionsfaktor S_{11} über der Frequenz (0 - 8 GHz); Referenzimpedanz am Eingang: 37Ω ; Ausgang mit 50Ω abgeschlossen	77
4.4	Eingangsreflexionsfaktor S_{11} (Zoom) über der Frequenz (0 - 1 GHz); Referenzimpedanz am Eingang: 37Ω ; Ausgang mit 50Ω abgeschlossen	77
4.5	Realteil der Eingangsimpedanz Z_{11} über der Frequenz (0 - 8 GHz); Referenzimpedanz am Eingang: 37Ω ; Ausgang mit 50Ω abgeschlossen	78
4.6	Realteil der Eingangsimpedanz Z_{11} (Zoom) über der Frequenz (0 - 1 GHz); Referenzimpedanz am Eingang: 37Ω ; Ausgang mit 50Ω abgeschlossen	78
4.7	Verschaltung der Einzelkomponenten Schaltverstärker-MMIC, GaAs-Schottky Dioden und hybrides Ausgangsnetzwerk (Filter, Anpassung) auf Kupferträger zum VMCS-Verstärker (Draufsicht)	79
4.8	Realisierter VMCS-Verstärker (komplett) für eine Signalfrequenz von 400 MHz mit Schaltverstärker-MMIC, Freilaufdioden und hybridem Ausgangsnetzwerk (Filter, Anpassung)	80
4.9	Zoom auf Schaltverstärker-MMIC, Dioden und Anbindung an das Ausgangsnetzwerk im realisierten VMCS-Verstärker (Draufsicht)	80
4.10	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz ("Effizienz") des VMCS-Verstärkers in Abhängigkeit von der	

	Drainversorgungsspannung U_{DD} an der Endstufe des VMCS-Verstärkers; Eingangssignal: BPDS Bitsequenz ($0,5 \text{ dB back-off}$); Bitrate: 1,6 Gbit/s; $f_S = 400 \text{ MHz}$; $U_{DD} = 10 \dots 50 \text{ V}$	82
4.11	Gemessenes Eingangsspektrum BPDS; 0 - 800 MHz; $f_S = 400 \text{ MHz}$	83
4.12	Gemessenes Eingangsspektrum BPDS; 0 - 4 GHz; $f_S = 400 \text{ MHz}$	83
4.13	Gemessenes Ausgangsspektrum des VMCS-Verstärkers; 0 - 800 MHz; $f_S = 400 \text{ MHz}$	84
4.14	Gemessenes Ausgangsspektrum des VMCS-Verstärkers; 0 - 4 GHz; $f_S = 400 \text{ MHz}$	84
4.15	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz ("Effizienz") des VMCS-Verstärkers in Abhängigkeit vom <i>power back-off</i> ; Eingangssignal: BPDS Bitsequenz; <i>power back-off</i> : 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_S = 400 \text{ MHz}$; $U_{DD} = 40 \text{ V}$	85
4.16	Schaltvorgänge (in % bezogen auf 20000 Bits) in Abhängigkeit von <i>COSR</i> und <i>power back-off</i>	86
4.17	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz ("Effizienz") des VMCS-Verstärkers in Abhängigkeit von <i>COSR</i> und <i>power back-off</i> der Eingangsbitfolge; Eingangssignal: BPDS Bitsequenz ($COSR = 2,3 \dots 5$); <i>power back-off</i> : 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_S = 400 \text{ MHz}$; $U_{DD} = 40 \text{ V}$	87
4.18	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz ("Effizienz") des VMCS-Verstärkers in Abhängigkeit von U_{DD} ; Eingangssignal: BPDS Bitsequenz ($0,5 \text{ dB back-off}$) und "1100" ("sqw."); Bitrate: 1,6 Gbit/s; $f_S = 400 \text{ MHz}$; $U_{DD} = 10 \dots 50 \text{ V}$	88
4.19	Verbesserung der Draineffizienz (η_{drain}) des Voltage-Mode Klasse-S-Verstärkers bei Reduktion eines einzelnen parasitären Elements (C_{diode} , C_{ds} , C_{gd} , $R_{ds.ON}$) auf (nahezu) idealen Wert und idealisierter Charakteristik des Ausgangsnetzwerks ("Filter"); $U_{DD} = 40 \text{ V}$; Bitsequenz: 1-Ton BPDS; $COSR = 4$; <i>power back-off</i> : 0,5 dB und 10 dB	91
4.20	Verbesserung der Draineffizienz (η_{drain}) des Voltage-Mode Klasse-S-Verstärkers durch ideale (komplette) Bauelemente (Transistor, Diode, Ausgangsnetzwerk) und deren Kombination; $U_{DD} = 40 \text{ V}$; Bitsequenz: 1-Ton BPDS; $COSR = 4$; <i>power back-off</i> : 0,5 dB und 10 dB	94
4.21	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz ("Effizienz") des VMCS-Verstärkers ohne Freilaufdioden in Abhängigkeit von U_{DD} ; Eingangssignal: BPDS Bitsequenz ($0,5 \text{ dB back-off}$) und "1100" (sqw.); Bitrate: 1,6 Gbit/s; $f_S = 400 \text{ MHz}$; $U_{DD} = 10 \dots 46 \text{ V}$	96

4.22	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des VMCS-Verstärkers mit (mit D.) und ohne (ohne D.) Freilaufdioden in Abhängigkeit vom <i>power back-off</i> ; Eingangssignal: BPDS; <i>back-off</i> : 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 30$ V	98
4.23	Pulslängenmodulation mit konstanter Anzahl der Schaltvorgänge (PLM-K): Resultierende Zeitverläufe für zwei verschiedene Amplituden des kodierten Signals (Vollaussteuerung und 10 dB <i>back-off</i>)	99
4.24	Gemessene Ausgangsleistung P_{aus} und Draineffizienz (“Effizienz”) des VMCS-Verstärkers ohne Freilaufdioden über <i>power back-off</i> ; Eingangssignal: PLM-K und BPDS; <i>back-off</i> : 10 dB ... 0 dB; Bitrate: 4 Gbit/s (PLM-K) und 1,6 Gbit/s (BPDS); $f_s = 400$ MHz; $U_{DD} = 30$ V	100
4.25	Gemessene Ausgangsleistung P_{aus} und Draineffizienz (“Effizienz”) des VMCS-Verstärkers ohne Freilaufdioden über <i>power back-off</i> ; Eingangssignal: PLM-K; <i>back-off</i> : 10 dB ... 0 dB; Bitrate: 4 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 30$ V, 40 V	101
4.26	Pulslängenmodulation mit Reduktion der Schaltvorgänge (PLM-SV): Resultierende Zeitverläufe für zwei verschiedene Amplituden des kodierten Signals (Vollaussteuerung und 9,5 dB <i>back-off</i>)	102
4.27	Gemessene Ausgangsleistung P_{aus} und Draineffizienz (“Effizienz”) des VMCS-Verstärkers ohne Freilaufdioden über <i>power back-off</i> ; Eingangssignal: PLM-SV und BPDS; <i>back-off</i> : (9,5 dB) 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 30$ V	103
5.1	Messaufbau und Simulationsanordnung zur Optimierung der S-Parameter und der Eingangsimpedanz Z_{in} des Balun; Z_{ref} (Port 1): $Z_{opt} = 120 \Omega$ (differentiell); Z_{ref} (Term für S-Parameter) und reale Abschlussimpedanz (für Z_{in}) (Port 2): 50Ω (<i>single-ended</i>)	106
5.2	Messaufbau und Simulationsanordnung zur Optimierung der Phasendifferenz des Balun; Z_{ref} (Term Port 1, 3): 60Ω (<i>single-ended</i>); Z_{ref} (Term Port 2): 50Ω (<i>single-ended</i>)	106
5.3	Messaufbau und Simulationsanordnung zur Optimierung der Odd-Mode Impedanz und S-Parameter eines Ausgangsnetzwerks für den CMCS-Verstärker; Z_{ref} (Port 1): $Z_{opt} = 120 \Omega$ (differentiell); Abschluss Port 2: 50Ω (<i>single-ended</i>) (S-Parameter: <i>Term</i> , Z_{odd} : realer Widerstand)	108
5.4	Messaufbau und Simulationsanordnung zur Optimierung der Even-Mode Impedanz eines Ausgangsnetzwerks für den CMCS-Verstärker; Z_{ref} (Port 1): 30Ω (<i>single-ended</i>); Abschluss Port 2: 50Ω (<i>single-ended</i>)	108

5.5	Layout der Platine auf Kupferträger für das Ausgangsnetzwerk des CMCS-Verstärkers für $f_S = 450$ MHz mit Filter und Balun (1), Stromquelle (2) und hochohmiger Auskopplung (3)(4); Fläche: $82,2 \times 62,4 \text{ mm}^2$	110
5.6	Aussparung im Kupferträger zur Reduktion der parasitären Kapazitäten für CMCS-Verstärker ($f_S = 450$ MHz)	110
5.7	Aussparung in Rückseitenmetallisierung zur Reduktion der parasitären Kapazitäten für CMCS-Verstärker ($f_S = 450$ MHz)	111
5.8	Gemessene S-Parameter des Baluns für $f_S = 450$ MHz gemäß Abb. 5.1; Z_{ref} (Eingang (differentiell)): 120Ω ; Z_{ref} (Ausgang (single-ended)): 50Ω	112
5.9	Gemessene Phasendifferenz des Baluns für $f_S = 450$ MHz gemäß Abb. 5.2; Z_{ref} (Eingänge (single-ended)): 60Ω ; Z_{ref} (Ausgang (single-ended)): 50Ω	112
5.10	Gemessene S-Parameter des kompletten Ausgangsnetzwerks (Filter, Balun) bei $f_S = 450$ MHz gemäß Abb. 5.3; $f = 0 \dots 2,5$ GHz; Z_{ref} (Eingang (differentiell)): 120Ω ; Z_{ref} (Ausgang (single-ended)): 50Ω	113
5.11	Gemessene Odd-Mode Impedanz $Re(Z_{odd})$ des Ausgangsnetzwerks gemäß Abb. 5.3; $f_S = 450$ MHz; $f = 0 \dots 8$ GHz; Z_{ref} (Eingang (differentiell)) = 120Ω ; Abschluss (Ausgang (single-ended)): 50Ω	114
5.12	Gemessene Even-Mode Impedanz $ Z_{even} $ des Ausgangsnetzwerks gemäß Abb. 5.4; $f_S = 450$ MHz; $f = 0 \dots 8$ GHz; Z_{ref} (Eingang (single-ended)) = 30Ω ; Abschluss (Ausgang (single-ended)): 50Ω	115
5.13	Gemessene Even-Mode Impedanz $ Z_{even} $ (Zoom) des Ausgangsnetzwerks gemäß Abb. 5.4; $f_S = 450$ MHz; $f = 0 \dots 1,5$ GHz; Z_{ref} (Eingang (single-ended)) = 30Ω ; Abschluss (Ausgang (single-ended)): 50Ω	115
5.14	Blockdiagramm des aufgebauten CMCS-Verstärkers mit Leistungsschalter GaN-MMIC, Freilaufdioden und Ausgangsnetzwerk (Filter (2+3), Stromquellen (1) und Balun (4))	116
5.15	Current-Mode Klasse-S-Verstärker für 450 MHz mit differentielltem Eingang (1), GaN-Leistungs-MMIC und GaAs-Schottky-Dioden sowie zusätzliche On-Chip Block-C's (2), Filter und Balun (3), Stromquelle (4) und Ausgang (5) (single-ended); Gateweite Endstufentransistor: 2 mm; Fläche: $86,4 \times 82,2 \text{ mm}^2$	117
5.16	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz ("Effizienz") des CMCS-Verstärkers in Abhängigkeit vom DC-Strom I_0 der Stromquellen; Eingangssignal: 1-Ton BPDS-Signal ($0,5 \text{ dB back-off}$); Bitrate: 1,84 Gbit/s; $f_S = 460$ MHz; $I_0 = 0,1 \dots 0,5 \text{ A}$	119

5.17	Eingangsspektrum des CMCS-Verstärkers; Signal: 1-Ton BPDS; $f = 0 - 900$ MHz; P_{ein} bei $f_S = 460$ MHz: 1 dBm	120
5.18	Ausgangsspektrum des CMCS-Verstärkers; Eingangssignal: 1-Ton BPDS; $f = 0 - 900$ MHz; P_{aus} bei $f_S = 460$ MHz: 38,3 dBm; $I_0 = 0,5$ A	120
5.19	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers in Abhängigkeit vom <i>power back-off</i> ; Eingangssignal: 1-Ton BPDS; <i>back-off</i> : 0 ... 10 dB; Bitrate: 1,84 Gbit/s; $f_S = 460$ MHz; $I_0 = 0,5$ A	121
5.20	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers in Abhängigkeit vom DC-Strom I_0 ; Eingangssignal: 1-Ton BPDS und “1100” (sqw.); Bitrate: 1,84 Gbit/s; $f_S = 460$ MHz; $I_0 = 0,1 \dots 0,5$ A	124
5.21	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) in Abhängigkeit vom DC-Strom I_0 ; Eingangssignal: 1-Ton BPDS-Signal; Bitrate: 1,68 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,15 \dots 0,55$ A	125
5.22	Ausgangsspektrum des CMCS-Verstärker (OS); Eingangssignal (vgl. Abb. 5.17): 1-Ton BPDS; Bitrate: 1,68 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,55$ A	126
5.23	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) über <i>power back-off</i> ; Eingangssignal: 1-Ton BPDS; <i>back-off</i> : 10 ... 0 dB; Bitrate: 1,68 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,55$ A	127
5.24	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) über <i>COSR</i> ; Eingangssignal: 1-Ton BPDS; <i>COSR</i> : 2,5 ... 5; Bitrate: 1,05 ... 2,1 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,55$ A	128
5.25	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) in Abhängigkeit von I_0 ; Eingangssignal: 1-Ton BPDS und “1100” (“sqw.”); Bitrate: 1,68 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,15 \dots 0,55$ A	130
5.26	Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) über <i>power back-off</i> ; Eingangssignal: 1-Ton BPDS und PLM-K; Bitrate: 1,68 Gbit/s (BPDS) und 4,2 Gbit/s (PLM-K); $f_S = 420$ MHz; $I_0 = 0,3$ A	131

Tabellenverzeichnis

2.1	Vor- und Nachteile von Voltage-Mode- und Current-Mode-Struktur	31
3.1	Parameter für das Schalter-basierte Modell eines GaN-HEMTs (FBH-Prozess) mit $8 \times 250 \mu\text{m}$ (= 2 mm) Gateweite und für Transistorskalierung pro 1 mm Gateweite	54
3.2	Überblick zu den Messungen der Leistungsschalter-MMICs für die hocheffiziente Verstärkung von BPDS-Bitsequenzen	71
4.1	Verlustmechanismen im Voltage-Mode Klasse-S-Verstärker: Reduzierung einzelner parasitärer Elemente auf annähernd idealen Wert und deren Einfluss auf Ausgangsleistung P_{aus} , DC-Leistung P_{DC} und Draineffizienz η_{drain} ($U_{DD} = 40 \text{ V}$; Bitsequenz: 1-Ton BPDS; $COSR = 4$; <i>power back-off</i> : 0,5 dB und 10 dB)	90
4.2	Verlustmechanismen (Transistor/Diode/Ausgangsnetzwerk komplett und ihre Kombinationen) im Voltage-Mode Klasse-S-Verstärker: Einfluss idealisierter Bauelemente auf Ausgangsleistung P_{aus} , DC-Leistung P_{DC} und Draineffizienz η_{drain} ; $U_{DD} = 40 \text{ V}$; Bitsequenz: 1-Ton BPDS; $COSR = 4$; <i>power back-off</i> : 0,5 dB und 10 dB	93
4.3	Vergleich der Ergebnisse des realisierten VMCS-Verstärkers mit und ohne Freilaufdioden für Klasse-S- und Klasse-D-Betrieb	97
4.4	Vergleich der Ergebnisse des realisierten VMCS-Verstärkers ohne Freilaufdioden für BPDS-Modulation, Pulslängenmodulation mit (PLM-SV) und ohne (PLM-K) Reduktion der Schaltvorgänge; $U_{DD} = 30 \text{ V}$	103
5.1	Simulierte Kennwerte (P_{aus} , P_{dc} , Draineffizienz η_{drain}) des CMCS-Verstärkers (ohne <i>Oversizing</i>) für 460 MHz in Abhängigkeit von reduzierten parasitären Elementen; DC-Strom pro Quelle: $I_0 = 0,3 \text{ A}$	122
5.2	Vergleich der realisierten CMCS-Verstärker mit 2 mm und 4 mm (OS)-Endstufe bezüglich P_{aus} , Draineffizienz und SNR (Messbandbreite Spektrumanalysator: 30 kHz)	132
6.1	Zusammenfassung der Ergebnisse von CMCS-, VMCS- und VMCS-Verstärker ohne Freilaufdioden für Klasse-S- (BPDS) und Klasse-D- ("1100") Betrieb	133

6.2	Zusammenfassung der Ergebnisse von CMCS- mit und VMCS-Verstärker ohne Freilaufdioden für PLM-Betrieb	134
-----	--	-----

KAPITEL 1

Einleitung

Der Wunsch der Menschheit, überall, immer und mit jedem kommunizieren zu können, bekam in der zweiten Hälfte des 19. Jahrhunderts durch eine wahre Kommunikationsrevolution einen kräftigen Auftrieb. Rund 10 Jahre nach dem experimentellen Nachweis der elektromagnetischen Strahlung durch *Heinrich Hertz* um 1888 konnte mittels der Erfindung der drahtlosen Telegrafie durch *Guglielmo Marconi* innerhalb weniger Jahre ein riesiger Fortschritt in Gang gesetzt werden. Mit Hilfe des von *Karl Ferdinand Braun* entwickelten "Braun-Senders" (Trennung von Schwing- und Antennenkreis) und der damit verbundenen höheren Reichweite wurde die drahtlose Übertragung auch über weite Entfernungen möglich. Folglich war die Kommunikation nicht mehr, wie seit jeher, auf die unmittelbare Umgebung einer Person begrenzt. So konnte man im März 1899 erstmals eine drahtlose Übertragung von Informationen über den Ärmelkanal und 1901 über 3400 km von Südengland nach Neufundland mittels eines Funktelegraphen demonstrieren.



ABBILDUNG 1.1. *G. Marconi*'s erster frequenzabstimmbarer Transmitter (1899)

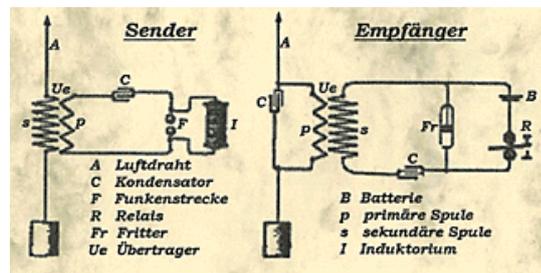


ABBILDUNG 1.2. Sender und Empfänger (Ersatzschaltbild) zur drahtlosen Funktelegrafie von *Karl Ferdinand Braun* um 1900

Die neu entwickelte Ferntelegrafie wurde bald immer schneller erweitert, wie z. B. um die Möglichkeit der Abstimmung (engl.: tuning) auf verschiedene Frequenzen zur Problembehebung der Interferenzen zwischen den Signalen. Diese bahnbrechenden Erfindungen beim Übergang vom 19. auf das 20. Jahrhundert leiteten eine rasante Entwicklung bis hin zu der heutigen breitbandigen und kabellosen Mobilkommunikation mit all ihrer Vielfalt ein. Von dem ersten Einsatz mobiler Funktelefone in den Zügen der Deutschen Reichsbahn 1926 über das erste Mobilfunknetz 1946 in den USA (Bell

Labs) bis hin zur drahtlosen Mobilkommunikation der gegenwärtig dritten (3G - seit 2001) bzw. vierten Generation (4G) hat sich der Mobilfunk von einer nur Spezialisten und Auserwählten zugänglichen und bekannten Kommunikationsform zu einem für nahezu jedermann offenen Massenphänomen entwickelt. Besonders die letzten 20 Jahre haben nochmals einen riesigen Sprung v.a. bezüglich Funktionalität, Kompaktheit, Verfügbarkeit und Übertragungsdatenraten bewirkt. Die Abbildungen 1.1 - 1.5 veranschaulichen die rasante Evolution der Mobilkommunikation in den letzten rund 100 Jahren.

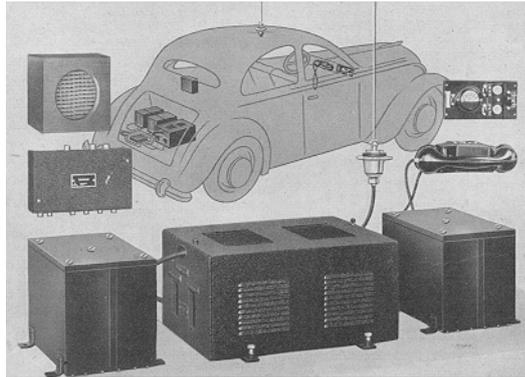


ABBILDUNG 1.3. Autotelefon um 1958



ABBILDUNG 1.4. Erste GSM¹-Telefone um 1991 (Deutsches Historisches Museum (München))



ABBILDUNG 1.5. Mobiltelefon der neuesten Generation (2009)

Die Entwicklung des Mobilfunks von einem Netz mit anfänglich einigen hundert Benutzern, wie z. B. im deutschen A-Netz (siehe Abbildung 1.3) für Politiker und Unternehmer, zu einem Massenmarkt mit immer mehr Teilnehmern bringt allerdings auch

¹engl.: **Global System for Mobile Communications** - Standard für volldigitale Mobilfunknetze der 2. Generation (2G)

steigende Herausforderungen mit sich. Zusätzlich zu den aufgrund erhöhter Nachfrage immer stärker wachsenden grundlegenden technischen Anforderungen treten auch mehr und mehr neue Aspekte auf, die berücksichtigt werden müssen. Aufgrund einer weltweit stetig steigenden Mobilfunkdichte, wie Abbildung 1.6 belegt, muss man sich auch intensiver mit den Themen der Wirtschaftlichkeit, des Energiemanagements und den sich daraus ergebenden Auswirkungen für die Umwelt auseinandersetzen.

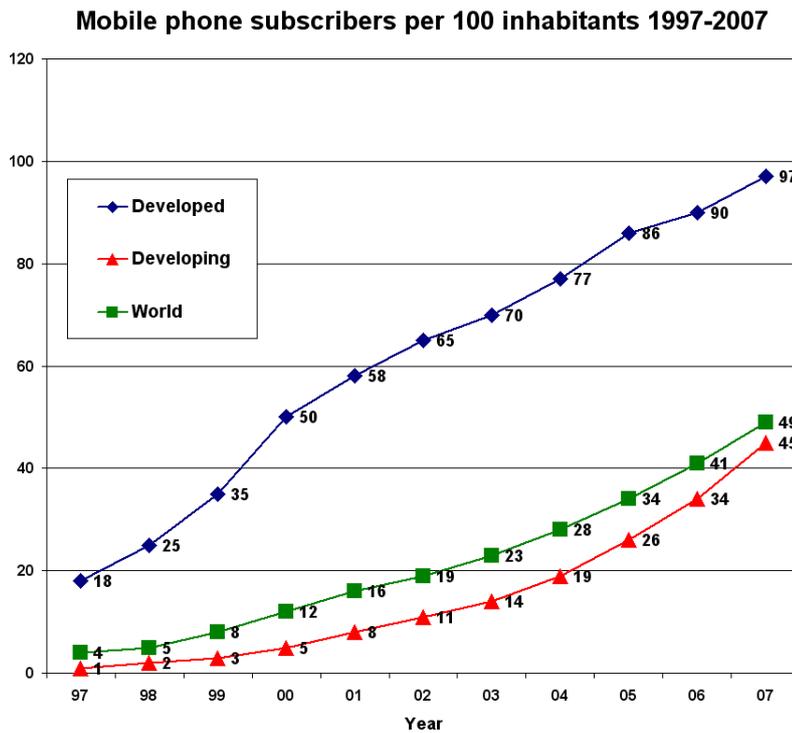


ABBILDUNG 1.6. Entwicklung der Mobilfunkdichte in Entwicklungsländern (rot - “Developing”), Industriestaaten (blau - “Developed”) und weltweit (grün - “World”) von 1997 bis 2007 [1]

Die obige Abbildung verdeutlicht die Entwicklung der Mobilfunkdichte, d. h. der Anzahl der Mobiltelefone pro Einwohner, von 1997 bis 2007. Die Statistik zeigt, dass im Jahr 2007 schon ca. 50 % der Weltbevölkerung (“World” in Abb. 1.6) am Mobilfunk (Telefonie, drahtlose Datenübertragungen etc.) teilgenommen hat. Das waren 3 Jahre zuvor (um 2004) nur rund ein Viertel. Beim Betrachten dieser Entwicklung lässt sich schlussfolgern, dass die weltweite Teilnehmerzahl heutzutage (2010) schon deutlich über dem Wert von 2007 liegen muss. In den Entwicklungsländern (“Developing”) zeigt sich ein noch etwas stärkerer Anstieg, wobei die Versorgungsrate im Jahr 2007 bei 45 % lag. Besonders in den letzten Jahren lassen diese Länder einen nahezu exponentiellen Anstieg erkennen. In den Industriestaaten (“Developed”) steigt die Anzahl der Mobilfunkteilnehmer im Vergleich zu den Entwicklungsländern in den letzten Jahren

nicht mehr ganz so stark. Das größte Wachstum fand dort rund zehn Jahre vorher von 1997 bis ca. 2000 statt. Hier beträgt die Versorgungsrate mit Mobilfunkanwendungen pro 100 Einwohner im Jahr 2007 ca. 97 %. Es nimmt also dort heutzutage schon nahezu jeder einzelne in irgendeiner Form am Mobilfunk teil. Im Jahr 1997 waren das nur 18 %.

Die weltweite Entwicklung wird auch in den nächsten Jahren verstärkt zunehmen, zumal viele bevölkerungsstarke Schwellenländer (gemäß Weltbank und IWF) wie Brasilien, Indien, Thailand, Russland und vor allem China trotz der Wirtschaftskrise von 2009 einen starken Anstieg der Mobilfunkteilnehmer verzeichnen werden. Stellvertretend dafür steht die Meldung von Juli 2009 [2], wonach ein großer Mobilfunkausrüster wie *Ericsson* von China den Auftrag bekommt, "bekannte Mobilfunknetze (hier: 2G und 3G) auszubauen, die Abdeckung und Kapazität der GSM/GPRS²-Netze in 18 Provinzen zu verbessern und für 15 Provinzen GSM/WCDMA³-Kernnetze und neue Zugangssysteme für das Funknetz zu liefern." Dies ist einerseits exemplarisch für den weiteren Anstieg der weltweiten Netzabdeckung durch Erstversorgungen mit Mobilfunkanwendungen wie z. B. Bluetooth, MMS, SMS, W-LAN und den (neuen) Mobilfunkstandards wie UMTS⁴ und LTE⁵.

Daraus ergibt sich, dass man für die neuen Mobilfunkstandards und ihre theoretisch möglichen sehr viel höheren Übertragungsdatenraten auch die bereits bestehenden Netze der 2. Mobilfunkgeneration (2G), die v.a. in den Industriestaaten schon existieren, engmaschiger und lückenloser mit Sendestationen ausrüsten muss. Nur so kann man die stetig steigende Nachfrage für z. B. das mobile breitbandige Internet (engl.: *broadband mobile internet*) befriedigen und die neuen Mobilfunkgenerationen verwirklichen. Diese Entwicklungen führen konsequenterweise zu einer noch stärkeren Verzweigung des Mobilfunkmarktes und somit zu einem rasanten Anstieg der dafür nötigen Basisstationen [2]. Im wesentlichen ist die große Nachfrage an Basisstationen also durch den weltweit wachsenden Markt der mobilen und drahtlosen Kommunikation sowie die parallel dazu verlaufenden steigenden Anforderungen der neuen Mobilfunkstandards bedingt.

Mit der zunehmenden Verbreitung ist - verstärkt durch die allgegenwärtigen Bemühungen zur Verringerung der CO_2 -Emission - der Energieverbrauch der Basisstationen besonders in den Fokus der Öffentlichkeit gerückt. Um eine Basisstation bzw. ein Mobilfunksystem leistungsmäßig zu erfassen, ist es sinnvoll, den Wirkungsgrad (Effizienz) einzuführen. Er gibt in diesem Fall das Verhältnis von abgegebener Hochfrequenzleistung (Nutzleistung) zu zugeführter Leistung an:

$$\text{Wirkungsgrad (Effizienz)} = \frac{\text{(abgegebene) Hochfrequenzleistung}}{\text{zugeführte Leistung}} \quad (1)$$

²engl.: **General Packet Radio Service** - paketerorientierte Datenübertragung in GSM/UMTS-Netz

³engl.: **Wideband Code Division Multiple Access** - Codemultiplexverfahren bei z. B. UMTS

⁴engl.: **Universal Mobile Telecommunications System** - Mobilfunkstandard der 3. Generation (3G)

⁵engl.: **Long Term Evolution** - Mobilfunkstandard der 4. Generation (4G)

Je effizienter eine einzelne Basisstation ist, desto geringer ist die Differenz zwischen zugeführter und abgegebener Leistung. Die Verluste sind also minimiert. Die wesentlichen Komponenten bezüglich Platzbedarf und Leistungsbilanz werden nun anhand des Aufbaus einer typischen CDMA/UMTS-Basisstation der Firma *Alcatel-Lucent* aus dem Jahr 2005 in Abbildung 1.7 betrachtet.

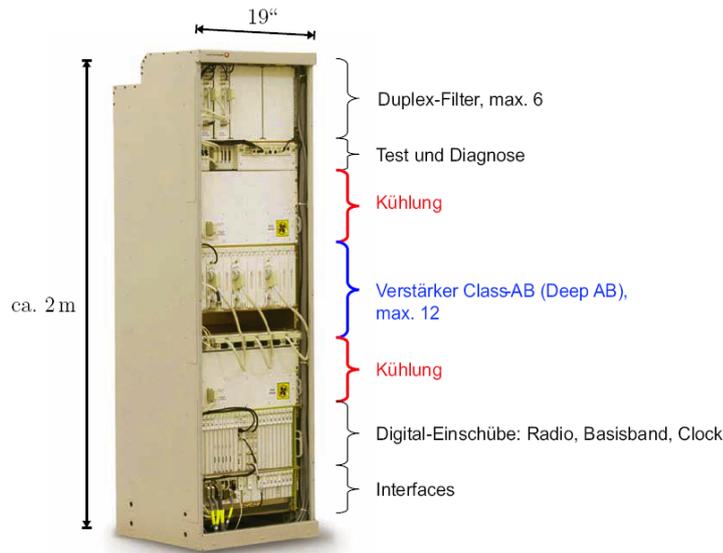


ABBILDUNG 1.7. Aufbau der *Alcatel-Lucent OneBTS™ Macrocell* CDMA/UMTS-Basisstation (©Alcatel-Lucent 2005)

Wie aus der Abbildung zu erkennen ist, besteht eine Basisstation volumenmäßig zur Hälfte aus den Leistungsverstärkern für die analoge Signalverstärkung (Klasse-AB Verstärker (hier: max. 12)) und deren Kühlung. Die verwendeten Klasse-AB Leistungsverstärker stellen zwar einen sehr guten Kompromiss zwischen Linearität (Klasse-A) und Effizienz (Klasse-B) dar, können allerdings einzeln nur eine theoretische maximale Effizienz von ca. 78 % erreichen, was Verluste zur Folge hat. Diese HF-Leistungsverstärker dominieren die Leistungsverluste in den heutigen Mobilfunk-Basisstationen [3]. Das ist auch maßgeblich durch die Charakteristika der benötigten neuartigen Modulationsverfahren (z. B. CDMA) für die modernen Mobilfunkgenerationen (z. B. UMTS (3G)) bedingt. Die sind durch den Erfolg des mobilen Internets und die steigenden Nutzerzahlen unausweichlich und erhöhen die Anforderungen an die Funknetztechnik.

Bei GSM (2G) werden die digitalen Daten mit einer Mischung aus Frequenz- und Zeitmultiplexing übertragen. Ursprünglich wurde es hauptsächlich für Telefongespräche,

Faxe und Datensendungen mit konstanter Datenrate konzipiert und musste für das mobile Internet mit Möglichkeiten zur paketorientierten Datenübertragung (z. B. GPRS mit Datenübertragungsraten bis zu 50 kbit/s) erweitert werden. Um die Übertragungsraten weiter zu erhöhen, wurde mit der dritten Mobilfunkgeneration (3G) eine neue Funkzugriffstechnik mit WCDMA, die auf CDMA basiert, eingeführt. Dadurch sind z. B. mit HSPA⁶ derzeit standardmäßig im Downlink bis zu 14,4 Mbit/s (maximal 28 Mbit/s) und im Uplink maximal ca. 6 Mbit/s möglich. Bei dem CDMA-Codemultiplexverfahren erfolgt die gleichzeitige Übertragung verschiedener Nutzdatenströme auf einem gemeinsamen Frequenzbereich. Somit können mehrere Datenströme gleichzeitig gesendet bzw. empfangen werden (z. B. Telefonie und E-Mails parallel). Der gemeinsam genutzte Frequenzbereich weist als wesentliche Eigenschaft eine größere Bandbreite auf, als der Nutzdatenstrom belegt. Durch die benötigten höheren Übertragungsraten werden also die Bandbreiten größer. Das zu sendende Signal wird stark gespreizt, was auch im Vergleich zu GSM zu einer verringerten Sendeleistung der Mobilstation führen kann [4]. Bei UMTS sind die Frequenzbänder bei der Datenübertragung mit WCDMA typischerweise 5 MHz. Beim OFDM⁷-Modulationsverfahren kann die Signalbandbreite bis zu 20 MHz (LTE) betragen.

Mit der Entwicklung bandbreite-effizienterer Modulationsverfahren, und damit wachsender Datenübertragungsrate bei mehr Signalbandbreite, steigt aber im zu übertragenden Kanal auch das Verhältnis von maximaler Leistung P_{max} zu mittlerer Leistung P_{mittel} , da die gesamte Kanalleistung den Spitzenwert nicht übersteigen darf. Das Verhältnis dieser beiden Größen wird als sogenannte *peak-to-average power-ratio (PAPR)* definiert.

$$PAPR = 10 \cdot \log_{10} \left(\frac{P_{max}}{P_{mittel}} \right) \quad [dB] \quad (2)$$

Die *PAPR* ist leistungsbezogen und wird auch als *power back-off*⁸ bezeichnet. Ein Maß für das Verhältnis der Signalamplituden ist der Crest-Faktor

$$C_F = 20 \cdot \log_{10} \left(\frac{A_{max}}{A_{mittel}} \right) \quad [dB] \quad (3)$$

mit maximaler Signalamplitude A_{max} und mittlerer Amplitude A_{mittel} .
Nachteilig an einem hohen *PAPR* ist, dass der Sender sehr hohe Spitzenleistungen abgeben können muss, während er andererseits nur eine verhältnismäßig geringe mittlere Leistung abgibt. Somit müssen die im Prinzip linearen HF-Leistungsverstärker in den Basisstationen für diese neuen bandbreite-effizienten Modulationsverfahren bei einem

⁶engl.: **H**igh **S**peed **P**acket **A**ccess - Erweiterung des UMTS

⁷engl.: **O**rthogonal **F**requency **D**ivision **M**ultiplex - Orthogonale Frequenzmultiplextechnik zur digitalen Datenübertragung mit hohem *power back-off* (> 10 dB)

⁸engl.: Leistungsminderung, Unteraussteuerung

Eingangsleistungspegel arbeiten, der teilweise weit unter ihrem eigentlichen Arbeitsbereich, der Vollaussteuerung (0 dB *power back-off*), liegt. Das sind z. B. 6 dB *PAPR* für das WCDMA-Verfahren beim UMTS-Standard. Der Wirkungsgrad der zumeist noch als Klasse-AB ausgeführten HF-Leistungsverstärker ist bei Betrieb im *back-off* allerdings sehr viel geringer als bei Vollaussteuerung. Bei einem *PAPR* von 10 dB fällt die Effizienz eines Klasse-AB-Verstärkers typischerweise schon unter 10 %. Folglich steigt der Energieverbrauch zusätzlich durch den für die neuen Modulationsverfahren nötigen Betrieb der Leistungsverstärker in den Basisstationen bei hohem *power back-off* und führt zu sehr geringen Wirkungsgraden.

Dabei beläuft sich die effektiv nutzbare Effizienz der HF-Leistungsverstärker inklusive aller Treiberstufen, Verkabelung und Filterung in den klassischen Basisstationen auf nur 4 %. Ungefähr die Hälfte der gesamten aufgenommenen Leistung (ca. 6 kW) aus dem Hauptversorgungsnetz wird durch diese Verstärkerstufen verbraucht (2.8 kW). Wenn man nur die nutzbare Hochfrequenzleistung ins Verhältnis zur gesamten aufgenommenen Leistung setzt, liegt der Wirkungsgrad für eine Basisstation wie in Abbildung 1.7 bei nur 1,9 % [3]. Die daraus folgenden massiven Wärmeverluste erklären auch, warum man in den bisherigen Basisstationen so viel Platz für die Kühlung der HF-Leistungsverstärker vorsehen muss. Demnach müssen HF-Leistungsverstärker entwickelt werden, die es ermöglichen, auch bei einem hohen *power back-off* oder im Idealfall unabhängig davon, hohe Effizienzen zu erzielen.

Notwendige *PAPR*'s bis zu 20 dB oder höher für eine reibungslose HF-Leistungsverstärkung sind in der Praxis allerdings nicht vertretbar. Dies würde bedeuten, dass die effektive Leistung eines Senders nur 1/100 seiner Spitzenleistung sein dürfte. Die Investitionskosten der Sender würden dadurch unwirtschaftlich hoch ansteigen. Deshalb werden schon Maßnahmen (bei OFDM z. B. "soft-clipping", "dummy"-subchannels) zur Reduktion des Crest-Faktors ergriffen, damit bei gegebener Spitzenleistung eines Sendeverstärkers noch genügend mittlere Leistung erzeugt werden kann und das *PAPR* nicht zu groß wird. Nichtsdestotrotz sind *power back-offs* von bis zu 12 dB (OFDM) bei den neuen Modulationsverfahren normal.

Auch deswegen hat z. B. *Nokia Siemens Networks* nicht von ungefähr auf der *CeBIT Green IT World 2009* neue Strategien zur Verbesserung der Energieeffizienz besonders bezüglich der Basisstationen für den Mobilfunk vorgestellt [5]. Gemäß [5] entstehen 80 % des Energiebedarfs in einem Mobilfunknetz in den Basisstationen. Das bekräftigt die bisherigen Ausführungen und impliziert, dass man am ehesten die Energieeffizienz des gesamten Mobilfunknetzes erhöhen kann, wenn die Basisstation effizienter wird. Hier muss man besonders an den bereits erwähnten Hochfrequenzleistungsverstärkern ansetzen, die mit ca. 50 % des Energiebedarfs die größten Verluste in einer Mobilfunk-Basisstation darstellen. Ein einfaches Beispiel verdeutlicht die dargelegten Fakten und das große Potential:

Laut [6] gab es Ende 2007 um die 3 Mio. Basisstationen weltweit. Davon wurden allein von Ende 2006 bis Ende 2007 rund 600000 neue Basisstationen installiert. Heute dürfte diese Zahl aufgrund der weltweiten Wachstumsraten weit über 4 Mio. liegen. Setzt man

nun eine verbesserte Effizienz und somit eine Leistungersparnis in jeder einzelnen Basisstation von nur 1 W an, ließe sich schon beinahe Energie in der Dimension eines mittleren Kraftwerks (z. B. Heizkraftwerk Berlin-Buch mit 5 MW Bruttoleistung [7]) einsparen. Üblicherweise kann man allerdings durch Effizienzsteigerung bis zu mehrere 100 W pro Basisstation einsparen, was multipliziert mit der Anzahl der Stationen der Bruttoleistung eines sehr großen Kraftwerks entspricht. Dies verdeutlicht die Dimensionen und den noch sehr großen Raum für Verbesserungen, durch die man v.a. durch neuartige effizientere Verstärkerkonzepte sehr viel Energie sparen kann.

Das führt auch zu einer merklichen Verringerung des CO_2 - Ausstoßes [5] und so im Endeffekt zur Reduktion der Treibhausgase. Somit lässt sich durch die Optimierung der Basisstationen bezüglich Energieeffizienz auch ein beachtlicher Beitrag zum Umweltschutz leisten. Dies wird seit einigen Jahren von der IT-Branche mit dem Schlagwort “green-IT” verfolgt. Nicht zuletzt liefern auch solch “umweltfreundlichere” Systeme immer mehr gute Argumente für einen steigenden Absatz und sind deshalb auch in wirtschaftlicher Hinsicht in der Zukunft sehr reizvoll.

Zusammenfassend lässt sich feststellen, dass durch einen weltweit stetig wachsenden Mobilfunkbedarf die Erstausrüstung sowie die zusätzliche Bestückung von vorhandenen Netzen mit Basisstationen stark ansteigt und weiter zunehmen wird. Den zunehmenden Teilnehmerzahlen und den darüber hinaus wachsenden Anforderungen an die Telefonie und die Datenübertragung via *broadband mobile internet* muss man mit neuen bandbreite-effizienteren Modulationsverfahren Rechnung tragen. Das führt aber mit den klassischen HF-Leistungsverstärkern (meist Klasse-AB) aufgrund des erforderlichen *power back-off*-Betriebs zu noch ineffizienteren Basisstationen für die neuen Mobilfunkstandards. Gemeinsam mit der großen Wachstumsrate hat das einen stark ansteigenden Energieverbrauch zur Folge, der reduziert werden muss. Aufgrund der Digitalisierung der Basisstationen und des großen Potentials zur Verbesserung der Leistungsbilanz müssen neuartige, auch bei *power back-off* effiziente Verstärkerkonzepte erforscht und entwickelt werden. Nur so kann man entscheidend wirtschaftlichere Systeme für den Markt und seine stetig steigende Nachfrage realisieren und den wachsenden Energieverbrauch bewältigen.

Mit solch einem fortschrittlichen Verstärkerkonzept beschäftigt sich die vorliegende Arbeit. Sie beinhaltet im Rahmen des BMBF-Projektes “*GaN-Switchmode*” erzielte Forschungsergebnisse am *Ferdinand-Braun-Institut für Höchstfrequenztechnik (FBH)* und behandelt die Entwicklung, den Aufbau und die Charakterisierung von Mikrowellen-Leistungsverstärkern, die nach dem in der Hochfrequenztechnik neuartigen Klasse-S-Konzept arbeiten. Derartige Verstärker bieten zumindest theoretisch die Möglichkeit, den Wirkungsgrad auch im *back-off*-Betrieb hoch zu halten und so die Basisstationen für die drahtlose Mobilkommunikation sehr viel effizienter zu machen. Mit dem Klasse-S-Konzept sind sehr verlustarme Leistungsverstärkungen möglich, da der Hochfrequenzverstärker von der Eingangsstufe bis zum Ausgang der Endstufe im Klasse-S-Betrieb mit rein digitalen Signalen arbeitet. Das heißt, der verstärkende Transistor wird als Schalter im “An-” und “Aus-Zustand” betrieben und kann so das Signal mit einem

hohen Wirkungsgrad verstärken. Erst direkt vor der Antenne wird das gewünschte Nutzsinal herausgefiltert, um die Bandbreite zu begrenzen und unerwünschte Frequenzanteile zu reflektieren.

Der Klasse-S-Verstärker unterscheidet sich zu den herkömmlichen Schaltverstärkern (Klasse-E, Klasse-F, Klasse-D etc.) [8] - [12] auch in seinem digitalen Eingangssignal, der Bitsequenz. Diese wird aus einem analogen, bandbegrenztem Signal durch einen Bandpass- $\Delta\Sigma$ -Modulator (BP-DSM) erzeugt, ist sehr breitbandig und enthält sowohl die Amplituden- als auch die Phaseninformation des Signals.

Da die Bitsequenzen Frequenzanteile von einigen kHz bis zu mehreren Vielfachen der Signalfrequenz f_S (mehrere GHz; theoretisch unendlich breitbandig) enthalten und zu hohen Leistungen (20 W und mehr) verstärkt werden sollen, muss man auch eine geeignete Technologie wählen, mit der dies realisierbar ist. Hier bietet sich Galliumnitrid (GaN) an, da es aufgrund des großen Bandabstandes eine hohe Durchbruchspannung bei gleichzeitig hoher Ladungsträgergeschwindigkeit anbietet. Deshalb sind bei Grenzfrequenzen von mehr als 20 GHz gleichzeitig hohe Durchbruchspannungen von bis zu 70 V möglich. Somit können die gewünschten großen Ausgangsleistungspegel im Mikrowellenbereich ermöglicht werden. Die Verstärker-MMICs⁹, welche in dieser Arbeit zum Einsatz im Klasse-S-Verstärker kommen, wurden mit dem FBH-eigenen GaN-Prozess angefertigt [14].

Der Hauptfokus der Arbeit liegt auf dem Entwurf der hybrid ausgeführten Strukturen des Ausgangsnetzwerks für zwei verschiedene Topologien des Klasse-S-Konzeptes: Current-Mode¹⁰ (CMCS) und Voltage-Mode¹¹ (VMCS). Diese Ausgangsnetzwerke enthalten die analogen Bandpassfilter zur Filterung der gewünschten Signalfrequenz aus dem verstärkten Rechtecksignal sowie Topologie-abhängig komplexe DC-Quellen und Anpassnetzwerke, die abseits der klassischen Filterbetrachtung (S-Parameter) optimiert werden mussten. Mit ihrer Ankopplung an den Ausgang der entsprechenden Schaltverstärker-MMICs zur hocheffizienten Verstärkung der Bitsequenzen konnten im Rahmen dieser Arbeit weltweit erstmalig im Mikrowellenbereich für Signalfrequenzen von 450 MHz (CMCS und VMCS) und für HF-Leistungen bis zu 9 W komplette Klasse-S-Verstärker aufgebaut und charakterisiert werden. Die Gliederung der Arbeit stellt sich folgendermaßen dar:

Kapitel 2 gibt einen Überblick über das neuartige Klasse-S-Konzept mit all seinen Komponenten und seiner Umsetzung im Hochfrequenzbereich. Dabei wird zunächst der für die Umsetzung des analogen Signals in eine Bitsequenz benötigte Bandpass- $\Delta\Sigma$ -Modulator eingeführt und erläutert. Anschließend werden die zwei möglichen Schaltungstopologien der Endstufen für die Schaltverstärker-MMICs (Current-Mode, Voltage-Mode) beleuchtet und die jeweiligen Herausforderungen in Verbindung mit der äußeren Beschaltung (Filterstruktur, DC-Versorgung, Anpassung) dargelegt. Hier werden zusätzlich zu den klassischen Filterkriterien (Bandbreite, Verluste, Anpassung, 50 Ω

⁹engl.: Monolithic Microwave Integrated Circuit - monolithisch integrierte Mikrowellenschaltung

¹⁰engl.: Strom-Modus

¹¹engl.: Spannungs-Modus

S-Parameter) neue, für den Klasse-S-Betrieb wichtige Optimierungsparameter, herausgearbeitet. Diese sind abhängig von der Endstufenkonstellation und unterscheiden sich v.a. bei der Current-Mode-Struktur aufgrund eines differentiellen Anschlusses an die Verstärkerendstufe besonders stark von den üblichen Entwurfskriterien eines einfachen Filters im HF-Bereich.

Da das Signal bis zum Ausgang der Verstärkerendstufe digital ist, muss man sich auch mit dem Verhalten der (GaN-) Transistoren bzw. der kompletten Schaltungstopologien bei Digitalansteuerung beschäftigen. Das bringt v.a. messtechnisch neue Herausforderungen mit sich, da nun die Charakterisierung nicht mehr nur im Frequenzbereich (S-Parameter, ...), sondern auch im Zeitbereich stattfinden muss. Der Aufbau eines dafür nötigen Zeitbereichsmessplatzes mit all seinen Anforderungen und die damit durchgeführten Messungen werden in Kapitel 3 diskutiert. Darüber hinaus hat das Arbeiten im Zeitbereich auch Auswirkungen auf der Entwurfsebene und hier besonders auf die verwendeten Transistormodelle. Für den Entwurf ist es wichtig, neue Ansätze für die Modellierung der Transistoren im Zeitbereich zu berücksichtigen, um die Simulation anzupassen. Dafür wird eine speziell für den Zeitbereich neu entwickelte vereinfachte Beschreibung vorgestellt, diskutiert und mit einem etablierten Transistormodell verglichen. Auf dieser Grundlage werden dann die für die beiden Endstufentopologien nötigen Treiberkonzepte beschrieben. Darüber hinaus werden die kompletten GaN-MMICs zur Verstärkung der Bitsequenzen im Zeitbereich charakterisiert und ihre Messergebnisse und die daraus folgenden Wirkungsgrade als ein wichtiger Baustein im Gesamtgebilde des Klasse-S-Verstärkers besprochen.

Die gewonnenen Erkenntnisse werden für den Entwurf und den Aufbau eines Voltage-Mode Klasse-S-Verstärkers in Kapitel 4 und zweier Current-Mode Klasse-S-Verstärker in Kapitel 5 verwendet. Dabei wird jeweils zunächst das Zusammenschalten aller Komponenten zu einem kompletten Modul erläutert und die realisierten Aufbauten präsentiert. Danach werden die Messergebnisse der aufgebauten Verstärker für die zwei Topologien im 450 MHz - Frequenzband diskutiert.

Anhand verschiedener Charakteristika wie Ausgangsleistung, Wirkungsgrad, Ausgangsleistung als Funktion der Signaleingangsleistung (*power back-off*), Variation der Überabtastrate beim BP-DSM und Verhalten bei Ansteuerung mit einem periodischen Signal werden die entwickelten Klasse-S-Verstärker klassifiziert. Des Weiteren werden andere Modulations- bzw. Betriebsmethoden zur Erhöhung der Effizienzen auch bei großem *back-off* erörtert und getestet. Somit ist es möglich, das gesamte Potential des Klasse-S-Konzeptes für den Einsatz beider Endstufenvariationen in Basisstationen für eine effizientere Leistungsverstärkung zu bestimmen.

Dazu werden in Kapitel 6 beide Konzepte zur Übersicht miteinander verglichen. Anhand dessen lassen sich Perspektiven für den VMCS- und CMCS-Ansatz im Vergleich aufzeigen und bewerten.

Abschließend wird die Arbeit in Kapitel 7 zusammengefasst und ein Ausblick für weiterführende Arbeiten gegeben.

KAPITEL 2

Klasse-S-Verstärker**2.1. Linearer Verstärker vs. Schaltverstärker**

Die in der vorliegenden Arbeit entwickelten Klasse-S-Verstärker gehören zu der Gruppe der Schaltverstärker. Um diese von den “klassischen” linearen Leistungsverstärkern (Klasse-A, -B, -AB, -C) zu unterscheiden, werden im folgenden exemplarisch die Blockdiagramme eines Schaltverstärkers (Abbildung 2.1) und eines linearen Klasse-AB-Verstärkers (Abbildung 2.4) betrachtet. Zusätzlich ist der Strom- und Spannungsverlauf am Transistor im Schaltbetrieb (Abb. 2.2) und das Ausgangskennlinienfeld für beide Betriebsarten (Abb. 2.3) zur Verdeutlichung der Unterschiede dargestellt.

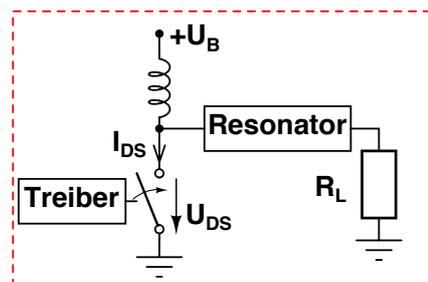


ABBILDUNG 2.1. Blockdiagramm eines Schaltverstärkers

Der Hauptgedanke hinter den Schaltverstärkern ist, den Transistor in Sättigung zu betreiben. So wird abhängig von der Verstärkerklasse (D, E, F, F^{-1} , S ...) entweder Spannung oder Strom geschaltet. Abbildung 2.1 zeigt ein einfaches Blockschaltbild eines Schaltverstärkers. Der Transistor befindet sich nur in einem “An” oder “Aus”-Zustand (engl.: *on/off-state*). Somit kann er für die ideale Betrachtung eines Schaltverstärkers durch einen einfachen Schalter ersetzt werden. Wenn der Schalter offen ist, liegt die Spannung U_{DS} über dem Transistor an. Ist der Schalter geschlossen, fließt der Strom I_{DS} durch ihn und keine Spannung liegt über dem Transistor an. Dadurch gibt es keine zeitliche Überlappung von Spannung und Strom. Folglich wird keine Leistung im Schalter (Transistor) verbraucht und die Effizienz (vgl. Wirkungsgrad Gleichung 1) kann theoretisch 100 % erreichen. Die sich ergebenden Signale über dem Schalter für die geschilderten idealen Schaltvorgänge sind zur Veranschaulichung in Abbildung 2.2 dargestellt.

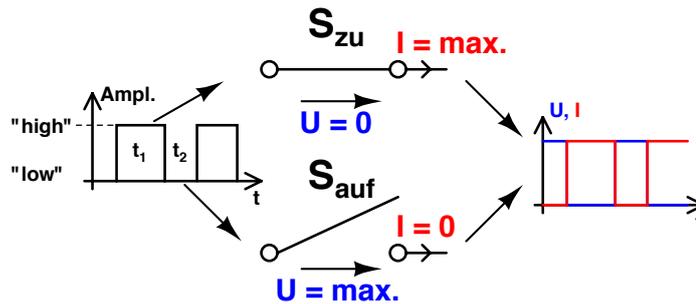


ABBILDUNG 2.2. Spannungs- und Stromverlauf an einem als idealen Schalter approximierten Transistor bei Rechtecksteuerung

In der Realität ist ein Transistor kein perfekter Schalter. Dies sieht man im Ausgangskennlinienfeld in Abbildung 2.3 am Beispiel der mit rot markierten möglichen Betriebszustände eines nicht idealen Schaltverstärkers.

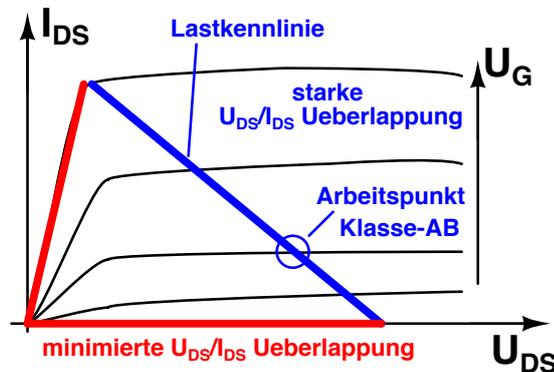


ABBILDUNG 2.3. Typische Betriebszustände im Ausgangskennlinienfeld eines Transistors für lineare (AB-) Verstärker (blau) und Schaltverstärker (rot)

Die Abbildung zeigt den Strom am Ausgang des Transistors, hier I_{DS} (Drain-Source-Strom) für z. B. einen HEMT¹, aufgetragen über der Ausgangsspannung U_{DS} als Funktion der Gate-Vorspannung U_G .

Auch im (fast idealen) Schaltbetrieb kommt es durch parasitäre Elemente im Transistor (z. B. $R_{ds,ON}$, C_{ds}) zu geringen zeitlichen Überlappungen von Ausgangsstrom I_{DS} und Ausgangsspannung U_{DS} (vgl. Abb. 2.3). Folglich ergeben sich auch für den Schaltverstärker Verluste. Diese Verlustmechanismen werden im weiteren Verlauf dieser Arbeit noch ausführlicher beschrieben. Zum Vergleich ist in Abbildung 2.4 das Blockdiagramm eines linearen Klasse-AB-Verstärkers gezeigt.

¹engl.: High Electron Mobility Transistor

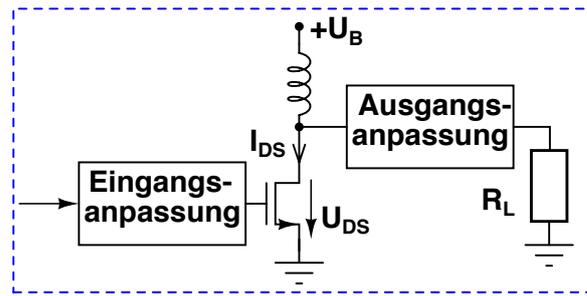


ABBILDUNG 2.4. Blockdiagramm eines (linearen) Klasse-AB-Verstärkers

Hier wird der Transistor in einem bestimmten Arbeitspunkt (*Arbeitspunkt Klasse-AB*) vorgespannt und folgt der angegebenen (blauen) Lastkennlinie im Ausgangskennlinienfeld (vgl. Abb. 2.3) je nach Eingangsansteuerung. Beim Betrieb auf dieser Lastkennlinie gibt es eine erhebliche zeitliche Überlappung von Ausgangsspannung und Ausgangsstrom. Konsequenterweise sind die Verluste viel höher als im Schaltverstärkerbetrieb (roter Verlauf).

Des Weiteren wird im Schaltverstärker mit Hilfe eines Resonators am Ausgang das Signal durch Blocken harmonischer Komponenten von Strom und Spannung geformt. D. h. diese Frequenzanteile werden davon abgehalten, die Last R_L zu erreichen. Es wird entweder eine sinusförmige Spannung oder ein sinusförmiger Strom in der Last generiert. Die beiden nötigen Bedingungen für die Erzeugung einer Grundwelle mit 100 % Effizienz in der Last sind

- keine (zeitliche) Überlappung von Strom durch den Transistorkanal und Spannung über dem Transistor, und
- keine höheren Harmonischen in der Last.

In realen Schaltverstärkern können jedoch Schaltverluste und andere Verluste im Transistor die Effizienz signifikant verringern. Daher ist es eine entscheidende Aufgabe im Entwurf eines Schaltverstärkers, diese zu minimieren. Die Beispiele für Verlustmechanismen sind

- parasitäre Kapazitäten, wie z. B. C_{ds} (Drain-Source-Kapazität), des Transistors: Sie sind nichtlinear und verursachen Verluste beim Schalten von Spannung;
- $R_{ds,ON}$ (Drain-Source-Widerstand) des Transistors: Er verursacht Verlustleistung P_V , wenn der Transistor leitend ist ($P_V = R_{ds,ON} \cdot I^2$);
- Übergangszeit von "An" nach "Aus" ist größer null. Die Rechtecksignalform benötigt einen schnellen Transistor (hohe Transitfrequenz f_T). Ist die Schaltfrequenz fast gleich f_T , werden Verluste durch das Überlappen von Strom und Spannung im Transistor erzeugt; und
- andere Verluste wie Treiberverluste, Filter etc..

Da die ersten drei Punkte eher auf der Technologie des benutzten Transistors beruhen, kann (und muss) besonders der Schaltungsdesigner an dem letzten Punkt ansetzen:

am Entwurf einer geeigneten und effizienten Treiberstruktur für die Endstufe und an der Optimierung der Filtertopologie.

Die Schaltverstärker werden derzeit intensiv untersucht, da z. B. in den Mobilfunk-Basisstationen die linearen Verstärkerkonzepte an ihre Grenzen gekommen sind und höhere Effizienzen gefordert werden.

Im folgenden Abschnitt wird die in dieser Arbeit behandelte spezielle Variante des Schaltverstärkers, der Klasse-S-Verstärker, vorgestellt.

2.2. Konzept und Aufbau Klasse-S-Verstärker

Der Klasse-S-Verstärker besteht im Wesentlichen aus drei Komponenten (Blöcken), die in diesem Abschnitt näher beschrieben werden.

- Bandpass- $\Delta\Sigma$ -Modulator (BP-DSM)
- Schaltverstärker-MMIC
- Analoges Bandpassfilter

Abbildung 2.5 zeigt das Klasse-S-Konzept in einem Blockdiagramm. Zusätzlich sind zur Veranschaulichung die jeweiligen Signale im Frequenz (f)- und im Zeitbereich (t) angegeben.

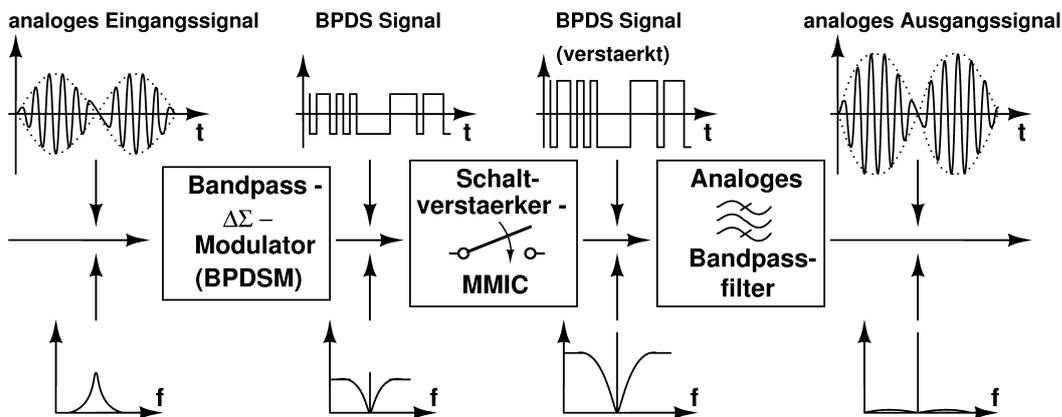


ABBILDUNG 2.5. Blockdiagramm eines Klasse-S-Verstärkers

Am Eingang des Klasse-S-Verstärkersystems befindet sich ein beliebiges analoges und bandbegrenzttes Signal wie z. B. ein 1-Ton- oder 2-Ton-Signal (2 Sinusträger wie in Abbildung 2.5). Der Modulator setzt das Signal nun in ein nichtperiodisches 2-stufiges (1-Bit) Digitalsignal um, welches das Eingangssignal in seinem ursprünglichem Frequenzband enthält. Da das Eingangssignal überabgetastet werden muss, kann die Abtastrate f_{sample} bis mehrere Vielfache der Signalfrequenz f_s annehmen. In unserer Anwendung ist sie zunächst typischerweise 4. Für eine Signalfrequenz von 450 MHz ist die Bitrate dementsprechend 1,8 Gbit/s. Der Faktor, der das Verhältnis zwischen der Abtastfrequenz f_{sample} und der Signalfrequenz angibt, wird hier als *Carrier Oversampling Ratio*² (COSR) definiert.

$$COSR = \frac{f_{sample}}{f_s} \quad (4)$$

²engl.: Signal (Träger)-zu-(Über) Abtast-Rate

Die Verstärkerarchitektur (Schaltverstärker-MMIC) verstärkt die Bitsequenz aus dem BP-DSM ("BPDS Signal") dann in der Amplitude. Das Eingangssignal für den Verstärker ist also rein digital. Im idealen Fall (v.a. minimierter Drain-Source-Widerstand (R_{ds_ON}) und Drain-Source-Kapazität (C_{ds})) kann man den Verstärker durch einen einzelnen Transistor wie in Abbildung 2.2 realisieren, der als einfacher verlustloser Schalter approximiert werden kann. Der Schalter schaltet nur zwischen *on*- und *off-state* hin und her. Die Konsequenz ist eine sehr effiziente Verstärkung der Bitsequenz aufgrund der komplett orthogonal zueinander liegenden U_{DS} und I_{DS} .

Am Ausgang des Klasse-S-Verstärkers extrahiert das analoge Bandpassfilter aus der in der Amplitude verstärkten Bitfolge das gewünschte analoge, verstärkte Eingangssignal auf der Signalfrequenz. Um so effizient wie möglich zu arbeiten, muss das Filter allerdings sämtliche Frequenzanteile außerhalb der Signalfrequenz reflektieren. Dadurch können diese Spektralanteile keine Verluste in der Last bzw. dem Filter generieren.

Im Unterschied zu Schaltverstärkerkonzepten nach Klasse-E, -F etc. handelt es sich bei Klasse-S um einen wirklich digitalen Ansatz. Zum Beispiel hängt die Linearität des Gesamtsystems nunmehr hauptsächlich vom Modulator ab. Darüber hinaus beeinflusst die Pulstreue des Transistors (Verzerrung (verstärkter) Ausgangspuls im Vergleich zum Eingang) die Linearität. Demnach wird die Anforderung nach Linearität zur Herausforderung für den Modulator. Von besonderem Interesse ist, dass sich der Klasse-S-Verstärker bis zum Ausgang der Verstärkerendstufe (Eingang analoges Filter) nahtlos in die weitere Systemumgebung moderner Datenübertragungsverfahren (CDMA etc.) einbettet. Diese sind, bis auf die Bearbeitung des nach Mischung hochfrequenten analogen Signals, üblicherweise digital ausgeführt.

2.2.1. Delta-Sigma-Modulator. Zur Umsetzung des beliebigen, schmalbandigen Eingangssignals in ein 2-stufiges Rechtecksignal für den Eingang des Schaltverstärker-MMICs ist es notwendig, das Signal sowohl in eine zeit- als auch wertdiskrete Form zu bringen. Dies wird i.a. durch einen Delta-Sigma Modulator (DSM) vorgenommen, der aus einem Schleifenfilter, einem Komparator (1-Bit Quantisierer) und einer Rückkopplungsschleife besteht.

Bei einem bandbegrenztem Signal kann die zeitliche Diskretisierung durch Einhaltung des *Shannon* 'schen Abtasttheorems ohne Informationsverlust realisiert werden. Dabei muss die Abtastfrequenz f_{sample} mindestens zweimal so groß wie die Bandbreite f_B des Nutzsignals sein. Entspricht die Abtastfrequenz genau zweimal der Bandbreite, wird sie auch Nyquist-Frequenz f_N genannt und der entsprechende Abtastvorgang heißt dann Nyquistabtastung.

$$f_N = f_{sample} = 2 \cdot f_B \quad (5)$$

Bei der Diskretisierung der Amplitude, der Quantisierung, entsteht jedoch ein irreversibler Fehler (Quantisierungsfehler). Er ist wegen der 1-Bit-Abtastung beim DSM

besonders groß. Diese Störung wird auch als Quantisierungsrauschen bezeichnet. Ein wichtiges Qualitätsmerkmal zur quantitativen Erfassung der Störung im Signal ist dabei der Signal-zu-Rausch-Abstand (engl.: *SNR* - Signal-to-Noise-Ratio), der wie folgt definiert wird:

$$SNR = 10 \cdot \log_{10} \left(\frac{\text{Nutzsiganlleistung}}{\text{Rauschleistung}} \right) = 10 \cdot \log_{10} \left(\frac{P_S}{P_R} \right) \quad [dB] \quad (6)$$

Der *SNR* wird immer für eine bestimmte Bandbreite f_B angegeben, in der die Rauschleistung unterhalb und oberhalb der Signalfrequenz f_S bestimmt wird. Darüber hinaus muss die Messbandbreite (z. B. des Spektrumanalysators) immer angegeben werden, da beispielsweise das gemessene weiße Rauschen bei schmalerer Messbandbreite geringer wird, da es gleichverteilt ist. Gemäß Definition sinkt der *SNR* also mit steigendem Quantisierungsrauschen. Er muss vor allem um die Signalfrequenz besonders groß gehalten werden, um den Einfluss des Rauschens auf das zu übertragende Signal vorzubeugen.

Das Quantisierungsrauschen, welches im Komparator durch die 1-Bit-Abtastung entsteht, ist zunächst ein weißes Rauschen. Es hat somit eine konstante Rauschleistungsdichte $N(f)$, welche umgekehrt proportional zur Abtastfrequenz ist, im Leistungsdichtespektrum über den gesamten Frequenzbereich. Verbreitert man jetzt diesen durch Überabtastung (*Oversampling*), so verteilt sich die Rauschleistung auf einen größeren Bereich und sinkt somit auch im Signalband. Man tastet also das Eingangssignal des Modulators mit einem Vielfachen der Nyquist-Frequenz

$$f_{sample} = OSR \cdot 2 \cdot f_B \quad \text{mit} \quad OSR > 1 \quad (7)$$

ab und verteilt so das Quantisierungsrauschen über einen breiteren Frequenzbereich und reduziert dementsprechend gleichzeitig den Rauschteppich (engl.: *noise floor*) um die Signalfrequenz im Nutzsiganlband. Die Abbildung 2.6 illustriert diesen Vorgang.

Man erkennt die Aufspreizung des Basisspektrums mit steigender Abtastfrequenz bei gleicher Nutzsiganlbandbreite $2 \cdot f_B$ und der daraus folgenden breiteren Verteilung der (konstanten) Rauschleistung. Der Faktor *OSR* ist die Überabtastrate und ist im Gegensatz zu dem nur auf die Signalfrequenz f_S bezogenem *COSR*-Faktor auf die Nutzsiganlbandbreite ($2 \cdot f_B$) bezogen.

$$OSR = \frac{f_{sample}}{2 \cdot f_B} \quad (8)$$

Bei Abtastung mit $OSR = 1$ würden gemäß Gleichung 7 die hochfrequenten Anteile durch Aliasing dem Nutzsiganl überlagert werden. Deshalb ist wegen der Filterung ein

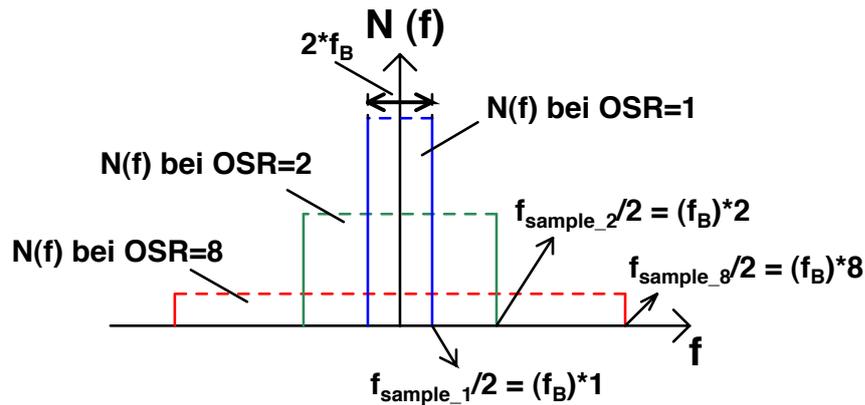


ABBILDUNG 2.6. Verteilung der Rauschleistungsdichte $N(f)$ in Abhängigkeit vom *Oversampling* für $OSR = 1$ (Nyquist-Sampling), 2 und 8 über der Frequenz f [16]; Nutzsignalbandbreite: $2 \cdot f_B$

$OSR > 1$ günstig.

Entscheidend für den BPDS-Modulator ist ein geeignetes Schleifenfilter, das zusammen mit der Rückkopplung das hochfrequente Rauschen (Quantisierungsrauschen des Komparators) um die Signalfrequenz dämpft und damit ein höheres SNR bei gleicher Signalbandbreite erreicht. Aufgrund des nun hohen SNR zwischen Nutzsignal und Rauschpegel bildet sich dort eine Einkerbung (engl.: notch) im *noise floor*. Das Quantisierungsrauschen wird im Signalband "geformt". Das Rauschen des DSM ist also nicht weiß, sondern gefärbt, da es nur außerhalb der Signalfrequenz konstant ist. Der gewünschte Frequenzanteil auf der Signalfrequenz bleibt dabei idealerweise unverändert und kann folglich am Ausgang des Modulators wieder hergestellt werden. Das sogenannte *noise-shaping*³ ist wie das *Oversampling* eine wesentliche Eigenschaft des DSM.

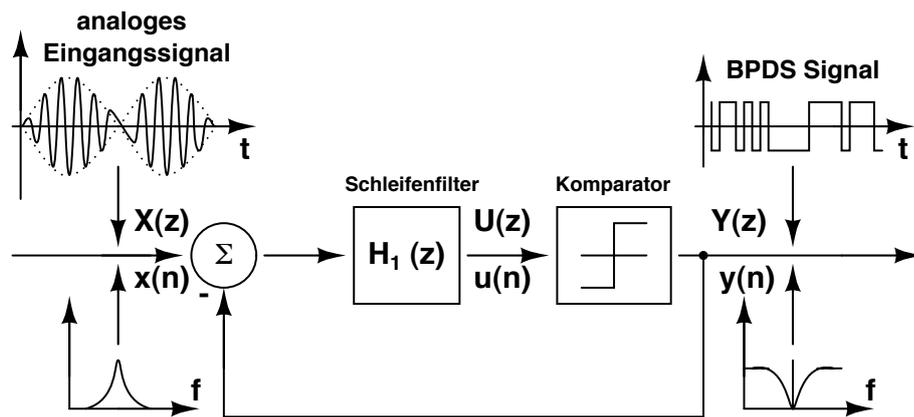


ABBILDUNG 2.7. Prinzip eines einschleifigen Delta-Sigma Modulators (DSM)

³engl.: Rauschformung

Die Abbildung 2.7 zeigt das Blockdiagramm eines einfachen einschleifigen DSM mit den genannten Komponenten. Das Schleifenfilter sei mit der Übertragungsfunktion $H_1(z)$ definiert. Das typische *noise-shaping* mit *notch* um die Signalfrequenz ist in der Frequenzbereichsdarstellung des Ausgangssignals zu erkennen.

Das Ausgangssignal $Y(z)$ wird auf den Eingang negativ zurückgekoppelt, also von dem Eingangssignal $X(z)$ abgezogen (subtrahiert). Je nach Ausgangssignal $U(z)$ des Schleifenfilters wird ein “high” (über Komparator-Entscheidungsschwelle) oder ein “low” (unter Komparator-Entscheidungsschwelle) vom Komparator erzeugt. Dabei entsteht das 2-stufige Rechtecksignal inklusive des schon beschriebenen Quantisierungsrauschens. Zur Linearisierung wird das Quantisierungsrauschen durch eine zusätzliche Rauschquelle $E(z)$ modelliert und der nichtlineare Komparator durch einen Summierknoten ersetzt, an dem das Quantisierungsrauschen addiert wird. Folglich wird das Quantisierungsfehlersignal also mit auf den Eingang negativ zurückgekoppelt. Mit Hilfe dessen erhält man ein lineares Modell für den DSM, welches exemplarisch in einem zweischleifigen DSM in Abbildung 2.8 gezeigt wird.

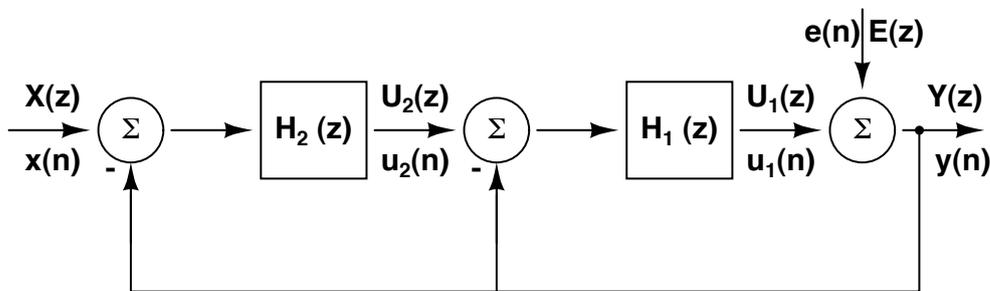


ABBILDUNG 2.8. Blockdiagramm eines zweischleifigen Bandpass-Delta-Sigma Modulators (BP-DSM) in linearisierter Form

Das Quantisierungsrauschen der zusätzlichen Quelle $E(z)$ kann als weißes Rauschen approximiert werden, dessen Amplitude umgekehrt proportional zur Abtastfrequenz f_{sample} ist. Anhand der folgenden systemtheoretischen Betrachtung wird das *noise-shaping* für den in Abbildung 2.8 linearisierten DSM beschrieben [16].

Der Modulatorausgang $Y(z)$ des einschleifigen Modulators in Abbildung 2.7 kann mit Hilfe der Modellierung des Komparators aus Abbildung 2.8 ausgedrückt werden durch:

$$Y(z) = E(z) + H_1(z) \cdot [X(z) - Y(z)] \quad (9)$$

Diese Beschreibung wird umgeformt zu:

$$Y(z) = \underbrace{\frac{1}{1 + H_1(z)}}_{NTF(z)} E(z) + \underbrace{\frac{H_1(z)}{1 + H_1(z)}}_{STF(z)} X(z) \quad (10)$$

Der mit $NTF(z)$ ⁴ bezeichnete Term bildet dabei die Übertragungsfunktion für das Rauschsignal und $STF(z)$ ⁵ die für das Eingangssignal $X(z)$. Das Rauschen $E(z)$ hat also eine andere Übertragungsfunktion als das Nutzsinal $X(z)$. Rauschen und Nutzsinal werden also mit zwei unterschiedlichen Funktionen gewichtet und können deshalb unabhängig verändert werden. Die Gewichtung der $NTF(z)$ bildet das *noise-shaping*.

Es ist wichtig anzumerken, dass das BPDS-modulierte Signal unabhängig vom Modulatoreingang nicht periodisch ist. Das gilt auch für periodische Eingangssignale.

Das Schleifenfilter $H_1(z)$ kann mit einem Integrator für einen Tiefpass-DSM (TP-DSM) oder mit einem Resonator für einen Bandpass-DSM (BP-DSM) realisiert werden. Dementsprechend muss man das ursprüngliche Eingangssignal bei TPDSM durch ein Tiefpass- und bei BPDSM durch ein Bandpass-Filter am Ausgang rekonstruieren.

Gemäß Nullstellenbetrachtung von $H_1(z)$ [16] wird das Schleifenfilter als Integrator realisiert, wenn das Nutzsinalband nahe der DC-Frequenz bzw. im niederfrequenten Bereich liegt. Um hier die Signalfrequenz in den Mikrowellenbereich (> 300 MHz) zu verschieben, ist ein hoher *COSR*-Faktor (bzw. *OSR*) nötig. Die Abtastrate wird sehr groß.

Liegt das Nutzsinal weit vom DC-Bereich entfernt, führt man den Schleifenfilter als Bandpass mit der gleichen Resonanzfrequenz wie das Nutzsinal aus. Die Abtastrate ist folglich sehr viel geringer als im TP-DSM. Das verringert die Anforderungen an die Transistoren in der Verstärkerstufe bezüglich Grenzfrequenz und erhöht die Schalteffizienzen, da die kleinste Pulsbreite umgekehrt proportional zur Abtastfrequenz ist. Das heißt, dass für Signalfrequenzen im Mikrowellenbereich nur die Bandpass-Variante in Frage kommt.

Für diese Arbeit wurde ein Bandpass-DSM (BP-DSM) 4. Ordnung benutzt, welcher sich über die Ordnung der $NTF(z)$ definiert. Dieser ist in einer Systemsoftware implementiert worden und basiert auf dem zweischleifigen Aufbau gemäß Abbildung 2.8.

Für die Anwendungen im Klasse-S-Verstärker ist ein weiteres Bewertungskriterium der BPDSM wichtig, die Kodierungseffizienz. In diesem Fall wird die amplitudenbezogene Kodiereffizienz betrachtet, die angibt, wieviel maximale Signalamplitude A_{signal} bei Signalfrequenz f_S am Ausgang des BP-DSM nach dem Bandpassfilter in der digitalen Bitsequenz mit gegebener Amplitude $A_{digital}$ am Ausgang des BP-DSM vor dem Filter kodiert werden können. Diese Beziehung wird als **Amplituden-Kodier-Effizienz** (AKE) definiert.

$$AKE = \frac{A_{signal}}{A_{digital}} \quad (11)$$

⁴engl.: **Noise Transfer Function**

⁵engl.: **Signal Transfer Function**

Der AKE-Faktor ist eng verknüpft mit der leistungsbezogenen Kodier-Effizienz und beeinflusst somit entscheidend die erreichbare Ausgangsleistung (abhängig von Verlustmechanismen $R_{ds,ON}$ und C_{ds}) und Effizienz. Für den realisierten BP-DSM ist dieser Wert AKE_{BP-DSM} ca. 0,8. Das heißt, dass in einer BPDS-Bitfolge der Amplitude (+1,-1) (Strom (A) oder Spannung (V)) im stabilen Betrieb nur ein Signal mit der maximalen Amplitude 0,8 (in Strom oder Spannung) bei Signalfrequenz kodiert werden kann. Da für die Leistungsberechnung diese Amplituden auch noch quadriert werden müssen, wirkt sich die AKE sehr stark auf die Eigenschaften bezüglich Leistung und Effizienz des Verstärkers aus. Dieser Einfluss wird im Vergleich zu anderen Modulationsarten im folgenden Abschnitt 2.2.2 diskutiert.

Schaltungstechnisch kann der Modulator beispielsweise in Silizium-Germanium (SiGe)-Technologie (nur geringe Ausgangsleistungspegel nötig) in einem Digitalen Signalprozessor (DSP) bzw. auf einem FPGA⁶ realisiert werden.

Setzt man einen sehr breitbandigen und hocheffizienten Leistungsschalter voraus, gibt es aufgrund der Eigenschaften des $\Delta\Sigma$ -modulierten Signals die Option, Dienste für mehrere Frequenzbereiche gleichzeitig am Ausgang des Verstärkers zu erhalten. Das Filter muss allerdings dementsprechend angepasst werden.

Abschließend sei angemerkt, dass die Modulation auch mittels anderer Techniken realisiert werden kann. Ein Beispiel ist die Pulsweitenmodulation (PWM). Dabei wird bei konstanter Frequenz das Tastverhältnis des Signals moduliert, also die Breite eines Impulses. Als Konsequenz wird die Länge der erzeugten Impulse immer kürzer, wie durch die Samplingrate f_{sample} vorgegeben ($T_{sample} = 1/f_{sample}$). Dadurch können viel mehr hochfrequente Spektralanteile entstehen. Dies bedingt eine noch größere Herausforderung für die frequenzbegrenzten Leistungstransistoren. Allerdings lässt sich ein PWM-Modulator einfacher schaltungstechnisch realisieren.

Weiterführende und tiefergehende Ausführungen bezüglich der Delta-Sigma Modulation sind in [15] - [18] gegeben.

2.2.2. Endstufenkonzepte für Schaltverstärker. Die Schaltverstärker zur hoch-effizienten Verstärkung der Bitsequenzen aus dem BP-DSM werden in dieser Arbeit mit Treiberschaltung und Endstufe komplett monolithisch auf einem GaN-Chip integriert realisiert (MMIC). Die Endstufen der Schaltverstärker spielen dabei eine besondere Rolle. Zunächst sollen die zwei dafür möglichen Endstufenkonzepte erläutert werden: Voltage-Mode und Current-Mode.

Für die folgenden Betrachtungen werden ideale digitale Eingangssignale mit unendlich steilem Anstieg ($t_{Anstieg} \rightarrow 0$) angenommen. Die Transistoren werden als "Schalter" mit einer Drain-Source-Kapazität C_{dsx} und einem endlichen On-Widerstand $R_{ds,ONx}$ berücksichtigt. Dies dient der Beschreibung der bei den Schaltvorgängen auftretenden Verlustmechanismen für jede Topologie.

⁶engl.: Field Programmable Gate Array

2.2.2.1. *Voltage-Mode-Topologie.* Zunächst soll die Voltage-Mode-Konfiguration betrachtet und erläutert werden. Abbildung 2.9 zeigt das Prinzip eines Voltage-Mode Klasse-S-Verstärkers (VMCS).

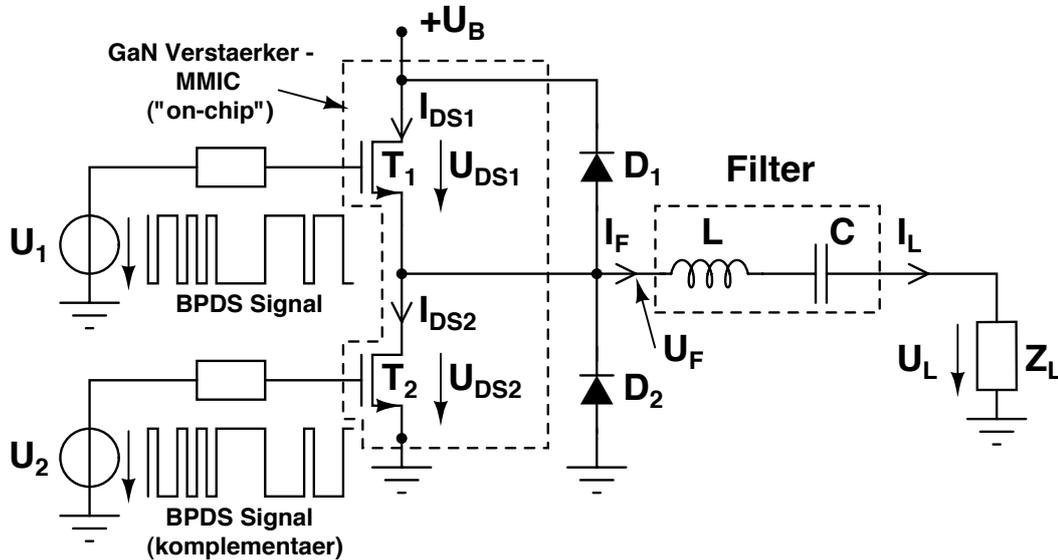


ABBILDUNG 2.9. Prinzip eines Klasse-S-Verstärkers in Voltage-Mode-Konfiguration

Die Endstufentransistoren T_1 und T_2 werden mit einem BPDS-modulierten Signal 180° phasenverschoben angesteuert ($U_1 = -U_2$). Folglich leitet der obere Transistor, wenn der untere gesperrt ist und andersherum. Bei der Voltage-Mode-Architektur befinden sich die beiden (Schalt-) Transistoren T_1 und T_2 in einer Gegentaktschaltung. Das heißt, Transistor 1 wird gewissermaßen in Drain-Schaltung (Source-Folger) und Transistor 2 in Source-Schaltung betrieben. Beide Transistoren sind zwischen Source-Anschluss von T_1 und Drain-Anschluss von T_2 miteinander verbunden.

Die Betriebsspannung $+U_B$ liegt am Drain des oberen Transistors T_1 an. Es gilt: $U_{DS1} = +U_B$. Die Source des unteren Schalttransistors T_2 liegt auf Massepotential. Der obere Transistor T_1 allerdings hat kein festes Bezugspotential an der Source. Folglich besitzen beide Transistoren ein unterschiedliches Bezugspotential. Das bedeutet, dass keine Symmetrie bezüglich der Eingangssignale und Bezugspotentiale der Transistoren gegeben ist. Dies ist ein Nachteil der Voltage-Mode-Anordnung. Ein weiterer ist, dass ein sehr großer Signalhub am Gate des oberen Transistors T_1 nötig wird. Dieser muss zwischen der Betriebsspannung $+U_B$ und einer Spannung kleiner der Abschnürspannung U_P sein, um den Transistor sicher durchzuschalten bzw. zu sperren. Leitet der untere Transistor T_2 , so liegt das Potential zwischen den Transistoren bei ca. $0 \dots 1$ V (benötigt als Flussspannung für T_2) und am Eingang von T_1 muss mindestens etwas weniger als diese Spannung anliegen, um den Transistor T_1 weiterhin zu sperren. In unserem Fall ist ein negatives Potential von -10 V gewählt worden, damit dies auf jeden Fall gewährleistet ist. Ist der obere Transistor T_1 leitend, so liegt das Potential zwischen

den Transistoren ungefähr auf $+U_B$ und das Potential an T_1 muss auch annähernd bzw. etwas größer der Betriebsspannung sein, damit T_1 sicher leitend bleibt. Für den unteren Transistor ist ein solch großer Eingangshub nicht notwendig, da er an der Source auf einem festen Potential, in unserer Anwendung Masse (0 V), liegt. Somit liegt am oberen Transistor ein großer Spannungshub von bis zu $60 V_{ss}$ (hier: -10 V ... 50 V) und am unteren Transistor ein vergleichsweise kleiner Hub von ca. $10 V_{ss}$ (hier: -10 V ... 0 V (1 V)) an.

Für die in Abb. 2.9 gezeigte Konstellation variiert die Spannung am Anschluss des Filters (U_F) idealerweise zwischen $+U_B$ und null, wenn die Abfälle über den Transistoren vernachlässigt werden. Die Spannungsabfälle treten infolge des Stroms durch den $R_{ds,ON}$ des leitenden Transistors auf und verringern somit die Ausgangsleistung. Folglich wird die Effizienz reduziert. Des Weiteren muss man im BPDS-Betrieb, wie in Abb. 2.9 zu erkennen, parallel zu den Schalttransistoren sogenannte "Freilaufdioden" D_1 und D_2 vorsehen. Die Benutzung dieser als Schottky-Diode ausgeführten Bauelemente wird im folgenden anhand des Vergleichs von periodischer "10" - Ansteuerung und nicht periodischer BPDS-Ansteuerung am Eingang der Endstufe motiviert. Dies geschieht unter der Annahme, dass zunächst keine Freilaufdioden verwendet werden. Darüber hinaus sind diese Schaltvorgänge für die Annahme idealer, unendlich steiler Flanken der rechteckförmigen Spannung am Ausgang der Endstufe in Abbildung 2.10 dargestellt.

Bei einem periodischen Eingangssignal der Form "10" z. B. treten die Schaltzeitpunkte immer fest im Abstand einer halben Signalperiode $t_{S_{10}} = \frac{T_{per}}{2}$ auf. Ist der obere Transistor gemäß dem Verlauf des Eingangssignals leitend und der untere sperrt, fließt für die Zeit $t_{S_{10}}$ der maximale Strom I_{DS1} (positive Halbwelle - schwarz gestrichelt) durch T_1 und fast die komplette Spannung $+U_B$ liegt über dem unteren Transistor T_2 an. Es gilt also: $U_{DS2} = +U_B$. Die rechteckförmige Spannung wird über dem (ideal angenommen) Resonator zu einem sinusförmigen Signal und in der Last Z_L , die als reeller Widerstand R_L angesehen werden kann (50Ω), zu einem sinusförmigen Strom. Es ist also festzuhalten, dass im Voltage-Mode idealerweise die Spannung rechteckig und der Strom einen sinusförmigen Verlauf aufweist. Das Filter "zwingt" den Strom zu seiner Form, in dem er alle anderen Frequenzanteile reflektiert. Folglich muss das Filter für diese spektralen Anteile idealerweise eine unendlich große Impedanz anbieten. Nur so werden keine Verluste in der Last generiert.

Ein Vorteil der Voltage-Mode-Konfiguration liegt in der vergleichsweise einfachen Realisierung des Ausgangsfilters. Das Filter ist in diesem Fall am unsymmetrischen (*single-ended*) Ausgang zwischen den Endstufentransistoren angeschlossen und kann somit als einfache Struktur inklusive 50Ω -Anpassung aufgebaut werden. Es ist keine zusätzliche Transformation von symmetrischem zu unsymmetrischem Ausgang nötig.

Die Drain-Source-Kapazität C_{ds2} des unteren Transistors lädt sich nun mit der Betriebsspannung auf. Es wird die Energie

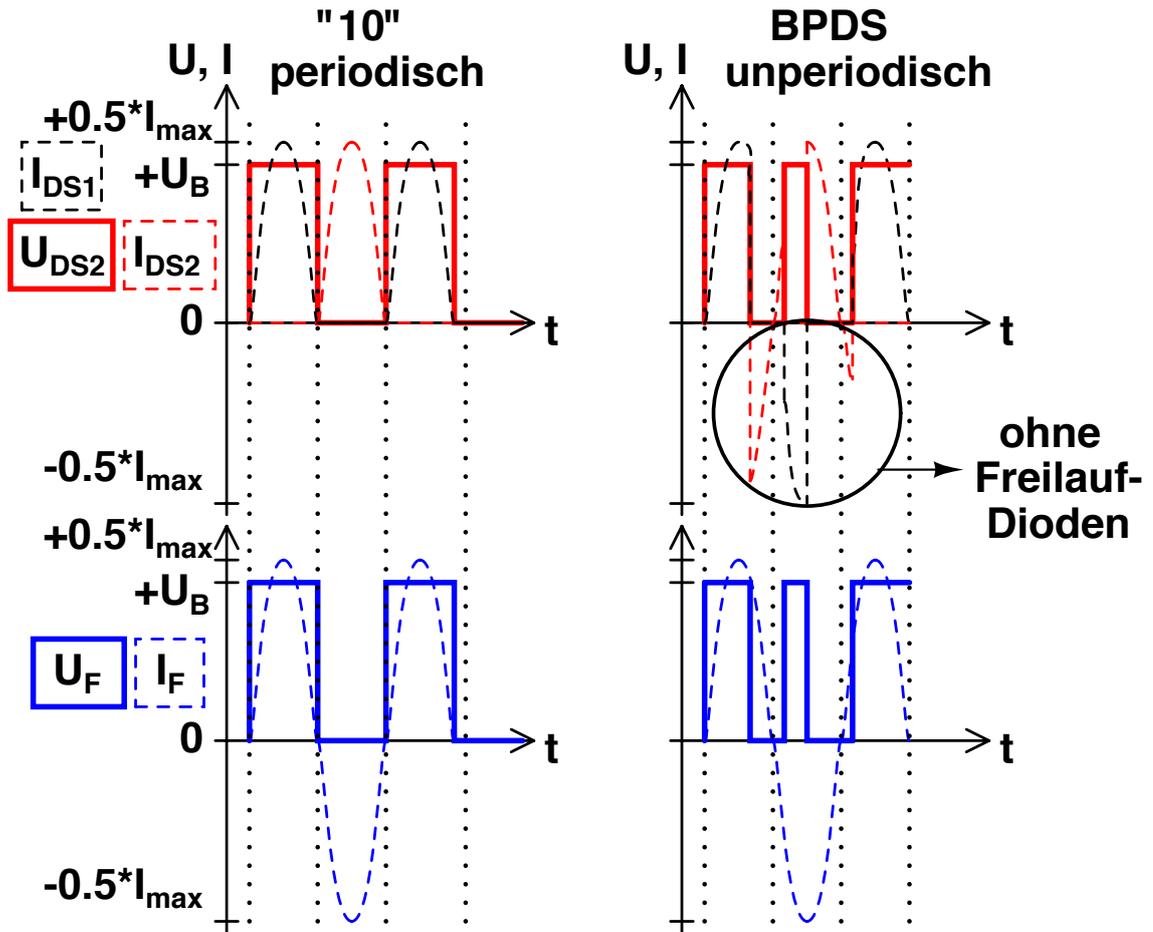


ABBILDUNG 2.10. Signale am Drain der Schalttransistoren (U_{DS2} , $I_{DS1,2}$) und am Ausgang der Schaltendstufe ($U_F = U_{DS2}$, I_F) vor dem Filter; Eingangssignal: periodisch "10" und nicht periodisch (BPDS); Annahme: keine Freilaufdioden

$$W_{Cds} = \frac{1}{2} \cdot C_{ds2} \cdot U_B^2 \quad (12)$$

in ihr gespeichert und geht beim nächsten Umschalten verloren. Als Energie pro Zeit t ergibt sich daraus die Verlustleistung P_V , wobei der Faktor $1/t$ der Schaltfrequenz f entspricht.

Aufgrund des periodischen Eingangssignals schaltet nach genau einer halben Periode t_{S10} der untere Transistor von *off* auf *on* und T_1 (jetzt im *off-state*) übernimmt die gesamte Betriebsspannung von T_2 . Der untere Transistor leitet und der obere sperrt. Die Kapazität C_{ds2} entlädt sich mit einem Strom I_{Cds2} durch T_2 und verursacht mit $R_{ds.ON2}$

einen Spannungsabfall, um den die Ausgangsspannung minimiert wird. Es treten Verluste auf und durch die Leistungsreduktion wird auch die Effizienz der Schaltstufe vermindert. Je größer die Drain-Source-Kapazität des jeweiligen Transistors ist, desto mehr Ladung kann sie speichern und desto mehr Energie wird in Wärme umgesetzt, geht also verloren. Es entstehen Verluste, die also im Voltage-Mode-Fall von denen durch die Transistorausgangskapazität C_{ds} bestimmten Schaltverluste dominiert werden.

Des Weiteren fließt der Strom aus der Last zurück und mit seiner positiven Sinushalbwellen durch den Kanal von Drain nach Source des T_2 . Dies ist der gegenüber I_{DS1} um 180° phasenverschobene I_{DS2} . Die gesamte Betriebsspannung fällt jetzt über T_1 ab und die Drain-Source-Kapazität C_{ds1} wird analog zu Gleichung 12 aufgeladen. Die Spannung am Knotenpunkt zwischen den beiden Transistoren ist jetzt idealerweise auf null zurückgegangen.

Die periodische Spannung, wie z. B. U_{DS2} am Drain des unteren Transistors mit maximalem Potential $U_{max} = +U_B$ und Gleichanteil $\frac{U_{max}}{2}$, lässt sich über der Zeit ($u_{DS2}(t)$) folgendermaßen gleichungstechnisch in seiner Fourierreihe darstellen:

$$u_{DS2}(t) = \frac{U_{max}}{2} + \frac{2U_{max}}{\pi} \cdot \left(\sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) \cdots \right) \quad (13)$$

Dies entspricht auch dem Spannungsverlauf $u_F(t)$ (vgl. Abb. 2.10) vor dem Filter am Ausgang zwischen den beiden Schalttransistoren. Die Ströme durch den jeweils leitenden Transistor ergeben sich zu

$$i_{DS1}(t) = \frac{U_{max}}{\pi \cdot Z_L} + \frac{U_{max}}{2 \cdot Z_L} \sin(\omega t) - \frac{2U_{max}}{\pi \cdot Z_L} \cdot \left(\frac{1}{1 \cdot 3} \cos(2\omega t) + \frac{1}{3 \cdot 5} \cos(4\omega t) \cdots \right) \quad (14)$$

$$i_{DS2}(t) = \frac{U_{max}}{\pi \cdot Z_L} - \frac{U_{max}}{2 \cdot Z_L} \sin(\omega t) - \frac{2U_{max}}{\pi \cdot Z_L} \cdot \left(\frac{1}{1 \cdot 3} \cos(2\omega t) + \frac{1}{3 \cdot 5} \cos(4\omega t) \cdots \right), \quad (15)$$

wobei $i_{DS1}(t)$ und $i_{DS2}(t)$ um 180° (π) phasenverschoben sind. Der Strom $i_F(t)$ am Ausgang der Endstufe berechnet sich mit der Knotengleichung:

$$i_F(t) = i_{DS1}(t) - i_{DS2}(t) \quad (16)$$

Aufgrund der Phasenverschiebung der beiden Ströme, wie aus Abb. 2.10 ersichtlich, ist der resultierende Strom mit den Gleichungen 14 - 16 idealerweise gerade ein Sinus. Die maximale Leistung eines periodischen Signals P_{max10} über der reellen Last ($Z_L = R_L$) im Voltage-Mode-Fall ergibt sich mit

$$P_{max10} = \frac{1}{2} \cdot \left(\frac{|U|^2}{R_L} \right) \quad (17)$$

und der maximalen, mittelwertfreien Spannung nach dem Filter (aus Fourierreihendarstellung)

$$|U| = \frac{4}{\pi} \cdot \frac{U_B}{2} \quad (18)$$

zu

$$P_{max10} = \frac{1}{2 \cdot 4 \cdot R_L} \cdot \left(\frac{4}{\pi} \cdot U_B \right)^2 = \frac{1}{8 \cdot R_L} \cdot \left(\frac{4}{\pi} \cdot U_B \right)^2. \quad (19)$$

Im Klasse-S-Betrieb stellt das Eingangssignal eine nicht-periodische BPDS-Bitsequenz dar. Daraus folgt, dass auch die Schaltzeitpunkte nicht mehr periodisch im Abstand $\frac{T_{per}}{2}$ auftreten. Die minimale Pulsbreite T_{min} ist folglich gemäß der Abtastrate f_{sample} (vgl. Abschnitt 2.2.1):

$$T_{min} = \frac{1}{f_{sample}} \quad (20)$$

Demnach kann pro Periode mehr als ein Schaltvorgang stattfinden. Dies bedeutet nun mit Blick auf Abb. 2.10, dass der Strom auch in seiner negativen Halbwelle mit einem Maximum von $-0,5 \cdot I_{max}$ auftreten kann. Folglich treten Rückströme (in negativer Zählpfeilrichtung vgl. Abb. 2.9) durch den Transistorkanal auf, welche das Bauelement zerstören können.

Vorausgesetzt entsprechender Potentiale kann es vorkommen, dass ein Strom in die Source des oberen Transistors fließt. Das Potential an der Source von T_1 wird um den Spannungsabfall über $R_{ds,ON1}$ erhöht. Durch diesen zusätzlichen Verlustmechanismus geht Effizienz verloren. Außerdem kann das zu einer für den unteren Transistor T_2 , der noch gesperrt ist, viel zu großen Drain-Source-Spannung U_{DS2} führen und ihn so durchbrechen lassen. Der zweite Fall für den leitenden unteren Transistor ist, dass ein Strom I_{ds2} aus dem Drain fließt und so von dem entgegengesetzten Strom abgezogen werden muss. Dabei kann einmal der obere Transistor leitend werden, wenn sich zwischen den beiden Transistoren ein Potential kleiner bzw. gleich der Sperrspannung von T_1 einstellt. So leiten beide Transistoren und die Verluste werden erhöht durch U/I - Überlappung. Der andere Effekt ist, dass sich quasi Drain und Source des unteren Transistors umdrehen, da das eigentliche Drain negativ gegenüber der Source wird und so gegenüber dem

Nullpotential der Source (Masse) von T_2 ein geringeres Potential aufweist. Dadurch können viel zu große positive Spannungen am effektiven Gate des unteren Transistors auftreten, die ihn zerstören.

Deshalb ist es sinnvoll, die Freilaufdioden im Klasse-S-Betrieb zu benutzen. Diese Dioden übernehmen den für die Transistoren gefährlichen negativen Rückstrom und schützen sie dadurch vor den beschriebenen Gefahren. Das resultierende Signal $i_F(t)$ vor dem Filter ist idealerweise nach wie vor ein Sinus (blau gestrichelte Linie in Abb. 2.10), vergleichbar mit dem periodischen Fall.

Ein Nachteil der Benutzung von Dioden im Voltage-Mode-Fall ist allerdings, dass nun gemäß Abb. 2.9 die Diodenkapazität C_{diode} parallel zur Transistorausgangskapazität liegt. Die resultierende Kapazität, welche Schaltverluste generiert, ist folglich nun noch größer. Das hat einen negativen Einfluss auf die Effizienz. Darüber hinaus fällt Spannung über dem Serienwiderstand der Diode ab, was zu einer zusätzlichen Effizienzreduktion führt.

Für ein BPDS-Signal ergibt sich analog zu Gleichung 17 für einen stabilen Betrieb des Modulators die maximale Ausgangsleistung $P_{max.VMCS}$ im Voltage-Mode-Fall zu:

$$P_{max.VMCS} = \frac{1}{8 \cdot R_L} \cdot (0,8 \cdot U_B)^2 \quad (21)$$

Das bedeutet, dass ca. 60 % mehr Leistung für den periodischen Fall verglichen mit der BPDS-Ansteuerung in der Last erzeugt werden können. Der Einfluss auf die gesamte Leistungsfähigkeit (Effizienz, Ausgangsleistung etc.) des Verstärkers wird im weiteren Verlauf dieser Arbeit gezeigt und diskutiert.

Bei einem $\Delta\Sigma$ -modulierten Signal können sehr schnelle Pulse mit einer minimalen Breite gemäß Gleichung 20 bei gleichzeitig hohen Strom- bzw. Spannungsamplituden von I_{max} bzw. U_{max} auftreten. Daher muss die verwendete Schutzdiode also sehr schnell (bis zu 2 Gbit/s) sein und zusätzlich eine hohe Durchbruchspannung (max. 70 V) und Stromtragfähigkeit (max. 2,5 A) aufweisen. Sie wird bei der Realisierung der Klasse-S-Verstärker näher beschrieben.

2.2.2.2. Current-Mode-Topologie. Der Current-Mode Klasse-S-Verstärker (CMCS) ist in Abbildung 2.11 dargestellt.

In dieser Topologie haben beide Schalttransistoren im Vergleich zur Voltage-Mode-Struktur einen festen Massebezug an der Source. Es handelt sich hier also um eine symmetrische Anordnung der Endstufe bezüglich Masse. Auch hier werden die beiden Transistoren mit 180° phasenverschobenen BPDS-Signalen am Gate angesteuert, allerdings mit vergleichsweise kleinen Amplituden aufgrund der gleichen Bezugspotentiale an der Source. Die Amplituden bewegen sich zwischen einer Spannung kleiner der Abschnürspannung U_P für einen komplett gesperrten Schalter um $-5...-4$ V und einer Spannung um 1 V, die bei den benutzten GaN-HEMTs (FBH-Prozess) ausreicht, um den Transistor komplett leitend zu machen. Dies ist ein Vorteil der CMCS-Struktur.

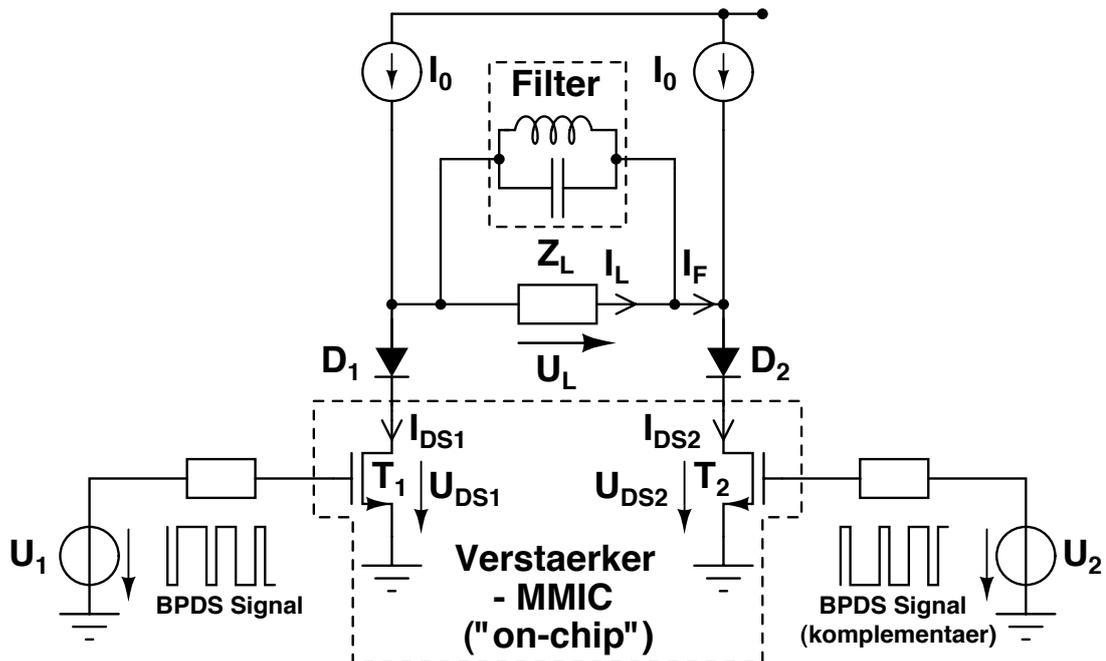


ABBILDUNG 2.11. Prinzip eines Klasse-S-Verstärkers in Current-Mode-Konfiguration

Die beiden Stromquellen liefern jede einen konstanten Strom I_0 , so dass ein maximaler Strom von

$$I_{max} = 2 \cdot I_0 \quad (22)$$

durch den jeweils leitenden Transistor fließt. Dieser entspricht dem maximalen Strom I_{max} , den der Transistor tragen können muss. In der Current-Mode-Topologie wird der Strom maximal mit dieser Amplitude "geschaltet".

Ist der Transistor T_2 leitend und T_1 gesperrt, fließt der Strom I_0 aus der linken Konstantstromquelle durch den Parallelschwingkreis (I_L) in den leitenden Transistor. Dort addiert er sich mit dem Strom aus der rechten Quelle, der direkt in T_2 fließt. Folglich ist I_{DS2} jetzt gleich der maximalen Amplitude I_{max} . Ist T_1 leitend und T_2 sperrt, verhält es sich analog genau umgekehrt.

Der Strom durch den leitenden Transistor ist rechteckförmig, er wird geschaltet. Der Strom durch die Last Z_L und die Spannung über der Last sind idealerweise sinusförmig. Das sind die wesentlichen Merkmale der CMCS-Topologie.

Die Spannung U_{DSx} über dem sperrenden Transistor ist durch den Schwingkreis ein Sinus, da der Resonator analog zum Voltage-Mode alle anderen Frequenzanteile kurzschließen soll ($U = 0$, außer für $f = f_s$) und so mit dem Strom I_L durch die Last die Spannung U_L formt. Die Spannung U_{DSx} ist für den Fall eines gesperrten Transistors

T_x bei einem periodischen Eingangssignal ein Halbsinus mit der maximalen Amplitude U_{max} . Bei einem nicht periodischen BPDS-Signal können ohne Freilaufdioden D_1 und D_2 an den Drains der Schalttransistoren negative Spannungsamplituden mit maximal

$$U_L = -U_{max} = -\frac{I_{max}}{2} \cdot Z_L = -I_0 \cdot Z_L \quad (23)$$

aufzutreten. Durch stark negative Spannungen können die Transistoren am Drain zerstört werden. Durch die Diode werden die negativen Spannungsanteile idealerweise alle geblockt, da sie dann sperrt.

Eine genauere Betrachtung ergibt, dass dieser Vorgang stark abhängig von der Zeitkonstante τ aus Diodenkapazität C_{Diode} (im wesentlichen Sperrschichtkapazität) und Serienwiderstand R_{Diode} (ohmscher Kontaktwiderstand) ist, welche die (Schalt-) Geschwindigkeit bestimmt. Geht diese gegen null, liegt keine negative U_{DS} über dem Transistor an, während er sperrt. Ist die Diode zu langsam, τ also zu groß, können sehr starke negative Spitzen auftreten. Des Weiteren wird die gesamte Spannungsamplitude durch den Abfall über den Dioden verringert, da R_{Diode} einen ohmschen Verlust darstellt. Somit liegt der Spannungsverlauf über dem Transistor nicht zwischen null und U_{max} , sondern höchstens zwischen 0,7 V (Flussspannung) und der maximalen Amplitude.

Zunächst veranschaulicht die Abbildung 2.12 exemplarisch den Strompfad (rot) für den Fall, dass T_1 sperrt und T_2 leitet.

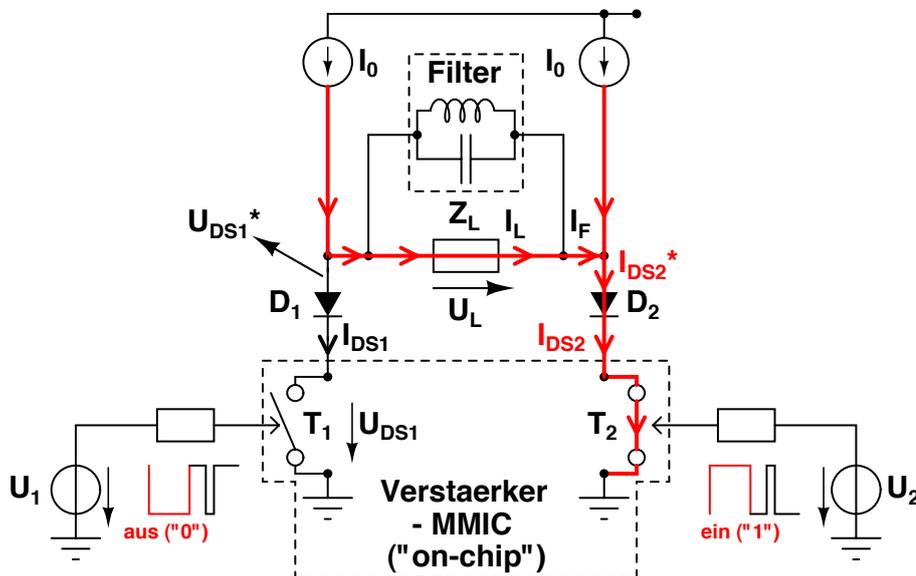


ABBILDUNG 2.12. Strompfad (rot) in einem Current-Mode Klasse-S-Verstärker; Annahme: T_1 sperrend, T_2 leitend

Die Spannung vor der Diode D_1 (U_{DS1}^*) mit negativen Anteilen, die Spannung U_L durch die Last als auch die Ströme an den jeweiligen Drains sind in Abbildung 2.13 verdeutlicht.

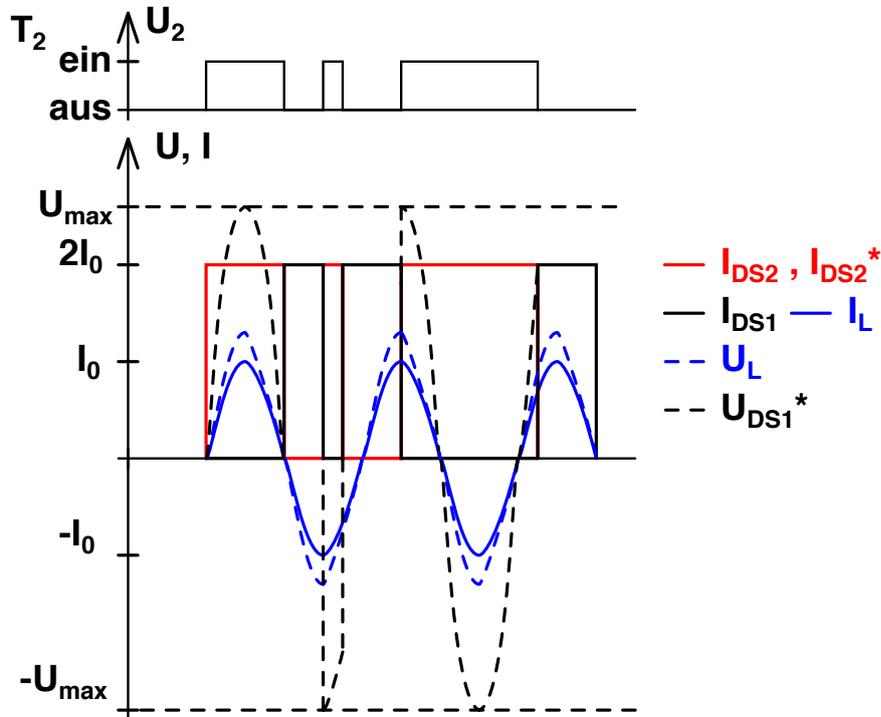


ABBILDUNG 2.13. Strom- und Spannungssignale in einem Current-Mode Klasse-S-Verstärker gemäß Abb. 2.12

Da immer einer der beiden Leistungsschalter T_1 oder T_2 leitend ist, wird bei realen Transistoren mit einem R_{ds_ONx} für einen festen DC-Strom I_0 bzw. höchstens I_{max} immer mindestens die konstante Verlustleistung

$$P_{V_Rds_ONx} = R_{ds_ONx} \cdot (2I_0)^2 = R_{ds_ONx} \cdot (I_{max})^2 \quad (24)$$

erzeugt. Diese vergrößert sich darüber hinaus noch, wenn man den Serienwiderstand R_{Diode} der nötigen Diode einbezieht. Der für einen festen Strom konstante Verlustmechanismus ist ein Nachteil der Current-Mode-Anordnung. Das wirkt sich besonders stark aus, wenn bei gleicher maximaler Stromamplitude die Bitsequenz so verändert wird, dass der Anteil bei Signalfrequenz geringer ist, der Verstärker also im *power back-off* betrieben wird. Das führt mit dem konstanten Verlustmechanismus zu einer starken Effizienzabnahme über dem *back-off*. Dieser Effekt wird u.a. in Kapitel 4 und 5 in einer

ausführlichen Diskussion der Verlustmechanismen anhand der Messungen der entwickelten Verstärker weiter betrachtet.

Die maximale Ausgangsleistung im Current-Mode $P_{max.CMCS}$ ergibt sich analog zu Gleichung 21 (Voltage-Mode) mit einem rechteckförmigen "geschalteten" Strom zu

$$P_{max.CMCS} = \frac{1}{8} \cdot R_L \cdot \left(\underbrace{0,8}_{AKEBP-DSM} \cdot I_{max} \right)^2 \quad (25)$$

mit $I_{max} = 2I_0$. Hier geht anstatt der Spannungsamplitude die Stromamplitude mit dem Quadrat des Faktors der Amplituden-Kodier-Effizienz von 0,8 in die Ausgangsleistung bei CMCS-Betrieb ein. Demzufolge ergibt sich auch die maximale Leistung im periodischen Betrieb. Die Stromamplitude ist dann mit einem Faktor 1,3 analog zu Gleichung 17 gewichtet.

Nachteilig in der Current-Mode-Topologie ist, dass das Filter differentiell zwischen den Transistoren angeschlossen werden muss. Dadurch ergeben sich neue Herausforderungen für das hybrid aufgebaute Ausgangsnetzwerk, welche im weiteren Verlauf dieser Arbeit diskutiert werden. Unter anderem ist es nötig, eine Transformation von dem differentiellen (engl.: **Balanced**) Filterausgang zu der unsymmetrischen (engl.: **unbalanced**), auf Masse bezogenen 50Ω - Last mit Hilfe eines **Balun** zu realisieren.

Des Weiteren bleibt anzumerken, dass auch die Realisierung der Stromquellen, die einen konstanten Strom, wenn möglich bis in den hohen GHz-Bereich, liefern müssen, eine große Herausforderung darstellt und kritischer ist als die Spannungsversorgung im Voltage-Mode. Tabelle 2.1 stellt abschließend die beiden Endstufenkonzepte noch einmal mit den entscheidenden Vor-(+) und Nachteilen (-) gegenüber.

Voltage-Mode	Current-Mode
- Unsymmetrie: nur ein Transistor hat festes Source-Potential	+ Symmetrie: beide Transistoren haben Massebezug an der Source
- Eingangsamplitude: bis zu $60 V_{ss}$ (Betriebsspannung)	+ Eingangsamplitude: bis zu $6 V_{ss}$
+ Ausgang unsymmetrisch	- Ausgang differentiell
+ Spannungsquelle	- Stromquelle
- umfangreiche Treiberstruktur	+ einfache Treibertopologie
- dominierende Verlustmechanismen: Schaltverluste in C_{ds} , C_{Diode}	- dominierende Verlustmechanismen: ohmsche Verluste in $R_{ds,ON}$, R_{Diode}

TABELLE 2.1. Vor- und Nachteile von Voltage-Mode- und Current-Mode-Struktur

Im Rahmen der vorliegenden Arbeit wurden beide Konzepte für eine Signalfrequenz von 450 MHz realisiert und charakterisiert.

2.2.3. Ausgangsnetzwerk mit Bandpassfilter. Dieser Abschnitt beschreibt das analoge Netzwerk inklusive Bandpassfilter am Ausgang der Schaltverstärker-Endstufe zur Rekonstruktion des gewünschten Signals auf der jeweiligen Frequenz und seine Anforderungen bzw. Kriterien. Hierbei erweist sich die klassische Filterbetrachtung mittels der S-Parameter und der Kenngrößen Durchgangsverluste, Eingangs- und Ausgangsanpassung als nicht hilfreich. Vielmehr müssen die Impedanzbedingungen des Netzwerks herangezogen werden. Für das jeweilige Endstufenkonzept muss bei der gewünschten Signalfrequenz die optimale Lastimpedanz der Endstufentransistoren zur Verfügung gestellt werden. Alle anderen Frequenzanteile müssen breitbandig mit bestimmten Abschlüssen versehen werden, was zu speziellen Impedanzbedingungen führt. In der Current-Mode-Struktur muss man darüber hinaus aufgrund des differentiellen Filtereingangs sowohl die Gegen- als auch die Gleichtaktimpedanzen betrachten. Während für die Voltage-Mode-Variante ein einfaches Anpassnetzwerk mit Transformation an 50Ω genügt, ist für den Current-Mode-Typ wegen des differentiellen Ausgangs der Endstufe noch ein Balun zur Transformation auf den unsymmetrischen 50Ω -Ausgang notwendig.

Vom Prinzip her handelt es sich beim Ausgangsnetzwerk um ein Bandpassfilter, das möglichst schmalbandig nur die gewünschte Signalfrequenz aus der im Schaltverstärker-MMIC verstärkten Bitfolge rekonstruieren soll. Diese Filterung muss mit sehr geringen Verlusten (ideal: null) im benötigten Frequenzband realisiert werden. Die 3 dB - Bandbreite der Durchlasskurve f_B ist idealerweise gleich der Signalbandbreite, um nur die gewünschte Frequenz auszufiltern. Da die benötigten Filterstrukturen mit diskreten, realen Elementen aufgebaut werden, sind die geforderten Charakteristika nicht beliebig ideal realisierbar. Reale Bauelemente (L, C) haben Verluste und weisen nicht beliebig hohe Eigenresonanzen auf, was dazu führt, dass man nicht den gesamten Frequenzbereich mit einem nahezu idealen Verlauf abdecken kann.

Zum Thema Verluste: die Güten Q_L und Q_C der verwendeten Induktivitäten (L) und Kapazitäten (C) mit Wirkwiderstand R_L bzw. R_C und Blindwiderstand X_L und X_C sind wie folgt definiert:

$$Q_L = \left. \frac{X_L}{R_L} \right|_{f=f_0} \quad (26)$$

$$Q_C = \left. \frac{X_C}{R_C} \right|_{f=f_0} \quad (27)$$

Je hochwertiger ein Bauelement ist, desto weniger (ohmsche) Verluste R weist es auf und desto geringer ist die in einem L-C-Kreis erreichbare Bandbreite f_B . Die Güte des Schwingkreises ist gegeben durch $Q = \frac{f_0}{f_B}$ (f_0 - Mittenfrequenz, f_B - 3 dB - Bandbreite). Typischerweise liegen die Güten für die kommerziell erhältlichen und benutzten Spulen

bei der Signalfrequenz von 450 MHz bei ca. 100, während die der Kapazitäten Werte von 1000 - 2000 erreichen können. Beschränkend kommt hinzu, dass in den in dieser Arbeit aufgebauten Strukturen relativ hohe Ströme und Spannungen auftreten. Die Kapazitäten und besonders die Induktivitäten müssen damit kompatibel und zudem extrem hochgütig sein, was die Auswahl der verfügbaren Elemente stark einschränkt. In dieser Arbeit werden für die Ausgangsnetzwerke Luftkernspulen (engl.: air core inductors) von der Firma *Coilcraft* und Chipkapazitäten (SMD) von der Firma *American Technical Ceramics (ATC)* verwendet.

Im folgenden werden die unterschiedlichen Anforderungen an die Ausgangsnetzwerke abhängig vom Modus des Klasse-S-Verstärkers beschrieben. Diese verschiedenen Beschaltungen sind durch die beiden Topologien der Schaltendstufen zur Verstärkung der Bitsequenzen (vgl. Abschnitt 2.2.2.1 und 2.2.2.2) und die Belastbarkeit der GaN-HEMTs bestimmt.

2.2.3.1. *Ausgangsnetzwerk der Voltage-Mode-Topologie.* Die Voltage-Mode-Endstufe (vgl. Abb. 2.9) weist einen unsymmetrischen Ausgang zwischen den beiden Schalttransistoren auf. Demnach wird das Bandpassfilter als einfache Serienschaltung am Ausgang realisiert, welches die Signalfrequenz herausfiltert. Alle anderen Frequenzanteile sollen idealerweise vollständig reflektiert werden (Leerlauf), so dass sie nicht als Verluste in der Last verloren gehen können. Sie müssen also im Idealfall mit einer unendlich großen Impedanz am Ausgang abgeschlossen sein.

Des Weiteren muss man klären, welche optimale Lastimpedanz $Z_{opt.VMCS}$ den Endstufentransistoren mit einer Gateweite von jeweils 1 mm ($4 \times 250 \mu\text{m}$) bei der Signalfrequenz angeboten werden muss, um die maximale Leistung bei möglichst maximaler Effizienz abzugeben. Hierzu wird Abbildung 2.9 betrachtet und die Spannung (U_L) über R_L bzw. der Strom (I_L) durch die Last. Die Spannung U_L ergibt sich mit der Betriebsspannung U_B und dem Faktor $AK E_{BP-DSM}$ für die auf die Spannungsamplitude bezogene Kodiereffizienz (siehe Abschnitt 2.2.1) im Bandpass-Delta-Sigma-Modulator zu

$$U_L = \frac{U_B}{2} \cdot AK E_{BP-DSM} \quad (28)$$

Der Strom in der Last R_L ergibt sich mit Gleichung 28 zu

$$I_L = \frac{U_B \cdot AK E_{BP-DSM}}{2 \cdot R_L} \quad (29)$$

Der maximale Strom durch jeden der Transistoren beträgt I_L , die maximale Spannung, die darüber abfällt, U_B . Sollten diese beiden Werte den Maximalstrom I_{max} und die Durchbruchspannung U_{max} gleichzeitig erreichen, liefern die Transistoren die höchste Ausgangsleistung und es muss gelten:

$$I_{max} = \frac{U_{max} \cdot AKE_{BP-DSM}}{2 \cdot R_L} \quad (30)$$

Deshalb muss R_L den optimalen Wert

$$Z_{opt.VMCS} = \frac{1}{2} \cdot AKE_{BP-DSM} \cdot \frac{U_{max}}{I_{max}} \quad (31)$$

annehmen. Mit einer maximalen Drainspannung von 55 V und einem maximalen Strom von 0,6 A durch einen 1 mm-Transistor (benutzt in der Voltage-Mode-Endstufe) ergibt sich für einen AKE_{BP-DSM} -Faktor von 0,8 die optimale Lastimpedanz für den Entwurf des Voltage-Mode-Verstärkers zu

$$Z_{opt.VMCS} = \frac{1}{2} \cdot 0,8 \cdot \frac{55 \text{ V}}{0,6 \text{ A}} \approx 37 \Omega \quad (32)$$

Das Ausgangsnetzwerk wurde nach Gleichung 32 für eine $Z_{opt.VMCS}$ von rund 40 Ω (also tendenziell etwas hochohmiger) entwickelt. Da die Lastimpedanz somit unterschiedlich von den üblichen 50 Ω ist, muss ein zusätzliches Anpassnetzwerk nach dem Bandpassfilter in Reihe realisiert werden, welches von $Z_{opt.VMCS}$ auf die erforderliche Impedanz transformiert. Der Aufbau des Ausgangsnetzwerks für den realisierten Voltage-Mode Klasse-S-Verstärker ist in Abbildung 2.14 gezeigt.

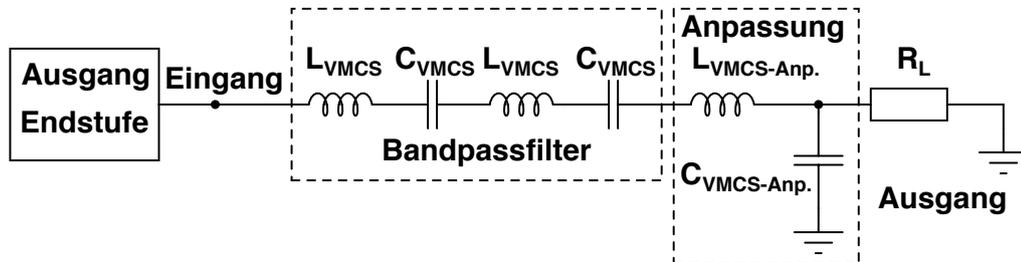


ABBILDUNG 2.14. Aufbau des Ausgangsnetzwerks für den realisierten Voltage-Mode Klasse-S-Verstärker (VMCS) mit Bandpassfilter und Anpassnetzwerk

Wie in der Abbildung zu sehen ist, wird das Bandpassfilter mit einer Reihenschaltung aus zwei L-C-Gliedern (L_{VMCS} , C_{VMCS}) realisiert, was den besten Kompromiss zwischen Durchgangsverlusten und Bandbreite f_B für den realisierten VMCS-Verstärker darstellt. Das bietet die Möglichkeit, mit zwei kleineren Spulen L_{VMCS} in Reihe eine große Induktivität zu realisieren, die eine höhere Resonanzfrequenz aufweist als eine einzelne Spule mit gleicher Induktivität. Die ohmschen Verluste der beiden einzelnen

kleinen Spulen werden aber aufaddiert und können u.U. größer als die einer großen Spule sein. Die Anpassung an die 50 Ω -Umgebung (R_L) erfolgt mit einem einfachen L-C-Tiefpass ($L_{VMCS-Anp.}$, $C_{VMCS-Anp.}$). Das Netzwerk muss nach den obigen Ausführungen folgende Impedanzbedingungen für die Voltage-Mode-Struktur am Ausgang der Endstufen erfüllen:

$$\omega = \omega_S : Z = Z_{opt.VMCS} \quad (33)$$

$$\omega \neq \omega_S : Z \rightarrow \infty \quad (34)$$

Diese beiden Bedingungen müssen für einen optimalen Betrieb der Voltage-Mode Klasse-S-Struktur realisiert werden. Allerdings wird das bei Benutzung von realen Bauelementen (L, C) erschwert. Besonders Gleichung 34 stellt mit den bereits erwähnten Güten und Eigenresonanzen der verwendeten Bauelemente eine große Herausforderung dar. Die Dimensionierung, der Aufbau und die Messung des Ausgangsnetzwerks sowie des gesamten VMCS-Verstärkers wird in den Abschnitten 4.1 und 4.2 gezeigt.

2.2.3.2. Ausgangsnetzwerk der Current-Mode-Topologie. Die Current-Mode-Struktur weist im Gegensatz zum Voltage-Mode einen massfreien, idealerweise rein symmetrischen Ausgang der Leistungsendstufe auf (vgl. Abbildung 2.11). An diesen muss das Bandpassfilter angeschlossen werden. Da man zur Integration in die üblichen Umgebungen einen auf Masse bezogenen (*single-ended*) 50 Ω -Ausgang braucht, muss das gefilterte Signal durch einen Balun von symmetrisch auf unsymmetrisch transformiert werden. Dadurch wird die Realisierung des Ausgangsnetzwerks für den CMCS-Verstärker umfangreicher als im Voltage-Mode. Die Gefahr von mehr Verlusten ist stärker, allein schon aufgrund der zusätzlich benötigten (nichtidealen) Bauelemente. Zur Veranschaulichung werden nachfolgend die möglichen Signalkonstellationen im Current-Mode-Betrieb an der Endstufe bzw. Anschlüssen des Ausgangsnetzwerks (vgl. Abbildung 2.11) und die sich daraus ergebenden Ersatzschaltbilder gezeigt. Zunächst wird der ideale Fall eines reinen Gegentaktbetriebs in Abbildung 2.15 betrachtet:

In einem idealen Current-Mode-Betrieb gilt $I_1 = -I_2$ (siehe Abb. 2.15), d. h. reiner Gegentaktbetrieb (engl.: *odd-mode*) im Strom. Die Spannungen U_1 und U_2 über den Endstufentransistoren enthalten zusätzlich Gleichtaktkomponenten (engl.: *even-mode*), d. h. es treten an den beiden Endstufentransistoren T_1 und T_2 gleichzeitig Spannungen U_{even} auf, die einen Strom I_{even} ($=I_{T1}$, wenn T_2 leitet bzw. I_{T2} , wenn T_1 leitet) anregen und Verluste generieren. Deshalb müssen die Gleichtaktanteile mit einer (ideal) unendlich großen Impedanz Z_{even} abgeschlossen werden. Wenn T_1 sperrt ($I_{T1} = 0$) und T_2 leitet, fließt der Strom I_0 aus der linken Quelle durch die Last und - zusammen mit dem Strom I_0 der rechten Quelle - durch T_2 . Somit gilt in diesem Fall:

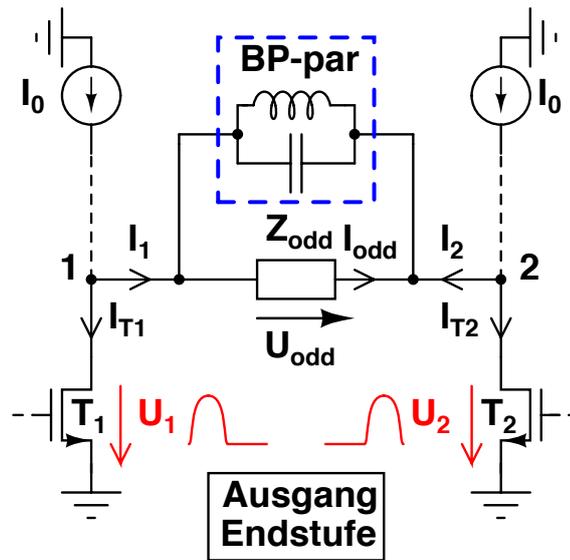


ABBILDUNG 2.15. Ersatzschaltbild des Ausgangsnetzwerks der Current-Mode-Endstufe und auftretende Signale bei reinem Gegentaktbetrieb (Odd-Mode)

$$I_1 = I_0 \quad (35)$$

$$I_2 = -I_0 \quad (36)$$

$$I_{T1} = 0 \quad (37)$$

$$I_{T2} = 2I_0 \quad (38)$$

Umgekehrt erhält man für den Fall, dass T_2 sperrt und T_1 leitet:

$$I_1 = -I_0 \quad (39)$$

$$I_2 = I_0 \quad (40)$$

$$I_{T1} = 2I_0 \quad (41)$$

$$I_{T2} = 0 \quad (42)$$

Die Ströme in das Ausgangsnetzwerk sind also im reinen Gegentakt ($I_1 = -I_2$) rechteckförmig entsprechend der Pulsfolge mit der Amplitude $\pm I_0$, während die Spannungen U_1 , U_2 auch Gleichtaktanteile enthalten, weshalb eine unendlich große Z_{even} erforderlich ist.

Um aus dem breitbandigem Spektrum des Stroms (BPDS-Pulsfolge) die Signalfrequenz auszufiltern, muss im Gegentaktfall für alle anderen Frequenzen ($\omega \neq \omega_S$) eine Odd-Mode-Impedanz von ideal 0Ω und bei Signalfrequenz ($\omega = \omega_S$) eine optimale Impedanz $Z_{opt.CMCS}$ zur Verfügung gestellt werden, um dem Verstärker die gewünschte Leistung zu entnehmen.

Pro Schaltvorgang im CMCS-Verstärker fließt im reinen Gegentaktbetrieb ein Strom I_{odd} nur durch die Last Z_{odd} wie in Abbildung 2.15. Außerdem liegt jeweils die Spannung

$$U_{odd} = U_1 - U_2 \quad (43)$$

über der zwischen den beiden Ausgangsanschlüssen liegenden Last an. D. h. bei Gegentakt ist nur die differentielle Odd-Mode-Impedanz Z_{odd} zwischen den massefreien Anschlüssen des Filternetzwerks für die Signale (U, I) wirksam. Diese Impedanz soll idealerweise nur bei Signalfrequenz ω_S einer optimalen differentiellen Lastimpedanz $Z_{opt.CMCS}$ entsprechen, bei der die Endstufentransistoren (hier: 2 mm Gateweite) sehr gut angepasst sind und die maximale Ausgangsleistung bei gleichzeitig hoher Effizienz abgeben.

Daraus folgt, dass man in dem Ausgangsnetzwerk ein paralleles Bandpassfilter (“BP-par” in Abb. 2.15) mit der Charakteristik eines Parallelresonanzkreises vorsehen muss. Das Filter muss symmetrisch zwischen den beiden Ausgangsanschlüssen der Schaltverstärkerendstufe angeschlossen sein und nur die Signalfrequenz aus den Gegentaktsignalen passieren lassen, während alle anderen Anteile komplett unterdrückt werden müssen. Über der Signalbandbreite muss das symmetrische Filter demnach einen Leerlauf realisieren, damit die Endstufe optimal angepasst auf die Impedanz $Z_{opt.CMCS}$ arbeitet, die durch die maximale Stromtragfähigkeit und Durchbruchspannung der verwendeten Transistoren bestimmt ist. In diesem Fall muss die symmetrisch zwischen den Ausgangsanschlüssen der Endstufen angebrachte Impedanz Z_{odd} aus Abb. 2.15 der optimalen Impedanz entsprechen. Um einen idealen Leerlauf für die Signalfrequenz zu gewährleisten, muss die Impedanz des parallelen Filters Z_{BP-par} für ω_S viel größer als die optimale Lastimpedanz sein, damit der Strom primär durch $Z_{opt.CMCS}$ (Z_{odd} für ω_S) fließt. Alle anderen Frequenzanteile ($\omega \neq \omega_S$) müssen reflektiert und nicht kurzgeschlossen werden, was bedeutet, dass der parallele Resonanzkreis in diesem Fall eine möglichst geringe Impedanz aufweisen muss. Also soll im idealen Fall Z_{BP-par} für alle Frequenzen außerhalb der Signalfrequenz gegen null gehen. Nur so fließt der anteilige Strom nicht durch Z_{odd} und kann keine Verluste generieren. Wäre der Resonanzkreis für diese Frequenzanteile zu hochohmig, würden sie zusammen mit dem Strom I_0 in der Last Verlustleistung erzeugen und so die Gesamteffizienz beeinträchtigen.

Die Bestimmung von $Z_{opt.CMCS}$ wird analog zum Voltage-Mode für eine maximale Spannung von $U_{max} = 55 \text{ V}$ an den Drains der Endstufen bestimmt. Da die Transistoren im betrachteten Fall aber jeweils eine doppelt so große Gateweite haben (2 mm),

ist die maximale Stromtragfähigkeit auch doppelt so groß und somit jetzt auf 1,2 A limitiert.

Gemäß Abbildung 2.12 ergibt sich in einem Schaltvorgang eine Spannung von U_{max} über der differentiellen Last, die auch am sperrenden Transistor anliegt (vgl. T_1 in Abb. 2.12). Dies entspricht in Abbildung 2.15 der Spannung U_1 bzw. beim Umschalten U_2 . Ein Strom I_{odd} fließt dabei pro Schaltvorgang durch die symmetrische Last Z_L bzw. Z_{odd} . Dieser Strom (vgl. I_0 in Abb. 2.15) entspricht höchstens der Hälfte der festgelegten maximalen Stromtragfähigkeit (I_{max}) des benutzten 2 mm-Transistors in der Endstufe, nämlich 0,6 A. Der Strom aus der jeweils anderen Quelle (auch I_0) addiert sich direkt nach dem Filter mit diesem zum maximalen durch den leitenden Transistor fließenden Strom (vgl. Gleichung 22 und Abb. 2.11), was aber keinen Zusatzbeitrag zur Berechnung von $Z_{opt.CMCS}$ liefert. Darüber hinaus muss man beachten, dass die maximale Stromamplitude von 0,6 A ($I_{max}/2$) bei der Signalfrequenz analog zur BPDS-Modulation mit dem Faktor AKE_{BP-DSM} (0,8) gewichtet ist. Für die optimale differentielle Lastimpedanz $Z_{opt.CMCS}$ eines 2 mm-GaN-HEMTs ergibt sich demnach:

$$Z_{opt.CMCS} = \frac{U_{max}}{\frac{I_{max}}{2} \cdot AKE_{BP-DSM}} = \frac{55 \text{ V}}{0,6 \text{ A} \cdot 0,8} \approx 115 \Omega \quad (44)$$

Schließlich lassen sich die Impedanzbedingungen des für den Gegentaktfall parallel zum Ausgang der Endstufen benötigten Bandpassfilters (“BP-par”) wie folgt zusammenfassen [28]:

$$\underline{\omega = \omega_S} : Z_{BP-par} \gg Z_{opt.CMCS} \quad (45)$$

$$\underline{\omega \neq \omega_S} : Z_{BP-par} \ll Z_{opt.CMCS} \quad (ideal : Z_{BP-par} \rightarrow 0) \quad (46)$$

Für diesen Parallelschwingkreis ergibt sich die Impedanz bzw. sein Leitwert in Abhängigkeit von den Beiträgen der benutzten Elemente L_{BP} ($Z_{L_{BP}}$) und C_{BP} ($Z_{C_{BP}}$) zu:

$$\frac{1}{Z_{BP-par}} = \frac{1}{Z_{C_{BP}}} + \frac{1}{Z_{L_{BP}}} \quad (47)$$

Dabei setzt sich $Z_{C_{BP}}$ aus den reellen Verlustanteilen $R_{C_{BP}}$ und dem Blindwiderstand $X_{C_{BP}}$ zusammen.

$$\frac{1}{Z_{C_{BP}}} = \frac{1}{R_{C_{BP}}} + j \frac{1}{X_{C_{BP}}} = \frac{1}{R_{C_{BP}}} + j\omega C_{BP} \quad (48)$$

Der Anteil der Spule ergibt sich mit Wirkwiderstand $R_{L_{BP}}$ und Blindwiderstand $X_{L_{BP}}$ zu:

$$Z_{L_{BP}} = R_{L_{BP}} + j\omega X_{L_{BP}} = R_{L_{BP}} + j\omega L_{BP} \quad (49)$$

Je nach Signalfrequenz bzw. Resonanzfrequenz ω_S werden die Elemente aufeinander abgestimmt mit

$$\omega_S = \frac{1}{\sqrt{L_{BP}C_{BP}}} \quad (50)$$

Die Güte Q_{BP-par} (auch Resonanzschärfe) stellt ein Maß für die Selektivität des Filters dar. Sie ergibt sich für "BP-par" mit L_{BP} , C_{BP} und dem die Verluste im realen Schwingkreis repräsentierenden Parallelwiderstand R_{Vpar} (aus $R_{C_{BP}}$ und $R_{L_{BP}}$) zu:

$$Q_{BP-par} = R_{Vpar} \cdot \sqrt{\frac{C_{BP}}{L_{BP}}} \quad (51)$$

Aus Gleichung 51 folgt, dass man die Güte des parallelen Bandpassfilters erhöhen kann, in dem man tendenziell große Kapazitäts- und kleine Induktivitätswerte vorsieht. Der Durchlassbereich des Filters verringert sich demnach.

Setzt man eine symmetrisch angeschlossene Lastimpedanz Z_{odd} (vgl. Abb. 2.15) zwischen den Ausgängen der Schaltendstufen für den Gegentakfall an, ergeben sich dafür die folgenden Formulierungen bezüglich der Impedanzbedingungen für das Ausgangsnetzwerk im Idealfall:

$$\underline{\omega = \omega_S} : Z_{odd} = Z_{opt_CMCS} \quad (52)$$

$$\underline{\omega \neq \omega_S} : Z_{odd} = 0 \quad (53)$$

Um den Gegentakfall für die betrachtete planare Schaltung zu veranschaulichen, kann man die elektrischen und magnetischen Feldlinien zweier verkoppelter Mikrostreifenleitungen (engl.: microstrip line) "1" und "2" bei Odd-Mode-Anregung betrachten, welche in Abbildung 2.16 bzw. 2.17 gezeigt sind.

Aus der Magnetfelddarstellung in Abbildung 2.17 kann man erkennen, dass bei Gegentaktanregung eine "virtuelle" Masse zwischen den beiden Leiterbahnen erzeugt wird. Dies geschieht aufgrund der entgegengesetzten Polarität (+ und -) der Signale. Des Weiteren rechtfertigt die Abbildung 2.16 des elektrischen Feldes den Einsatz einer

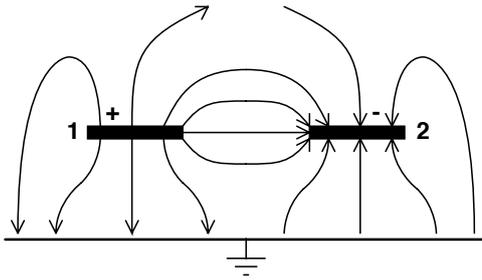


ABBILDUNG
2.16. Elektrische Feldlinien zwischen zwei verkoppelten Mikrostreifenleitungen (1, 2) bei Gegentaktanregung

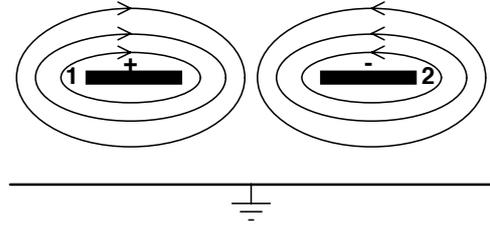


ABBILDUNG
2.17. Magnetische Feldlinien zwischen zwei verkoppelten Mikrostreifenleitungen (1, 2) bei Gegentaktanregung

symmetrisch zwischen den beiden Leitungen liegenden Last für den Gegentaktfall. Nun wird der reine Gleichtaktbetrieb beschrieben. Im Gleichtaktfall kann man das in Abb. 2.18 gezeigte Ersatzschaltbild ansetzen.

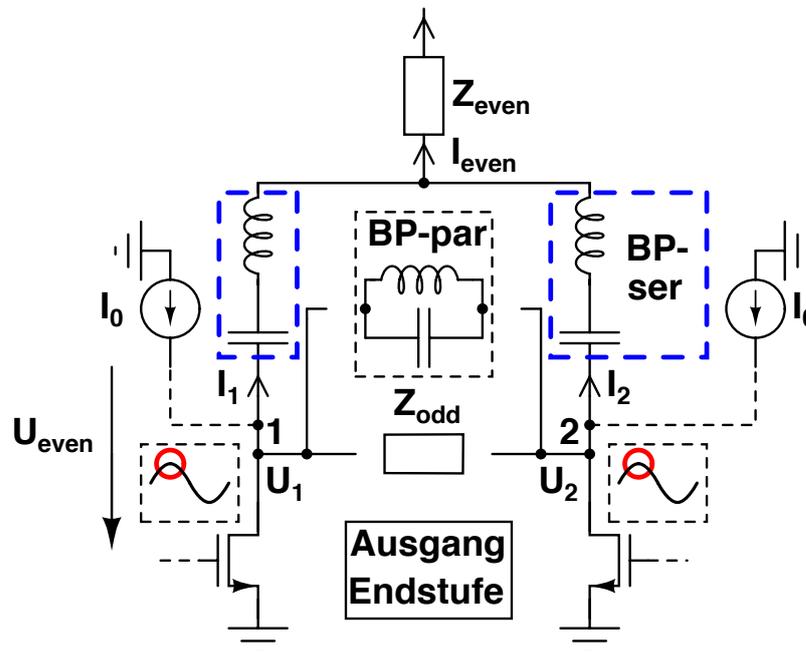


ABBILDUNG 2.18. Ersatzschaltbild des Ausgangsnetzwerks der Current-Mode-Endstufe und auftretende Signale bei reinem Gleichtaktbetrieb (Even-Mode)

Dort sind die Signale in beiden Leitungen am Ausgang der Endstufe phasengleich und der Strom I_{even} ergibt sich zu:

$$I_{even} = I_1 + I_2 \quad (54)$$

Für die Spannung U_{even} folgt:

$$U_{even} = U_1 = U_2 \quad (55)$$

Im Gleichtaktfall ist die differentielle (Gegentakt-) Impedanz Z_{odd} (vgl. Abb. 2.15) für die Signale nicht wirksam, da die Spannung auf den beiden Ausgangsleitungen identisch ist. Daher müssen sie mit der in Reihe zu den Endstufenausgängen geschalteten Impedanz Z_{even} terminiert werden. Verteilt man Z_{even} aus Abb. 2.18 auf jede der beiden Ausgangsleitungen "1" und "2", so ergibt sich für die Gleichtaktabschlüsse pro Leitung:

$$Z_{even1} = Z_{even2} = 2 \cdot Z_{even} \quad (56)$$

Die Terminierung der Gleichtaktanteile im Ausgangssignal ist dabei hochohmig (ideal gegen ∞) über den gesamten Frequenzbereich auszuführen, da das Auftreten von Gleichtaktsignalen einen Verlustmechanismus darstellt und sie so mit unterdrückt werden müssen.

Darüber hinaus muss zur Filterung auch ein serielles Bandpassfilter ("BP-ser") pro Ausgangsleitung realisiert werden, welches möglichst auf die Signalfrequenz abgestimmt ist. Der Serienschwingkreis soll neben der Verbesserung der Filterwirkung der Schaltung die Gleichtaktimpedanz Z_{even} außerhalb der Signalfrequenz erhöhen (ideal: $Z_{even} \rightarrow \infty$). Weist die Impedanz des Serienschwingkreises Z_{BP-ser} bei der Signalfrequenz ω_S einen Wert nahe der optimalen differentiellen Lastimpedanz Z_{opt_CMCS} (hier: ca. 120 Ohm) auf, wird das (ideale) Gegentaktsignal über Z_{odd} geschwächt, da auch eine Spannung über Z_{even} abfällt. Stimmt man das serielle Bandpassfilter auf eine andere Frequenz ab, beeinflussen sich die beiden Filteranteile "BP-par" und "BP-ser" gegenseitig und der für die Signalfrequenz optimierte parallele Bandpass verstimmt sich. Somit wird die optimale differentielle Lastimpedanz bei einer anderen Frequenz außerhalb der Signalbandbreite erreicht. Für den Entwurf des seriellen Bandpassfilters wird die Impedanz des Schwingkreises betrachtet:

$$Z_{BP-ser} = Z_{C_{BP}} + Z_{L_{BP}} \quad (57)$$

Der Serienschwingkreis muss idealerweise für alle Frequenzen außerhalb der Resonanzfrequenz eine unendlich große Impedanz darstellen. Zusammenfassend lassen sich die Impedanzbedingungen des seriellen Bandpassfilters mit Impedanz Z_{BP-ser} bezüglich auftretender Gleichtaktsignale und differentieller Lastimpedanz $Z_{opt.CMCS}$ bzw. Odd-Mode-Impedanz Z_{odd} beschreiben als:

$$\underline{\omega = \omega_S} : Z_{BP-ser} \ll Z_{opt.CMCS} \text{ bzw. } Z_{odd} \quad (58)$$

$$\underline{\omega \neq \omega_S} : Z_{BP-ser} \gg Z_{opt.CMCS} \text{ bzw. } Z_{odd} \quad (59)$$

Die Güte des Serienschwingkreises ist gegeben durch:

$$Q_{ser} = \frac{1}{R_{Vser}} \cdot \sqrt{\frac{L_{BP}}{C_{BP}}} \quad (60)$$

Anhand dessen stellt man fest, dass die Spule in dem Serienkreis so groß wie möglich ausgeführt werden sollte, damit seine Güte groß ist. Allerdings muss man besonders aufgrund der verlustbehafteten realen Spulen den besten Kompromiss zwischen Güte und großem Induktivitätswert finden. Eine große Induktivität erkaufte man sich in der Realität meist mit einem höheren ohmschen Anteil in der Spule (R_{LBP} als ein Teil von R_{Vser}) und einer geringeren Resonanzfrequenz des Bauelements. Das macht es mit realen Bauelementen schwierig, alle Frequenzanteile größer der Signalfrequenz (z. B. $2\omega_S$, $3\omega_S$ etc.) sehr hochohmig und breitbandig abzuschließen, da die verwendeten Spulen bei ihrer Resonanzfrequenz kapazitiv werden und somit auch der Verlauf von Z_{even} für $\omega > \omega_S$ Einbrüche aufweisen wird. Der Impedanzabschluss für $\omega < \omega_S$ wird durch die kapazitiven Anteile bestimmt. Die Breitbandigkeit des hochohmigen Gleichtaktabschlusses ist also beeinträchtigt.

Man muss analysieren, welche Frequenzanteile der Gleichtaktsignale besonders starken Einfluss auf die Gesamteffizienz haben. Nur so kann man gezielt mit den vorhandenen Bauelementen eine genügend gute Gleichtaktimpedanz realisieren. Dazu wird die Abbildung 2.19 betrachtet, welche exemplarisch die Impedanzen für einen bestimmten Zustand (ein Transistor leitet ($R_{ds.ON1}$), der andere sperrt ($R_{ds.OFF}$)) verdeutlicht, wenn Odd- und Even-Mode-Signale auftreten.

Die Impedanz des offenen Transistors $R_{ds.OFF}$ (mehrere $k\Omega$) ist in der Abbildung vernachlässigt, da er viel größer als Z_{even} sein wird und somit für diese Betrachtung keine wesentliche Rolle spielt. Analog gilt, dass $R_{ds.ON1}$, der am Tor 1 parallel mit Z_{even} liegt, diesen Zweig wegen seines relativ geringen Wertes dominiert. Demnach ergibt sich aus der Abbildung 2.19 der Strom I_1 durch den leitenden Transistor "1", der hier mit seinem $R_{ds.ON1}$ repräsentiert ist, zu:

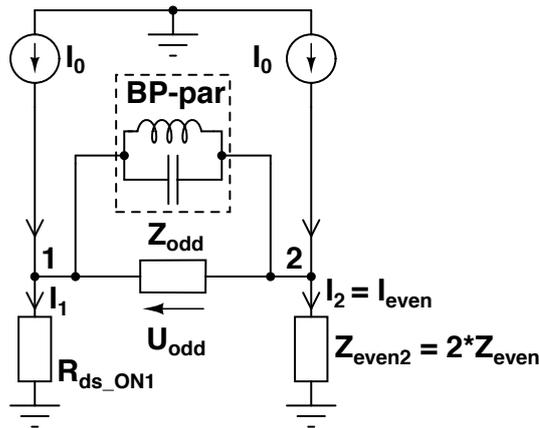


ABBILDUNG 2.19. Ersatzschaltbild des Ausgangsnetzwerks der Current-Mode-Endstufe mit Strömen und Spannungen sowie Gegen- und Gleichtaktimpedanz in einem bestimmten Zustand: T_1 leitet und T_2 sperrt (vgl. Abb. 2.11 und 2.18)

$$I_1 = 2I_0 - I_2 = 2I_0 - \frac{U_{odd} + R_{ds_ON1} \cdot I_1}{2Z_{even}} \approx 2I_0 - \frac{U_{odd}}{2Z_{even}} \quad (61)$$

Während die imaginären Anteile der Even-Mode-Impedanz Z_{even} das Filter in der Frequenz etwas verstimmen, muss der ohmsche Anteil besonders bei der Signalfrequenz viel größer gegenüber dem ohmschen Anteil der Odd-Mode-Impedanz Z_{odd} gewählt werden, damit wenig Leistung in Z_{even2} verloren geht. Konkret geht es darum, dass der Strom I_0 aus der rechten Quelle nicht durch I_2 verringert und dementsprechend Energie verloren geht (vgl. Abb. 2.18).

Abbildung 2.20 zeigt die Anordnung der zu realisierenden Bandpassfilteranteile für Gleich- und Gegentakt sowie des Balun im Ausgangsnetzwerk für einen Current-Mode Klasse-S-Verstärker.

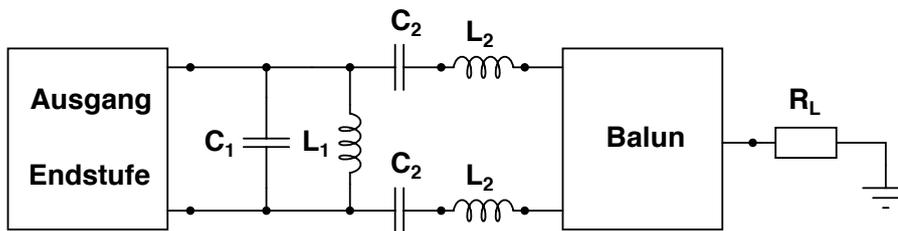


ABBILDUNG 2.20. Ersatzschaltbild des Ausgangsnetzwerks eines Current-Mode Klasse-S-Verstärkers mit Bandpassfilter für Gegentakt- (C_1, L_1) und Gleichtaktsignale (C_2, L_2) sowie Balun zur Transformation auf 50Ω

Mit den Bandpassfilteranteilen für Gegentakt (C_1 und L_1) und Gleichtakt (C_2 und L_2) wird die Filterung der Signalfrequenz aus der verstärkten Bitsequenz sichergestellt. Darüber hinaus müssen Gegen- und Gleichtakt gemäß den beschriebenen Impedanzbedingungen für Z_{odd} und Z_{even} abgeschlossen werden. Nur so kann ein idealer Betrieb des Current-Mode Klasse-S-Verstärkers sichergestellt werden. Für die Realisierung dieser Impedanzen ist ein Balun nötig (vgl. Abb. 2.20), der mit diskreten Elementen L und C entworfen wird. Er transformiert außerdem das symmetrische, differentielle Signal auf die benötigte 50 Ω -Umgebung (R_L) am Ausgang, welche auf Masse bezogen ist. Um die Transformation sicherzustellen, muss der Balun die Phasendifferenz der beiden Signale von 180° ausgleichen und diese zusammenführen, sie also konstruktiv überlagern. In der Abbildung 2.21 ist das resultierende Ersatzschaltbild des gesamten Ausgangsnetzwerks für den realisierten CMCS-Verstärker gezeigt.

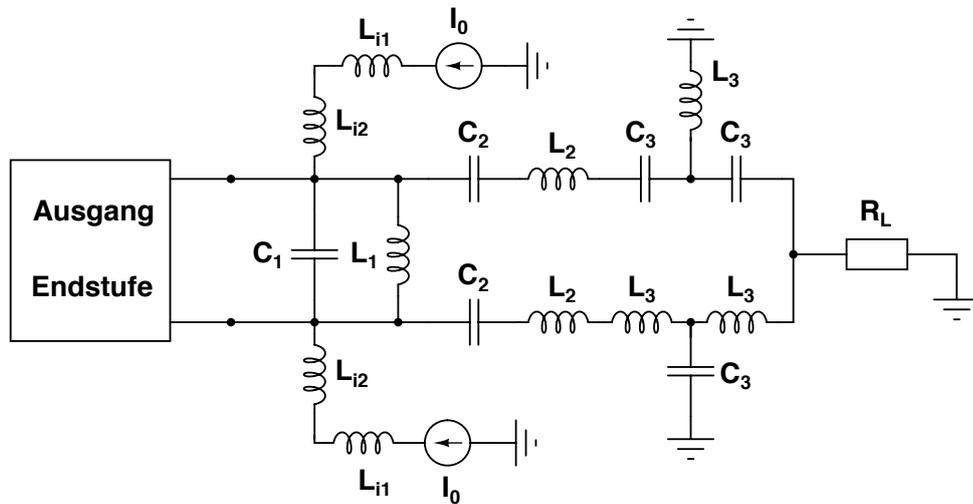


ABBILDUNG 2.21. Ersatzschaltbild des Ausgangsnetzwerks eines Current-Mode Klasse-S-Verstärkers mit a) Bandpassfilter für Gegentakt- (C_1 , L_1) und Gleichtaktssignale (C_2 , L_2) und b) Balun (C_3 und L_3) zur Transformation von symmetrisch auf *single-ended*

Wie man erkennen kann, wird der Balun in dem in dieser Arbeit beschriebenen CMCS-Verstärker mit zwei T-Netzwerken in Hoch- und Tiefpassstruktur mit L (L_3) und C (C_3) realisiert. Zur Veranschaulichung wird der Balun noch einmal gesondert in Abbildung 2.22 betrachtet.

Die Impedanztransformation der optimalen differentiellen Lastimpedanz von ca. 120 Ω (vgl. Gl. 44 und Z_{odd}) zu den geforderten unsymmetrischen 50 Ω (R_L) wird gemäß Abb. 2.22 auf beiden Zweigen mittels der T-Netzwerke aus L_3 und C_3 realisiert. Bei dieser Resonanztransformation verschwindet bei Resonanzfrequenz der Einfluss von L und C und als Gesamtwiderstand bleibt R_L (vgl. Abb. 2.22; hier: 50 Ω) übrig. Durch die unterschiedliche Anordnung der Kapazitäten und Spulen in den T-Netzwerken auf den beiden Zweigen des Baluns wird die gewünschte Phasendifferenz von 180° (+90° auf

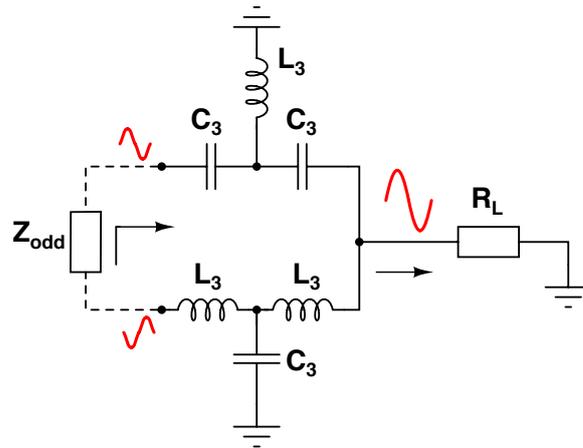


ABBILDUNG 2.22. Schaltbild des Baluns für den CMCS-Verstärker zur Transformation von symmetrisch (Z_{odd}) auf unsymmetrisch (R_L)

Leitung 1 und -90° auf Leitung 2) erzeugt, wodurch sich am Ausgang des Baluns ein auf Masse bezogenes $50\ \Omega$ -Signal ergibt. Das Verhältnis zwischen der Eingangsimpedanz des Baluns, die in diesem Fall der Odd-Mode-Impedanz Z_{odd} (rund $120\ \Omega$) entspricht (vgl. Abb. 2.21), und der reellen Lastimpedanz R_L am Ausgang wird als Z_{balun} bei der Signalfrequenz ω_S definiert:

$$Z_{balun} = \sqrt{Z_{odd} \cdot R_L} = \sqrt{120\ \Omega \cdot 50\ \Omega} \approx 77,5\ \Omega \quad (62)$$

Die Impedanz Z_{balun} ist dabei der Wellenwiderstand des Hoch- bzw. Tiefpasses in T-Schaltung auf den beiden Zweigen des Baluns.

Somit müssen die Balun-Elemente L_3 und C_3 , welche für die Impedanztransformation notwendig sind, folgendermaßen in Abhängigkeit von der abgezielten Frequenz dimensioniert werden.

$$L_{bal} = L_3 = \frac{Z_{balun}}{\omega_S}; \quad C_{bal} = C_3 = \frac{1}{\omega_S Z_{balun}} \quad (63)$$

Zusätzlich zu dem Balun muss das Ausgangsnetzwerk auch die für den Current-Mode nötige Stromquelle (L_{i1} , L_{i2} , ideale Stromquelle mit I_0) beinhalten. Diese sollte idealerweise einen konstanten Strom I_0 liefern. Da die BPDS-Bitsequenz Frequenzanteile von mehreren GHz (abhängig von Bitrate und kodierter Signalfrequenz) bis zu wenigen kHz beinhaltet, müssen auch die Stromanteile bei diesen Frequenzen unterdrückt werden, um möglichst nur einen DC-Strom (0 Hz) zuzulassen. Dazu werden zwei Spulen in Reihe geschaltet (vgl. Abb. 2.21). Eine ist eine sehr große und breitbandige Spule im μH -Bereich und die andere ist vergleichsweise klein mit rund $100\ \text{nH}$. Somit sollte

der Großteil des Frequenzbereichs gut geblockt werden können.

Nachdem in diesem Kapitel der allgemeine Aufbau des Klasse-S-Verstärkers mit all seinen Komponenten und den verschiedenen Varianten und den sich daraus ergebenden Herausforderungen beschrieben worden ist, gibt das folgende Kapitel 3 einen Überblick der realisierten MMIC-Verstärkerschaltungen (Schaltverstärker-MMICs) und ihrer Messungen im Zeitbereich sowie der für den Entwurf nötigen Transistormodelle.

KAPITEL 3

Entwurf und Charakterisierung von Schaltverstärkern im Zeitbereich

Dieses Kapitel beschreibt die Entwurfsgrundlagen, die Entwicklung und die Charakterisierung der mit GaN-MMICs realisierten Schaltverstärker, die am FBH für die im vorigen Kapitel beschriebenen Endstufenvarianten konzipiert wurden.

Die MMICs zur breitbandigen und hocheffizienten Verstärkung der Bitsequenzen wurden mit dem FBH-eigenen GaN-Prozess gefertigt. Es handelt sich dabei um einen planaren GaN-auf-SiC Prozess. Die verwendeten HEMTs haben eine Gate-Länge von $0,5 \mu\text{m}$. Für eine Einheitstransistorzelle von $8 \times 250 \mu\text{m}$ Gateweite beträgt die Transitfrequenz f_T ca. 20 GHz und die maximale Frequenz f_{max} 34 GHz.

Alle für die Entwicklung nötigen Simulationen wurden mit dem Schaltungssimulator *ADS* (Advanced Design System) von *Agilent Technologies* durchgeführt. Die Simulation und Optimierung der Schaltverstärker sowie deren Charakterisierung im Zeitbereich bringt dabei neue Herausforderungen mit sich, da dies in der Mikrowellentechnik bisher üblicherweise im Frequenzbereich geschieht.

Im Folgenden wird zunächst der am FBH für die Zeitbereichscharakterisierung neu entwickelte Messplatz beschrieben. Anschließend werden als Grundlage für die Entwicklung der Verstärkerschaltungen die Modelle für die benutzten Schalttransistoren betrachtet und analysiert. Neben der Beschreibung eines bekannten Modells, welches aus Frequenzbereichsmessungen entwickelt wurde, wird ein neues vereinfachtes Transistormodell speziell für Zeitbereichssimulationen auf der Grundlage eines Schalters vorgestellt. Anschließend werden mit Hilfe einer hybriden Messanordnung Transistorpaare in Current-Mode-Konfiguration (Endstufen mit Source auf Masse) mit dem Zeitbereichsmessplatz charakterisiert. Das dient zum einen der Verifizierung des neuen Transistormodells und zum anderen der Feststellung ihres Potentials für Schaltverstärkeranwendungen.

Im darauf folgenden Abschnitt sind die realisierten Treibertopologien für die verschiedenen Endstufenkonzepte beschrieben. Des Weiteren werden die Messergebnisse der als MMIC realisierten Schaltverstärker im Zeitbereich benutzt, um die Leistungsfähigkeit (Schalteffizienz, (breitbandige) Ausgangsleistung) der am FBH entwickelten Bausteine für den Klasse-S-Verstärker zu bestimmen und einzuordnen.

Zunächst sollen die für die Zeitbereichscharakterisierung benötigten Elemente und der sich daraus ergebende, im Rahmen der Arbeit neu entwickelte Messplatz beschrieben werden.

3.1. Zeitbereichsmessplatz

Mit dem Entwurf von Klasse-S-Verstärkern ist auch deren Charakterisierung im Zeitbereich unerlässlich. Dies wird nötig, da sie, wie in Abschnitt 2.2 beschrieben, bis zum Ausgang der Endstufe rein digital arbeiten und deshalb auf nicht periodischen Signalen basieren. Hier muss man besonders einen Block des Klasse-S-Konzepts (vgl. Abbildung 2.5) betrachten, nämlich die Schaltverstärker-MMICs. Diese sind dafür verantwortlich, dass die vom BP-DSM generierten Bitsequenzen möglichst hocheffizient verstärkt am Eingang des Ausgangsnetzwerks (Filter, Anpassung, evtl. Balun) zur Verfügung stehen. Nur wenn dies gewährleistet ist, kann man mit einem verlustarmen Filter eine hohe Gesamteffizienz des Verstärkers erreichen, was das Ziel sein muss. Vor allem die Messungen der Schaltverstärker-MMICs müssen also im Zeitbereich durchgeführt werden, um eine zuverlässige Aussage über die Qualität der verstärkten Signale (Anstieg/Abfall der Rechtecke) und über Schalteffizienzen zu gewinnen ("Pulstreue"). Hierzu sind die Komponenten zur Zeitbereichscharakterisierung aufgrund des breitbandigen Frequenzspektrums der BPDS-Bitfolge besonderen Herausforderungen unterworfen, die im folgenden beschrieben werden. Zunächst wird der Aufbau des neu eingerichteten Zeitbereichsmessplatzes in Abbildung 3.1 dargestellt.

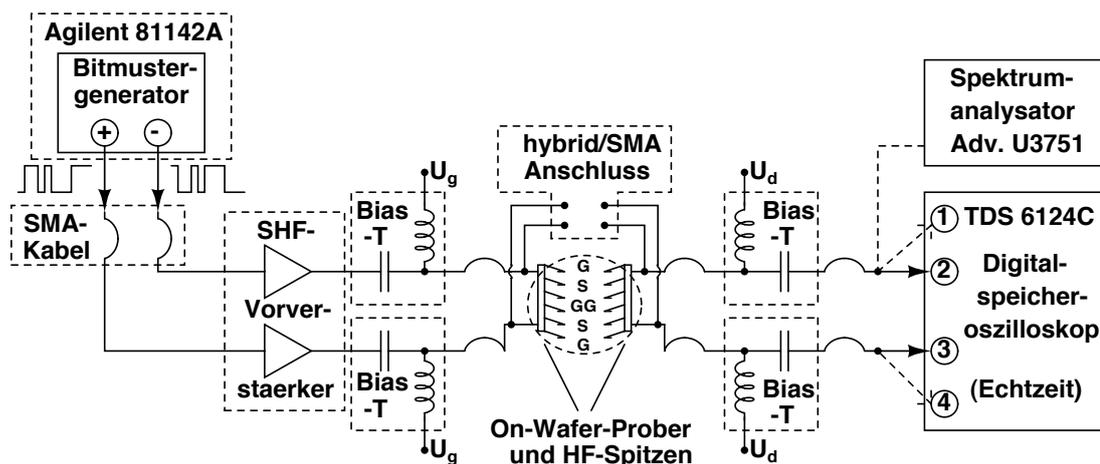


ABBILDUNG 3.1. Messplatz zur Charakterisierung der Schaltverstärker-MMICs und hybrid aufgebauter Strukturen im Zeitbereich

Da in dieser Arbeit der BP-DSM mittels Software implementiert wurde und seine Bitsequenzen als Datei zu Verfügung stehen, müssen diese zunächst in einen Bitmuster-generator (engl.: bit pattern generator) geladen werden, welcher dann an die Stelle des Modulators im Klasse-S-Verstärker tritt. Die sehr breitbandigen BPDS-Bitsequenzen (von einigen kHz bis (abhängig von der Samplingfrequenz) zu mehreren GHz) werden mit Hilfe des Bitmuster-generators "81142A" der Firma *Agilent Technologies* am Eingang des Schaltverstärkers zur Verfügung gestellt. Der Generator hat dabei eine maximale Bitrate von 13,5 Gbit/s und weist eine Bittiefe von maximal 65325 Bits auf. Die

größte Ausgangsamplitude beträgt $1,8 V_{ss}$. Der Pulsgenerator besitzt einen differentiellen Ausgang, welcher die Sequenzen um 180° (+ und -) gegeneinander phasenverschoben liefern kann. Konsequenterweise hat die Quelle auch einen differentiellen Ausgang der dazugehörigen Clocksignale ($\pm \text{CLK}$) sowie für die Referenzsignale zur Triggerung. Da z. B. die Current-Mode-Anordnung am Eingang eine Spannungsamplitude von mindestens $4 V_{ss}$ benötigt, um die Transistoren voll an- bzw. auszuschalten, müssen die vom Bitgenerator gelieferten $1,8 V_{ss}$ verstärkt werden. Das muss auch breitbandig geschehen, um die Bitsequenzen so wenig wie möglich zu verzerren und so die Effizienz nicht zu reduzieren. Dafür wurden von der Firma *SHF* zwei hybride Breitbandverstärker mit SMA-Konnektoren an Ein- und Ausgang auf der Grundlage von Wanderwellenverstärkern (TWA) beschafft, die an einer Impedanz von 50Ω eine maximale Ausgangsleistung von 26 dBm liefern können. Dies entspricht einem Spannungshub von ca. $12,5 V_{ss}$. Die Bandbreite der Vorverstärker geht von 30 kHz bis ca. 28 GHz und die Leistungsverstärkung beträgt nominal 17 dB in diesem Bereich.

Um die Transistoren am Gate bzw. am Drain in ihrem DC-Arbeitspunkt vorzuspannen, wird das Bias-T "8800SMF1-12" der Firma *Aeroflex* benutzt. Dieses weist eine HF-Bandbreite (-3 dB) von ca. 1 MHz bis 12 GHz auf. Da es bei Verwendung am Ausgang auch noch hohen Spannungen und Strömen standhalten muss, ist die Komponente des Bias-Ts kritisch, da die Kombination mit einer großen Bandbreite schwer zu realisieren ist. Die verwendeten Bias-Ts stellen den besten Kompromiss zwischen Bandbreite und Stromtragfähigkeit bzw. Spannungsfestigkeit dar (100 V, 2 A).

Zur Speisung am Eingang und Messung am Ausgang der monolithisch integrierten Schaltverstärkerblöcke (MMICs) werden für die nötigen *On-Wafer*-Messungen differentielle Messspitzen der Firma *Picoprobe* verwendet. Die einzelnen Pins der Spitzen haben dabei einen Abstand (engl.: pitch) von $150 \mu\text{m}$ und weisen sehr gute S-Parameter-Charakteristika (wenig Durchgangsverluste stabil über Frequenz) von nahezu DC bis 40 GHz auf. Die Hochfrequenzmessspitzen haben eine Pinbelegung "GSGGSG" (Ground, Signal, Ground, Ground, Signal, Ground), wobei von Spitze zu Spitze ein Abstand von $150 \mu\text{m}$ besteht. Darüber hinaus besteht die Möglichkeit, auch hybride Schaltungen mit entsprechenden SMA-Anschlüssen oder aber mit einem Mix aus *On-Wafer*-Antastung und SMA-Konnektoren zu vermessen.

Am Ausgang der Schaltverstärker (MMICs) wird dann das verstärkte BPDS-Bitsignal von einem Digitalspeicheroszilloskop (engl.: Digital Storage Oscilloscope) der Firma *Tektronix* in Echtzeit dargestellt. Das Gerät mit der Bezeichnung "TDS 6124C" hat eine analoge Eingangssignalbandbreite von 13,5 GHz und eine Auflösung von maximal 40 GSa/s bei Benutzung von zwei parallelen Kanälen. Die breitbandige Gesamtleistung des Wechselanteils in den Rechtecksignalen P_{rect} am Ausgang der Schaltstufen wird dann durch Integration der Spannungsverläufe unter Berücksichtigung der 50Ω Innenimpedanz des Oszilloskops pro Kanal über der Zeit berechnet.

$$P_{rect} = \frac{1}{T} \int_{t_1}^{t_2=t_1+T} \frac{u(t)^2}{50 \Omega} dt \quad (64)$$

Dabei muss man eine genügend große Datenmenge in Abhängigkeit vom Zeitausschnitt T und seiner Auflösung (Anzahl der Punkte/Zeitschritt) aufzeichnen, um eine möglichst genaue Aussage zu gewinnen. Alternativ steht zur Leistungsmessung noch ein NRT-Leistungsmesser der Firma *Rohde & Schwarz* zur Verfügung. Der Leistungsmesser kann bis zu einer Frequenz von 6 GHz Leistungen von maximal 120 W detektieren.

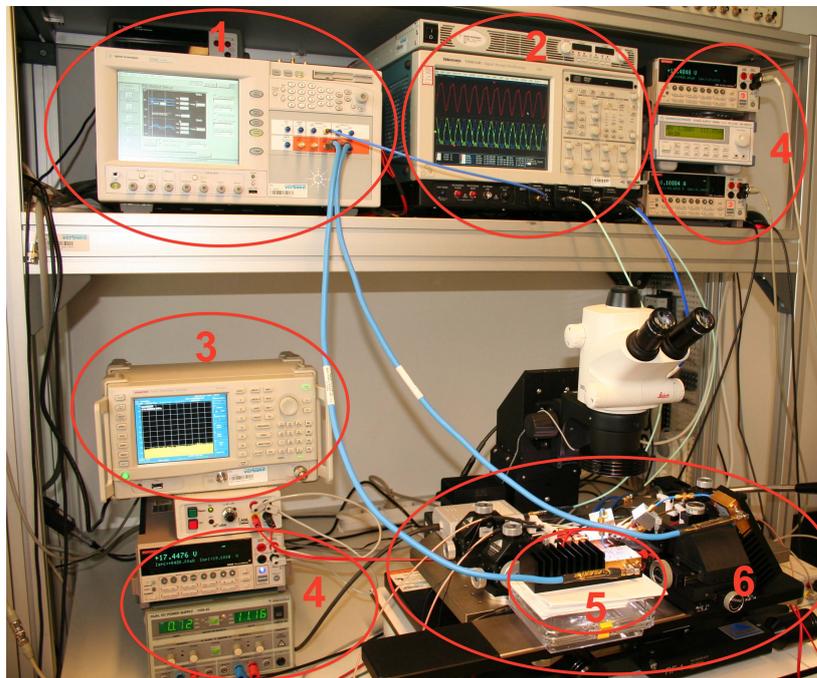


ABBILDUNG 3.2. Foto des Messplatzes zur *On-Wafer*- und hybriden Charakterisierung von Schaltverstärkern im Zeitbereich mit (1) Bitmuster-generator, (2) Echtzeitoszilloskop, (3) Spektrumanalysator, (4) Spannungs- bzw. Stromquellen, (5) SHF Breitbandvorverstärker und (6) *On-Wafer*-Prober

Um die Signale auch im Frequenzbereich darzustellen, wird zusätzlich ein Spektrumanalysator "U 3751" der Firma *Advantest* benutzt. Er kann Frequenzanteile von 9 kHz bis 8 GHz anzeigen und besitzt u.a. auch die Option, bestimmte Kanalbandbreiten (z. B. 5 MHz oder 10 MHz wie im UMTS) um eine Signalfrequenz zu definieren und in diesen die entsprechende Kanalleistung zu bestimmen sowie deren Abstände

zu Nachbarkanälen zu errechnen. Der Dynamikbereich bietet eine minimale Auflösung bei den typischen Einstellungen (z. B. 100 MHz Bandbreite, hohe Auflösung, etc.) von bis zu -60 dB. Darunter verschwinden die detektierten Signale im Eigenrauschen des Gerätes.

Die Spannungsversorgung der Schaltungen wird mit einem "HP4145B Semiconductor Parameter Analyzer", welcher vier Quellen beinhaltet, und mit Quellen der Firma *Keithley* (Baureihen 2400, 2420 und 2425) realisiert. Dabei können die Keithley-Quellen auch als reale Stromquellen fungieren und einen DC-Strom von bis zu 3 A (20 V) liefern, was für die Current-Mode-Struktur (Endstufe) wichtig ist.

Darüber hinaus bleibt noch anzumerken, dass die einzelnen Komponenten mit phasenstabilen (DC - 20 GHz) SMA-Kabeln verbunden werden, um mögliche Verzerrungen der Signale zueinander zu verhindern und den vorgegebenen Phasenunterschied v.a. bei differentiellen Eingangssignalen aufrecht zu erhalten.

Mit dem in diesem Abschnitt beschriebenen Messplatz zur Charakterisierung von Schaltverstärkern sind *On-Wafer*-Messungen bis zu 20 W (Grenze der HF-Spitzen) Ausgangsleistung P_{aus} möglich. Darüber hinaus kann man komplett oder teils hybride Schaltverstärkerstrukturen z. B. im Klasse-S-Betrieb im Zeit- und Frequenzbereich bis zu 50 W P_{aus} vermessen. Dabei kann die Eingangsansteuerung und das Ausgangssignal sowohl *single-ended* als auch differentiell ausgeführt bzw. erfasst werden. Das Bild in Abbildung 3.2 zeigt ein Foto des beschriebenen Messplatzes. Im folgenden Abschnitt werden die für den Entwurf der Schaltverstärkerstrukturen nötigen Transistormodelle vorgestellt und mittels der Zeitbereichsanalyse unter Hilfe einer speziellen hybriden Messanordnung verifiziert.

3.2. Transistormodell

Die am FBH prozessierten GaN-Transistoren mit den in der Einleitung dieses Kapitels beschriebenen Eigenschaften bilden das Kernelement der Schaltverstärker und müssen deswegen für einen zuverlässigen Entwurf mit einem sehr präzisen Modell beschrieben werden.

Dieser Abschnitt führt die für den Entwurf der Schaltverstärker in Agilent's ADS nötigen Transistormodelle ein. Als Beispiel dient die Konfiguration mit 8 Gate-Fingern einer Weite von $250 \mu\text{m}$ ($8 \times 250 \mu\text{m}$), da diese Größe die Kernzelle der Schaltendstufen darstellt. Ausgehend davon können durch Skalierung andere Transistorgrößen beschrieben werden. Dabei wird zunächst das (Chalmers-) Angelov-Modell betrachtet. Anschließend wird ein im Rahmen der vorliegenden Arbeit entwickeltes Transistormodell auf der Grundlage eines idealen Schalters aus ADS beschrieben. Das soll dazu dienen, das Verhalten des Transistors im Zeitbereich exakter und einfacher nachzubilden und dabei gleichzeitig den direkten und schnellen Zugriff auf die inneren Elemente des Transistors zu ermöglichen.

Darüber hinaus wurde eine hybride Messanordnung entwickelt, die die Möglichkeit bietet, das entwickelte Schalter-basierte Modell zu verifizieren und die Schaltendstufen in Current-Mode-Topologie mit einer differentiellen, rein ohmschen Ausgangsimpedanz

zu charakterisieren. Das wird mit einem Transistorpaar von $8 \times 125 \mu\text{m}$ Gateweite durchgeführt, da es sich noch gut genug mit einer einfachen 50Ω -Ansteuerung direkt treiben lässt.

3.2.1. Angelov-Modell. Das nichtlineare Angelov-Modell [29] zur Modellierung des Großsignalverhaltens der GaN-HEMTs wurde für die Verwendung von AlGaIn/GaN-HEMTs auf SiC-Substrat erweitert [30]. Das dem Modell zugrunde liegende Ersatzschaltbild ist in Abbildung 3.3 dargestellt.

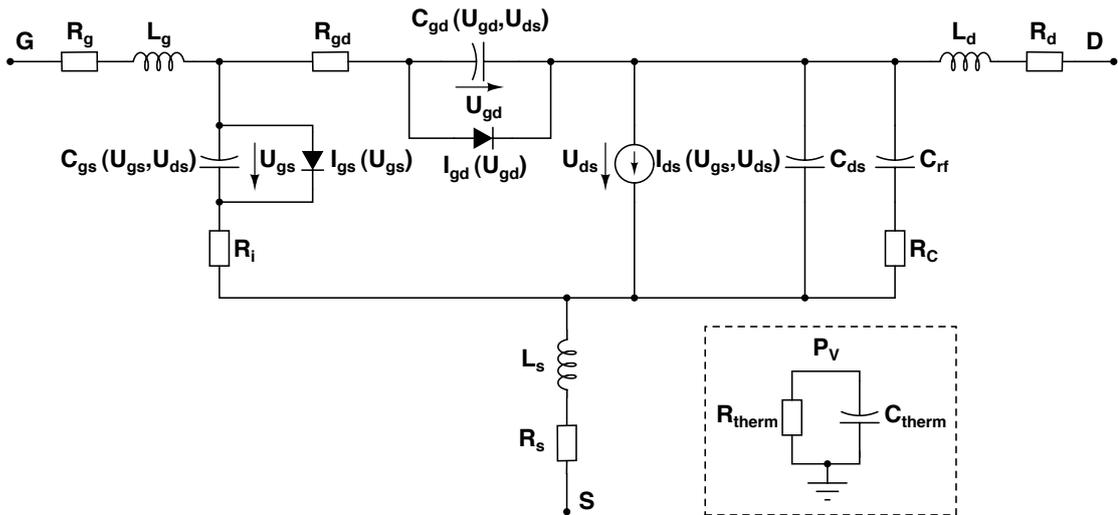


ABBILDUNG 3.3. Großsignal-Ersatzschaltbild eines GaN-HEMTs nach Angelov

Der nichtlineare Teil des Modells ist durch die Stromquelle ($I_{ds}(U_{gs}, U_{ds})$) am Drain, die Gate-Source- (C_{gs}) und Gate-Drain-Kapazität (C_{gd}) als auch die jeweiligen Dioden repräsentiert. Alle anderen Teile des Modells sind (annähernd) linear. Die Gleichungen, welche die Transfercharakteristika der Transistoren beschreiben, erlauben die Modellierung der maximalen Steilheit, wie es für HEMTs üblich ist. Die Temperaturabhängigkeit (R_{therm} , C_{therm}) des Modells wird durch den Leistungsverlust (P_V) des Bauelements bestimmt. Die resultierende Temperatur des HEMTs beeinflusst verschiedene Strom- und Kapazitätswerte. Die Frequenzdispersion des Ausgangsleitwerts wird durch einen zusätzlichen HF-Zweig am Drainanschluss (C_{rf} , R_C) berücksichtigt. Darüber hinaus wird die Zeitverzögerung im Transistor durch einen Transitzeit-Parameter beachtet. Die Besonderheiten der GaN-HEMTs sind v.a. mit Blick auf die Beschreibung der Dispersion in der Steilheit und des Ausgangsleitwerts modifiziert worden [30].

Die Parameter für Großsignalmodelle werden dabei zunächst aus den Kleinsignalparametern bei verschiedenen Klasse-AB Arbeitspunkten gewonnen, die aus Multi-Bias (verschiedene Vorspannungen) S-Parameter-Messungen extrahiert wurden. Beim Angelov-Modell muss man beachten, dass es im Grundsatz auf Klasse-AB Betrieb bei

einem bestimmten Arbeitspunkt beruht. Im nichtlinearen Schaltbetrieb (wie Klasse-S) aber hat man keinen spezifischen Bias-Punkt mehr, sondern der Transistor schaltet zwischen *on-* und *off-state* hin und her und arbeitet in Sättigung. Die Nachteile des Angelov-Modells sind, dass im Zeitbereich die Simulationsgeschwindigkeit sehr stark abnimmt und Konvergenzprobleme auftreten, da es für Frequenzbereichsanalysen (“harmonic balance” (HB)) entwickelt und optimiert wurde. Um diese Probleme zu beseitigen, wurde ähnlich zu [31] ein Schalter-basiertes Transistormodell speziell für die Zeitbereichssimulationen entwickelt.

3.2.2. Schalter-basiertes Modell. Die Abbildung 3.4 zeigt das neu entwickelte Schaltermodell für einen GaN-HEMT zur Simulation in ADS.

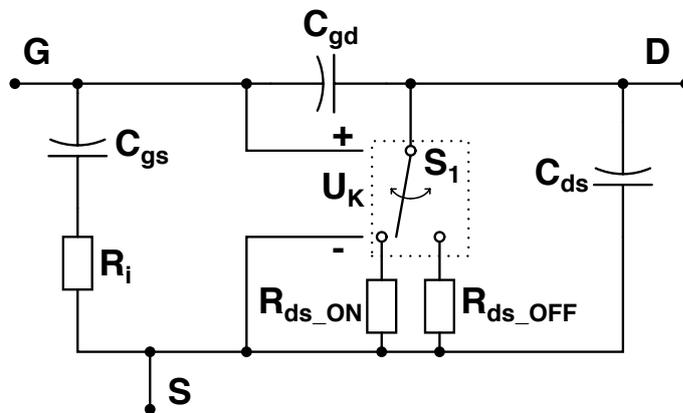


ABBILDUNG 3.4. Ersatzschaltbild eines GaN-HEMTs auf der Basis eines idealen Schalters S_1 für Simulationen im Zeitbereich

Die Grundlage des Schalter-basierten Transistormodells bildet der Schalter S_1 aus der ADS-Bibliothek. Er beinhaltet neben dem idealen Schalter den On-Widerstand R_{ds_ON} und den Off-Widerstand R_{ds_OFF} des Transistors zwischen Drain und Source. Damit werden die ohmschen Verluste bei den Schaltvorgängen modelliert. In Abhängigkeit der Kontrollspannung U_K schaltet S_1 zwischen diesen Widerständen hin und her. Die Spannung entspricht dabei der Gate-Source-Spannung U_{gs} . Für eine ausreichende Beschreibung der Schaltvorgänge im Zeitbereich muss man das Modell allerdings noch erweitern. Durch Hinzufügen der parasitären Kapazitäten zwischen Gate/Source (C_{gs}), Drain/Source (C_{ds}) und Gate/Drain (C_{gd}) wie auch des Eingangswiderstands am Gate R_i wird das Modell komplettiert (vgl. Abbildung 3.4).

Ist der Transistor gesperrt, so sind die Kapazitäten wirksam, da dann die gesamte Spannung über dem Transistor abfällt und sie sich damit gemäß Gleichung 12 aufladen. Die Kapazitäten und der R_{ds_OFF} in dem Schaltermodell sind dabei aus dem Kleinsignalersatzschaltbild des Transistors bei abgeschnürtem Kanal ($U < U_p$) am Eingang und bei einer Drain-Source-Spannung U_{ds} gemäß einem entsprechendem Klasse-AB-Arbeitspunkt extrahiert. Dieser U_{ds} -Wert entspricht der Hälfte der zu “schaltenden”

Spannungsamplitude. Der Startwert für R_{ds_ON} ist aus den Gleichspannungscharakteristiken (DC) am Ausgang bei dem maximal zulässigen Drainstrom und einer kleinen Drain-Source-Spannung extrahiert. Der endgültige Wert des On-Widerstandes wurde dann ausgehend davon mit Hilfe von Zeitbereichssimulationen und -messungen bei 1 GHz bestimmt und zeigt nur eine Abweichung von ca. 10 % vom Startwert. In der folgenden Tabelle 3.1 sind die Parameter für das Schalter-basierte Modell exemplarisch für einen am FBH prozessierten GaN-HEMT mit $8 \times 250 \mu\text{m}$ (= 2 mm) Gateweite und zur Skalierung (pro 1 mm) angegeben.

Parameter	Wert für 2 mm Gateweite	Wert pro 1 mm Gateweite
C_{gs}	1,4 pF	0,7 pF
C_{gd}	0,3 pF	0,15 pF
C_{ds}	0,568 pF	0,284 pF
R_i	0,75 Ω	1,5 Ω
R_{ds_ON}	2,75 Ω	5,5 Ω
R_{ds_OFF}	3,1 k Ω	6,2 k Ω

TABELLE 3.1. Parameter für das Schalter-basierte Modell eines GaN-HEMTs (FBH-Prozess) mit $8 \times 250 \mu\text{m}$ (= 2 mm) Gateweite und für Transistorskalierung pro 1 mm Gateweite

Gemäß obiger Tabelle lassen sich durch Umskalierung die Parameter für andere Transistorgrößen bestimmen (vgl. Spalte "Wert pro 1 mm Gateweite"). Das bedeutet bei einem kleineren Transistor dementsprechend größere ohmsche Anteile und kleinere parasitäre Kapazitäten. Das beschriebene Schaltermodell wurde in [32] publiziert.

3.2.3. Verifizierung des Schalter-basierten Transistormodells. Zur Verifizierung des in Abschnitt 3.2.2 vorgestellten Schalter-basierten Transistormodells für einen GaN-HEMT wird eine Current-Mode-Endstufe (Transistorpaar mit Source auf Masse) zunächst anhand seiner rechteckigen Ausgangssignale mit der Simulation verglichen. Dafür wurden Transistorpaare mit einer Gateweite von $8 \times 125 \mu\text{m}$ (= 1 mm) pro Transistor auf einem Chip hergestellt. Die ausgewählte Gateweite ist im Vergleich zu der meist für die Endstufen benutzten Einheitszelle von $8 \times 250 \mu\text{m}$ halbiert. Das wurde aufgrund der Tatsache gemacht, dass sich diese Transistoren noch gut genug mit einem 50 Ω -Eingangssignal treiben lassen, welches direkt aus dem Pulsgenerator mit Vorverstärkung geliefert wird.

Zur Charakterisierung wurde eine hybride Messanordnung entwickelt, die eine breitbandige differentielle Last zwischen den Drains der Endstufentransistoren bereitstellt. Des Weiteren lässt sich mit dieser Messung auch das Potential der Schaltendstufen bezüglich Ausgangsleistung und Effizienz bestimmen. Auch diese Werte müssen mit dem Schalter-basierten Transistormodell simulativ bestätigt werden. Hierzu sei angemerkt, dass sich die Effizienz in diesem Fall aus der breitbandigen Rechtecksignalleistung (Wechselanteil) und der verbrauchten DC-Leistung berechnet.

Die für die Messung benutzte Bitfolge ist eine Klasse-S typische BPDS-Bitsequenz mit einer Bitrate von 1, 1,8 und 3 Gbit/s, um das Schaltermodell für verschiedene Bitraten zu überprüfen. Im Vergleich zu den üblichen Charakterisierungen im Frequenzbereich auf einer bestimmten Signalfrequenz braucht man jetzt aufgrund des Wesens der BPDS-Bitfolge eine breitbandige und störfreie Ankopplung zwischen den Drains der Endstufen und der symmetrisch zwischen den Ausgängen liegenden Last (vgl. Abbildung 2.15). Des Weiteren muss die Last massefrei (engl.: *floating*) zwischen den Drains der Endstufen mit einer großen Impedanz zu Masse realisiert werden. Dadurch werden die Signale über der differentiellen Last nur wenig beeinflusst. Das Ausgangssignal wird dann mit dem Oszilloskop in Echtzeit gemessen, um die Qualität der Signalform und die Ausgangsleistung und damit Effizienz gemäß Gleichung 64 zu bestimmen. Anhand des Ersatzschaltbilds der gesamten Messanordnung in Abbildung 3.5 wird das neu entwickelte hybride Messboard nun detaillierter beschrieben [33] [34].

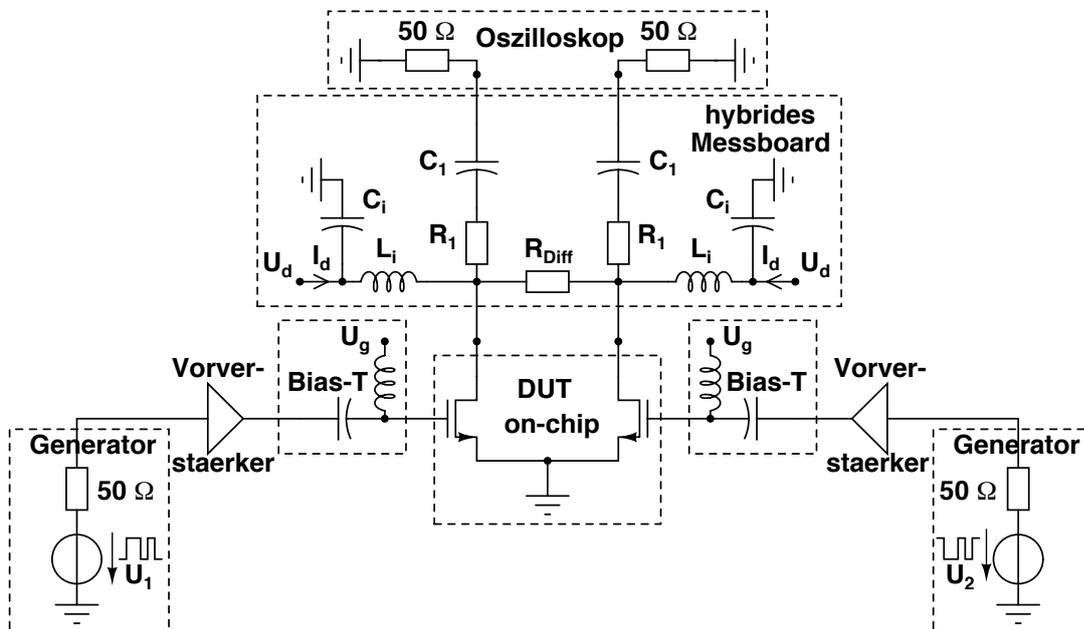


ABBILDUNG 3.5. Messanordnung zur breitbandigen Charakterisierung von Current-Mode-Endstufen im Zeitbereich inklusive hybridem Messboard mit differentieller Last R_{diff} , hochohmiger Auskopplung R_1 und DC-Versorgung (U_d, I_d)

Zunächst wird die Last R_{diff} zusammen mit dem hybriden Ausgangsnetzwerk so nah wie möglich zu dem auf einem Chip realisiertem Transistorpaar (DUT) positioniert. Dies ist allerdings durch die Einbindung in die *On-Wafer*-Umgebung limitiert. Nichtsdestotrotz müssen durch eine enge Anbindung ungewollte Impedanztransformationen vermieden werden. Die Last wurde zusammen mit einem DC-Speisungsnetzwerk (Spulen L_i und Blockkapazitäten C_i) und der nötigen hochohmigen Auskopplung R_1 für

beide Signalpfade auf einem hybriden Board realisiert. Als differentielle Last wurde ein Widerstand von $50\ \Omega$ benutzt und die hochohmige Auskopplung ist durch $200\ \Omega$ pro Pfad gewährleistet. Somit kann die $50\ \Omega$ -Eingangsimpedanz des Oszilloskops (pro Kanal) nicht die Signale über der differentiellen Last mit gleichem Wert entscheidend beeinflussen. Man muss nach der Messung nur das Impedanzverhältnis von $250/50$ wieder herausrechnen (Renormierungsfaktor von 5). Die Impedanz wurde im Vergleich zu Abschnitt 2.2.3.2 kleiner als die optimale differentielle Lastimpedanz (ca. $120\ \Omega$) gewählt, da der verwendete Widerstandswert für hohe Ausgangsleistungen und Ströme die größte Bandbreite aufweist und so die Bitsequenz (Rechtecke) am wenigsten verschliffen wird. Damit der Oszilloskopeingang vor DC-Anteilen geschützt wird, sind noch Blockkapazitäten (C_1) auf dem Hybridboard vorgesehen. Des Weiteren muss die DC-Zuführung für die Endstufen für breitbandiges Blocken von Frequenzanteilen vom kHz- bis in den hohen GHz-Bereich (mindestens $8\ \text{GHz}$) ausgelegt werden.

Das Messboard wurde auf einem *Rogers 4003C*-Leiterplattenmaterial mit einer Dicke von $0,51\ \text{mm}$ und einer Permittivität (ϵ_r) von $3,55$ aufgebaut. Die Leiterbahndicke der Mikrostreifenleitungen ist ca. $35\ \mu\text{m}$. Da die Eingangsimpedanz des Transistorpaares nicht genau an die $50\ \Omega$ angepasst ist, wird das transiente Eingangssignal für die Schalttransistoren nicht perfekt rechteckig aussehen. Trotzdem ist eine gute Charakterisierung möglich, solange die Eingangskapazität der Schalter nicht zu groß ist, um mit $50\ \Omega$ getrieben zu werden. Deshalb stellt die gewählte Transistorgröße von $8 \times 125\ \mu\text{m}$ die obere Grenze für diese Eingangsimpedanz dar. Die Abbildung 3.6 zeigt ein Foto des realisierten hybriden Messboards.

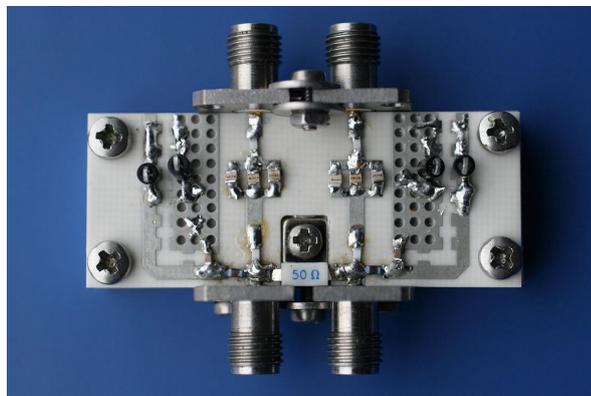


ABBILDUNG 3.6. Foto des realisierten hybriden Messboards zur breitbandigen Charakterisierung von Current-Mode-Endstufen im Zeitbereich mit differentieller $50\ \Omega$ -Last

Nun werden die Transistorpaare gemäß Messanordnung in Abbildung 3.5 charakterisiert und dann in der Simulation mit dem Schalter-basierten Modell als auch dem Angelov-Modell für einen entsprechenden GaN-HEMT verglichen.

Für alle Simulationen und Messungen ist der DC-Arbeitspunkt $U_g = -2\ \text{V}$, $I_d = 0,45\ \text{A}$

bei mindestens $4 V_{ss}$ Eingangsamplitude mit einem $\Delta\Sigma$ -modulierten Signal. Die Amplitude ist groß genug, um die Transistoren zwischen dem *on-* und *off-state* hin- und herzuschalten. Die Spannung am Anschluss U_d wurde so eingestellt, dass sich ein Strom I_d von ca. 0,45 A pro Seite einstellt. Folglich ist der maximale Strom durch die Transistoren 0,9 A und es muss sich ein differentieller Spannungsabfall von ca. $45 V_{ss}$ über der Last R_{diff} ergeben.

Die Simulationen beinhalten den kompletten Messaufbau (Abbildung 3.5) inklusive der nichtidealen Zuführung des HF-Eingangssignals über 50Ω . Die Ausgangssignale werden in den Abbildungen 3.7, 3.8 und 3.9 in einem Zeitausschnitt von 50 ns für Bitraten von 1, 1,8 und 3 Gbit/s gezeigt. Zusätzlich wird beispielhaft ein Zoom vom Zeitverlauf aus Abbildung 3.9 in 3.10 (Ausschnitt: 7 ns) präsentiert.

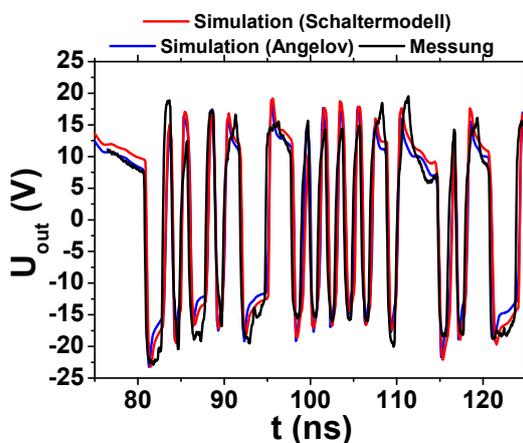


ABBILDUNG
3.7. Differenzielles
Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 1 Gbit/s; Zeitausschnitt: 50 ns

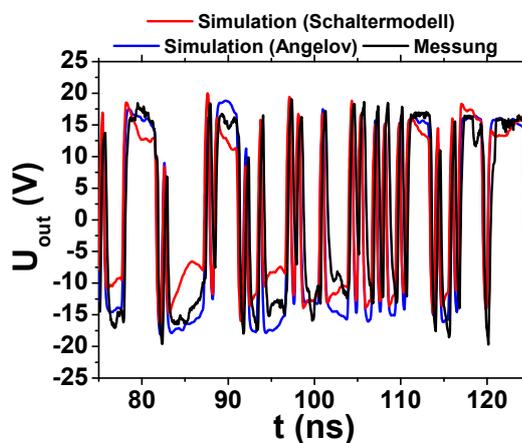


ABBILDUNG
3.8. Differenzielles
Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 1,8 Gbit/s; Zeitausschnitt: 50 ns

Die Abbildungen der rechteckförmigen Ausgangssignale zeigen einen maximalen Spannungshub von ca. $45 V_{ss}$. Sie beinhalten schon den Renormierungsfaktor von 5, der durch den Spannungsteiler von 200Ω in Reihe mit den 50Ω des Oszilloskops zu den 50Ω der differentiellen Last entsteht. Die differentielle Spannungsamplitude über R_{diff} entspricht also dem erwarteten Wert, zeigt aber keine ideale Rechteckform. Die Hauptursache dafür ist die Fehlanpassung der 50Ω -Generatorimpedanz an die Eingangsimpedanz des Transistors, welche komplex ist. Beim Vergleich der beiden Transistormodelle mit der Messung erkennt man, dass die Simulation die realen Verhältnisse naturgemäß

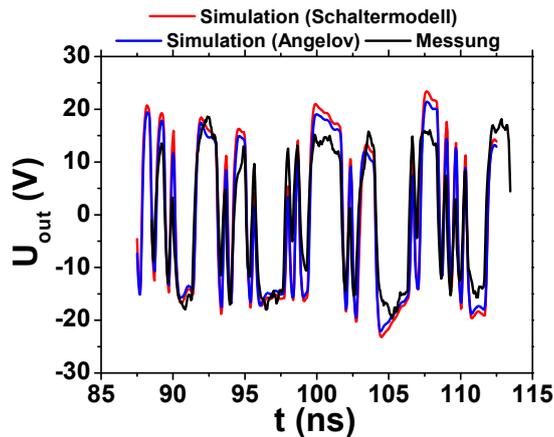


ABBILDUNG
3.9. Differenzielles
Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 3 Gbit/s; Zeitausschnitt: 50 ns

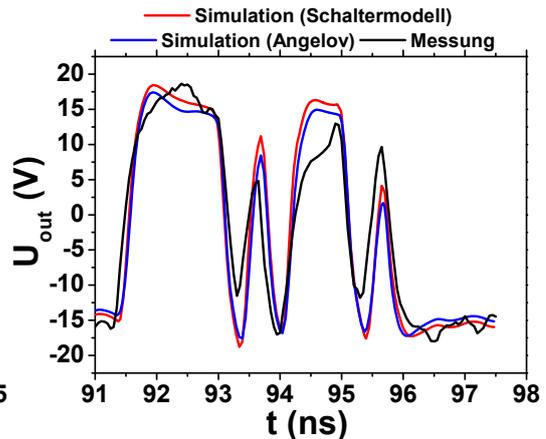


ABBILDUNG
3.10. Differenzielles
Ausgangssignal der Struktur in Abbildung 3.5 für Simulation mit Angelov- und Schalter-basiertem Modell sowie Messung; Bitrate: 3 Gbit/s; Zeitausschnitt: 7 ns

am besten für die geringere Bitrate von 1 Gbit/s darstellt. Wie man besonders im Zoom in Abbildung 3.10 erkennen kann, bilden das neu entwickelte Schalter-basierte Modell genau wie das Angelov-Modell aber auch noch bei 3 Gbit/s die Signalform gut nach. Die Anstiegs- und Abfallzeiten werden von beiden Modellen für alle betrachteten Bitraten gut beschrieben, was der Zoom des Signals mit 3 Gbit/s gut belegt. Insgesamt lässt sich festhalten, dass beide Transistormodelle die Messung gut abbilden, die Unterschiede zwischen den beiden Modellen sind nur gering. Somit kommt man zu dem Schluss, dass die viel umfangreichere Modellextraktion von Angelov im betrachteten Fall im Vergleich zum vereinfachten Schalter-basierten Modell keine Vorteile zeigt.

Neben der Signalform muss eine weitere wichtige Eigenschaft durch die Simulation gut beschrieben werden, da sie unmittelbar mit der Effizienz der Leistungsschalter verknüpft ist: die breitbandige Ausgangsleistung P_{rect} (Wechselanteil) gemäß Gleichung 64. Sie ist in Abbildung 3.11 als Funktion der Bitrate dargestellt. Zunächst muss angemerkt werden, dass der verwendete 50 Ω -Abschluss nicht die optimale differentielle Last darstellt (vgl. Gleichung 44). Das heißt, dass die dargestellten Werte nicht den Maxima der Ausgangsleistung entsprechen, was aber nicht die Relevanz für die Genauigkeit des Modells beeinträchtigt.

Anhand des Verlaufs der breitbandigen Ausgangsleistung der BPDS-Folge über der Bitrate kann man erkennen, dass das Angelov-Modell eine maximale Abweichung von 15 % bei einer Bitrate größer 1,5 Gbit/s zu der Messung zeigt, was akzeptabel ist. Das

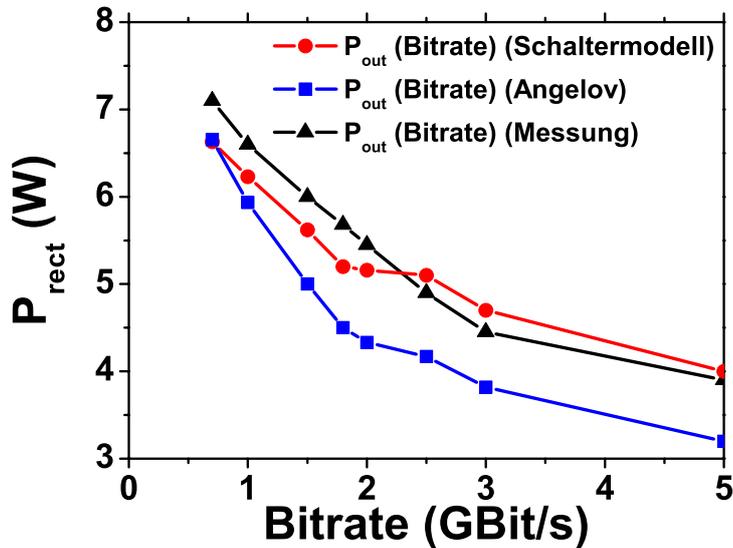


ABBILDUNG 3.11. Breitbandige Ausgangsleistung der Anordnung in Abbildung 3.5 in Abhängigkeit von der Bitrate (0,9 - 5 Gbit/s) für 1) Messung und 2) Simulation mit Angelov- und 3) Schalter-basiertem Transistormodell

Schalter-basierte Modell beschreibt die gemessene Kurve über der Bitrate besser mit einer maximalen Abweichung von ca. 7 %. Man kann vermuten, dass dies begründet ist in der Extraktion des Angelov-Modells aus Multi-Bias S-Parametern, welche mit Load-Pull-Messungen bei 2 GHz verifiziert wurden, währenddessen das Schaltermodell mit Hilfe von Zeitbereichsmessungen extrahiert wurde. Allgemein erkennt man bei allen drei Kurven in Abbildung 3.11 einen Abfall der Ausgangsleistung mit steigender Bitrate. Das kommt daher, dass mit einer höheren Bitrate die Pulsbreite verringert und so die Zeitkonstante für die Anstiegs- und Abfallzeiten der Rechtecke an Einfluss gewinnt. Somit können aufgrund der begrenzten f_T und f_{max} der verwendeten Transistoren die "1"- oder "0"-Zustände kurzer Dauer nicht mehr gut genug verstärkt werden. Es geht Leistung verloren. Aufgrund dieser Effekte fällt P_{rect} in der Messung von ca. 7 W (0,9 Gbit/s) auf 4 W (5 Gbit/s) ab und dementsprechend wird die Effizienz bei höherer Bitrate weiter sinken.

Zusammenfassend kann man feststellen, dass das neu entwickelte Schalter-basierte Modell eine vereinfachte Alternative zum Angelov-Modell im Zeitbereich darstellt. Ein wichtiger Vorteil des Schaltermodells ist, dass es in Zeitbereichssimulationen (in ADS), wo in Abhängigkeit vom Zeitintervall und -schritt mitunter sehr große Datenmengen verschoben werden müssen, sehr schnell konvergiert. Das spart bei gleichen Einstellungen eine Menge an Simulationszeit im Vergleich zum Angelov-Modell. Des Weiteren

hat man mit diesem Modell einen schnellen und direkten Zugriff auf alle relevanten parasitären Elemente des Schalttransistors und kann so ihre Einflüsse studieren.

Nach der Beschreibung der wichtigen Werkzeuge für den Schaltungsentwurf im Zeitbereich, der Transistormodelle, wird nun der Entwurf der für die Leistungsendstufen nötigen Treiberschaltungen beschrieben.

3.3. Treiberschaltungen für Endstufen der Schaltverstärker

Im wesentlichen werden zwei Treibertypen beschrieben, die die erforderlichen Signale für die VMCS- als auch die CMCS-Endstufe liefern sollen: “passive” und “aktive” Treiberstruktur.

Nötig sind die Treiberschaltungen, da die Ein- und Ausgangsimpedanz der kommerziell erhältlichen Pulsgeneratoren immer den in der Hochfrequenztechnik üblichen 50Ω entspricht. Weil die Eingangsimpedanzen der benutzten GaN-HEMTs in der Endstufe viel kleiner als 50Ω sind, braucht man eine Schaltungsstruktur, die am Eingang bestmöglich an diese 50Ω angepasst ist und mit ihrem Ausgang eine Impedanz ähnlich dem Impedanzniveau des Eingangs der Endstufe oder niedriger anbietet. Andernfalls fällt der Großteil der vom Generator zur Verfügung gestellten Spannung über seinem eigenen Innenwiderstand ab. Hierzu werden in diesem Abschnitt die entwickelten Treibertopologien beschrieben und ihre mit dem in Abschnitt 3.1 erläuterten Zeitbereichsmessplatz erzielten Messergebnisse diskutiert.

3.3.1. Optimale Eingangsimpedanz der Leistungsendstufe. Als Grundlage für die Entwicklung der Treiberschaltungen muss die Frage beantwortet werden: Was hat die Ausgangsimpedanz der Treiber für einen Einfluss auf die Form der Eingangssignale und die Effizienz der Verstärkung der Endstufe? An welche Impedanz muss man also am Eingang der Schaltungsendstufen anpassen, um möglichst effizient ein Signal zu verstärken? Hierzu wird eine einfache Struktur gemäß Abbildung 3.12 betrachtet:

Eine Quelle speist einen in den Schaltverstärkerendstufen üblichen Transistor mit $8 \times 250 \mu\text{m}$ Gateweite, der an der Source auf Massepotential liegt, mit einem rechteckigen Spannungssignal U_1 über die reelle Eingangsimpedanz R_{in} , welche als Innenwiderstand des Pulsgenerators angesehen werden kann. Das Eingangssignal hat eine Spannungsamplitude von $5 V_{SS}$ ($-4 \dots 1 \text{ V}$). Die Drainspannung wird über ein ideales Bias-T (L, C) eingespeist und liegt im Arbeitspunkt ($\text{max. } +U_B$) fest, so dass die Ausgangsspannung über dem Transistor U_{DS1} maximal zwischen 0 und $2U_B$ variieren kann. Ein Lastwiderstand R_L stellt den Innenwiderstand (50Ω) der Last bzw. des Messgerätes dar. Der reale Transistor wird sowohl mit dem in Abschnitt 3.2.1 beschriebenen Angelov- als auch mit dem Schalter-basierten Modell aus Abschnitt 3.2.2 in der Simulation abgebildet. Man erkennt aus dem qualitativen Zeitverlauf von U_{DS1} am Ausgang des Transistors in Abbildung 3.12 drei Effekte mit steigendem R_{in} :

- Die Amplitude des Rechtecks nimmt ab, da R_{in} immer größer gegenüber der Eingangsimpedanz des Transistors wird und so mehr Spannung über ihm abfällt.

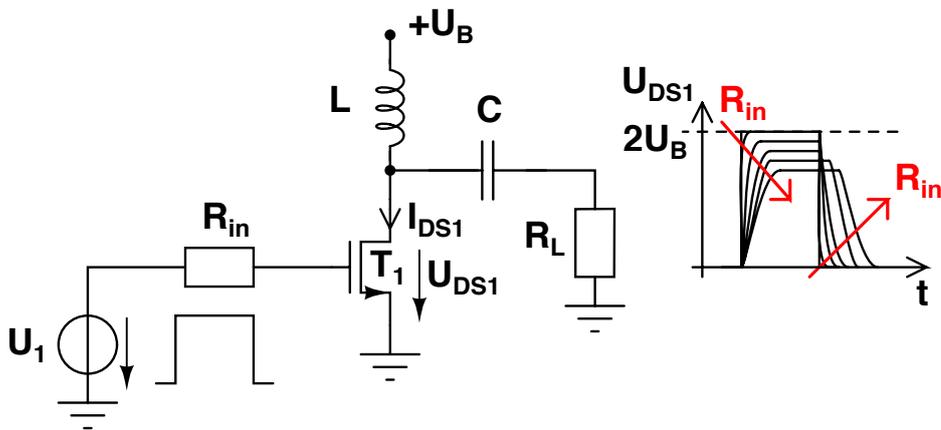


ABBILDUNG 3.12. links: Simulationsaufbau zur Bestimmung der Abhängigkeit des verstärkten Ausgangsspannungssignals U_{DS1} von der Eingangsimpedanz $R_{in} = 0 \dots 50 \Omega$; rechts: qualitative Darstellung des sich ergebenden Signals am Ausgang des Schalttransistors T_1 .

Der Transistor wird folglich mit einem verringerten Eingangsspannungshub angesteuert und kann nicht mehr komplett sperren und/oder durchschalten. Die Ausgangsleistung sinkt.

- Die Anstiegs- und Abfallzeit des Signals nimmt durch die Zeitkonstante $R_{in} \cdot C$ zu, wobei C die parasitären Kapazitäten des Transistors repräsentiert. Das führt zu einer wachsenden Überlappung von Strom und Spannung über dem Transistor. Es entstehen Verluste und die Effizienz wird reduziert.
- Durch die zunehmende Anstiegs- und Abfallzeit kommt es auch zu einer zeitlichen Verschiebung des Signals gegenüber dem idealen Fall ($R_{in} = 0 \text{ Ohm}$).

Es lässt sich schlussfolgern, dass die Qualität des Eingangssignals für die Endstufe von der Anpassung der Treiberausgangsimpedanz (hier: R_{in}) an die niederohmige Eingangsimpedanz (R_i ca. 1 Ohm , $C_{gs} \approx 1.5 \text{ pF}$) des Transistors abhängt. Je schlechter die Anpassung und somit das Eingangssignal für die Endstufe ist, desto geringer ist der Wirkungsgrad. Je verzerrter das Signal am Ausgang auftritt, desto stärker sind die Leistungsverluste im Transistor.

Es konnte simulativ festgestellt werden, dass z.B. mit einem $8 \times 250 \mu\text{m}$ GaN-HEMT bei einem idealen R_{in} (0Ω) für eine Bitrate des rechteckigen Eingangssignals von $1,8 \text{ Gbit/s}$ eine maximale Draineffizienz von rund 90% erreicht werden kann. Die restlichen 10% gehen aufgrund der nicht idealen Elemente im realen Transistor ($R_{ds,ON}$, C_{ds} etc.) verloren. Für den Entwurf der Treiberstrukturen wurde festgelegt, dass ein maximaler Eingangswiderstand von 20Ω am Gate der Endstufe (2 mm) akzeptabel ist. Dabei sinkt die Draineffizienz um maximal 10% . Aufgrund des niedrigen Impedanzniveaus am Eingang der Endstufe (viel geringer als 50Ω) ist es unerlässlich, die Strukturen zur Verstärkung der Bitfolgen monolithisch auf einem Chip zu integrieren (MMIC). Die möglichen Treiberstrukturen werden im folgenden beschrieben.

3.3.2. Passive Treiberstruktur. Aus dem vorigen Abschnitt wird deutlich, dass in einer $50\ \Omega$ -Umgebung und aufgrund der niedrigen Impedanzniveaus der benutzten Endstufentransistoren ($\geq 8 \times 250\ \mu\text{m}$) eine Treiberstruktur unerlässlich ist. Als erster Ansatz wird eine “passive” Treiberstruktur vorgestellt, die Abbildung 3.13 zeigt.

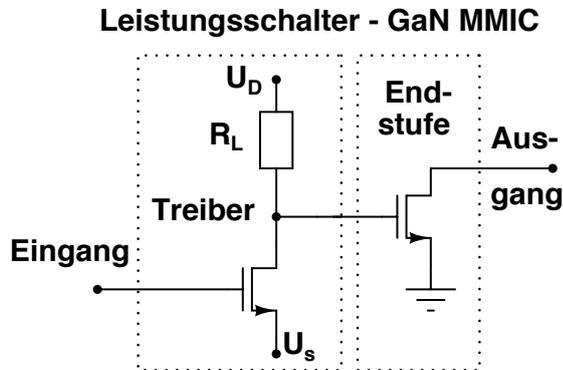


ABBILDUNG 3.13. Schaltbild der Treiberstruktur mit passiver Impedanz R_L für die Leistungsschalterendstufe (“passiver Treiber”)

Bei dieser Treiberstruktur handelt es sich um eine Sourceschaltung bzw. einen Drainfolger. Das zu verstärkende Signal wird an das Gate des Treibertransistors angelegt und das Ausgangssignal am Drain des Treibers stellt das Eingangssignal für die Endstufe dar. Der Treibertransistor ist um den Faktor 4 bzw. 8 kleiner als der zu treibende Leistungsschalter und hat für eine Endstufe von 2 mm und 4 mm eine Gateweite von $4 \times 125\ \mu\text{m}$. Daher besitzt er eine geringere Eingangskapazität bzw. eine größere Eingangsimpedanz. Somit lässt er sich viel leichter mit einer üblichen $50\ \Omega$ -Quelle speisen. Das Drain des Treibertransistors ist über den Widerstand R_L mit der Betriebsspannung U_D verbunden. Ein Strom fließt bei leitendem Treibertransistor vom Drain durch R_L zur Source des Treibers. Sperrt der Treibertransistor, liegt die gesamte Spannung U_D (ca. 0 ... 1 V) über ihm und somit am Gate der Endstufe an. Ist der GaN-HEMT im Treiber gemäß Eingangssignal leitend, liegt die Drainspannung U_D über R_L an und ein Strom wird erzeugt, der den beschriebenen Weg fließt. Am Gate der Endstufe liegt idealerweise (kein Spannungsabfall über $R_{ds,ON}$) das Sourcepotential des Treibertransistors an. Die Herausforderung ist, dass die Treiberimpedanz R_L breitbandig realisiert werden muss aufgrund der Eigenschaften der zu verstärkenden BPDS-Bitsequenzen (breitbandiges Spektrum kHz ... mehrere GHz). Das macht es unmöglich, eine übliche reaktive Anpassung bei nur einer Frequenz zu implementieren.

Des Weiteren muss die Treiberstruktur gemäß Abschnitt 3.2.1 einen möglichst geringen Ausgangswiderstand bei leitendem Treibertransistor aufweisen, um die Eingangssignalf orm für die Endstufe so wenig wie möglich zu beeinflussen. Dieser wird durch den Widerstand R_L festgelegt. Bei seiner Dimensionierung muss man auf der einen Seite darauf achten, dass er klein ist, um ideales Schalten zu ermöglichen. Dabei können die Kapazitäten der Endstufe schneller aufgeladen und entladen werden. Auf der anderen

Seite führt aber ein zu kleiner R_L bei gleicher Spannung aufgrund des Ohmschen Gesetzes ($U = R \cdot I$) zu einem hohen Querstrom, der die Gesamteffizienz der Struktur beeinflusst. Einen guten Kompromiss für eine 2 mm und 4 mm Endstufe stellt ein Lastwiderstand zwischen 10-20 Ω dar. Die Verlustleistung der passiven Treibertopologie $P_{Verluste.Treiber}$ lässt sich mit der Drainspannung U_D und der Sourcespannung U_S unter Vernachlässigung des On-Widerstandes des Transistors errechnen zu:

$$P_{Verluste.Treiber} = \frac{(U_D - U_S)^2}{R_L} \cdot \frac{t_{an}}{T} \quad (65)$$

Nimmt man eine Gleichverteilung von “0”- und “1”-Zuständen im BPDS modulierten Signal an, dann ist das Verhältnis von Anschaltzeit t_{an} zur Periode T 0,5 (50 %). Somit ergibt sich für einen $8 \times 250 \mu\text{m}$ Endstufentransistor ($R_L = 20 \Omega$) mit U_D von 1 V und U_S von -6 V am Treibertransistor eine Verlustleistung $P_{Verluste.Treiber}$ der passiven Treibertopologie von rund 1,2 W. Das macht bei einem Endstufentransistor mit 2 mm Gateweite schon über 13 % der Ausgangsleistung aus, was die Effizienz in erheblichem Maße reduziert. Ein Vorteil des Drainfolgers ist allerdings der relativ einfache und stabile (MMIC-) Entwurf. Trotz der Verluste sind laut Simulation z. B. Draineffizienzen im Bereich von über 90 % für breitbandige Ausgangsleistungen (Rechteck) von rund 7 W zu erwarten (2 mm Endstufe). Die dazugehörige PAE¹, welche zusätzlich alle DC-Verluste der Treiber beinhaltet, kann für diese Ausgangsleistung um die 80 % erreichen. Die Struktur in Abbildung 3.13 wurde einzeln und differentiell mit $8 \times 250 \mu\text{m}$ Endstufentransistoren für die Current-Mode-Topologie auf einem Chip prozessiert. Dadurch ergibt sich eine gesamte Gateweite der Endstufe von 4 mm. Darüber hinaus wurden Schaltverstärker-MMICs mit einer $2 \times 8 \times 250 \mu\text{m}$ Endstufe in unsymmetrischer (*single-ended*) Form realisiert. Hierzu wurden zwei $8 \times 250 \mu\text{m}$ - Transistoren parallel geschaltet. Diese können mit einem weiteren Chip dieser Art zu einer insgesamt 8 mm großen (Current-Mode-) Endstufe kombiniert werden. Diese beiden GaN-MMICs zum Aufbau der Current-Mode-Verstärker sind in den Abbildungen 3.14 und 3.15 gezeigt.

Man kann auf den Chipfotos klar die größeren GaN-Leistungsschalttransistoren (je $8 \times 250 \mu\text{m}$ - mit “Endstufe” beschriftet) und ihre kleineren Treiberstufen ($4 \times 125 \mu\text{m}$ - im “Treiber” siehe Abb. 3.14) erkennen. Des Weiteren sieht man den Lastwiderstand R_L oberhalb des kleineren Transistors, der für den Spannungshub am Eingang der Endstufen zuständig ist. Dieser ist bei der größeren Endstufe etwas kleiner gewählt (ca. 10 Ω), da sich in diesem Fall die Eingangsimpedanz der zwei parallel geschalteten $8 \times 250 \mu\text{m}$ - Endstufentransistoren insgesamt halbiert. Zum Entkoppeln der Versorgungsspannung U_D am Drain und U_S an der Source des Treibers dienen Blockkondensatoren von 20 pF auf dem Chip. Extern werden noch größere Koppelkondensatoren parallel dazu geschaltet. Nun soll die aktive Treiberstruktur betrachtet werden.

¹engl.: **P**ower **A**dded **E**fficiency

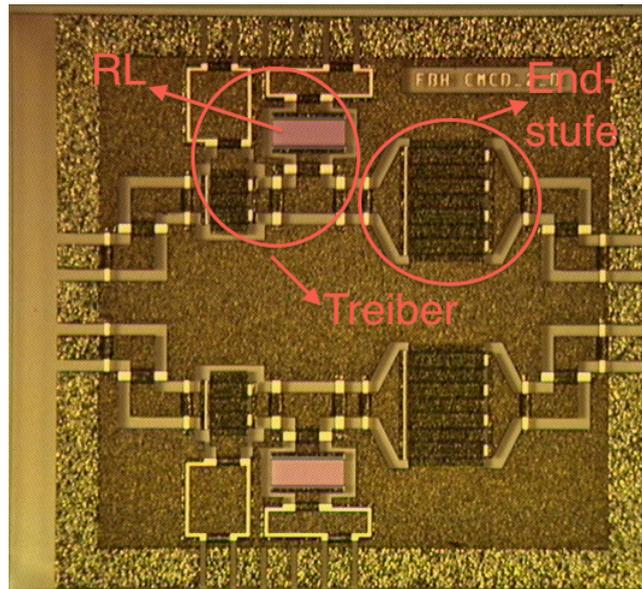


ABBILDUNG 3.14. Leistungsschalter-MMIC mit passiver Treiberstruktur in symmetrischer (differentieller) Anordnung; Treibertransistor: $4 \times 125 \mu\text{m}$; gesamte Gate-Weite Endstufe: 4 mm; Chipgröße: $2 \times 2 \text{ mm}^2$

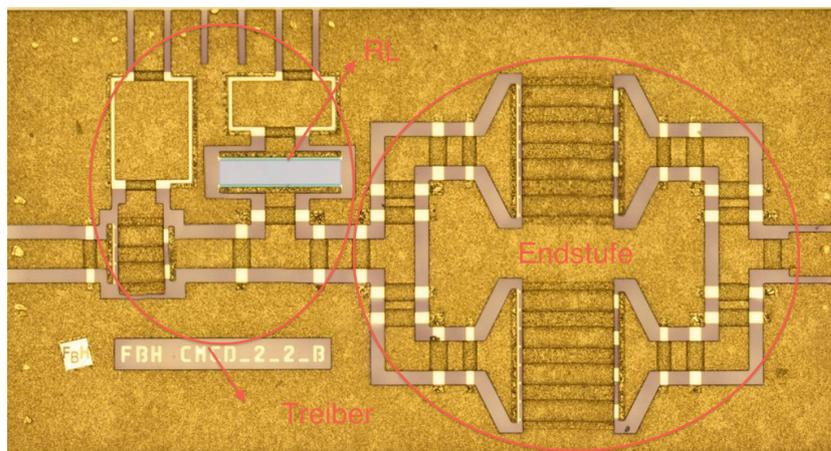


ABBILDUNG 3.15. Leistungsschalter-MMIC mit passiver Treiberstruktur in unsymmetrischer (*single-ended*) Anordnung; Treibertransistor: $4 \times 125 \mu\text{m}$; gesamte Gate-Weite Endstufe: 4 mm; Chipgröße: $1,4 \times 2,4 \text{ mm}^2$

3.3.3. Aktive Treiberstruktur. Ein hauptsächlicher Nachteil der passiven Treiberstruktur ist die Verlustleistung, die gemäß Gleichung 65 durch den passiven Widerstand R_L erzeugt wird. Tauscht man nun R_L gegen einen Transistor mit der Größe des Treibertransistors aus der passiven Struktur ($4 \times 125 \mu\text{m}$) aus, erhält man den sogenannten

“aktiven” Treiber, da der Transistor eine aktive Last darstellt. Das Schaltbild des aktiven Treibers ist in Abbildung 3.16 dargestellt. Der Vorteil gegenüber der passiven Struktur ist, dass durch den sehr kleinen (On-) Widerstand beim Schalten auf U_{D3} die Verlustleistung verringert und die Querströme minimiert werden. Die Schaltgeschwindigkeiten sind höher. Folglich kann sich eine größere Effizienz des Treibers ergeben. Ein großer Nachteil ist die sehr viel aufwendigere Ansteuerschaltung für diese Art von Treiber.

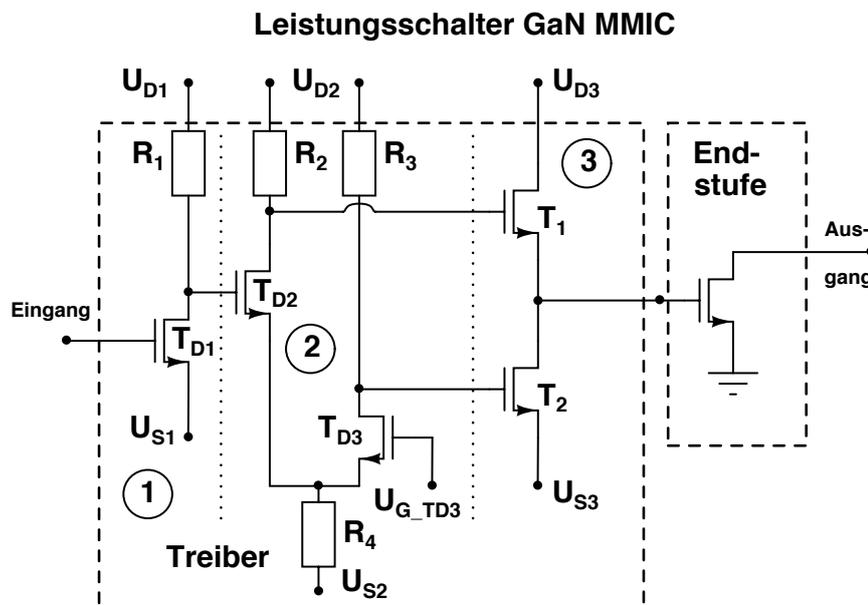


ABBILDUNG 3.16. Schaltbild der aktiven Treiberstruktur (3) mit zweistufigem Vortreiber (1), (2) für Leistungsschalterendstufen (“Endstufe”)

Die Teile (1) und (2) stellen die Ansteuerschaltung für die aktive Treiberstruktur (3) dar, welche die Endstufe treiben soll. Aufgrund dieser Topologie müssen insgesamt vier Transistoren mehr als bei der passiven Struktur benutzt werden. Die um 180° phasenverschobene Ansteuerung der Transistoren T_1 und T_2 in (3) wird mit einem Differenzverstärker (2) realisiert. Er liefert die benötigten unterschiedlich großen Pegel. Die Stromzufuhr des Differenzverstärkers erfolgt symmetrisch an den Sources von T_{D2} und T_{D3} über einen Widerstand R_4 . Dies wurde als erste, schneller zu realisierende Möglichkeit gewählt. Man kann auch die Stromzufuhr über einen Stromspiegel (zwei weitere Transistoren nötig) lösen. Dieser würde aber die Gesamtschaltung noch aufwendiger machen. Im Bezug auf Effizienz ist das jedoch eine bessere Lösung, da der (hochohmige) Widerstand als Stromquelle größere Verluste verursacht.

Des Weiteren wird der Eingang des Differenzverstärkertransistors T_{D3} auf ein festes Potential U_{G_TD3} gelegt, während der andere Eingang (T_{D2}) mit einem kleinen Vortreiber (1) in Drainfolger-Topologie über R_1 gespeist wird. Der Anschluss U_{S3} an der unteren Source des aktiven Treibers (3) ist auf dem Chip zunächst nicht zu Masse verbunden und wird nach außen geführt.

Die Topologie wurde für die Benutzung im Current-Mode gemäß Abbildung 3.16 inklusive des $8 \times 250 \mu\text{m}$ Endstufentransistors am FBH auf einem Chip prozessiert. Schaut man sich allerdings nur die "aktive" Treiberstruktur (3) an, entspricht sie genau der Konfiguration, welche für die Endstufe eines Voltage-Mode-Verstärkers benötigt wird. Deshalb wird die Teilstruktur bestehend aus den Treibern (1) und (2) sowie der Endstufe (3) für die in dieser Arbeit beschriebenen Voltage-Mode Klasse-S-Verstärker benutzt. Nach Abschnitt 2.2.2.1 muss hierfür der Differenzverstärker (2) am oberen Gate bis zu $60 V_{ss}$ ($-10 \dots 50 \text{ V}$) und am unteren bis $10 V_{ss}$ ($-10 \dots 0 \text{ V}$) liefern. Dabei liegt der Source-Anschluss U_{S3} (unterer Endstufentransistor für Voltage-Mode; vgl. Abb. 3.16) nun auf festem Massepotential. Die Drain-Arbeitspunktspannungen sind beim Voltage-Mode-Betrieb bei typisch $40 \dots 50 \text{ V}$ und damit wesentlich höher als beim Current-Mode-Betrieb, bei dem es sich um wenige Volt handelt. Abbildung 3.17 zeigt ein Foto des am FBH realisierten Verstärkerchips.

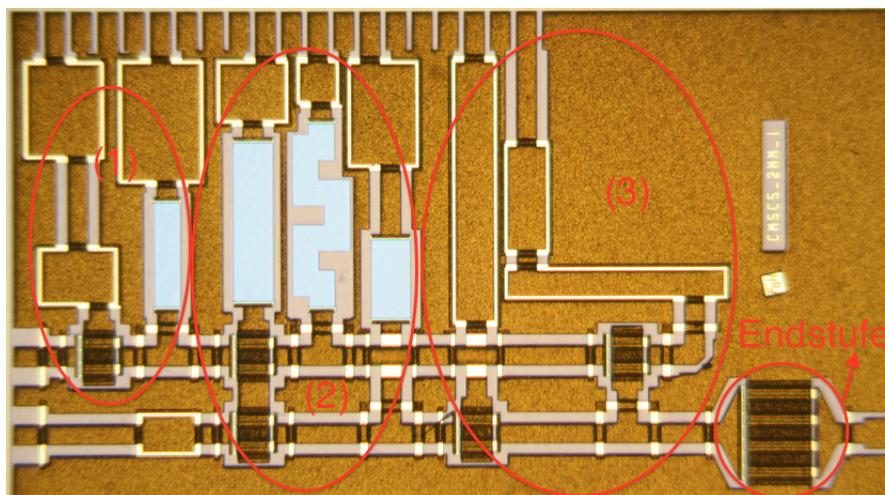


ABBILDUNG 3.17. Chip der aktiven Treiberstruktur (3) mit zweistufigem Vortreiber ((1) - Drainfolger; (2) - Differenzverstärker) für Leistungschalterendstufen; Transistorgröße in (3): $4 \times 125 \mu\text{m}$; Chipgröße: $2 \times 2,8 \text{ mm}^2$

Gemäß Abbildung 3.17 werden für den Aufbau des VMCS-Verstärkers im aktiven Treiber (3), der für den Voltage-Mode die Endstufe darstellt, $4 \times 250 \mu\text{m}$ Transistoren benutzt. Gemäß den Limitationen der Transistoren (max. $0,6 \text{ A/mm}$) sollte also ein maximaler DC-Strom von $0,6 \text{ A}$ durch sie fließen.

Des Weiteren lässt sich die komplette Struktur gemäß Abb. 3.16 und 3.17 im Current-Mode auch anderweitig benutzen. Macht man das Sourcepotential U_{S3} genügend negativ (bis zu -55 V), dann liegt ein Spannungshub mit einem stark negativen Anteil am Gate (engl.: negative gate swing (NGS)) des Endstufentransistors an. Dieser liegt dann z. B. zwischen $-55 \dots 1 \text{ V}$. Aufgrund dessen ist es möglich, dass die im Current-Mode auftretenden negativen Spannungsspitzen am Drain der Endstufe nicht mehr durch den

Einsatz von Schottky-Dioden verhindert werden müssen, da für Drain-Spannungen bis -55 V das Drain nicht mehr negativer als das Gate werden kann. Der Transistor ist somit geschützt. Dadurch ist es zumindest prinzipiell möglich, die Verluste, die in der Diode vor allem durch die ohmschen Anteile generiert werden, zu vermeiden. Die Effizienz sollte folglich steigen. Praktisch ist das allerdings nur mit Einschränkungen realisierbar, da mit der negativen Source des aktiven Treibers dementsprechend auch die Potentiale an Gate/Source der Vortreiber extrem negativ werden müssen und nicht die Durchbruchspannung der Transistoren überschreiten dürfen, was eine Grenze bei ca. -70 V bedeutet.

3.4. Charakterisierung der Schaltverstärker-MMICs

Nun werden die Schaltverstärker-MMICs aus Abschnitt 3.3 als wichtige Bausteine für eine hohe Gesamteffizienz des Klasse-S-Verstärkers mit dem Messplatz aus Abschnitt 3.1 im Zeitbereich charakterisiert. Dabei werden exemplarische Zeitbereichssignale in verschiedenen Auflösungen (Zeitausschnitten) und bei unterschiedlichen Versorgungsspannungen und Bitraten gezeigt. Für alle Messungen der MMICs ist das Eingangssignal eine 1-Ton BPDS-Bitsequenz. Sie entspricht dem Ausgangssignal eines Bandpass- $\Delta\Sigma$ -Modulators mit maximaler Amplitude, bei dem er stabil ist. Die Stabilitätsgrenze wird hier mit $0\text{ dB power back-off}$ bezeichnet, bei der der Modulator allerdings schon leicht instabil sein kann, da es sich um eine fließende Grenze handelt. Aufgrund dessen wird ein Signal benutzt, welches $0,5\text{ dB}$ unterhalb dieser Grenze liegt und konsequenterweise mit $0,5\text{ dB back-off}$ bezeichnet wird. Das heißt, dass der Modulator für $0,5\text{ dB}$ in seiner linearen Region betrieben wird und nicht in Sättigung ist. Zunächst werden die Ausgangssignale der passiven Treiberstruktur mit differentieller $8\times 250\text{ }\mu\text{m}$ Endstufe ($2\times 2\text{ mm}$ gemäß Abb. 3.14) für eine Betriebsspannung U_{DD} von 15 V und mit unsymmetrischem (*single-ended*) $2\times 8\times 250\text{ }\mu\text{m}$ (4 mm) Endstufentransistor (vgl. Abb. 3.15) bei einer U_{DD} von 26 V für eine Bitrate von $1,8\text{ Gbit/s}$ in den Abbildungen 3.18 und 3.19 gezeigt. Der Zeitausschnitt ist jeweils 20 ns .

Betrachtet man die Zeitverläufe für $1,8\text{ Gbit/s}$, dann stellt man fest, dass sowohl die längeren als auch die kürzesten Bits gut abgebildet werden. Dabei haben die schmalsten Pulse eine Breite von $1/(1,8\text{ Gbit/s})$, was ungefähr $0,555\text{ ns}$ entspricht.

Vergleichend kann man feststellen, dass die längeren Pulse jeweils etwas abgeschrägt sind, während die kurzen Pulse nicht mehr ganz die ideale Rechteckform aufweisen. Die Abschrägungen bei den langen Pulsen sind niederfrequente Anteile, die hauptsächlich durch die benutzten Bias-Ts mit einer unteren Frequenzgrenze von ca. 10 MHz zustande kommen. Den Einfluss der nicht idealen Schalttransistoren und der noch leichten Fehlanpassung der Treibereingänge ($4\times 125\text{ }\mu\text{m}$ GaN-HEMTs) an die $50\text{ }\Omega$ Generatortausgangsimpedanz sieht man besonders bei den kurzen Pulsen. Durch die internen Transistorkapazitäten (C_{gs} , C_{ds}) und ohmschen Anteile (v.a. R_{ds-ON}) bilden sich Zeitkonstanten in der Nähe der kleinsten Pulsbreiten, weshalb nie ideal rechteckige Formen erreicht werden. Im weiteren Verlauf dieses Abschnitts wird der Einfluss bei der Berechnung der Schalteffizienzen betrachtet.

Die Ausgangsamplitude der Spannung (an $50\text{ }\Omega$) beträgt für die differentielle 2 mm -

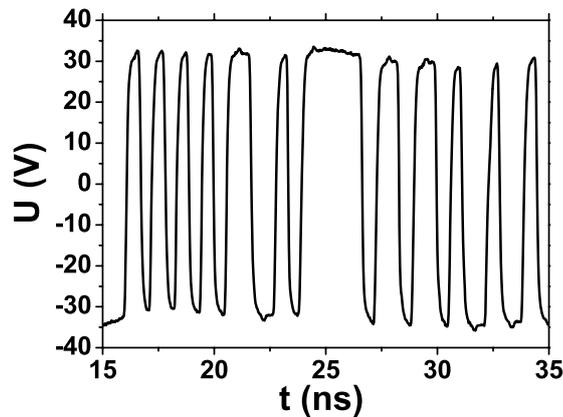


ABBILDUNG 3.18. Differentielles Ausgangssignal im Zeitbereich für 1,8 Gbit/s; Treiber: passiv; Endstufentransistor: $8 \times 250 \mu\text{m}$; $U_{DD} = 15 \text{ V}$; Zeitausschnitt: 20 ns

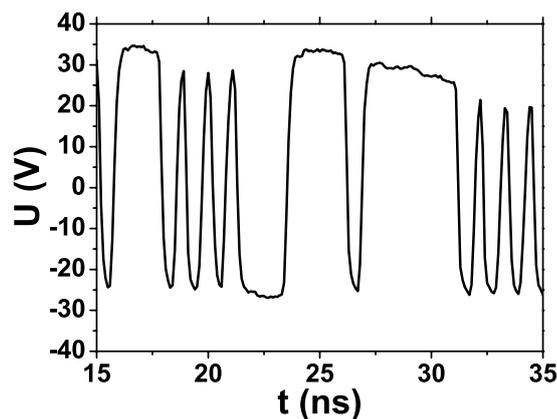


ABBILDUNG 3.19. Ausgangssignal (*single-ended*) im Zeitbereich für 1,8 Gbit/s; Treiber: passiv; Endstufentransistor: $2 \times 8 \times 250 \mu\text{m}$; $U_{DD} = 26 \text{ V}$; Zeitausschnitt: 20 ns

Struktur (vgl. Abb. 3.18) bei einer DC-Spannung von 15 V am Drain der Endstufentransistoren ca. $65 V_{ss}$, was einer "breitbandigen" Ausgangsleistung von 10,5 W entspricht. Das heißt, dass ein Verstärkerzug (*single-ended*) eine Ausgangsleistung von über 5 W bei dieser Drainspannung hat. Bei einer Versorgungsspannung von 26 V steigt die Ausgangsleistung (*single-ended*) auf maximal 10 W. Die 4 mm - Struktur weist *single-ended* bei einer Versorgungsspannung von 26 V einen Ausgangsspannungshub von ca. $65 V_{ss}$ auf, was bedeutet, dass man bei differentiellem Betrieb mit 2 derartigen Verstärkern für die gleiche Spannung idealerweise die doppelte Leistung, also mehr als 21 W, erreichen

kann.

Abbildung 3.20 zeigt für die 4 mm - Endstufe zusätzlich eine Messung für eine Bitrate von 2,6 Gbit/s. Damit soll das Potential der Leistungsschalter für höhere Bitraten untersucht werden. Der Zeitausschnitt ist mit 10 ns dementsprechend kleiner gewählt worden.

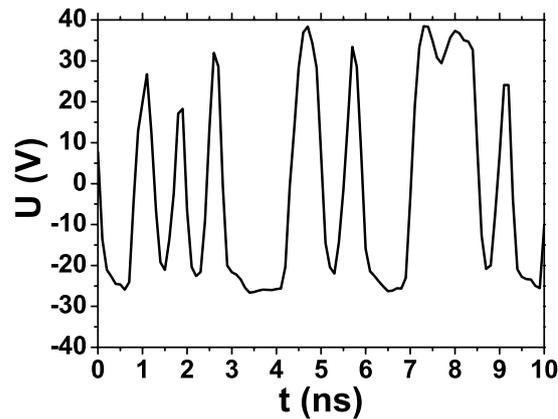


ABBILDUNG 3.20. Ausgangssignal (*single-ended*) im Zeitbereich für 2,6 Gbit/s; Treiber: passiv; Endstufentransistor: $2 \times 8 \times 250 \mu\text{m}$; $U_{DD} = 26 \text{ V}$; Zeitausschnitt: 10 ns

Betrachtet man die Abbildung 3.20, so stellt man zunächst fest, dass erwartungsgemäß die Pulsformen bei einer Bitrate von 2,6 Gbit/s stärker verformt sind als bei der geringeren Bitrate. Das ist wiederum hauptsächlich auf den inneren Transistor zurückzuführen. Viele kurze Bits mit der minimalen Länge $1/(2,6 \text{ Gbit/s})$ (ca. 0,38 ns) können gar nicht mehr voll “durchgeschaltet” werden. Sie erreichen nicht die maximale Spannungsamplitude von ca. $65 V_{SS}$. Und wie in Abbildung 3.20 gezeigt, weichen die Pulse dann auch schon sehr stark von der idealen Rechteckform ab. Die kurzen Pulse gehen dabei in eine Dreiecksform über und die langen “1” - Sequenzen zeigen Einbrüche. Demnach muss eine noch höherfrequente Schwingung überlagert sein. Als eine Folge der Spannungseinbrüche wird die mittlere Ausgangsleistung sinken und dementsprechend auch die resultierende Effizienz.

All diese Effekte sind durch die Zeitkonstante bestimmt, die durch den inneren Transistor vorgegeben wird. Man kann anhand der Signalformbetrachtung eine maximal mögliche “Betriebs-Bitrate” für einen 2 mm - Endstufentransistor von ca. 2,5 Gbit/s festhalten. Vergleichsmessungen an diskreten $8 \times 250 \mu\text{m}$ - Transistoren haben gezeigt, dass man durch die integrierten Treiberstrukturen die Signalformen schon sehr stark verbessern konnte. Weiterhin sind die Unterschiede zwischen den verschiedenen Transistorgrößen auch mit der Tatsache erklärbar, dass jeweils eine 50Ω -Last am Ausgang benutzt wird. Das liegt für die 2 mm - Endstufenkonstellation nahe an der optimalen

Impedanz, während es für die 4 mm - Topologie deutlich abweicht. Stärkere Verbesserungen im Hinblick auf die Schaltgeschwindigkeit kann nur eine Verkürzung der Gatelänge von derzeit $0,5 \mu\text{m}$ auf $0,25 \mu\text{m}$ und darunter bringen.

Für die Bewertung der Schaltverstärker-MMICs wird die Draineffizienz benutzt. Die Draineffizienz η_{drain} ist der Wirkungsgrad der Schaltendstufe ohne die Verluste des Treibers. Sie ist definiert durch das Verhältnis von Ausgangsleistung P_{aus} zu aufgenommener DC-Leistung in der Endstufe $P_{\text{DC-Endstufe}}$ (nur am Drain, wenn die Source auf Masse liegt):

$$\eta_{\text{drain}} = \frac{P_{\text{aus}}}{P_{\text{DC-Endstufe}}} \quad (66)$$

Da die Draineffizienz ein Maß für die Qualität des ‘‘Schaltens’’, der Verstärkung der Rechtecksignale durch die Schaltendstufe ist, wird sie hier auch als Schalteffizienz bezeichnet.

Die Struktur mit 2 mm - Endstufentransistor (siehe Abb. 3.14) (4 mm differentiell) hat bei einer Drainspannung von 15 V und einer Ausgangsleistung von über 5 W (*single-ended*) eine sehr hohe Draineffizienz von 92 %. Für eine Drainspannung von 26 V und eine maximale Ausgangsleistung von 10,5 W sinkt die Schalteffizienz der 2 mm - Struktur von 92 % auf maximal nur noch 80 %. Bei der *single-ended* 4 mm - Struktur (siehe Abb. 3.15) erreicht man bei maximaler Ausgangsleistung von 10,5 W eine Schalteffizienz von 85 %. Erhöht man die Bitrate auf 2,6 Gbit/s, so sinkt die Draineffizienz bei gleicher DC-Versorgung (26 V) um durchschnittlich 20 Prozentpunkte auf maximal 65 %. Mit diesem Wert bestätigt sich die Beobachtung der (verschlechterten) Signalform bei höherer Bitrate.

Berechnet man für alle Konfigurationen die Treiberleistungen mit ein, so ergibt sich eine Effizienz, die im Durchschnitt 12 % geringer als die Draineffizienz ist. Das heißt, die passive Last R_L am Drain des Treibertransistors hat einen deutlichen Einfluss auf die Gesamteffizienz (vgl. Gleichung 65).

Die Abbildung 3.21 zeigt nun noch exemplarisch das Ausgangssignal der aktiven Treiberstruktur mit 2 mm - Endstufe für eine Drainspannung von 26 V bei einer Bitrate von 1,8 Gbit/s.

Für die eingestellte Drainspannung (26 V) erreicht man mit der aktiven Treiberstruktur und $8 \times 250 \mu\text{m}$ - Endstufe *single-ended* eine Ausgangsleistung von maximal 11 W bei 85 % Draineffizienz. Bezieht man allerdings alle Treiberleistungen mit ein, sinkt die Effizienz auf 68 %. Dies ist hauptsächlich auf den benutzten Widerstand zur Stromzuführung für den Differenzvorverstärker (siehe Abb. 3.16: R_4 in Teil (2)) zurückzuführen. Berechnet man nämlich die Effizienz ohne die Verluste, die durch den Widerstand an der Source der beiden Transistoren T_{D2} und T_{D3} verbraucht werden, erhält man Werte von ca. 84 %. Das belegt die Vorteile der aktiven Treiberstruktur, da sie viel weniger Verluste als der passive Treiber generiert.

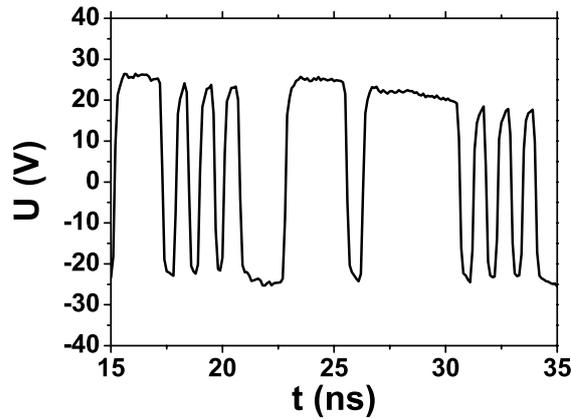


ABBILDUNG 3.21. Ausgangssignal (*single-ended*) im Zeitbereich für 1,8 Gbit/s; Treiber: aktiv; Endstufentransistor: $8 \times 250 \mu\text{m}$; $U_{DD} = 26 \text{ V}$; Zeitausschnitt: 20 ns

Abschließend sind die Resultate der gezeigten Strukturen in Tabelle 3.2 zusammengefasst. Dabei ist das Treiberkonzept “TK”, Gateweite der Endstufe W_G differentiell (diff.) oder *single-ended* (se), Eingangsspannungshub U_{in} , Spannung an der Endstufe U_{ES} , breitbandige (“digitale”) Ausgangsleistung P_{rect} , Draineffizienz η_{drain} und PAE angegeben.

TK	W_G (mm)	U_{in} (V_{ss})	U_{ES} (V)	P_{rect} (W)	η_{drain} (%)	PAE (%)
passiv	4 mm (diff.)	3	15	10,5	92	80
			26	20	80	70
passiv	4 mm (se)	3	26	10,5	85	72
aktiv	2 mm (se)	0,5	26	11	85	68
						84 ($-R_{Iquelle}$)

TABELLE 3.2. Überblick zu den Messungen der Leistungsschalter-MMICs für die hocheffiziente Verstärkung von BPDS-Bitsequenzen

Der Zusatz $-R_{Iquelle}$ für den aktiven Treiber bedeutet, dass in diesem Fall die Verlustleistung, welche durch den als Stromquelle benutzten Widerstand an den Sources der Transistoren im Differenzverstärker entsteht, nicht berücksichtigt wird.

Mit den in Tabelle 3.2 zusammengefassten Messergebnissen der Schaltverstärker-MMICs lässt sich feststellen, dass man damit einen sehr wichtigen Baustein für eine hohe Gesamteffizienz des Klasse-S-Verstärkers zur Verfügung hat. Das wird wie im folgenden Abschnitt beschrieben, dazu genutzt, um einen kompletten Klasse-S-Verstärker zu entwerfen und aufzubauen.

KAPITEL 4

Voltage-Mode Klasse-S-Verstärker (VMCS): Entwurf, Aufbau und Messung

In diesem Kapitel wird die Entwicklung, der Aufbau und die Charakterisierung des in den vorigen Kapiteln vorgestellten Ausgangsnetzwerks allein und in Verbindung mit dem geeigneten Leistungsschalter-MMIC für einen kompletten Voltage-Mode Klasse-S-Verstärker (VMCS) beschrieben. Dabei liegt die beabsichtigte Signalfrequenz des realisierten Verstärkers bei 450 MHz.

Zunächst wird der hybride Aufbau des Ausgangsnetzwerks vorgestellt und einzeln vermessen. Anschließend wird der komplette Demonstratoraufbau (Zusammenschluss von Filterplatine und Verstärker-MMIC) und seine Charakterisierung beschrieben.

4.1. Entwurf und Aufbau

Dieser Abschnitt schildert die Dimensionierung, den Aufbau sowie die Charakterisierung des Ausgangsnetzwerks für den VMCS-Verstärker. Des Weiteren wird die Auswahl der benutzten Freilaufdioden motiviert und die Zusammenschaltung der Komponenten zu einem kompletten Voltage-Mode Klasse-S-Verstärkermodul gezeigt und erläutert.

4.1.1. Dimensionierung und Messung des VMCS-Ausgangsnetzwerks. Um das Ausgangsnetzwerk gemäß Abbildung 2.14 für Delta-Sigma-Anregung zu dimensionieren, werden zunächst für die optimale Impedanz der Schaltendstufe (vgl. Gleichung 32) die Filter- und Anpasselemente für eine Zielsignalfrequenz f_s von 450 MHz berechnet. Hierzu wurde der Bandpassteil des Netzwerks für eine maximale Induktivität L_{vmcs} von 16 nH ausgelegt. Dieser Wert stellt die beste Alternative zwischen ohmschen Verlusten (5 m Ω), Eigenresonanzfrequenz (ca. 3 GHz) und Schmalbandigkeit des Bandpassfilters dar. Da die Bandbreite des Filters umgekehrt proportional zur Güte Q ist und somit für einen Serienschwingkreis proportional zu $\sqrt{\frac{C}{L}}$, lässt sich mit einem größeren induktiven Anteil ein schmalbandigeres Filter realisieren. Dabei wurden die vom Hersteller (*Coilcraft*) angegebenen 16 nH bei 150 MHz bestimmt, was deutlich unterhalb der Signalfrequenz liegt. Die Induktivität bei der Zielfrequenz von 450 MHz beträgt rund 17,5 nH.

Dieser Wert wurde messtechnisch bestimmt, in dem ein Anschluss der verwendeten Luftspule direkt an den (inneren) Signalleiter eines SMA-Steckers und der andere an die Masse (Außenleiter) des gleichen Steckers gelötet wird. Abbildung 4.1 verdeutlicht den Aufbau.

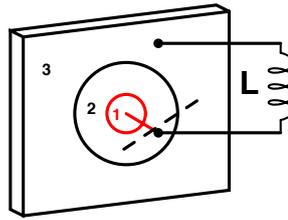


ABBILDUNG 4.1. Beschaltung zur Bestimmung des Impedanzverlaufs der benutzten Luftspulen für den VMCS-Aufbau mit SMA-Stecker ((1) Signalleiter, (2) Dielektrikum, (3) Masse)

Somit ist bei einer S-Parameter-Charakterisierung der Spule L mit einem Netzwerkanalysator (NWA, Frequenzbereich: 20 kHz - 8 GHz) gewährleistet, dass zum einen die Masse (3) möglichst kurz angeschlossen ist, und man zum anderen direkt an den Anschlusspunkt der Spule die Referenzebene (gestrichelt in Abb. 4.1) legen kann. Damit sind allerdings Layout-Parasitäten (z. B. Pads) nicht enthalten.

Die Messung wird durchgeführt, indem man zunächst den (offenen) SMA-Stecker ohne Spule an den NWA anschließt und die Länge des Signalleiters (1) durch Einstellen eines Versatzes (engl.: *Offset*) mittels elektrischer oder mechanischer Länge herausrechnet. Der komplette *Offset*, welcher in diesem Fall 12 mm beträgt, ergibt sich an der Stelle im Smith-Chart, wo ein perfektes *Open* auftritt. Das entspricht einer sehr (ideal: unendlich) großen Impedanz. Anschließend kann die Spule mit Referenzebene am Eingang des Bauelements ohne zusätzliche Längen, die das Modell verstimmen würden, relativ zu Masse gemessen werden. Es ergeben sich nur noch vernachlässigbare Ungenauigkeiten durch das Anlöten von Hand.

Aus den gemessenen S-Parametern (1 Tor $\rightarrow S_{11}$) wird dann im Schaltungssimulator ADS aus den umgewandelten Z-Parametern (Z_{11}) der Verlauf der Induktivität mit $\frac{\text{Im}(Z_{11})}{\omega}$ über der Frequenz extrahiert. Gemäß diesem Verfahren konnte für sämtliche benutzte Luftspulen der Firma *Coilcraft* und entsprechend aus den Y-Parametern (Y_{11}) für die diskreten Kapazitäten ein eigenes Modell erstellt werden, um Ungenauigkeiten in der Simulation auszuschließen und die vom Hersteller gelieferten Modelle zu verifizieren. Mit Umstellung von Gleichung 50 wird die entsprechende Kapazität C_{vmcs} bei f_S mit der Spule L_{vmcs} dimensioniert.

$$C_{vmcs} = \frac{1}{\omega_S^2 \cdot L_{vmcs}} = \frac{1}{(2\pi f_S)^2 \cdot 17,5 \text{ nH}} \approx 7,1 \text{ pF} \quad (67)$$

Es wurde eine Kapazität mit dem nominellen Wert von 6,8 pF ausgewählt. Alle Kondensatoren für die Ausgangsnetzwerke von VMCS- und CMCS-Verstärker sind aus der "ATC 100 A"-Serie (0603 Gehäuse) von *ATC Ceramics* entnommen. Somit besteht der Bandpass teil des VMCS-Ausgangsnetzwerks aus zwei in Reihe geschalteten L_{vmcs} - C_{vmcs} -Blöcken mit den nominellen Werten von 16 nH und 6,8 pF.

Da die optimale Impedanz für die benutzten Endstufentransistoren mit einer Gateweite von $4 \times 250 \mu\text{m}$ ca. 40Ω (vgl. Abschnitt 2.2.3.1) beträgt, muss man ein Anpassnetzwerk vorsehen, dass die gewünschten 40Ω auf die für die Messgeräte nötigen 50Ω transformiert. Die optimale Anpassung wurde mit einer einfachen Tiefpassstruktur (siehe Abb. 2.14) aus einer Serieninduktivität $L_{VMCS-Anp.}$ (nominell $5,6 \text{ nH}$) und einer Parallelkapazität $C_{VMCS-Anp.}$ zu Masse (nominell $3,3 \text{ pF}$) erreicht.

Die simulierten Elemente wurden nun auf einem *RO4003C*-Leiterkartenmaterial (Fa. Rogers) mit einer Substratdicke von $0,81 \text{ mm}$ und einer Leiterdicke von ca. $70 \mu\text{m}$ aufgelötet. Die Leiterbahnen aus Kupfer (Dicke: $35 \mu\text{m}$) sind dabei mit Gold der gleichen Dicke zusätzlich beschichtet. Mit Gold wird die Leitfähigkeit der Mikrostreifenleitung erhöht. Die effektive Permittivität ϵ_r des Substrats beträgt $3,55$. Das Leiterplattenmaterial wurde so dick gewählt, damit die parasitären Kapazitäten $C_{paras.}$ von oberer zu unterer Metallisierung (also zu Masse) der Mikrostreifenanordnung minimiert werden.

Weiterhin sind z. B. auch Substratdicken von $0,31 \text{ mm}$ und $0,51 \text{ mm}$ erhältlich. Zur guten Wärmeabfuhr wird die gefertigte und bestückte Platine auf einem 12 mm dicken Kupferträger befestigt. Um den Einfluss der parasitären Kapazitäten weiterhin zu minimieren, wurde die Rückseitenmetallisierung unter dem Bandpassfilter des Ausgangsnetzwerks entfernt und zusätzlich darunter ein 2 cm tiefer Graben in den Kupferträger eingearbeitet. Somit ist der effektive Abstand zwischen oberer und unterer Metallisierung nun ca. 21 mm . Damit sind so gut wie sämtliche Effekte einer Verstimmung durch parasitäre Einflüsse ausgeschlossen. Alle diese Maßnahmen sind durch Definition von verschiedenen Substraten (Dicken) für die jeweiligen Abschnitte (Bandpass, Anpassung) der Mikrostreifenleitung in der Simulation mit *ADS* berücksichtigt. Ein komplettes Entfernen der Rückseitenmetallisierung ist nicht möglich, da dann der Massebezug nicht mehr gegeben wäre.

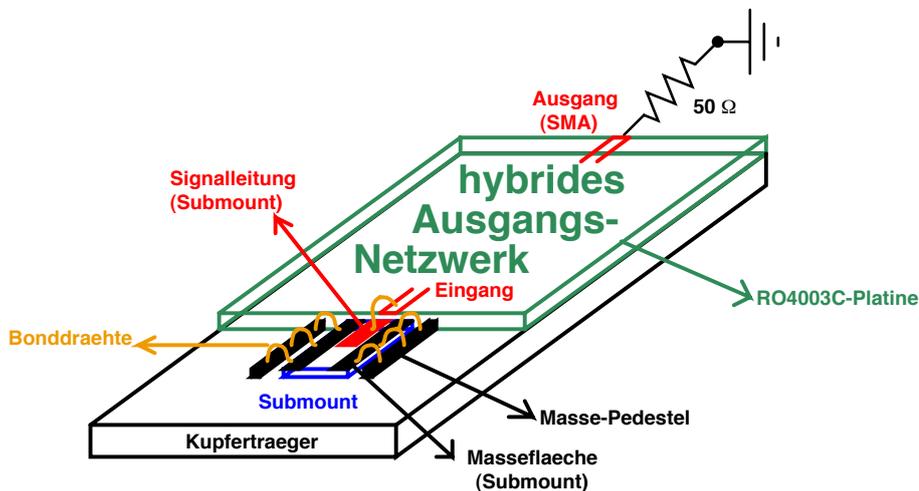


ABBILDUNG 4.2. Prinzipaufbau zur Messung des Ausgangsnetzwerks (Filter und Anpassung) des realisierten VMCS-Verstärkers

Zur Charakterisierung des Ausgangsnetzwerks wurde ein eigentlich für die Flip-Chip-Montage von GaAs-Dioden zur besseren Wärmeabfuhr vorgesehener Submount¹ auf den Kupferträger aufgelötet und an die mit Schrauben befestigte hybride Platine gemäß Abbildung 4.2 angebondet. Somit hat man die Möglichkeit, mit einer Mikrowellenmessspitze auf dem Submount anzutasten und das Ausgangsnetzwerk zu charakterisieren. Das entspricht dann dem Aufbau, wie er auch im endgültigen VMCS-Verstärker realisiert ist. Der Prinzipaufbau für die Bestimmung der Eingangsimpedanz und -reflexion des Ausgangsnetzwerks ist in Abbildung 4.2 dargestellt. Man kann so sämtliche Effekte wie Bonddrähte (zusätzliche Induktivität L_{bond} und ohmsche Verluste R_{bond}) oder den Einfluss der benutzten Bauelemente vor dem endgültigen Zusammenschluss mit dem Verstärkerchip überprüfen.

Für eine korrekte Messung der Impedanz, die das Netzwerk der Schaltendstufe über der Frequenz anbietet, muss man den SMA-Ausgang mit realen 50Ω abschließen. Die Durchgangsverluste des Netzwerks können mit diesem Aufbau allerdings nicht gemessen werden, da dafür eine gemischte Kalibrierung, nämlich *On-Wafer* (Eingang) und SMA (Ausgang), nötig wird. Das ist nur sehr schwer exakt zu realisieren. Deshalb wurde vor der Messung eine *On-Wafer* Kalibrierung nach dem "SOLT²"-Verfahren für das Eingangstor durchgeführt. Wie man aus dem Prinzipaufbau der Messung erkennt, sind die Masseflächen des Diodensubmounts durch Bonddrähte mit Masse-Pedesteln verbunden. Diese sind wiederum auf dem Kupferträger aufgelötet und stellen so eine gute Masseverbindung mit der Grundplatte dar. Nun werden die Simulationen und Messungen des VMCS-Ausgangsnetzwerks gemäß dem beschriebenen Aufbau gezeigt und diskutiert.

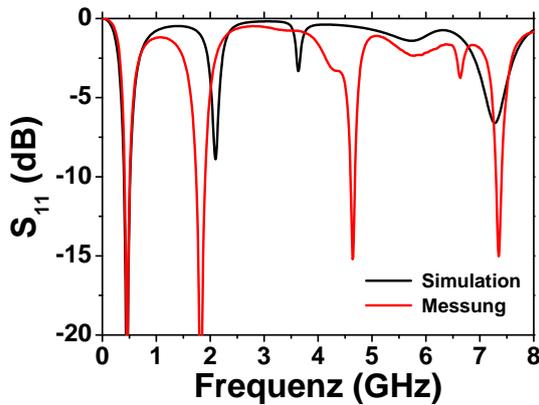
Das Ziel ist es, ein möglichst verlustfreies Ausgangsnetzwerk zu realisieren, welches bei der Signalfrequenz um die 450 MHz der Schaltendstufe eine Impedanz von ca. 40Ω anbietet. Die Abbildungen 4.3 bis 4.6 stellen die Simulation und Messung des Eingangsreflexionsfaktors S_{11} sowie des Realteils der Eingangsimpedanz $\text{Re}(Z_{11})$ des gesamten Ausgangsnetzwerks gemäß des gezeigten prinzipiellen Aufbaus gegenüber. Der Ausgangsanschluss des Netzwerks ist mit realen 50Ω abgeschlossen.

Die S-Parameter werden vom Netzwerkanalysator immer in einer 50Ω -Umgebung gemessen. Um das Netzwerk bezüglich der optimalen Impedanz für die Schaltendstufe (37Ω) zu betrachten, ist es möglich, in der ADS-Simulation die Bezugsimpedanz am Eingang gemäß dessen zu ändern. Die S-Parameter werden in der Simulation auf den gewünschten Wert umnormiert. Damit ist es möglich, die korrekten auf die optimale Impedanz bezogenen Parameter und Impedanzverhältnisse darzustellen.

Aus den Abbildungen 4.3 und 4.4 lässt sich erkennen, dass die Eingangsanpassung gemäß den jetzt umnormierten S-Parametern sowohl in der Simulation als auch in der Messung in dem Frequenzbereich von 400 - 500 MHz mit S_{11} kleiner -10 dB gut ist. Bei 450 MHz z. B. beträgt die Eingangsreflexion -20 dB. Des Weiteren stimmen Simulation und Messung vor allem im Bereich bis 1 GHz sehr gut überein. Aufgrund der

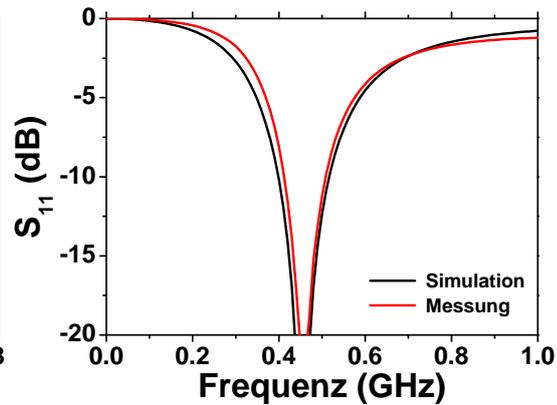
¹engl.: Subträger

²engl.: Short-Open-Load-Through



ABBILDUNG

4.3. Eingangsreflexionsfaktor S_{11} über der Frequenz (0 - 8 GHz); Referenzimpedanz am Eingang: 37 Ω ; Ausgang mit 50 Ω abgeschlossen



ABBILDUNG

4.4. Eingangsreflexionsfaktor S_{11} (Zoom) über der Frequenz (0 - 1 GHz); Referenzimpedanz am Eingang: 37 Ω ; Ausgang mit 50 Ω abgeschlossen

beschriebenen Kalibrierproblematik (Mix von *On-Wafer* und SMA-Konnektor) konnte der Durchgangsverlust des Netzwerks nur simulativ bestimmt werden. Demnach ergibt sich ein Wert von ca. 0,8 dB für das gesamte Ausgangsnetzwerk. Man kann darüber hinaus Einbrüche in der Eingangsanpassung bei ca. 1,8 GHz, 4,6 GHz und 7,5 GHz beobachten. Idealerweise soll das Filter alles außer der Signalfrequenz am Eingang reflektieren ($S_{11} \rightarrow 0$ dB). Die zusätzlichen Resonanzen entstehen mit realen Elementen durch die Kombination der Spulen (16 nH, 6,5 nH) mit der Kapazität zu Masse aus dem Anpassnetzwerk.

Auch die Verläufe der Realteile der Eingangsimpedanz Z_{11} bei mit 50 Ω abgeschlossenem Ausgang in Abbildung 4.5 und 4.6 zeigen eine gute Übereinstimmung zwischen Simulation und Messung. Des Weiteren lässt sich erkennen, dass bei ca. 400 MHz genau der ideale Wert für die Eingangsimpedanz von 37 Ω erreicht wird. Da diese Frequenz noch akzeptabel im 450 MHz-Band liegt, wird der VMCS-Verstärker nun bei einer Signalfrequenz von 400 MHz betrieben. Der weitere Verlauf der Impedanz des Ausgangsnetzwerks weicht aufgrund der Zusammenschaltung der Resonanzgebilde aus Bandpass und Anpassung mit realen Bauelementen von einer idealen Charakteristik (ideal sehr hohe Impedanz außerhalb der Signalfrequenz) ab. Es gibt immer wieder Einbrüche im Realteil der Impedanz. Außerdem muss angemerkt werden, dass die Impedanz nicht rein reell ist, sondern auch kleinere kapazitive Anteile aufweist. Das ist bei Benutzung von diskreten Bauelementen nicht zu verhindern und muss vor dem Hintergrund der Vermessung des VMCS-Verstärkers beachtet werden. Dadurch geht Energie verloren.

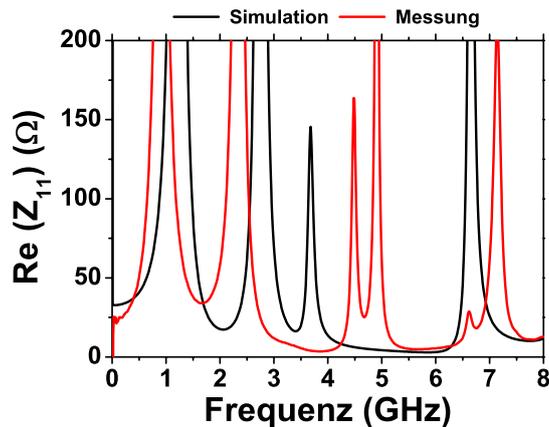


ABBILDUNG 4.5. Realteil der Eingangsimpedanz Z_{11} über der Frequenz (0 - 8 GHz); Referenzimpedanz am Eingang: 37 Ω ; Ausgang mit 50 Ω abgeschlossen

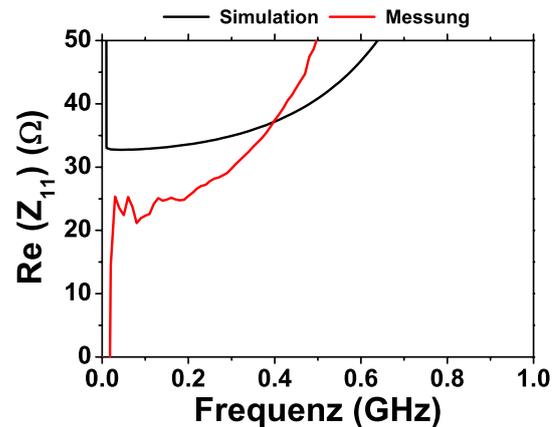


ABBILDUNG 4.6. Realteil der Eingangsimpedanz Z_{11} (Zoom) über der Frequenz (0 - 1 GHz); Referenzimpedanz am Eingang: 37 Ω ; Ausgang mit 50 Ω abgeschlossen

Die entwickelte Platine stellt aber ein für die verwendeten Bauelemente sehr gutes Ausgangsnetzwerk dar. Darüber hinaus wurden auch zwei Versionen mit nur einem bzw. drei L_{vmcs} - C_{vmcs} -Blöcken für das Bandpassfilter realisiert und vermessen. Keine der beiden Versionen konnte jedoch eine bessere Charakteristik in Bezug auf Impedanzverlauf und Eingangsanpassung erreichen.

4.1.2. Aufbau des VMCS-Verstärkers. Nun wird das Ausgangsnetzwerk aus dem vorigen Abschnitt mit dem Schaltverstärker-MMIC aus Abschnitt 3.3.3 durch Bonddrähte verbunden. Wie erwähnt, fungiert der eigentlich für die Endstufe eines Current-Mode-Verstärkers entwickelte Vorverstärker mit seinen zwei $4 \times 250 \mu\text{m}$ Endstufentransistoren im Gegentakt als VMCS-Endstufe. Für diese Konstellation gilt es nun noch, die geeigneten Schottky-Dioden auszuwählen, die als Schutz vor Rückströmen bzw. Überspannungen dienen sollen (vgl. Abb. 2.9).

Aufgrund der sehr schnellen Pulse (≤ 500 ps), die die Dioden sperren müssen, werden sie mit einem Schottky-Kontakt ausgeführt. Sie wurden in einem FBH-eigenen Hochvolt-GaAs-HBT-Prozess realisiert und erfüllen die geforderten Kriterien wie hohe Stromtragfähigkeit (bis zu 2,5 A) und Durchbruchspannung (70 V). Es stehen drei verschiedene Diodentypen zur Verfügung, nämlich 10-Finger, 16-Finger und 20-Finger-Dioden. Für die größte Diode beträgt z. B. der Serienwiderstand R_{diode} im Durchlassbereich 2 Ω . Weitere Informationen und Kenndaten zu den benutzten Schottky-Dioden gibt es in [22]. Darüber hinaus muss man aufgrund der hohen Stromtragfähigkeit die Wärme

gut abführen können. Dazu braucht man eine hervorragende Wärmesenke. Hierfür wurde das Konzept der Wärmesenke von den (FBH-) Hochvolt-HBTs adaptiert, das einen bestimmten *flip-chip*-Prozess beinhaltet. Hierzu findet man weiterführende Literatur in [23].

Da der maximale Strom durch die Endstufentransistoren im realisierten VMCS-Verstärker aufgrund ihrer Gateweite auf ca. 0,6 A begrenzt werden muss, reicht es für den Voltage-Mode-Aufbau aus, die kleinsten am FBH prozessierten Dioden zu verwenden. Der verwendete Diodentyp zeigt eine Durchbruchspannung von ca. 70 V bei gleichzeitiger maximaler Stromtragfähigkeit von 1,3 A und einer Erholzeit (Ausräumen der Ladungsträger beim Übergang in den Sperrbereich) von ca. 10 ps [22]. Das bedeutet, sie sollte schnell genug sein, um die kürzesten auftretenden Pulse der Rückströme zu sperren.

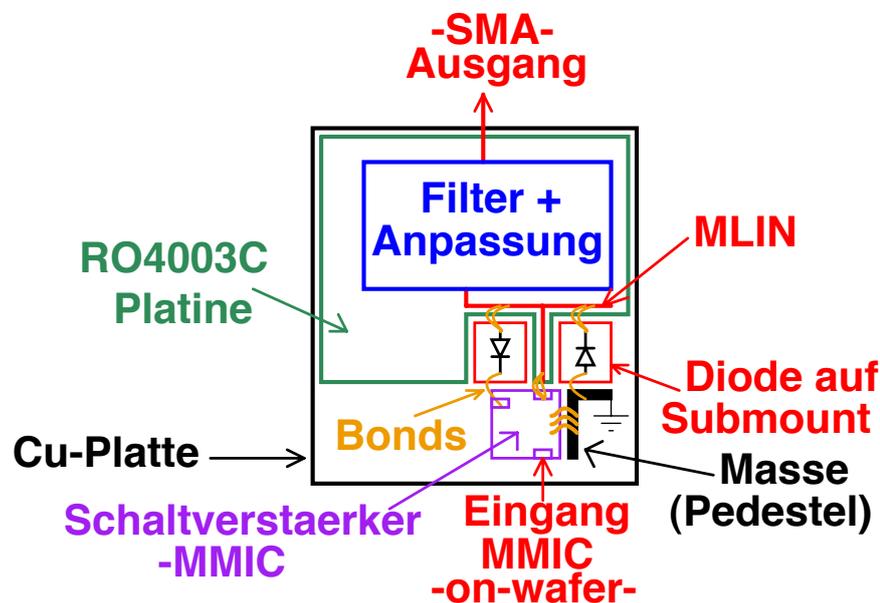


ABBILDUNG 4.7. Verschaltung der Einzelkomponenten Schaltverstärker-MMIC, GaAs-Schottky Dioden und hybrides Ausgangsnetzwerk (Filter, Anpassung) auf Kupferträger zum VMCS-Verstärker (Draufsicht)

In Abbildung 4.7 kann man aus dem Prinzipschaltbild des Aufbaus des VMCS-Verstärkers in der Draufsicht erkennen, wie die einzelnen Komponenten zum kompletten Verstärker zusammengeschaltet wurden. Um die Anbindung und Verschaltung der zwei Dioden und des Ausgangs des Schaltverstärkerchips (MMIC) so kurz wie möglich und korrekt zum Ausgangsnetzwerk zu bewerkstelligen und so den Einfluss der Bonddrähte (“Bonds”) zu minimieren, wurden alle Teile so nah wie möglich zueinander positioniert.

Das ist auch in der seitlichen Ansicht aus den Fotos in den Abbildungen 4.8 und 4.9, besonders aus der vergrößerten Darstellung der Schnittstelle zwischen allen Teilen

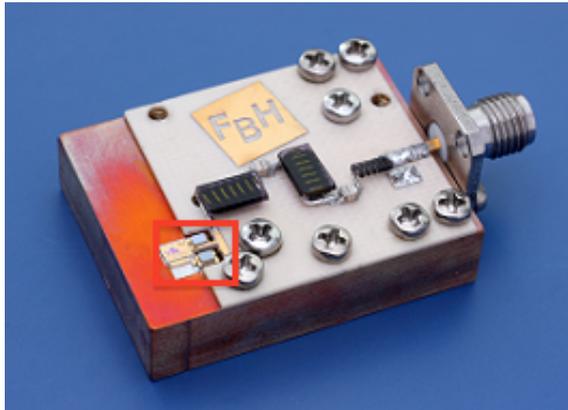


ABBILDUNG
4.8. Realisierter VMCS-Verstärker (komplett) für eine Signalfrequenz von 400 MHz mit Schaltverstärker-MMIC, Freilaufdioden und hybridem Ausgangsnetzwerk (Filter, Anpassung)

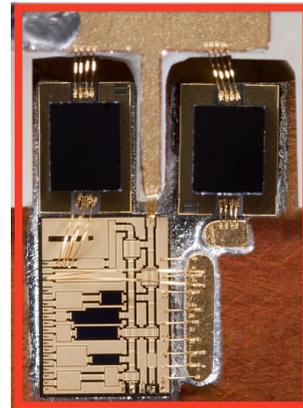


ABBILDUNG
4.9. Zoom auf Schaltverstärker-MMIC, Dioden und Anbindung an das Ausgangsnetzwerk im realisierten VMCS-Verstärker (Draufsicht)

in Abb. 4.9, sehr gut zu sehen. Wichtig dabei ist auch, die Masse des Verstärker-MMICs genügend gut mit der Gesamtmasse, also Kupferblock, zu verbinden. Das wurde wie erwähnt mit Bonden auf Massepedestel (Goldplättchen) realisiert, die wiederum auf dem Kupferblock gelötet sind und so eine gute Masseanbindung darstellen. In den Signalpfaden wurden immer so viel Bonds wie möglich nebeneinander platziert, um durch Parallelschaltung die resultierende Induktivität und die ohmschen Verluste zu minimieren.

Des Weiteren erkennt man aus den Abbildungen den unterschiedlichen Ein- und Ausgangsanschluss. Am Eingang wird das Signal *On-Wafer* mit einer HF-Spitze eingespeist und am Ausgang dann das verstärkte und gefilterte Signal per SMA-Konnektor an 50 Ω angekoppelt.

4.2. Charakterisierung des VMCS-Verstärkers

Dieser Abschnitt beschreibt die Charakterisierung des komplett realisierten VMCS-Verstärkers. Dabei werden neben den Messungen mit BPDS Bitsequenzen zur Überprüfung des Klasse-S-Betriebs (Spannungsvariation, Spektren, Effizienzen, Ausgangsleistungen, Variation der Eingangssignalleistung (*power back-off*)) auch periodische "1100" Bitfolgen ("sqw.") als Eingangssignal benutzt, um das Potential des Verstärkers bei anderen Betriebsarten, hier Klasse-D-Typ, zu charakterisieren. Dieser Test hat auch den Hintergrund, dass die periodischen Bitsequenzen eine viel größere

Kodiereffizienz (vgl. AKE in Abschnitt 2.2.1) aufweisen und so mutmaßlich bessere Effizienzwerte ermöglichen.

Des Weiteren werden die Verlustmechanismen im Voltage-Mode anhand des aufgebauten Verstärkers für die verschiedenen Zustände diskutiert und Verbesserungspotentiale identifiziert. Ausgehend davon wird der Verstärker im Rahmen der Versuche zur Effizienzverbesserung auch ohne Freilaufdioden charakterisiert. Im Zuge dessen wird neben den Eigenschaften, die auch mit Dioden herausgearbeitet wurden, ein anderer Modulationsansatz für hohe Effizienzen bei hohem *PAPR* vorgestellt und am Demonstrator für diese Konstellation getestet.

Zunächst werden die Klasse-S-Eigenschaften des Verstärkers untersucht und anschließend mit den Charakteristika für ein periodisches Eingangssignal verglichen.

4.2.1. Messung im Klasse-S-Betrieb. Für alle Klasse-S-Messungen gilt, dass die Bitfolge eine BPDS-Bitsequenz ist, die mit einer Bitrate von 1,6 Gbit/s am Eingang des VMCS-Verstärkers angelegt wird. Somit ist für ein *COSR* von 4 ein analoges Signal mit einer Frequenz von 400 MHz in der BPDS-Folge kodiert. Auf dieser Signalfrequenz f_S wurde die Ausgangsleistung bestimmt und somit die Draineffizienz gemäß Gleichung 66 berechnet.

Die Bitfolge, die der maximalen Signalamplitude, für die ein stabiler Betrieb des Modulators möglich ist, entspricht, wird in dieser Arbeit als *0,5 dB power back-off* - Folge bzw. Stabilitätsgrenze bezeichnet. Die Sequenz mit der Bezeichnung *0 dB back-off* entspricht hingegen einem schon leicht instabilem Modulator. Der *power back-off* gibt das Verhältnis von Maximalleistung zu mittlerer Leistung an.

Abbildung 4.10 zeigt die Ausgangsleistung P_{aus} und die Draineffizienz (“Effizienz”) in Abhängigkeit von der Spannung an der Schaltendstufe (U_{DD}) für Klasse-S-Betrieb. Das Eingangssignal ist die *0,5 dB back-off* - BPDS-Folge. Die Spannung wurde von 10 V bis 50 V variiert. Es muss angemerkt werden, dass es sich um eine 1-Ton Folge handelt. D. h., es ist nur ein Signalträger mit f_S in der Bitsequenz kodiert. Das zu übertragende Signal weist somit in seinem Frequenzband eine geringe Bandbreite auf.

Man erkennt aus dem Diagramm in Abbildung 4.10, dass die Draineffizienz von einem Spitzenwert von rund 52 % bei einer geringen Ausgangsleistung von 0,5 W auf 38 % für die maximale Ausgangsleistung von ca. 3,4 W abfällt. Des Weiteren zeigt der Verstärker eine Effizienz größer 50 % im Klasse-S-Betrieb bis zu einer Ausgangsleistung von ca. 1,4 W. Das sind Bestwerte für einen Voltage-Mode Klasse-S-Verstärker in diesem Frequenzbereich (450 MHz-Band) und bei diesen Ausgangsleistungen (≥ 3 W). Allerdings kann der Verstärker mit dieser Leistungsfähigkeit im Klasse-S-Betrieb nicht mit anderen Schaltverstärkerkonzepten wie z. B. Klasse-F konkurrieren. Hierzu bedarf es Effizienzen im Bereich von 80 % bei Leistungen von mehr als 10 W bei höheren Frequenzen [35] [36].

Der Grund für den Effizienzabfall mit steigender Versorgungsspannung liegt einmal in der begrenzten Stromtragfähigkeit der $4 \times 250 \mu\text{m}$ Endstufentransistoren. Aufgrund des nicht idealen Verlaufs der Impedanz (vgl. Abb. 4.5), welche durch das Ausgangsnetzwerk realisiert wird, kann es dazu kommen, dass bei den Schaltvorgängen zusätzlich zu

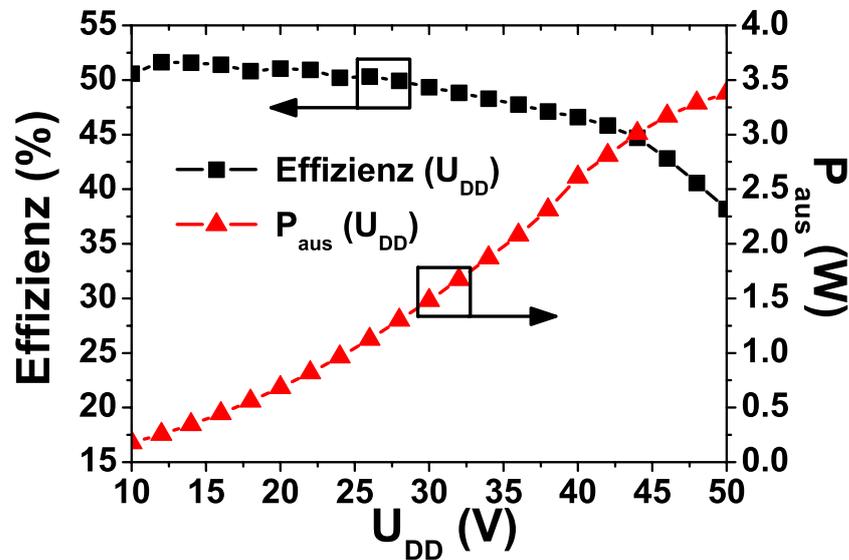


ABBILDUNG 4.10. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des VMCS-Verstärkers in Abhängigkeit von der Drainversorgungsspannung U_{DD} an der Endstufe des VMCS-Verstärkers; Eingangssignal: BPDS Bitsequenz ($0,5$ dB back-off); Bitrate: 1,6 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 10 \dots 50$ V

den Stromspitzen, die durch Umladung der parasitären Kapazitäten entstehen, weitere (hochfrequenter) Signalspitzen an den Transistoren auftreten. Diese kommen durch die nicht hochohmig abgeschlossenen Frequenzanteile, die durch das Filter gelangen. Sie überlagern sich mit dem idealen Stromverlauf, generieren in der Last Verluste und treten an den Drains der Schaltendstufen auf. Dadurch werden diese bei steigender Versorgungsspannung und konstanter Impedanz immer mehr durch höhere aufaddierte Stromspitzen in die Sättigung über die maximale Stromtragfähigkeit getrieben. Die Effizienz fällt durch steigende Verluste ab. Dieser Effekt ist auch in der Kurve der Ausgangsleistung zu erkennen, welche ab einer Spannung von ca. 40 V in den Sättigungsbereich übergeht. Die Ausgangsleistung auf der Signalfrequenz kann mit wachsender Endstufenspannung nicht mehr ausreichend stark ansteigen. Die DC-Verluste dominieren immer mehr. Dementsprechend nimmt auch die Effizienz für U_{DD} größer 40 V sehr stark ab.

Ein anderer Effekt ist, dass es mit steigender Versorgungsspannung schwieriger wird, aufgrund der parasitären Kapazitäten von Transistoren und Dioden die immer größeren Amplituden bei gleicher Pulsbreite zu schalten. Die Rechtecke werden nicht mehr ideal abgebildet und es geht Leistung verloren. Die Spannungsbegrenzung der verwendeten Transistoren liegt bei ca. 60 V. Für die weiteren Untersuchungen kann man festhalten, dass eine Versorgungsspannung von maximal 40 V bei dem benutzten Aufbau für den

VMCS-Verstärker einen genügend guten Betrieb gewährleistet.

Die Abbildungen 4.11 und 4.12 zeigen das Eingangssignal im Frequenzbereich in seinem Spektrum rund um die Signalfrequenz (0 - 800 MHz) und breitbandiger bis 4 GHz.

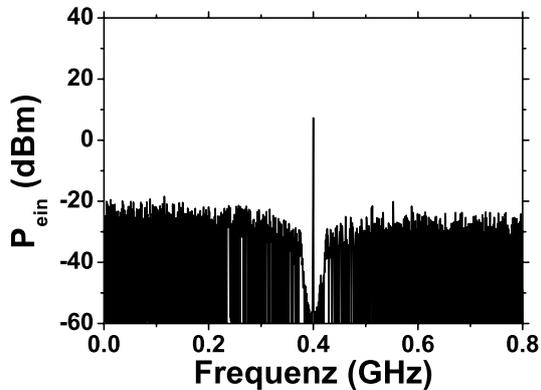


ABBILDUNG
4.11. Gemessenes Eingangsspektrum BPDS; 0 - 800 MHz; $f_S = 400$ MHz

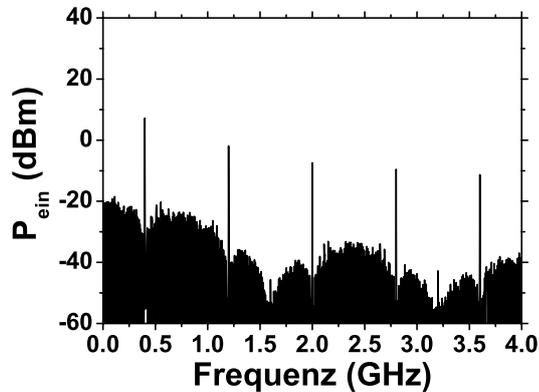


ABBILDUNG
4.12. Gemessenes Eingangsspektrum BPDS; 0 - 4 GHz; $f_S = 400$ MHz

Zunächst sei angefügt, dass alle gezeigten Spektren (Voltage- und Current-Mode) mit einer Messbandbreite des Spektrumanalysators von 30 kHz aufgenommen wurden. Auch der SNR ist jeweils mit dieser (Rausch-) Messbandbreite bestimmt.

Man kann in Abbildung 4.11 deutlich die Einkerbung im Rauschen um die Signalfrequenz, den typischen *noise notch* des BPDS-Signals, erkennen. Es ergibt sich im *notch* ein SNR von ca. 60 dB zwischen Signalfrequenz und Rauschniveau. Außerhalb des *notches* beträgt der Abstand der Leistung bei Signalfrequenz zum Rauschniveau noch um die 30 dB. Das ist das charakteristische Spektrum eines BPDS-modulierten Signals. In der Darstellung bis 4 GHz kann man gut die weiteren Harmonischen der Signalfrequenz $f_S = 400$ MHz erkennen und die Abnahme ihrer Pegel mit wachsendem Abstand zu f_S .

Die zwei Abbildungen 4.13 und 4.14 zeigen die Spektren der Signale am Ausgang des VMCS-Verstärkers für die gleichen Frequenzbereiche. Daraus kann man die gute Filterwirkung des Ausgangsnetzwerks des VMCS-Verstärkers ableiten. In der breitbandigeren Darstellung sieht man eine Unterdrückung der nächsten Harmonischen um mindestens 25 dB. Das ließe sich mit hochwertigeren Bauelementen noch verbessern. Das SNR um die Signalfrequenz am Ausgang des Verstärkers beträgt rund 45 dB bei einer Ausgangsleistung von 34,2 dBm. Das heißt bei Vergleich mit Abb. 4.11, dass durch den Verstärker ca. 15 dB an SNR im *notch* verloren gehen. Außerhalb der Signalfrequenz ist dieser Abstand noch ca. 35 dB. Insgesamt kann man also feststellen, dass der realisierte VMCS-Verstärker eine gute Filterwirkung aufweist und das BPDS-Eingangssignal in seinen speziellen Eigenschaften wie hohes SNR um die Signalfrequenz durch Nichtlinearitäten beeinflusst.

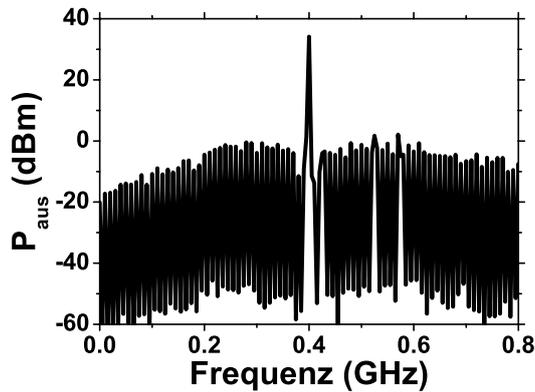


ABBILDUNG
4.13. Gemessenes Ausgangsspektrum des VMCS-Verstärkers; 0 - 800 MHz; $f_S = 400$ MHz

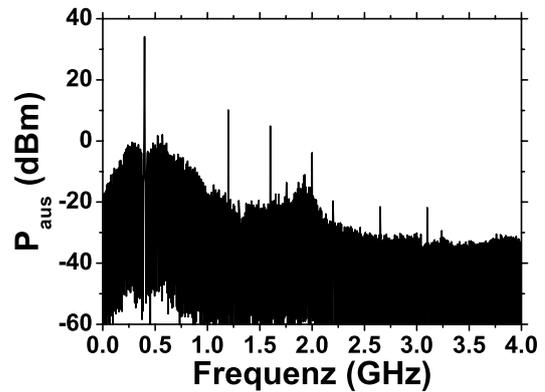


ABBILDUNG
4.14. Gemessenes Ausgangsspektrum des VMCS-Verstärkers; 0 - 4 GHz; $f_S = 400$ MHz

Ein weiterer wichtiger Parameter ist das Verhalten des Verstärkers im *power back-off*. Hier wird die Eingangsleistung, und somit auch bei geringen Verzerrungen durch den Verstärker, die Leistung am Ausgang, durch Verändern der Eingangsbitfolge variiert. In diesem Fall bleibt aber die Eingangsamplitude des digitalen Signals gleich, nur die Bitsymbole ändern sich. Somit kann man den Leistungsanteil auf der Signalfrequenz absenken.

Mit dieser Messung lassen sich besonders gut Aussagen über das Potential des VMCS-Verstärkers bezüglich des Einsatzes in Mobilfunk-Basisstationen der heutigen Generation treffen. Da in diesen die HF-Leistungsverstärker meist bei *power back-offs* von typischerweise 7 dB betrieben werden müssen, sollte der Verstärker auch in diesem Bereich eine hohe Effizienz aufweisen. Hierzu wurden mit der BPDS-Modulation *PA-PR's* von 0 dB bis zu 10 dB in den Bitfolgen kodiert. Allerdings muss erwähnt werden, dass die Signale auch hier zunächst nur 1-Ton Signale sind. Sie sind also viel schmalbandiger als die modulierten Signale der neuesten Mobilfunkstandards (UMTS, LTE), bei denen Signalbandbreiten von 5 MHz bis zu 20 MHz übertragen werden müssen.

Abbildung 4.15 zeigt die Messung des Verstärkers bei unterschiedlichem *power back-off* und einer festgelegten Betriebsspannung U_{DD} an der Schaltendstufe von 40 V. Die Draineffizienz des realisierten VMCS-Verstärkers sinkt von rund 49 % bei 0 dB *power back-off* auf nur noch 6 % bei 10 dB. Die Leistung sinkt von 34,5 dBm auf ca. 24,4 dBm, was einem Rückgang von ca. 10 dB entspricht. Diese Abnahme der Ausgangsleistung folgt genau dem Eingangssignal. Demnach verzerrt der Verstärker die Signale dahingehend nicht. Das deutet auf eine gute Linearität des Verstärkers hin. Weitere Untersuchungen bezüglich Linearität (z. B. mit 2-Ton Eingangssignal: Bestimmung Intermodulationsabstände) wurden im Rahmen dieser Arbeit nicht durchgeführt.

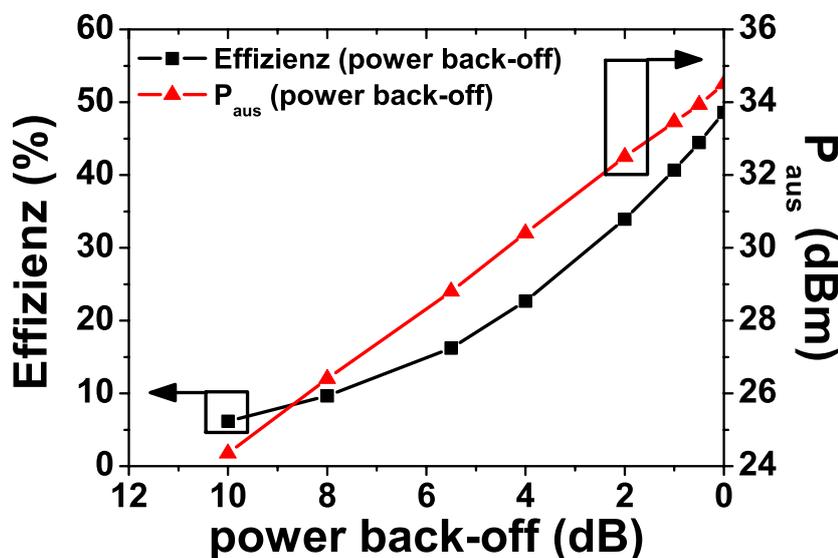


ABBILDUNG 4.15. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des VMCS-Verstärkers in Abhängigkeit vom *power back-off*; Eingangssignal: BPDS Bitsequenz; *power back-off*: 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 40$ V

Bei einem im UMTS-Standard üblichen *power back-off* von 6 dB erzielt der aufgebaute VMCS-Verstärker noch eine Effizienz von 15 %. Die Abnahme der Effizienz von 49 % (0 dB) auf 15 % (6 dB) ist geringer als bei einem Klasse-AB-Verstärker. Dennoch ist der Rückgang groß, wenn man bedenkt, dass der ideale verlustlose Klasse-S-Verstärker gar keine Effizienzreduktion über *power back-off* verzeichnen würde.

Ein Grund für diesen Abfall sind die parasitären Kapazitäten (Drain-Source-Kapazität des Schalttransistors parallel mit Diodenkapazität), die sich je Schaltvorgang bei gesperrtem Transistor auch bei hohem *back-off* mit U_{DD} aufladen, beim Durchschalten des Transistors kurzgeschlossen werden und so Energie verloren geht. Die Schaltvorgänge stellen im Voltage-Mode einen primären Verlustmechanismus dar. Des Weiteren wurde beobachtet, dass der DC-Strom durch die Schalttransistoren mit sinkendem Eingangsleistungspegel nicht genügend stark zurückgeht. Das hat einen besonders starken Einfluss bei großem *PAPR*, da auch die Ausgangsleistungspegel dann sehr gering sind (ca. 0,3 W). Dort reicht schon ein im unteren mA-Bereich abweichender DC-Strom aus, um die Effizienz um mehrere Prozentpunkte zu reduzieren.

Ein erster Ansatz zur Klärung dieses Abfalls ist die Betrachtung der Bitfolgen für die unterschiedlichen *back-offs*. In diesen Sequenzen mit jeweils 20000 Bits wurden für alle Konstellationen die Schaltvorgänge von “1” auf “0” und umgekehrt gezählt, zusammengerechnet und ausgewertet. Mit weniger Schaltvorgängen müssten auch die Effizienzen steigen, da die parasitären Kapazitäten weniger oft aufgeladen und entladen werden.

Gehen die Schaltvorgänge mit wachsendem *back-off* zurück, müsste die Effizienz auch bei hohem *PAPR* besser sein.

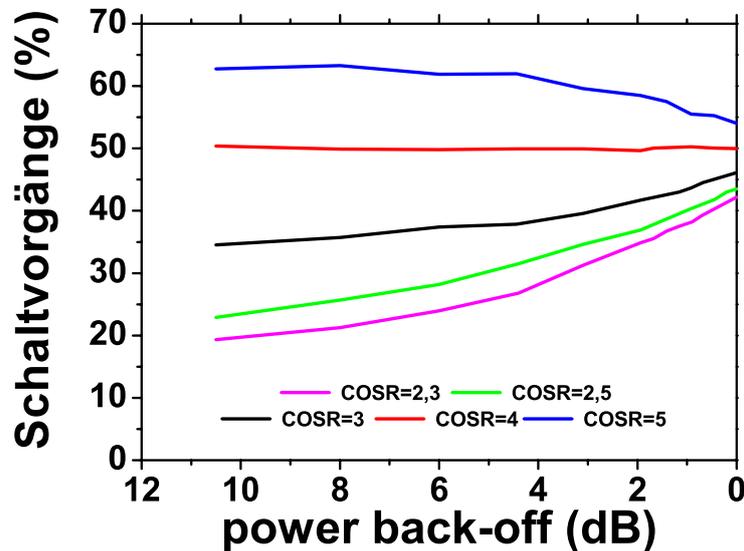


ABBILDUNG 4.16. Schaltvorgänge (in % bezogen auf 20000 Bits) in Abhängigkeit von *COSR* und *power back-off*

Abbildung 4.16 zeigt in Abhängigkeit vom *COSR* und *power back-off* die Schaltvorgänge in % bei einer gesamten Bitanzahl von 20000. Man erkennt für *COSR*-Faktoren von 2,3, 2,5 und 3 mit steigendem *power back-off* abnehmende Schaltvorgänge. Diese Abnahme ist beim Faktor 2,3 mit ca. 20 % Rückgang am größten ausgeprägt. Für die verwendete Überabtastrate von 4 hingegen bleiben die Schaltvorgänge über dem *back-off* unverändert. Bei einem Faktor größer 4 zeigt sich sogar eine Zunahme der Schaltvorgänge mit sinkender Eingangsleistung.

Das heißt, es sollte sich bei kleineren Abtastraten ein geringerer Abfall der Effizienz über dem *power back-off* einstellen, während für einen Faktor von 5 der Rückgang am größten sein muss. Das wurde messtechnisch untersucht und ist in Abbildung 4.17 dargestellt.

Der Verlauf der Effizienzen bestätigt tendenziell die Vermutung, wonach der Abfall für die *COSR* kleiner 4 geringer ist als für größere Überabtastungen. Das hängt mit den sinkenden Schaltvorgängen und somit auch Schaltverlusten gemäß Abb. 4.16 zusammen. Allerdings stellt man auch fest, dass sich der absolute Effizienzwert für die hohen *power back-offs* von rund 10 dB nicht sonderlich stark verändert oder gar verbessert. Das liegt an der geringeren Kodiereffizienz bei kleinerer *COSR*, was auch durch die Ausgangsleistungen in Abb. 4.17 belegt wird. Dort ist z. B. ein Sprung von 33,3 dBm (*COSR* = 3) zu 34,5 dBm (*COSR* = 4) bei Vollaussteuerung und gleicher Versorgungsspannung zu erkennen. Durch die geringeren Überabtastraten bei kleinem *COSR* ist das

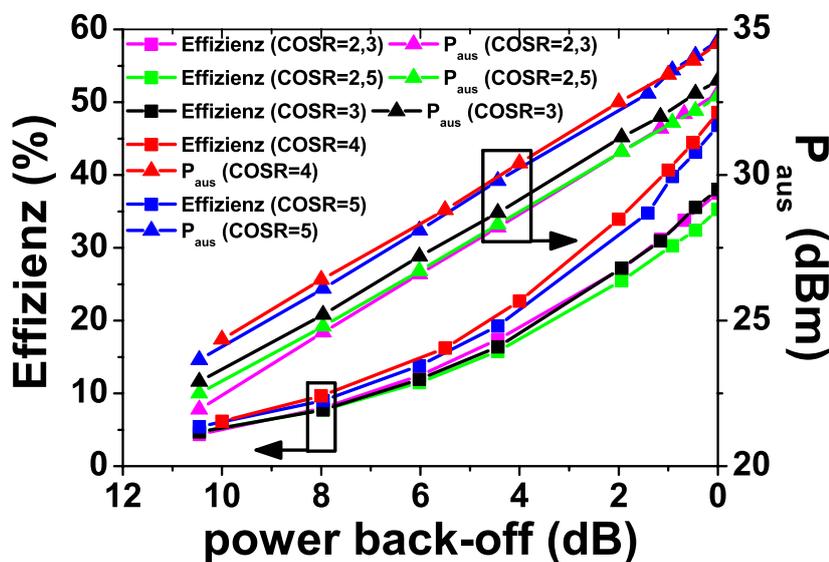


ABBILDUNG 4.17. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des VMCS-Verstärkers in Abhängigkeit von $COSR$ und $power\ back-off$ der Eingangsbitfolge; Eingangssignal: BPDS Bitsequenz ($COSR = 2,3 \dots 5$); $power\ back-off$: 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 40$ V

Rauschen weniger weit in die hohen Frequenzbereiche verteilt. Es ist mehr Rauschen im Vergleich zum Signal vorhanden und der *notch* wird schmaler. Die Anforderungen an das Filter steigen, es muss schalbandiger sein. Es ist weniger Leistung bei der Signalfrequenz verfügbar. Folglich zeigt der Verstärker bei Vollaussteuerung und $COSR$ kleiner 4 einen viel geringeren Startwert mit 37 % Draineffizienz als vergleichsweise bei einer größeren Überabtastung (4 oder 5) mit einer “Starteffizienz” von ca. 47 %. Dieser Nachteil wird offensichtlich auch durch den mit abnehmender Signalleistung geringeren Abfall der Effizienz nicht ausgeglichen werden. Die Effizienzwerte bei 10 dB *back-off* sind mit ca. 6 % ungefähr für alle $COSR$ -Faktoren gleich.

Aus den relativ geringen Abweichungen der Kurven in Abb. 4.17 kann man schlussfolgern, dass für den aufgebauten VMCS-Verstärker die Schaltvorgänge keinen großen Einfluss auf die Effizienz haben. Man kann also offenbar durch Reduktion der Anzahl der Schaltvorgänge in der BPDS-Modulation die Effizienzen bei hohen $PAPR$'s nicht entscheidend erhöhen. Der Einfluss der Schaltvorgänge wird im weiteren Verlauf dieser Arbeit noch einmal im Zusammenhang mit einer anderen Modulation untersucht. Dieser Ansatz basiert auf der Nutzung der maximalen Kodiereffizienz (bzw. *AKE*-Abschnitt 2.2.1) des Modulators, deren Auswirkung im nächsten Abschnitt beleuchtet werden soll.

4.2.2. Einfluss der Kodiereffizienz. Ein weiterer Ansatz, die Effizienz des Schaltverstärkers zu erhöhen, liegt in der Art der Modulation des Eingangssignals. Mit der BPDS-Modulation lässt sich in einer Bitfolge der Amplitude 1 nur ein maximaler Signalfrequenzanteil der Amplitude 0,8 kodieren, während ein periodisches “1100”-Rechtecksignal den Maximalfall mit einer Amplitude von $4/\pi \cdot U_0$ (AKE - vgl. Abschnitt 2.2.1 Gleichung 11) darstellt. Höhere Leistungsanteile bei Signalfrequenz haben aber höhere Kodiereffizienzen und wegen der Verluste im Verstärker auch größere Effizienzen zur Folge. Der Ansatz ist im Prinzip der Fall eines Klasse-D-Betriebs.

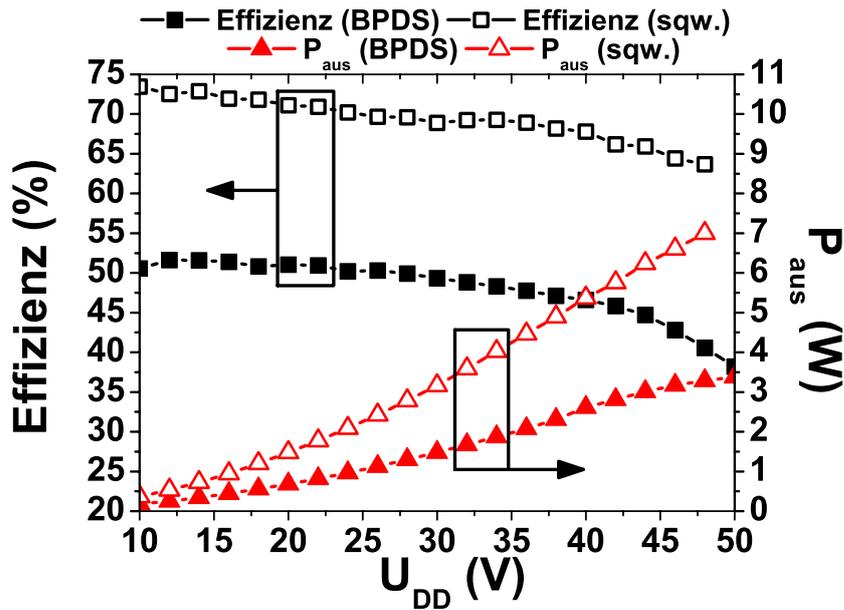


ABBILDUNG 4.18. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des VMCS-Verstärkers in Abhängigkeit von U_{DD} ; Eingangssignal: BPDS Bitsequenz (0,5 dB back-off) und “1100” (“sqw.”); Bitrate: 1,6 Gbit/s; $f_S = 400$ MHz; $U_{DD} = 10 \dots 50$ V

Der VMCS-Verstärker wurde dazu mit einem entsprechenden periodischen Rechtecksignal (“sqw.”) am Eingang vermessen und die Resultate mit den Klasse-S-Ergebnissen (“BPDS”) verglichen. Daraus lässt sich dann das Potential, die maximal mögliche Leistungsfähigkeit des realisierten Verstärkers, ableiten. Abbildung 4.18 zeigt die Messergebnisse für eine Signalfrequenz von 400 MHz und folglich eine Bitrate des Eingangssignals von 1,6 Gbit/s.

Im Klasse-D-Fall erreicht der VMCS-Verstärker eine maximale Ausgangsleistung von 7 W bei einer Draineffizienz von 64 %. Dabei wurde eine Versorgungsspannung U_{DD} von 48 V angelegt. Bei Verringerung der Versorgungsspannung erreicht der Verstärker Effizienzen von mindestens 70 % für Ausgangsleistungen bis 2,2 W. Das sind im Durchschnitt 20 % mehr Effizienz bei der mehr als doppelten Ausgangsleistung verglichen mit dem Klasse-S-Fall. Das belegt den großen Einfluss der Kodiereffizienz, die eine

Hauptrolle in der Optimierung der Leistungsbilanz des Klasse-S-Verstärkers spielt. Ein beträchtlicher Teil der Verluste tritt im Transistor in Verbindung mit der Freilaufdiode als Schaltverlust auf, hervorgerufen durch die bereits beschriebenen parasitären Kapazitäten.

Die beschriebenen Ergebnisse zeigen, dass man neben der Reduzierung der parasitären Transistor- und Diodenelemente (C_{ds} , C_{diode}) vor allem andere Modulationsarten bzw. -verfahren mit höheren Kodiereffizienzen in Betracht ziehen muss. Nur so kann man die Wirkungsgrade der VMCS-Verstärker entscheidend voranbringen, um konkurrenzfähig zu anderen Konzepten zu sein.

Im nächsten Abschnitt werden die Verlustmechanismen des realisierten Voltage-Mode-Verstärkers näher untersucht.

4.2.3. Verlustmechanismen im Voltage-Mode. Um die einzelnen Verlustmechanismen im Voltage-Mode zu identifizieren, wurde der Verstärker mit Freilaufdioden in ADS im Klasse-S-Betrieb bei 0,5 dB (BP-DSM im stabilen Bereich) und 10 dB *power back-off* für ein *COSR* von 4 simuliert. Dabei ist die Treibertopologie für die Schaltendstufe nicht in der Simulation berücksichtigt, um den Einfluss durch nichtideale Eingangssignale auszuschließen. Die Endstufe wird in diesem Fall mit einer idealen Spannungsquelle getrieben. Das Simulations-Setup besteht also nur aus den zwei Endstufentransistoren mit $4 \times 250 \mu\text{m}$ Gateweite, den zwei Freilaufdioden und der Ausgangsnetzwerkstruktur mit Filter und Anpassung.

Für die Transistoren werden die entwickelten Schaltermodelle (vgl. Abschnitt 3.2.2) benutzt, um einen direkten Zugriff auf die parasitären Elemente des Schalters zu haben und so den jeweiligen Einfluss direkt bestimmen zu können. Nun wurde nacheinander jeweils ein Parameter von seinem realen auf einen nahezu idealen Wert gesetzt, während die anderen unverändert auf ihrem realen Wert gehalten werden. Für jede Konstellation wurden dann die Kennwerte des Verstärkers wie Effizienz und Ausgangsleistung bei der Signalfrequenz berechnet. Die variierten Transistorparameter und ihre (realen) Anfangswerte sind folgende (vgl. Abbildung 3.4):

$$R_{ds_ON} = 5,5 \Omega; C_{ds} = 0,284 \text{ pF}; C_{gd} = 0,15 \text{ pF}.$$

Zusätzlich zu diesen Elementen wurde noch als eine weitere Variante die spannungsabhängige Kapazität der Diode C_{diode} (wirksame Kapazität bei gesperrtem Transistor und $U_{DD} = 40 \text{ V}$: ca. 1 pF) reduziert. Der Bahnwiderstand der Diode wird nicht betrachtet, da er keinen merklichen Einfluss hat. Als eine zusätzliche Version wurde das gesamte Ausgangsnetzwerk mit idealen Bauelementen entworfen, um seinen Einfluss bezüglich Filterung und Impedanz bzw. Anpassung zu bestimmen. Das heißt, es besteht in diesem Fall aus idealen Induktivitäten und Kapazitäten ohne Verluste. Der Serienkreis setzt sich dabei aus einer sehr großen Spule ($L_{ser} = 2000 \text{ nH}$) und einer kleinen Kapazität ($C_{ser} = 0,0625 \text{ pF}$), abgestimmt auf die Signalfrequenz von 450 MHz, zusammen. Auch die Anpassung mittels L-C-Tiefpass (vgl. Abb. 2.14) von der optimalen Impedanz für die Endstufen von 40Ω auf die benötigten 50Ω am Ausgang ist ideal. Somit

sieht die Endstufe für den Fall des idealen Ausgangsnetzwerks einen für sie perfekten Impedanzverlauf (alle Frequenzen außer f_s mit einer sehr hohen Impedanz abgeschlossen) und eine optimale Filtercharakteristik (keine Durchgangsverluste und Bandbreite im Bereich der Breite des *notches* (ca. 10 MHz)).

Die Tabelle 4.1 zeigt die Ergebnisse und verdeutlicht den Einfluss jedes einzelnen parasitären Elements und des idealen Ausgangsnetzwerks als Ganzes für die beiden *power back-off*-Werte. Die Verbesserung der Effizienz (in Prozentpunkten) durch das jeweilige idealisierte Element im Vergleich zum realen Aufbau ist in der rechten Spalte angegeben. Die Simulationen wurden für eine Versorgungsspannung von 40 V an der Endstufe durchgeführt. Zur Veranschaulichung sind die Ergebnisse aus Tabelle 4.1 in Abbildung 4.19 in einem Balkendiagramm dargestellt.

<i>back-off</i> (dB)	Variation	P_{DC} (W)	P_{aus} (W)	η_{drain} (%)	Erhöhung η_{drain} (%)
0,5	alles real	5,45	2,76	50,7	/
	ideales Filter und Anpassung	5,74	3,44	60	9,3
	C_{diode} ca. 10 fF	4,52	2,71	59,9	9,2
	$R_{ds,ON} = 0,1 \Omega$	6,59	3,72	56,4	5,7
	$C_{ds} = 1$ fF	5,16	2,77	53,6	2,9
	$C_{gd} = 1$ fF	5,31	2,77	52,1	1,4
10	alles real	2,86	0,31	11	/
	ideales Filter und Anpassung	2,2	0,39	17,6	6,6
	C_{diode} ca. 10 fF	1,79	0,31	17,1	6,1
	$R_{ds,ON} = 0,1 \Omega$	3,48	0,42	12,1	1,1
	$C_{ds} = 1$ fF	2,54	0,31	12,4	1,4
	$C_{gd} = 1$ fF	2,71	0,31	11,6	0,6

TABELLE 4.1. Verlustmechanismen im Voltage-Mode Klasse-S-Verstärker: Reduzierung einzelner parasitärer Elemente auf annähernd idealen Wert und deren Einfluss auf Ausgangsleistung P_{aus} , DC-Leistung P_{DC} und Draineffizienz η_{drain} ($U_{DD} = 40$ V; Bitsequenz: 1-Ton BPDS; $COSR = 4$; *power back-off*: 0,5 dB und 10 dB)

Zunächst sei angemerkt, dass die simulierten Werte gut mit den für die betrachteten Signaleingangspegel gemessenen übereinstimmen (vgl. Abb. 4.15). Dabei kommt es bei 10 dB *back-off* zu einer maximalen Abweichung der Draineffizienz von 4 %. Das belegt die Gültigkeit der Simulation mit dem Schaltermodell.

Bei Betrachtung der Tabelle und des Balkendiagramms fällt auf, dass das Ausgangsnetzwerk (Filter, Anpassung) und die Diodenkapazität sowohl für Vollaussteuerung

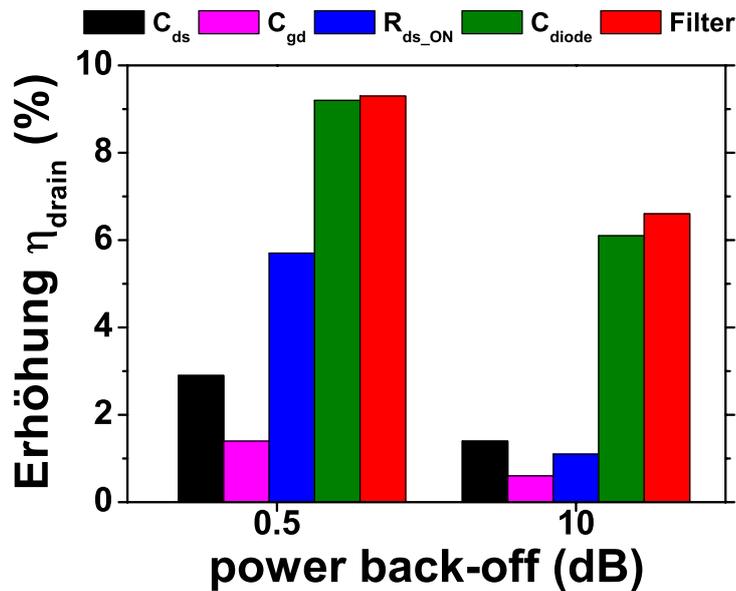


ABBILDUNG 4.19. Verbesserung der Draineffizienz (η_{drain}) des Voltage-Mode Klasse-S-Verstärkers bei Reduktion eines einzelnen parasitären Elements (C_{diode} , C_{ds} , C_{gd} , R_{ds_ON}) auf (nahezu) idealen Wert und idealisierter Charakteristik des Ausgangsnetzwerks (“Filter”); $U_{DD} = 40$ V; Bitsequenz: 1-Ton BPDS; $COSR = 4$; *power back-off*: 0,5 dB und 10 dB

als auch für 10 dB *back-off* den größten Einfluss auf die Effizienz haben. Die Draineffizienz lässt sich durch deren Reduktion jeweils um 9 % (0,5 dB) bis 6 % (10 dB *power back-off*) steigern. Der hohe Einfluss der Diodenkapazität bestätigt dabei den erwarteten Sachverhalt, dass für den Voltage-Mode der Verlustmechanismus der parasitären Kapazitäten vorherrscht. Sie laden sich bei jedem Schaltvorgang bis zur Betriebsspannung U_{DD} (hier: 40 V) auf. Die gespeicherte Energie geht dann beim Übergang des parallel geschalteten Transistors in den leitenden Zustand verloren. Der Einfluss der Drain-Source-Kapazität C_{ds} der Endstufentransistoren ist geringer, da sie viel kleiner als die Diodenkapazität ist (ca. 1/3 von C_{diode}) und so weniger Ladung speichern kann.

Die Verbesserung der Draineffizienz durch das ideale Ausgangsnetzwerk ist hauptsächlich auf die dann optimale Impedanzcharakteristik zurückzuführen, während die Durchgangsverluste eine untergeordnete Rolle spielen. Dadurch werden die Signale an den Transistoren in ihrer idealen Form gehalten. Dem gegenüber nehmen die ohmschen Verluste bei sinkender Ausgangsleistung wegen der geringer werdenden Ströme ab. Alle höherfrequenten Signalanteile werden reflektiert und generieren keine Verluste in der Last.

Weiterhin erkennt man eine mit der Signaleingangsleistung unterschiedliche Wirkung des On-Widerstandes der Transistoren R_{ds_ON} . Kann bei Vollaussteuerung durch seine

Verminderung auf $0,1 \Omega$ noch eine Effizienzsteigerung von ca. 6 % erreicht werden, sind dies bei 10 dB *back-off* nur noch knapp 1 %. Die kapazitiven Schaltverluste nehmen dem gegenüber mit sinkender Signaleingangsleistung relativ im Vergleich zum R_{ds_ON} (ohmsche Verluste) zu. Der Grund ist, dass die Kapazitäten unabhängig von der Ausgangsleistung mit der gleichen Spannung U_{DD} pro Schaltvorgang aufgeladen und anschließend im Transistor entladen werden, so dass eine feste Energie pro Schaltvorgang verloren geht. Da bei einem *Oversampling* von 4 die Anzahl der Schaltvorgänge sich mit wachsendem *PAPR* praktisch nicht ändert (siehe Abb. 4.16), bleibt auch die Verlustleistung konstant. Zusammenfassend muss man also zumindest für Vollaussteuerung (0,5 dB *back-off*) auch immer neben den Kapazitäten den Verlustwiderstand der Schalttransistoren berücksichtigen und optimieren. Hier ist ein Kompromiss zu finden, da, wenn R_{ds_ON} durch eine Erhöhung der Gateweite der Endstufentransistoren verringert wird, gleichzeitig die Drain-Source-Kapazität steigt. Abschließend muss man noch festhalten, dass auch die Gate-Drain-Kapazität der Transistoren C_{gd} einen Einfluss hat, der aber weitgehend vernachlässigt werden kann. Die Verbesserungen bei ihrer Reduktion auf 1 fF liegen im Bereich von 1 % für beide Eingangspegel.

Insgesamt lässt sich festhalten, dass der Schwerpunkt der Verlustmechanismen im realisierten Voltage-Mode-Aufbau in der parasitären Kapazität C_{diode} und im Ausgangsnetzwerk liegt. Außerdem kann man mit keinem der untersuchten parasitären Elemente allein eine entscheidende Verbesserung bezüglich Effizienz und Ausgangsleistung erzielen. Man muss weiterhin konstatieren, dass die für den Betrieb mit BPDS-Signalen erreichten Effizienzen bereits für Vollaussteuerung zu gering sind (max. 60 % mit idealer Diode). Beim Betrieb mit verringerter Signalleistung (*back-off*) und damit hohen *PAPR*-Verhältnissen nehmen diese Werte weiter stark ab, obwohl in der Theorie des Klasse-S-Verstärkers mit idealen Elementen ein eher konstantes Verhalten erreicht werden sollte.

Im Zuge der Simulationen mit idealem Ausgangsnetzwerk hat eine Analyse der Signale über den einzelnen (realen) Bauelementen (Transistor, Diode) ergeben, dass die reflektierten Spektralanteile zu einem großen Teil in ihnen vernichtet und somit nicht genutzt werden. Daher lässt sich auch mit einem idealem Ausgangsnetzwerk allein nur eine maximale Effizienzsteigerung von 9 Prozentpunkten erzielen. Folglich wird auch, wenn man zur Erhöhung der Effizienz ein ideales Filter dem realen nachschaltet, vom Filter am Ausgang des realen Aufbaus kein großer Einfluss beobachtet.

Die Simulationen zeigen, dass eine wesentliche Verbesserung der Effizienz nur durch die Kombination von idealem Filter und reduzierten Parasitäten der Bauelemente im VMCS-Verstärker erreicht werden kann. Aufgrund dessen wurden auch die Einflüsse der (kompletten) Bauelemente Transistor, Diode und Filter als Ganzes und die Kombinationen Transistor/Diode, Transistor/Filter und Diode/Filter analysiert. Der "ideale" Transistor hat in der Simulation dabei folgende (nahezu) ideale parasitäre Elemente:

$$R_{ds_ON} = 0,1 \Omega; C_{ds} = 1 \text{ fF}; C_{gd} = 1 \text{ fF}.$$

Die wesentlichen Elemente der “idealen” Diode in dieser Simulation sind:

$$R_{diode} = 0,1 \, \Omega; C_{diode} = 10 \, \text{fF} (U_{DD} = 40 \, \text{V}).$$

Das “ideale” Filter ist analog zu den Betrachtungen der einzelnen parasitären Elemente verlustfrei und hat zusätzlich eine ideale Impedanz- und Durchlasscharakteristik. Das ist dadurch verursacht, dass die nichtideale Impedanzcharakteristik am Eingang des realen Filters außerhalb des Signalfrequenzbereichs durch das nachgeschaltete ideale Filter praktisch nicht verändert wird und damit die Verluste in den Transistoren und Dioden kaum verringert werden.

Tabelle 4.2 listet für die verschiedenen Fälle die sich ergebenen Werte von DC-Verlustleistung P_{DC} , Ausgangsleistung P_{aus} , Draineffizienz η_{drain} und die jeweilige Verbesserung der Draineffizienz (in Prozentpunkten) für den VMCS-Verstärker auf. Abbildung 4.20 veranschaulicht die Ergebnisse aus dieser Tabelle und somit die Einflüsse der idealen (kompletten) Bauelemente und ihrer Kombinationen mit einem anderen idealen Element in einem Balkendiagramm.

<i>back-off</i> (dB)	ideales Element	P_{DC} (W)	P_{aus} (W)	η_{drain} (%)	Erhöhung η_{drain} (%)
0,5	alles real	5,45	2,76	50,7	/
	Transistor	5,97	3,69	61,8	11,1
	Diode	4,5	2,71	60,1	9,4
	Filter	5,74	3,44	60	9,3
	Transistor/Diode	4,63	3,44	74,1	23,4
	Transistor/Filter	5,92	4,73	79,9	29,2
	Diode/Filter	4,75	3,48	73,3	22,6
10	alles real	2,86	0,31	11	/
	Transistor	2,87	0,42	14,6	3,6
	Diode	1,83	0,31	16,9	5,9
	Filter	2,2	0,39	17,6	6,6
	Transistor/Diode	1,61	0,39	24,1	13,1
	Transistor/Filter	1,76	0,53	30,2	19,2
	Diode/Filter	1,14	0,39	34,3	23,3

TABELLE 4.2. Verlustmechanismen (Transistor/Diode/Ausgangsnetzwerk komplett und ihre Kombinationen) im Voltage-Mode Klasse-S-Verstärker: Einfluss idealisierter Bauelemente auf Ausgangsleistung P_{aus} , DC-Leistung P_{DC} und Draineffizienz η_{drain} ; $U_{DD} = 40 \, \text{V}$; Bitsequenz: 1-Ton BPDS; $COSR = 4$; *power back-off*: 0,5 dB und 10 dB

Für Vollaussteuerung (0,5 dB *back-off*) zeigt der ideale Transistor den größten Einfluss, wenn auch nur mit geringem Vorsprung. Die Effizienz lässt sich dadurch um rund

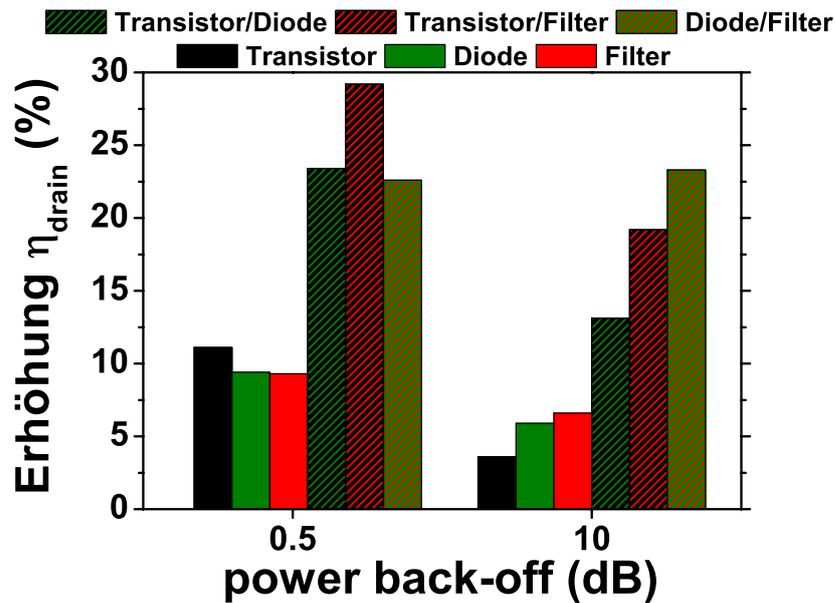


ABBILDUNG 4.20. Verbesserung der Draineffizienz (η_{drain}) des Voltage-Mode Klasse-S-Verstärkers durch ideale (komplette) Bauelemente (Transistor, Diode, Ausgangsnetzwerk) und deren Kombination; $U_{DD} = 40$ V; Bitsequenz: 1-Ton BPDS; $COSR = 4$; *power back-off*: 0,5 dB und 10 dB

11 Prozentpunkte steigern. Mit einer perfekten Diode oder einem idealen Filter erreicht man Effizienzverbesserungen von ca. 9 %. Das bestätigt die Ergebnisse von der Analyse mit den parasitären Einzelementen in Tabelle 4.1 bzw. Abbildung 4.19. Daraus erkennt man auch, dass im Hinblick auf die Dioden nur deren parasitäre Kapazität C_{diode} einen wesentlichen Einfluss hat, während R_{diode} keine Rolle spielt.

Diese Verhältnisse lassen sich damit erklären, dass der Transistor zwar die gegenüber der Diode viel kleinere parasitäre Kapazität (C_{ds}) besitzt, aber sein $R_{ds,ON}$ (hier: $5,5 \Omega$) bei geringem *back-off* einen stärkeren Einfluss hat (vgl. Abb. 4.19). Aufgrund der vergleichsweise hohen Ströme bei Vollaussteuerung werden mit $R_{ds,ON}$ ohmsche Verluste generiert, die den Einfluss der anderen parasitären Kapazitäten, v. a. C_{diode} , überwiegen. Konsequenterweise hat für große Signalpegel die Kombination aus idealem Transistor und Filter den stärksten Einfluss (+ 29,2 %). Werden also durch die optimale Filtercharakteristik (Impedanzen) alle Spektralanteile außer der Signalfrequenz reflektiert, muss bei 0,5 dB *power back-off* vornehmlich $R_{ds,ON}$ der Transistoren geringer werden, damit diese Leistungsanteile nicht hauptsächlich vernichtet werden. Mit den Kombinationen aus idealer Diode/Filter und Diode/Transistor ließe sich noch eine Effizienzsteigerung von rund 23 % erreichen.

Analog zu $R_{ds,ON}$ geht der Einfluss des Transistors relativ im Vergleich zur Diode und dem Filter mit sinkenden Signaleingangspegeln zurück. Bei hohem *back-off*-Faktor

(hier: 10 dB) nimmt der Einfluss der kapazitiven Schaltverluste zu, wobei C_{ds} des Transistors zu gering im Vergleich zu C_{diode} ist und deswegen eine ideale Diode eine größere Wirkung bei hohem *back-off* hat (+ 5,9 % gegenüber 3,6 % für idealen Transistor). Die Simulationen zeigen, dass durch ein ideales Filter (+ 6,6 %) zwar das Ausgangssignal sinusförmig (Filtern der Signalfrequenz und Reflexion aller anderen Spektralanteile) wird, die reflektierten spektralen Komponenten aber hauptsächlich im Transistor in Wärme umgesetzt werden. Das macht bei 10 dB *back-off* ca. 50 % der DC-Verlustleistung aus. Optimiert man aber C_{diode} , so können die Verluste durch die reflektierten Signalanteile über den Transistoren halbiert und über den Dioden gänzlich minimiert werden. Im Zusammenhang mit dem Einfluss der einzelnen Bauelemente erreicht man dementsprechend bei 10 dB *PAPR* mit einer Kombination aus idealem Filter und idealer Diode (C_{diode}) die höchste Effizienzsteigerung (+ 23,3 %). Die Kombinationen aus idealem Transistor/Filter (+ 19,2 %) und Transistor/Diode (+ 13,1 %) zeigen analog zu dem Verhalten der parasitären Einzelelemente (vgl. Abb. 4.19) eine geringere Wirkung.

Insgesamt gesehen lässt sich anhand der Betrachtungen der Verlustmechanismen im Voltage-Mode festhalten, dass entscheidende Verbesserungen der Draineffizienz nur durch eine kombinierte Reduktion von Parasitäten und Optimierung der Impedanzcharakteristik des Filters erreicht werden können. Der Einfluss der einzelnen parasitären Elemente (vgl. Tabelle 4.1 und Abbildung 4.19) ist mit maximal 6 % (durch ideale C_{diode}) bei 10 dB *back-off* zu gering. Auch das Nachschalten eines idealen Filters an die reale VMCS-Struktur hat, wie bereits erwähnt, eine nur geringe Wirkung. Entscheidend ist hier die optimale Impedanzcharakteristik für die Endstufentransistoren, die durch die Benutzung eines zusätzlichen (nahezu) idealen Filters am Ausgang nicht garantiert wird. Gemäß den Analysen in diesem Abschnitt verspricht eine Reduzierung der Diodenkapazität C_{diode} noch die deutlichsten Verbesserungen im Wirkungsgrad. Hierzu wird der aufgebaute VMCS-Verstärker ohne Freilaufdioden getestet und mit den vorherigen Ergebnissen verglichen.

4.2.4. Betrieb ohne Freilaufdioden. Zur Messung ohne Freilaufdioden wurden diese durch Auftrennen der Bonddrähte von der restlichen Schaltung getrennt. Für den Klasse-D-Betrieb stört das nicht, bei einem BPDS-Eingangssignal treten allerdings die in Abschnitt 2.2.2.1 beschriebenen und für die Endstufentransistoren gefährlichen Rückströme auf, die das Signal verfälschen und das Bauelement zerstören können. Allerdings bietet diese Messung eine gute Möglichkeit, einen entscheidenden Verlustmechanismus im Voltage-Mode zu verringern. Durch die Herausnahme der Freilaufdioden verringert sich die Kapazität, die zuvor aus der Parallelschaltung von C_{ds} (ca. 0,3 pF) und C_{diode} (ca. 1 pF bei $U_{DD} = 40$ V) bestand, merklich. Sie beträgt jetzt nur noch 0,3 pF. Somit sollten auch die Schaltverluste stark sinken und demnach die Effizienz steigen. Der Verstärker wurde dazu wieder im Klasse-D- und Klasse-S-Betrieb (BPDS mit 0,5 dB *power back-off*) angesteuert und vermessen. Die Ergebnisse sind in Abbildung 4.21 dargestellt und werden in Tabelle 4.3 mit den erreichten Werten unter Benutzung der Freilaufdioden verglichen.

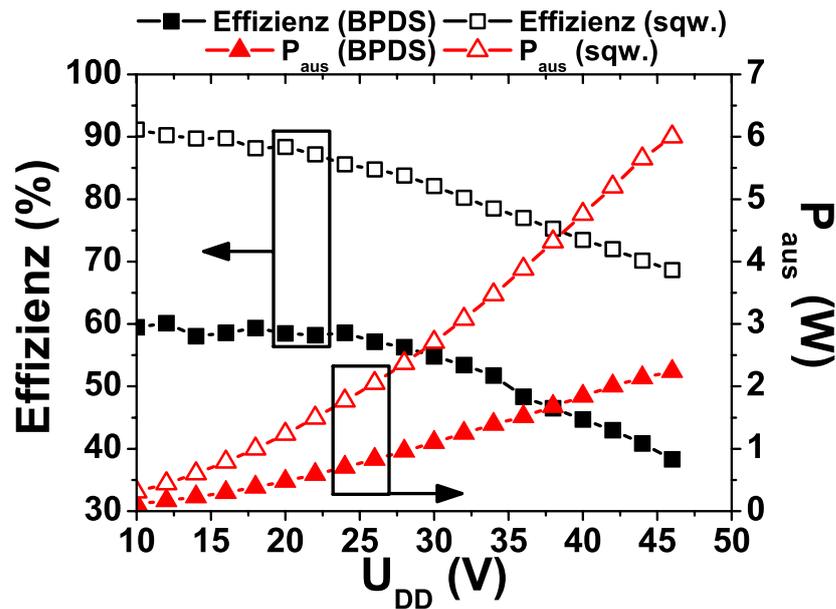


ABBILDUNG 4.21. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des VMCS-Verstärkers ohne Freilaufdioden in Abhängigkeit von U_{DD} ; Eingangssignal: BPDS Bitsequenz (0,5 dB back-off) und “1100” (sqw.); Bitrate: 1,6 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 10 \dots 46$ V

Man erkennt aus dem Diagramm (Abb. 4.21) und aus dem Vergleich in Tabelle 4.3, dass beim Betrieb ohne Freilaufdioden (“ohne D.”) die Draineffizienzen gegenüber dem Fall mit Dioden (“mit D.”) stark ansteigen. Im Klasse-D-Betrieb zeigt sich ein Anstieg der maximalen Effizienz von rund 20 % auf maximal 91 % (0,3 W) und bei Klasse-S-Ansteuerung sind es noch ca. 10 % mehr im Vergleich zum ursprünglichen VMCS-Aufbau mit nun 60 % Draineffizienz (0,2 W). Die Effizienzsteigerung im Klasse-S-Betrieb bei Optimierung der Diodenkapazität bestätigt auch die Simulationen aus Abschnitt 4.2.3 (+ 9 % bei 0,5 dB back-off). Vor allem der Klasse-D-Fall (“sqw.”) zeigt mit fast 100 % Draineffizienz das große Potential des Verstärkers ohne Diode und mit einer Modulation, die die maximale Kodiereffizienz zur Verfügung stellt.

Die Ausgangsleistungen sind allerdings geringer als bei Diodenbetrieb. Das liegt im Falle des BPDS-Eingangssignals an den zusätzlichen Rückströmen durch die Schaltendstufen aufgrund der fehlenden Dioden, die mit wachsendem U_{DD} größer werden. Dadurch werden die Transistoren zusätzlich zu den zu schaltenden hohen Spannungsamplituden mehr belastet und sie gehen frühzeitig in die Sättigung. Allerdings entstehen selbst bei höheren Spannungen bis zu 46 V im Klasse-S-Betrieb keine Rückströme, die groß genug wären, um die Transistoren zu zerstören. Der Voltage-Mode Klasse-S-Verstärker ist also auch ohne Freilaufdioden brauchbar. Die Signale am Ausgang der Transistoren werden nur geringfügig verfälscht.

	VMCS mit D.	VMCS ohne D.
max. Leistung Klasse-S (Effizienz)	3,4 W (38 %)	2,2 W (38 %)
max. Effizienz Klasse-S (Leistung)	52 % (0,5 W)	60 % (0,2 W)
max. Leistung Klasse-S (Effizienz $\geq 50\%$)	1,2 W	1,5 W
Effizienzabfall (%) Klasse-S (20 V - 40 V)	9,5 %	31 %
max. Leistung Klasse-D (Effizienz)	7 W (64 %)	6 W (69 %)
max. Effizienz Klasse-D (Leistung)	73,5 % (0,4 W)	91 % (0,3 W)
max. Leistung Klasse-D (Effizienz $\geq 70\%$)	2,1 W	5,7 W
Effizienzabfall (%) Klasse-D (20 V - 40 V)	5 %	20 %

TABELLE 4.3. Vergleich der Ergebnisse des realisierten VMCS-Verstärkers mit und ohne Freilaufdioden für Klasse-S- und Klasse-D-Betrieb

Im Klasse-D-Fall treten diese Rückströme nicht auf. Da die Effizienz mit steigender Spannung hier in ähnlicher Weise abnimmt wie im Klasse-S-Betrieb, kann man folgern, dass der Hauptanteil dieses Effektes durch die GaN-Endstufen bedingt ist.

Es lässt sich aber vor allem festhalten, dass die parasitären Kapazitäten wie erwartet sehr stark den Voltage-Mode-Betrieb beeinflussen, was mit der deutlichen Effizienzsteigerung nach Entfernen der Dioden belegt ist. Dem gegenüber beeinflussen die Schaltvorgänge, wie gezeigt, die Effizienz nur sehr wenig. Weitere Verlustmechanismen im Voltage-Mode werden in Abschnitt 4.2.3 diskutiert und analysiert.

Die Auswirkung der Konfiguration ohne Freilaufdioden (“ohne D.”) auf den Betrieb bei *power back-off* zeigt Abbildung 4.22 und vergleicht sie in dem Diagramm mit dem VMCS-Betrieb inklusive Freilaufdioden (“mit D.”) bei einer Versorgungsspannung U_{DD} von 30 V. Der Arbeitspunkt wurde so gewählt, um die Transistoren ohne Dioden nicht mit zu hohen Rückströmen durch das Anlegen zu hoher Versorgungsspannungen zu beaufschlagen.

Man erkennt, dass sich bei Betrieb ohne Dioden eine leichte Verbesserung der Effizienz über *back-off* einstellt. Es kann aber keine entscheidende Erhöhung, v.a. im Bereich um 10 dB *PAPR* (von 9 % auf 11 %), erreicht werden. Das ist etwas weniger, als durch die Simulation in Abschnitt 4.2.3 vorausgesagt (+ 6 %). Die Ausgangsleistung ist über den gesamten Bereich ca. 1 dB geringer als bei Betrieb mit Freilaufdioden. Der Abfall der Effizienzkurve ist beim Betrieb ohne Dioden stärker ausgeprägt als mit Freilaufdioden, was auch mit den Rückströmen zusammenhängt, die geringere Ausgangsleistungen im Vergleich zum Betrieb mit Freilaufdioden zur Folge haben. Das wirkt sich bei kleineren Ausgangspegeln noch stärker aus.

Insgesamt muss noch hinzugefügt werden, dass alle Messungen des Voltage-Mode Klasse-S-Verstärkers auch mit der gesamten Treibertopologie in der Simulation gut nachgebildet werden konnten. Sowohl mit dem Angelov-Modell als auch mit dem selbst entwickelten Schaltermodell für die Transistoren weicht die Simulation nur wenig von

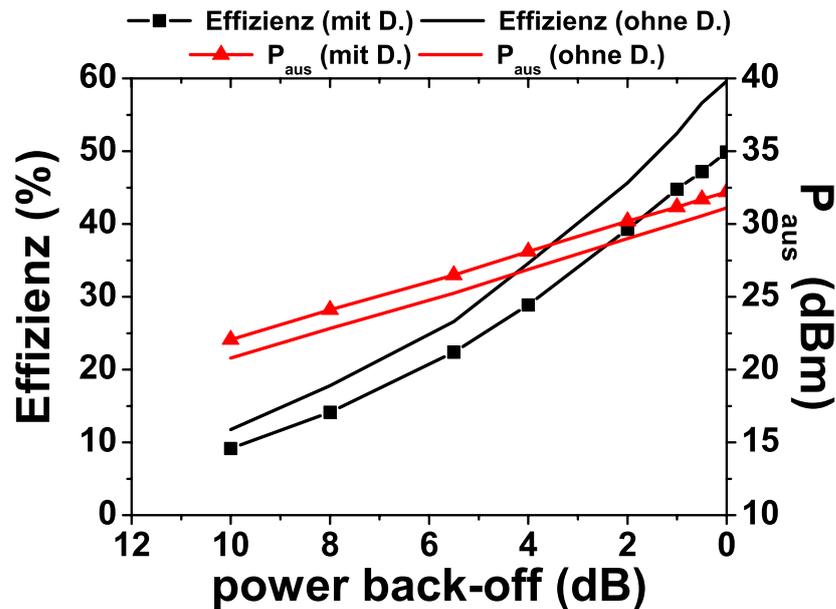


ABBILDUNG 4.22. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des VMCS-Verstärkers mit (mit D.) und ohne (ohne D.) Freilaufdioden in Abhängigkeit vom *power back-off*; Eingangssignal: BPDS; *back-off*: 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 30$ V

den Messungen ab und bietet so ein wichtiges Werkzeug für weitere Entwürfe von Schaltverstärkern im Zeitbereich.

Der große Unterschied der Effizienzen zwischen Klasse-D- (bis zu 90 %) und Klasse-S-Betrieb zeigt, dass die geringere Kodiereffizienz der konventionellen BPDS-Modulation ein großes Problem ist. So kann in einer BPDS-Bitfolge der Amplitude 1 (U oder I) im stabilen Betrieb nur ein Signal mit der Amplitude von ca. 0,8 kodiert werden. Den optimalen Fall stellt, wie bereits beschrieben, die periodische Rechteckfolge dar, bei der gleiche Amplitude für Rechteck und BPDS-Bitfolge vorausgesetzt - eine Signalamplitude von $4/\pi \cdot U_0$ erzeugt werden kann. Hier liegt der Grund für die verbesserte Leistung und Effizienz beim Übergang von BPDS- zu “1100”-Anregung. Man muss also, um die Effizienzwerte auch bei hohem *PAPR* zu steigern, eine Modulationsform einsetzen, die eine maximale Kodiereffizienz garantiert. Zwei solcher Ansätze wurden mit dem VMCS-Verstärkeraufbau ohne Dioden getestet und sind im folgenden Abschnitt beschrieben.

4.2.5. Modulationsansatz mit verbesserter Kodiereffizienz. Im Vergleich zur BPDSM ist die Pulslängenmodulation (PLM) ein Modulationsansatz mit verbesserter

Kodiereffizienz, die, wie aus der Literatur bekannt, in Verbindung mit der Pulspositionsmodulation (PPM) eine vollständige Modulation nach Amplitude und Phase realisieren kann. In dieser Arbeit beschränken sich die Studien zunächst auf den für die Effizienz primär interessierenden Fall der Amplitudenmodulation (also PLM). Bei der Pulslängenmodulation entspricht die Signalform für die maximale Amplitude des kodierten Signals (Vollaussteuerung) dem Verlauf einer periodischen Rechteckfolge (vgl. Abschnitt 4.2.2). Die PLM hat somit im Vergleich zum BPDS-Ansatz eine höhere Kodiereffizienz (maximal $4/\pi \cdot U_0$ wie im Klasse-D-Fall). Zwei verschiedene PLM-Ansätze wurden am VMCS-Verstärker ohne Freilaufdioden getestet. Sie sind im folgenden beschrieben und die dazugehörigen Messergebnisse werden diskutiert.

4.2.5.1. *PLM mit konstanter Anzahl von Schaltvorgängen (PLM-K)*. Abbildung 4.23 verdeutlicht den ersten PLM-Ansatz mit einer konstanten Anzahl an Schaltvorgängen innerhalb eines festen Zeitintervalls T_0 ("PLM-K").

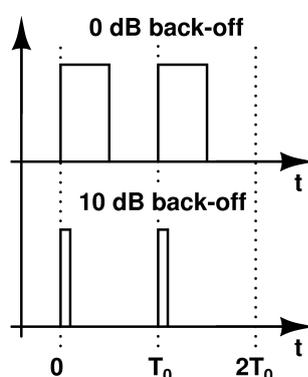


ABBILDUNG 4.23. Pulslängenmodulation mit konstanter Anzahl der Schaltvorgänge (PLM-K): Resultierende Zeitverläufe für zwei verschiedene Amplituden des kodierten Signals (Vollaussteuerung und 10 dB *back-off*)

Bei dieser Modulation wird die Amplitude des Signals in der Länge der Pulse kodiert, während die Wiederholfrequenz der Pulse der Signalfrequenz entspricht (siehe Abb. 4.23). Messtechnisch lässt sich das für diskrete Amplitudenwerte mit dem Bitmuster-generator emulieren. Ausgehend von einer gleichen Anzahl von "1" und "0" (Vollaussteuerung) wird ein *back-off*-Betrieb realisiert, in dem man einen Anteil weiter reduziert im gleichen Maße wie man den anderen erhöht. Somit können abhängig von der Anzahl der Bits verschiedene *PAPR*'s generiert werden. In unserem Fall wurden zunächst 10 Bits benutzt, mit denen man *power back-offs* von 0 dB (5x"1" und 5x"0") bis 10,2 dB (1x"1" und 9x"0") erreicht. Ein Merkmal dieser Kodierung ist, dass sie im Vergleich zur BPDS-Modulation zeitkontinuierlich ist, aber die binären Amplitudeneigenschaften bewahrt. Als Nachteil kann man demnach schlussfolgern, dass die Bitrate nicht definiert ist, sondern von der Phase des Signals abhängt. Ein weiteres Merkmal

ist, dass mit abnehmender Amplitude die Pulse kürzer und damit das hochfrequente Spektrum stärker wird. Im Falle unserer Messungen heißt das konkret, dass bei einem *back-off* von 10 dB das kürzeste Bit nur 250 ps ($1/(4 \text{ Gbit/s})$) lang ist. Das könnte bei den Schalttransistoren zu reduzierten Effizienzen führen, wenn sie zu langsam sind, um die kurzen Bits noch gut genug abzubilden und zu verstärken. Weitet man die Bitfolge auf noch größere *back-off*'s aus, so wird diese Anforderung an die Transistoren immer kritischer. Der VMCS-Verstärker ohne Dioden wurde mit dem neuen Modulationsansatz getestet. Für die verwendete Bitlänge (10 Bits) konnten *PAPR*'s von 0 dB, 0,4 dB, 1,82 dB, 4,55 dB und ca. 10,2 dB realisiert werden. Die Messungen sind in Abbildung 4.24 dargestellt und werden mit den BPDS-Messungen (VMCS ohne Dioden) für eine Versorgungsspannung von 30 V verglichen.

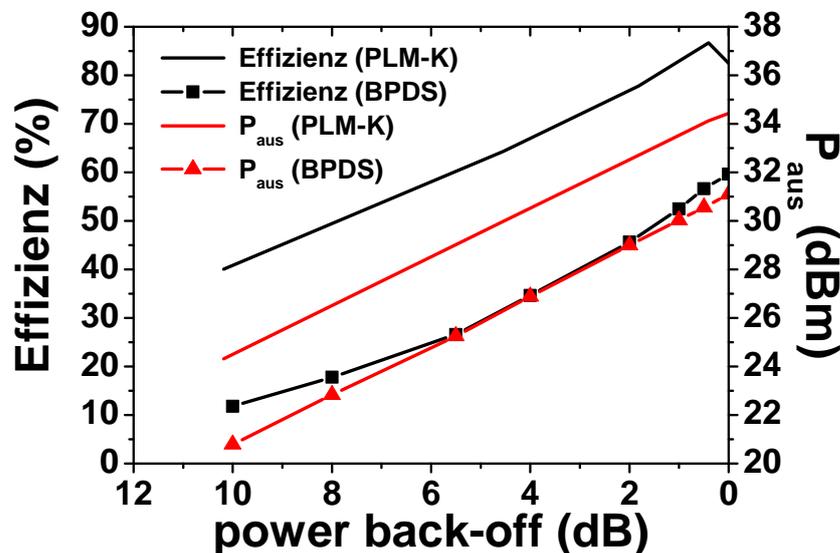


ABBILDUNG 4.24. Gemessene Ausgangsleistung P_{aus} und Draineffizienz („Effizienz“) des VMCS-Verstärkers ohne Freilaufdioden über *power back-off*; Eingangssignal: PLM-K und BPDS; *back-off*: 10 dB ... 0 dB; Bitrate: 4 Gbit/s (PLM-K) und 1,6 Gbit/s (BPDS); $f_S = 400 \text{ MHz}$; $U_{DD} = 30 \text{ V}$

Man erkennt aus der Messung deutlich, dass sich die Ausgangsleistung wie erwartet aufgrund der erhöhten Kodiereffizienz im Vergleich zur BPDS-Anregung um ca. 3,5 dB erhöht hat. Entsprechend konnte bei ungefähr gleichbleibenden Verlusten eine Effizienzsteigerung von ca. 30 % erreicht werden. Bei einem hohen *power back-off* von rund 10 dB konnte die Draineffizienz von 11 % auf 40 % gesteigert werden. Der Abfall der Effizienz bleibt über *back-off* aber ungefähr gleich (sie geht von 80 % auf 40 % bei 10 dB *back-off* zurück). Trotzdem sind damit vor allem für ein hohes *PAPR* sehr vielversprechende Ergebnisse in der Draineffizienz erzielt worden, die den Bestwerten

anderer Konzepte (z. B. Doherty [37] [38]) mindestens ebenbürtig sind. Man muss allerdings zur präzisen Einordnung der erreichten Resultate noch einmal anfügen, dass es sich hierbei bisher nicht um breitbandige Signale (WCDMA, OFDM etc.) für die neuesten Kommunikationsstandards handelt, sondern um 1-Ton Signale. Außerdem sind die Signalfrequenzen mit 450 MHz noch vergleichsweise niedrig. Des Weiteren wurde der Verstärker auch für eine Versorgungsspannung von 40 V mit diesem Modulationsansatz (PLM-K) vermessen. Hierbei sank die Draineffizienz von 84 % (4,8 W) bei Vollaussteuerung auf 34,5 % (0,47 W) bei 10,2 dB *back-off*. Abbildung 4.25 zeigt den Vergleich der Messungen für 30 V und 40 V. Anhand dieser Messungen erkennt man, wie sich durch die neue Modulationsform das Potential des realisierten Verstärkers verbessert. Die Ergebnisse stellen im Vergleich zum BPDS-Fall eine drastische Steigerung dar und sind den meisten anderen Ansätzen überlegen.

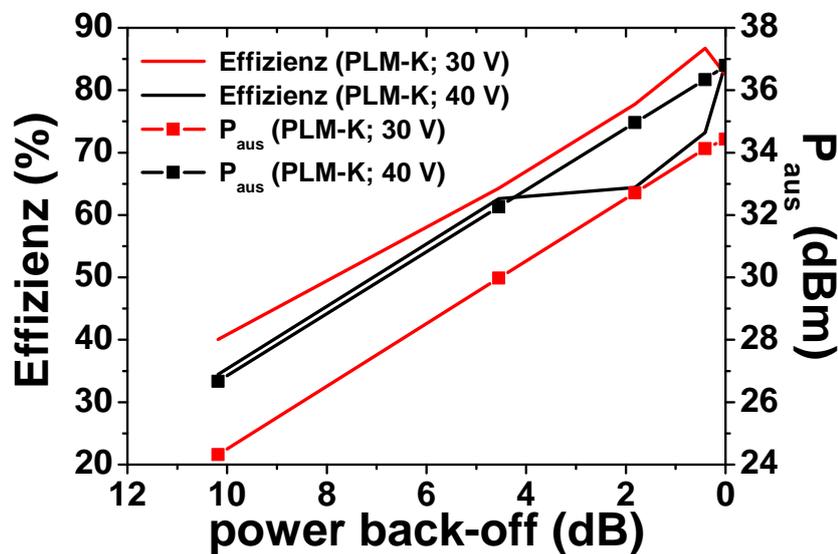


ABBILDUNG 4.25. Gemessene Ausgangsleistung P_{aus} und Draineffizienz (“Effizienz”) des VMCS-Verstärkers ohne Freilaufdioden über *power back-off*; Eingangssignal: PLM-K; *back-off*: 10 dB ... 0 dB; Bitrate: 4 Gbit/s; $f_s = 400$ MHz; $U_{DD} = 30$ V, 40 V

4.2.5.2. *PLM mit variierender Anzahl von Schaltvorgängen (PLM-SV)*. Um den Einfluss der Kodierung weitergehend zu untersuchen, wurde der VMCS-Verstärker ohne Freilaufdioden mit einem zweiten PLM-Ansatz (“PLM-SV”) getestet. Abbildung 4.26 veranschaulicht das Prinzip.

Die Amplitude wird hier nicht durch die Änderung der Pulsweite (vgl. 4.23), sondern durch das Weglassen von Pulsen kodiert. Dies ist möglich, da die Modulation der Einhüllenden viel langsamer als die Trägerfrequenz ist. Das bedeutet, dass mit steigendem *back-off* auch die Anzahl der Schaltvorgänge verringert wird. Die Idee dahinter

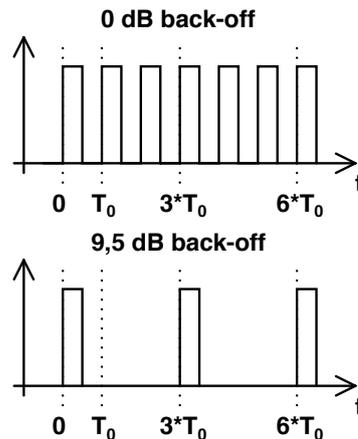


ABBILDUNG 4.26. Pulslängenmodulation mit Reduktion der Schaltvorgänge (PLM-SV): Resultierende Zeitverläufe für zwei verschiedene Amplituden des kodierten Signals (Vollaussteuerung und 9,5 dB *back-off*)

ist, dass sich ein Hauptverlustmechanismus des Voltage-Mode, die parasitären Kapazitäten (hier: C_{ds} der GaN-HEMTs), mit der Ausgangsleistung verringern sollte, da er eng mit den Schaltvorgängen verknüpft ist. Die parasitären Kapazitäten müssen weniger umgeladen werden. Dadurch ergibt sich theoretisch eine höhere Effizienz. Die Realisierung mittels des Bitmustergenerators ist, ausgehend von z. B. der Vollaussteuerung “110011001100” für 3 Perioden ($3 \cdot T_0$; für eine Periode T_0 gilt: “1100”), in zwei weiteren Schritten jeweils für die Zeitintervalle $T_0 - 2 \cdot T_0$ und $2 \cdot T_0 - 3 \cdot T_0$ “11” durch “00” zu ersetzen, so dass sich *power back-offs* von 0 dB ... 9,5 dB ergeben (vgl. Abb. 4.26). Gleichzeitig haben sich die Schaltvorgänge (von “0” auf “1” und umgekehrt) pro Zeitintervall $3 \cdot T_0$ von 6 bei Vollaussteuerung auf 2 bei 9,5 dB *back-off* reduziert. Darüber hinaus muss die Bitrate für eine Signalfrequenz von 400 MHz nur 1,6 Gbit/s (wegen 4 Bits; entspricht 800 Mbit/s, da “1100” $\hat{=}$ “10”) sein, es tritt also nicht wie bei PLM-K eine Verlagerung des Spektrums zu höheren Frequenzen hin auf. Der VMCS-Verstärker ohne Dioden wurde nun mit den generierten PLM-SV-Signalen getestet. Die Ergebnisse sind in Abbildung 4.27 mit den BPDS-Resultaten für eine Versorgungsspannung U_{DD} von 30 V verglichen.

Auch aus den PLM-Messungen mit Reduktion der Schaltvorgänge (PLM-SV) erkennt man eine deutliche Steigerung der Ausgangsleistung (ca. 3,5 dB) gegenüber dem BPDS-Fall, was mit der verbesserten Kodiereffizienz zusammenhängt. Bei annähernd gleichen Ausgangsleistungen wie bei der PLM ohne Verringerung der Schaltvorgänge (Abbildung 4.24) zeigt sich allerdings keine Verbesserung der Effizienzen. Bei einem *back-off* von 9,5 dB hat der Verstärker eine Draineffizienz von 35 %, wohingegen bei der Modulation mit gleichbleibenden Schaltvorgängen bei 10,2 dB *back-off* um die 40 % Draineffizienz erreicht werden konnten. Das heißt, dass die reduzierten Schaltvorgänge

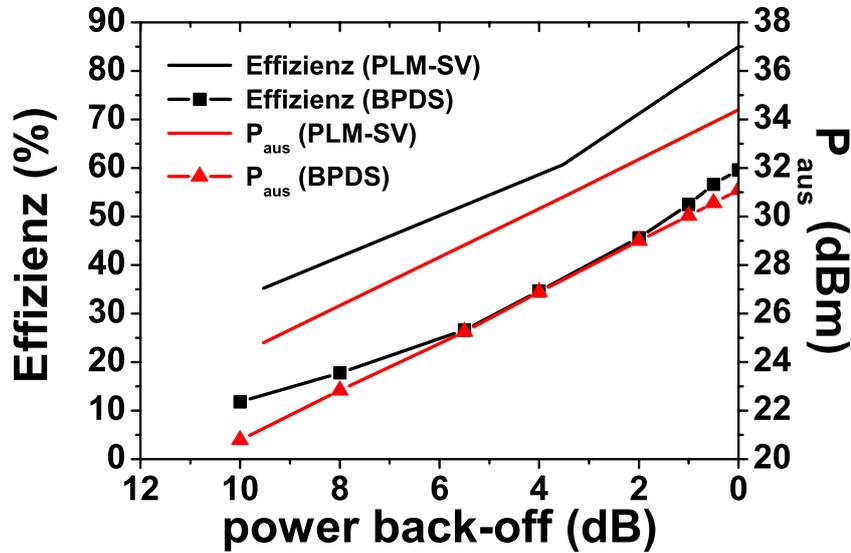


ABBILDUNG 4.27. Gemessene Ausgangsleistung P_{aus} und Draineffizienz (“Effizienz”) des VMCS-Verstärkers ohne Freilaufdioden über *power back-off*; Eingangssignal: PLM-SV und BPDS; *back-off*: (9,5 dB) 10 dB ... 0 dB; Bitrate: 1,6 Gbit/s; $f_S = 400$ MHz; $U_{DD} = 30$ V

keinen positiven Effekt auf die Leistungsfähigkeit des realisierten VMCS-Verstärkers haben. Das bestätigt auch die Beobachtung in Abschnitt 4.2.1 mit einem BPDS-Signal am Eingang. Ein Grund dafür kann die relativ kleine C_{ds} der benutzten GaN-HEMTs (ca. 0,3 pF) sein, wodurch die Verluste von anderen Effekten dominiert werden. Die beiden Ansätze mit verbesserter Kodiereffizienz sind in der Tabelle 4.4 noch einmal mit den Ergebnissen der BPDS-Anregung für 30 V Versorgungsspannung an der Endstufe verglichen. In allen Konfigurationen sind die Freilaufdioden nicht angeschlossen.

	BPDSM	PLM-K	PLM-SV
Effizienz (%) bei 0 dB <i>back-off</i>	60	82,5	84
Effizienz (%) bei ca. 10 dB <i>back-off</i>	11,8	40	35
P_{aus} (W) bei 0 dB <i>back-off</i>	1,3	2,8	2,8

TABELLE 4.4. Vergleich der Ergebnisse des realisierten VMCS-Verstärkers ohne Freilaufdioden für BPDS-Modulation, Pulslängenmodulation mit (PLM-SV) und ohne (PLM-K) Reduktion der Schaltvorgänge; $U_{DD} = 30$ V

Abschließend muss angemerkt werden, dass beide PLM-Varianten im Gegensatz zur BPDS-Kodierung keinen konstanten Mittelwert haben. Deshalb war es nötig,

aufgrund der unterschiedlichen Bitkonstellationen für die verschiedenen *PAPR*'s, die Gate-Vorspannung der ersten Treiberstufe (siehe Abbildung 3.16 in Abschnitt 3.3.3) nachzuregeln. Das soll sicherstellen, dass auch bei unterschiedlichen Verteilungen von "1" und "0" und den damit verbundenen Verschiebungen der DC-Level die Treiberstufen und die Endstufe immer richtig vorgespannt sind.

Die Klasse-S-Ergebnisse zum Voltage-Mode-Verstärker mit Freilaufdioden wurden in [39] publiziert. Das folgende Kapitel befasst sich nun mit den realisierten Current-Mode Klasse-S-Verstärkern (CMCS).

KAPITEL 5

Current-Mode Klasse-S-Verstärker (CMCS): Entwurf, Aufbau und Messung

In diesem Kapitel wird die Entwicklung, der Aufbau und die Charakterisierung der Current-Mode-Variante (CMCS) beschrieben. Dabei wurden zwei unterschiedlich dimensionierte Verstärker für eine Signalfrequenz von 450 MHz optimiert und realisiert. Zunächst werden die Optimierungsschritte und die Realisierung der hybrid aufgebauten Ausgangsnetzwerke sowie ihre Vermessung beschrieben. Anschließend werden dazugehörig die kompletten Demonstratoraufbauten (Zusammenschluss von Verstärker-MMICs, Schottky-Dioden und Ausgangsnetzwerk) und ihre Charakterisierung diskutiert.

5.1. Entwurf und Aufbau des CMCS-Verstärkers

Dieser Abschnitt beschreibt zunächst die Optimierungsvorgänge für das Ausgangsnetzwerk eines CMCS-Verstärkers. Dabei müssen aufgrund des differentiellen Ausgangs der Schaltendstufe und der breitbandigen Charakteristik des BPDS-modulierten Signals die Odd- (Z_{odd}) und Even-Mode-Impedanz (Z_{even}), welche vom Filter realisiert werden, über einen großen Frequenzbereich betrachtet werden. Hierzu werden Filter und Balun gemäß der in Abschnitt 2.2.3.2 eingeführten Impedanzbedingungen optimiert. Die notwendigen Simulationskonfigurationen und Messaufbauten werden hierfür vorgestellt und erläutert. Nach der Optimierung wird der realisierte Balun einzeln (Phasendifferenz, S-Parameter) sowie anschließend das gesamte Ausgangsnetzwerk inklusive Filter vermessen (S-Parameter, Impedanzen). Abschließend wird der Aufbau der entwickelten CMCS-Verstärker für 450 MHz Signalfrequenz gezeigt und beschrieben.

5.1.1. Optimierung und Realisierung des CMCS-Ausgangsnetzwerks.

Zunächst werden in diesem Abschnitt die Optimierungsschritte für das Ausgangsnetzwerk eines Current-Mode Klasse-S-Verstärkers (vgl. Abbildung 2.21 in Abschnitt 2.2.3.2) dargelegt. Dazu muss angemerkt werden, dass auch hier, analog zum Ausgangsnetzwerk des VMCS-Verstärkers, die Rückseitenmetallisierung der benutzten Mikrostreifenanordnung soweit wie möglich entfernt wurde, um parasitäre Kapazitäten zu minimieren. Die genaue Ausparung, auch in dem als Wärmesenke benutzten Kupferträger, wird im weiteren Verlauf dieses Abschnitts gezeigt.

Das hybride Ausgangsnetzwerk des Verstärkers muss verschiedene Funktionen erfüllen: Bandpassfilterung zur möglichst verlustfreien Rekonstruktion der Signalfrequenz, Balun für die Transformation des differentiellen Signals nach *single-ended* und zur Anpassung der 50Ω Ausgangsimpedanz an die optimale, differentielle Lastimpedanz

Z_{opt} der Transistorendstufe. Besonders die Z_{odd} - und Z_{even} -Werte, welche das Filter der Endstufe anbietet, müssen sorgfältig optimiert werden, um keine Leistung im Filter umzusetzen und so eine hohe Effizienz des Verstärkers zu ermöglichen. Dazu muss man die Impedanzbedingungen aus Abschnitt 2.2.3.2 erfüllen. Des Weiteren soll die Stromversorgung der Endstufen in das Netzwerk integriert werden. Aufgrund des breitbandigen Spektrums der BPDS-Bitfolge muss man eine Stromquelle mit sehr breitbandig hohem Innenwiderstand (kHz ... mehrere GHz) realisieren.

Der Balun und das Filter wurden jeweils sowohl einzeln als auch zusammenschaltet zunächst im Simulator in mehreren Iterationen entsprechend den gesetzten Bedingungen optimiert. Die dafür in der Simulation benutzten Setups sind in den Abbildungen 5.1 und 5.2 gezeigt. Sie entsprechen darüber hinaus auch den Beschaltungen in der Messung.

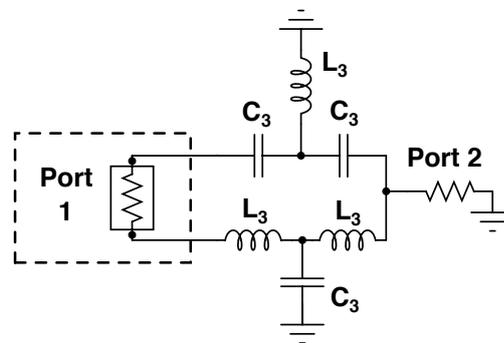


ABBILDUNG 5.1. Messaufbau und Simulationsanordnung zur Optimierung der S-Parameter und der Eingangsimpedanz Z_{in} des Balun; Z_{ref} (Port 1): $Z_{opt} = 120 \Omega$ (differentiell); Z_{ref} (Term für S-Parameter) und reale Abschlussimpedanz (für Z_{in}) (Port 2): 50Ω (single-ended)

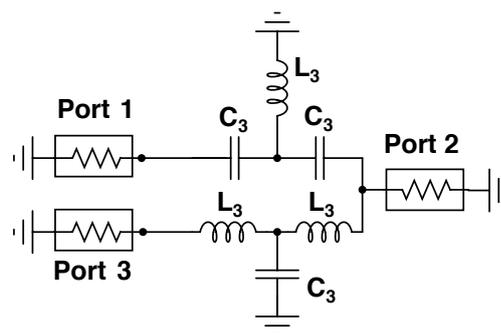


ABBILDUNG 5.2. Messaufbau und Simulationsanordnung zur Optimierung der Phasendifferenz des Balun; Z_{ref} (Term Port 1, 3): 60Ω (single-ended); Z_{ref} (Term Port 2): 50Ω (single-ended)

Als ersten Schritt betrachtet man den Balun allein, der die optimale differentielle Lastimpedanz Z_{opt} auf *single-ended* 50Ω transformieren soll. Diese beträgt laut Berechnungen aus Abschnitt 2.2.3.2 (Gleichung 44) für die verwendeten Endstufentransistoren mit einer Gateweite von $8 \times 250 \mu\text{m}$ ca. 120Ω . Für eine konstruktive Überlagerung der beiden Signalanteile aus dem Filter muss der Balun eine Phasendifferenz (siehe Konfiguration in Abb. 5.2) zwischen den Durchgängen “Port 1-zu-Port 2 (Ausgang)” (S_{21}) und “Port 3-zu-Port 2 (Ausgang)” (S_{23}) von 180° bereitstellen. Außerdem sollte er zusätzlich einen möglichst geringen Durchgangsverlust aufweisen.

Die Referenzimpedanz Z_{ref} zur Optimierung und Messung der S-Parameter sowie für die Impedanztransformation des Baluns muss als Z_{opt} , also 120 Ohm , am Eingang gewählt werden. Das Tor (Port “1”) ist mit Z_{ref} differentiell zwischen den beiden Anschlüssen am Eingang des Baluns angeschlossen. Die Einfügungsdämpfung S_{11} und der Durchgang S_{21} des Baluns wurde optimiert und vermessen, in dem am Ausgang (*single-ended*) der Port “2” mit einer Referenzimpedanz (bzw. Portimpedanz) von 50Ω abgeschlossen wurde.

Dabei ist es wichtig anzumerken, dass man allgemein für eine Simulation der S-Parameter, in der auch der Durchgang bestimmt werden soll, beide Ports mit einem sogenannten *Term* in ADS abschließen muss. Er ist der Innenwiderstand einer Quelle zur Einspeisung von Kleinsignalen für die Berechnung von hin- und rücklaufender Welle und somit auch Referenzimpedanz zur S-Parameter Bestimmung. Für die Simulation zur Optimierung der Impedanzen (z. B. Z_{odd} oder Eingangsimpedanz Balun) hingegen ist es notwendig, den jeweiligen Ausgang mit einem realen Widerstand (ohne Quelle) aus der ADS-Bibliothek abzuschließen. Nur so kann aus der Eingangsreflexion (z. B. S_{11}) korrekt in ADS der dazugehörige Z-Parameter und so der Impedanzverlauf über der Frequenz extrahiert werden. Schließt man z. B. zur Berechnung der Eingangsimpedanz des Balun diesen am Ausgang mit einem *Term* ab, dann ist für das Netzwerk am Ausgang kein realer Widerstand angeschlossen. Die Z-Parameter werden mit dem falschen Bezug in ADS berechnet. Als eine Konsequenz dessen wird für alle Simulationen der Impedanzen, die für die Schaltendstufe optimiert wurden, in ADS der jeweilige Ausgang mit einem realen Widerstand abgeschlossen.

Die Phasendifferenz (siehe Abb. 5.2) wurde durch den Unterschied in der Phase der Durchgänge S_{21} und S_{23} bestimmt. Hierzu ist die Referenzimpedanz an den beiden Eingängen (“1” und “3”) zu 60 Ohm gewählt, was der optimalen differentiellen Lastimpedanz (120 Ohm) aus Abbildung 5.1 entspricht. Abbildung 5.3 zeigt sowohl die Konfiguration zur Optimierung und Messung der S-Parameter als auch der Odd-Mode Impedanz des gesamten Ausgangsnetzwerks eines CMCS-Verstärkers.

Die Abschlüsse an den Ports der Ausgangsnetzwerkstruktur entsprechen vom Wert her denen der Balunkonfiguration für die S-Parameter und Optimierung der Eingangsimpedanz. Auch hier sieht man am differentiellen Eingangs-Port “1” einen *Term* mit einer Referenzimpedanz von 120Ω vor und am Ausgang die benötigten 50Ω . Die Ausgangsimpedanz muss allerdings zur Optimierung auf die optimale Z_{odd} von 120 Ohm in ADS wie beschrieben mit einer realen 50Ω -Last abgeschlossen werden.

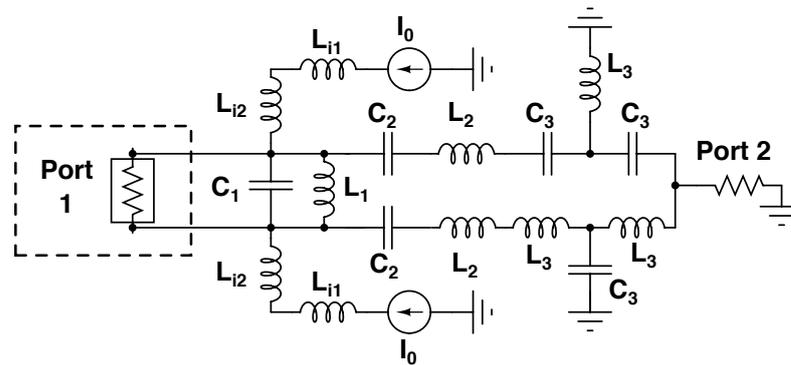


ABBILDUNG 5.3. Messaufbau und Simulationsanordnung zur Optimierung der Odd-Mode Impedanz und S-Parameter eines Ausgangsnetzwerks für den CMCS-Verstärker; Z_{ref} (Port 1): $Z_{opt} = 120 \Omega$ (differenziell); Abschluss Port 2: 50Ω (*single-ended*) (S-Parameter: $Term$, Z_{odd} : realer Widerstand)

Das entspricht auch dem Fall in der Messung bzw. dem realen Betrieb des Verstärkers. Für die Simulation der S-Parameter wird ein *Term* mit einer Z_{ref} des gleichen Wertes am Ausgang angeschlossen. Des Weiteren wurde in das Simulations-Setup die Stromversorgung (ideale Stromquelle I_0 , Spulen L_{i1} und L_{i2}) mit integriert, die auch aufgrund der verwendeten Spulen einen gewissen Einfluss auf die Filtercharakteristik hat und so mit berücksichtigt werden muss.

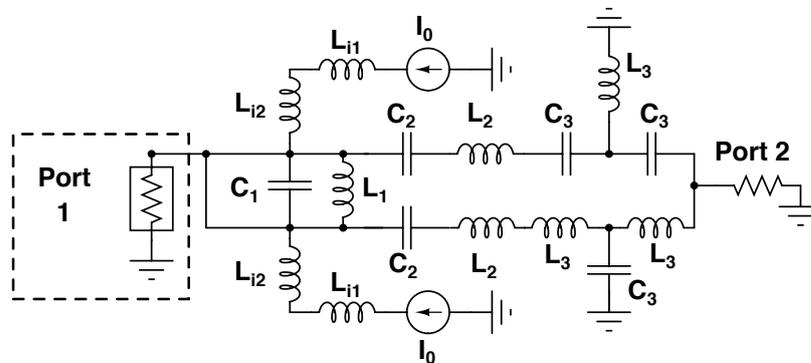


ABBILDUNG 5.4. Messaufbau und Simulationsanordnung zur Optimierung der Even-Mode Impedanz eines Ausgangsnetzwerks für den CMCS-Verstärker; Z_{ref} (Port 1): 30Ω (*single-ended*); Abschluss Port 2: 50Ω (*single-ended*)

Die Anordnung zur Optimierung der Even-Mode Impedanz zeigt Abbildung 5.4. Der *Term* am Eingangs-Port "1" ist *single-ended* angeschlossen, da im Even-Mode Fall keine differentiellen Signale angeregt werden. Die Anteile auf den beiden Signalleitern

sind dann gleich. Somit können beide Anschlüsse als ein einzelner zusammengefasst werden. Die Referenzimpedanz beträgt 30Ω , was einem Viertel der optimalen differentiellen Lastimpedanz entspricht. Am Ausgang ist wieder die benötigte 50Ω -Last als realer Abschluss des Port "2" gewählt. Des Weiteren ist auch hier der Einfluss der Stromquellentopologie berücksichtigt. Die Optimierungen haben folgende Konstellation mit realen Bauelementen für eine Signalfrequenz von 450 MHz gemäß den gezeigten Abbildungen ergeben:

$$C_1 = 15 \text{ pF}; L_1 = 8,8 \text{ nH}; C_2 = 5,6 \text{ pF}; L_2 = 18 \text{ nH}; C_3 = 5,6 \text{ pF}; L_3 = 18 \text{ nH}; \\ L_{i1} = 6,93 \mu\text{H}; L_{i2} = 100 \text{ nH}.$$

Bei den angegebenen Größen handelt es sich immer um die nominellen Werte der Hersteller, die bei einer Frequenz von meist um die 150 MHz bestimmt wurden. Diese weichen dann wie bei dem VMCS-Verstärker für die hier interessierenden Frequenzbereiche ab. Die Hersteller sind auch hier *ATC Ceramics* für die Kapazitäten und hauptsächlich *Coilcraft* für die Spulen.

Um möglichst wenig Verluste zu haben, wurden Luftspulen (mit "Luftkern") ausgewählt, deren magnetische Verluste im Vergleich zu anderen Spulen sehr klein sind. Diese liegen typischerweise im $m\Omega$ -Bereich bei einer Nennfrequenz von 150 MHz. Besondere Spulen der Firma *Piconics* (Modell "CC75T36K240G5") wurden für die große Induktivität L_{i1} ($6,93 \mu\text{H}$) in der Stromquelle benutzt. Es handelt sich hierbei um konische Spulen, bei denen durch die Kombination einer ganz engen Anordnung der Windungen und der konischen Form des umwickelten Körpers eine Bandbreite von 10 MHz bis zu 13 GHz erreicht wird. Für diese Bandbreite besitzt sie eine Stromtragfähigkeit von 650 mA. In Zusammenhang mit der kleineren, 100 nH großen Spule werden die nicht erwünschten Frequenzanteile bis ca. 5 GHz genügend gut geblockt, also hochohmig abgeschlossen. Das optimierte Ausgangsnetzwerk wurde auf *Rogers 4003C* PCB Material realisiert und ist in seinem 3D-Layout des EM-Simulators *CST Microwave Studio* in Abbildung 5.5 gezeigt.

Zusätzlich zu Filter, Balun (1) und Stromquellen (2) wurden auf der Platine Möglichkeiten zur hochohmigen Auskopplung der Signale direkt nach den Freilaufdioden (3) und zwischen Filter und Balun (4) vorgesehen. Somit lassen sich die einzelnen Stufen noch besser im vollen Verstärkerbetrieb beobachten. Nähere Informationen zur hochohmigen Auskopplung sind in [34] publiziert.

Die Durchkontaktierungen (Via's) für die großzügigen Masseflächen wurden mit Gold zur besseren Leitfähigkeit realisiert. Auch die Mikrostreifenleitungen auf der Oberseite und die Rückseitenmetallisierung sind aus diesem Grund mit Gold beschichtet. Das Basismaterial ist Kupfer. Wie bereits angedeutet, wurde auch bei diesem Aufbau zur Reduktion der parasitären Kapazitäten, die die Charakteristik des ganzen Netzwerks negativ beeinflussen können, partiell die Rückseitenmetallisierung entfernt und im Kupferträger ein Teil ausgespart. Zur Veranschaulichung zeigen die Abbildungen 5.6 und 5.7 diese Aussparungen aus der gleichen Perspektive wie in Abbildung 5.5.

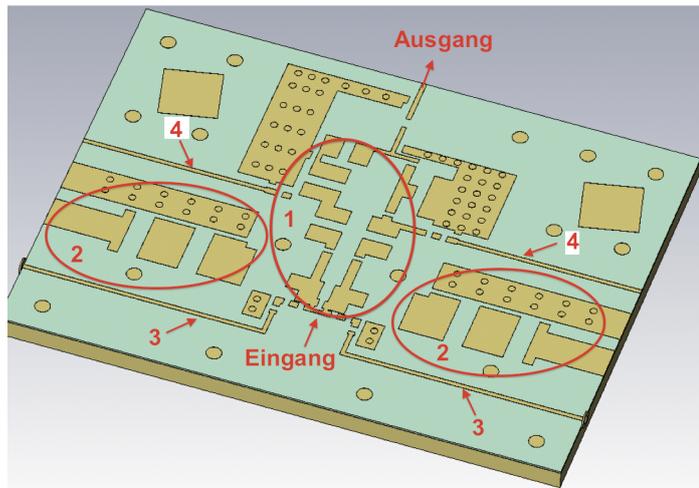


ABBILDUNG 5.5. Layout der Platine auf Kupferträger für das Ausgangsnetzwerk des CMCS-Verstärker für $f_S = 450$ MHz mit Filter und Balun (1), Stromquelle (2) und hochohmiger Auskopplung (3)(4); Fläche: $82,2 \times 62,4 \text{ mm}^2$

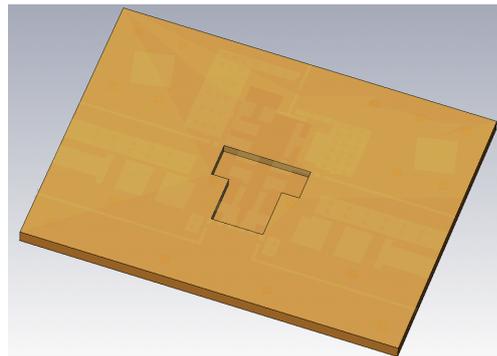


ABBILDUNG 5.6. Aussparung im Kupferträger zur Reduktion der parasitären Kapazitäten für CMCS-Verstärker ($f_S = 450$ MHz)

Der Grund für die großzügige Auslegung der Pads der diskreten Bauelemente ist, dass das Layout zunächst variabel in Bezug auf die Bestückung gehalten werden sollte, um schnelle Änderungen v.a. bei den benutzten Luftspulen vornehmen zu können. deren Gehäusegrößen variieren je nach Induktivität sehr stark. Dadurch mussten auch für die kleinen Ausführungen die überdimensionierten Pads der großen Spulen benutzt werden. Daher wurden nachträgliche Aussparungen nötig, um die parasitären Kapazitäten der ungenutzten Leitungstücke von Pad zu Rückseitenmetallisierung klein zu halten. Das gesamte Layout des CMCS-Ausgangsnetzwerks für 450 MHz Signalfrequenz aus Abbildung 5.5 wurde mit Hilfe umfangreicher EM-Simulationen in *CST Microwave*

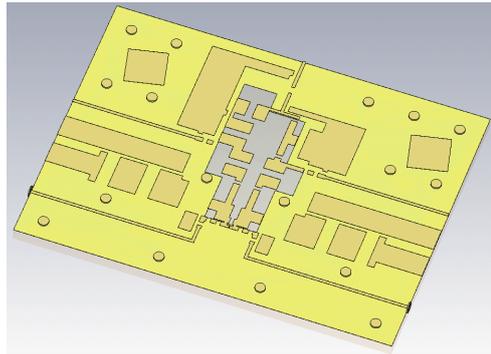


ABBILDUNG 5.7. Aussparung in Rückseitenmetallisierung zur Reduktion der parasitären Kapazitäten für CMCS-Verstärker ($f_S = 450$ MHz)

Studio optimiert. Somit konnte man vor der Bestückung der Platine mit den angegebenen Elementen sämtliche Einflüsse der reinen Mikrostreifenleitungsanordnungen erkennen und soweit wie möglich im Vorfeld beheben. Durch die Nutzung von internen Ports ist es weiterhin möglich, die gesamte Netzwerkstruktur mit den Modellen der benutzten Bauelemente durchzusimulieren und eventuell Änderungen vorzunehmen. Deshalb stellt die EM-Simulation im Entwurf eines solchen CMCS-Verstärkers ein besonders wichtiges Werkzeug dar.

5.1.2. Charakterisierung des CMCS-Ausgangsnetzwerks. Nun werden die Messergebnisse des Ausgangsnetzwerks für eine Signalfrequenz von 450 MHz gezeigt. Die Eingangsreflexion S_{11} (differentieller Anschluss) und die Impedanzverhältnisse wurden bestimmt, in dem analog zur Messung des VMCS-Ausgangsnetzwerks am Eingang ein Submount einer Doppeldiode auf dem Kupferträger angelötet wurde, der durch Bonddrähte mit dem hybriden Board verbunden ist. Auf diesem kann man mit einer HF-Messspitze *On-Wafer* antasten (vgl. Abb. 4.2 in Abschnitt 4.1.1) und Signale einspeisen. Der (SMA-) Ausgang ist für diese Messungen mit einer diskreten 50 Ω -Last abgeschlossen. Der Nachteil des Ansatzes mit Diodensubmount sind allerdings die für Eingang und Ausgang unterschiedlichen Anschlüsse (*On-Wafer* und SMA). Diese zwei unterschiedlichen Konnektoren lassen eine genügend gute Kalibrierung zur Bestimmung der Durchgangsverluste nicht zu. Die Durchgangsverluste des gesamten Ausgangsnetzwerks und des einzelnen Baluns konnten nur durch Nutzung zusätzlich vorgesehener Optionen (Leitungen hochohmige Auskopplung) auf der Platine bestimmt werden, die sich auch mit einem SMA-Anschluss kontaktieren lassen.

Die Kennwerte Z_{odd} , Z_{even} , die S-Parameter des Baluns sowie des gesamten Ausgangsnetzwerks (Filter und Balun) wurden mit einem 4-Tor Netzwerkanalysator ("ZVA 8"¹) bestimmt.

5.1.2.1. *Messung der S-Parameter.* Zur Bestimmung der Durchgangsverluste wurden die eigentlich zur hochohmigen Auskopplung der Signale vorgesehenen Leitungen

¹4-Tor Vector Network Analyzer von Rohde & Schwarz; Bandbreite: 300 kHz ... 8 GHz

((3), (4) in Abb. 5.5) genutzt. Dabei wurden für die Vermessung des gesamten Ausgangsnetzwerks die beiden Leitungen zur Auskopplung zwischen Diodenausgang und Filtereingang (3) verwendet, während für die Charakterisierung des Baluns die Auskopplungsleitungen zwischen Filterausgang und Baluneingang (4) als Eingangsports dienen. Ihre exakten Längen sind vom Layout her bekannt und können nach der Messung im Simulator *ADS* wieder aus den extrahierten S-Parametern herausgerechnet werden. Das geschieht in der Simulation durch die Nutzung von Mikrostreifenleitungen mit entsprechend "negativen" Leitungslängen unter Verwendung der entsprechenden Substratdefinition.

Sowohl die Streuparameter als auch die Impedanzen des Netzwerks wurden mit dem Netzwerkanalysator "ZVA 8" durch eine *true differential* - Messung bestimmt. Das heißt, das Netzwerk wird vom Messgerät an den beiden Einzelanschlüssen eingangsseitig mit zwei um 180° phasenverschobenen Signalen angesteuert. Bei einer nicht differentiellen Anregung wird jeweils ein Anschluss des differentiellen Ports mit einem Eingangssignal gespeist, während der zweite Anschluss mit 50 Ohm abgeschlossen ist.

Des Weiteren ist anzumerken, dass die Streuparameter und dementsprechend auch die daraus berechneten Z-Parameter immer mit einer Referenzimpedanz von 50Ω an den Ports vom ZVA gemessen werden. Nach der Messung muss man diese dann z. B. im Simulator auf die gewünschten Werte (hier: z. B. 120Ω am differentiellen Eingang) umnormieren. Diesen Vorgang kann man auch direkt im Messgerät aufrufen. Eine Messung mit einer Z_{ref} ungleich 50 Ohm ist nicht möglich.

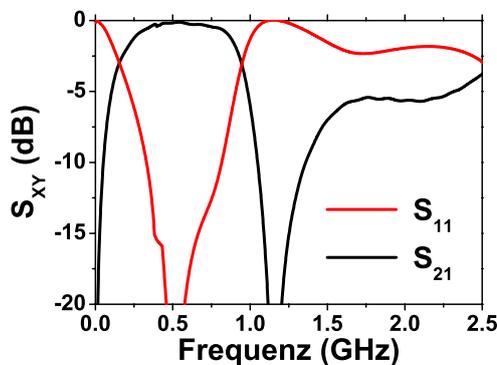


ABBILDUNG
5.8. Gemessene S-Parameter des Baluns für $f_S = 450$ MHz gemäß Abb. 5.1; Z_{ref} (Eingang (differenziell)): 120Ω ; Z_{ref} (Ausgang (single-ended)): 50Ω

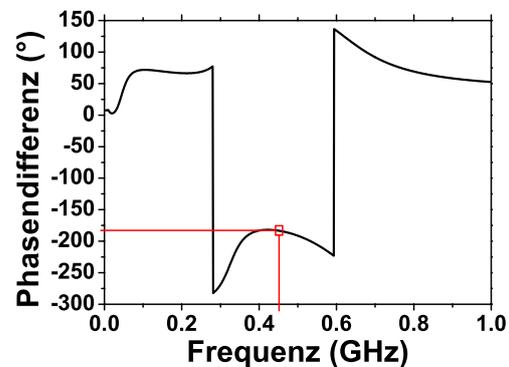


ABBILDUNG
5.9. Gemessene Phasendifferenz des Baluns für $f_S = 450$ MHz gemäß Abb. 5.2; Z_{ref} (Eingänge (single-ended)): 60Ω ; Z_{ref} (Ausgang (single-ended)): 50Ω

Zuerst werden nun die Streuparameter des Baluns in Abbildung 5.8 für den Bereich 0 bis 2,5 GHz und in Abbildung 5.9 die gemessene Phasendifferenz zwischen 0 und 1 GHz gezeigt. Sie wurden mit der Anordnung aus Abb. 5.1 bzw. Abb. 5.2 bestimmt. Der Balun zeigt eine gute Anpassung und eine geringe Einfügedämpfung für die Signalfrequenz von 450 MHz. Die Eingangsreflexion S_{11} beträgt bei f_S ca. -18 dB und die Durchgangsverluste S_{21} rund 0,2 dB. Man erkennt eine relativ große 3 dB - Bandbreite von 0,2 bis 1 GHz. Aus den mit einer Referenzimpedanz von 120Ω dargestellten Streuparametern lässt sich schlussfolgern, dass die Anpassung an die geforderte Eingangsimpedanz des Baluns in dem Bereich von 450 MHz genügend gut ist. Wie man aus dem rot markierten Punkt im Diagramm in Abbildung 5.9 erkennen kann, stellt der Balun eine Phasendifferenz von rund 180° (ca. 183°) von den beiden Eingängen zum Ausgang bei 450 MHz zur Verfügung. Das entspricht den gestellten Anforderungen und komplettiert so die guten Eigenschaften des realisierten Baluns. Nun werden die gemessenen S-Parameter des gesamten Netzwerks (Filter, Balun und DC-Netzwerk) in Abbildung 5.10 betrachtet.

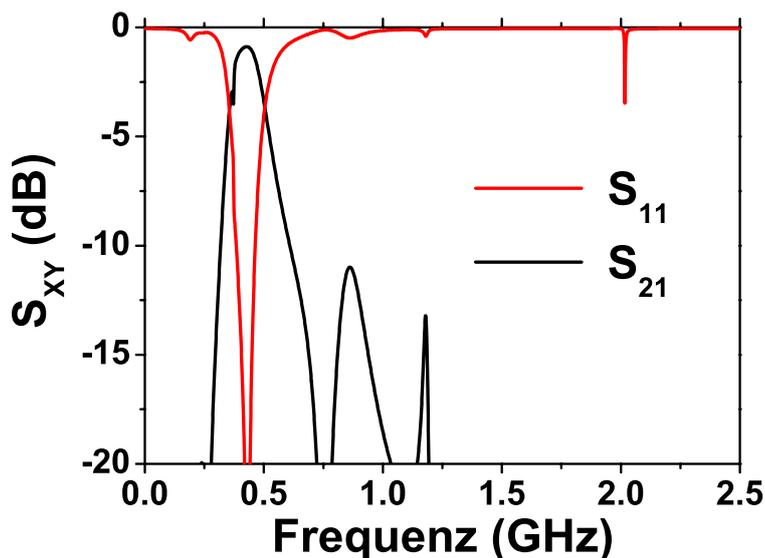


ABBILDUNG 5.10. Gemessene S-Parameter des kompletten Ausgangsnetzwerks (Filter, Balun) bei $f_S = 450$ MHz gemäß Abb. 5.3; $f = 0 \dots 2,5$ GHz; Z_{ref} (Eingang (differentiell)): 120Ω ; Z_{ref} (Ausgang (single-ended)): 50Ω

Man erkennt aus dem Diagramm eine Mittenfrequenz von ca. 460 MHz, was eine Verschiebung der abgezielten Signalfrequenz (450 MHz) um 10 MHz bedeutet. Die 3 dB - Bandbreite beträgt 150 MHz und die Einfügedämpfung bei differentieller Anregung am Eingang ($Z_{ref} = 120 \Omega$) ist 0,9 dB. Das bedeutet, dass abzüglich der 0,2 dB vom Balun das Filter also 0,7 dB zu den Durchgangsverlusten beiträgt. Diese

sind hauptsächlich auf die schlechten Güten der Spulen zurückzuführen. Dabei sind die verwendeten konzentrierten Bauelemente schon vergleichsweise hochgütig ($Q > 100$). Gemäß Definition der Güte würde man auch mit höherem Q eine geringere Bandbreite des Filters erreichen. Die Ergebnisse in Abbildung 5.10 entsprechen darüber hinaus auch mit guter Genauigkeit der EM-Simulation des Ausgangsnetzwerks. Diese wurde mit dem Layout aus Abbildung 5.5 und den selbst entwickelten Modellen der verwendeten Bauelemente zur Verifizierung der Messung durchgeführt.

5.1.2.2. *Messung der Odd- und Even-Mode Impedanz.* Der Hauptfokus bei der Optimierung des hybriden Ausgangsnetzwerks lag allerdings bei Z_{odd} und Z_{even} . Das ist ein entscheidender Faktor bei dem Entwurf eines Klasse-S-Verstärkers, da das Filter den Endstufentransistoren die richtigen Impedanzen über einen weiten Frequenzbereich anbieten muss, um einen korrekten Klasse-S-Betrieb zu ermöglichen. Stimmen diese Impedanzen nicht, so wird die gesamte Leistungsfähigkeit (v.a. Effizienz, P_{aus}) des Klasse-S-Verstärkers stark vermindert. Abbildung 5.11 zeigt zunächst den gemessenen Verlauf des Realteils der Odd-Mode Impedanz ($Re(Z_{odd})$) von 0 - 8 GHz.

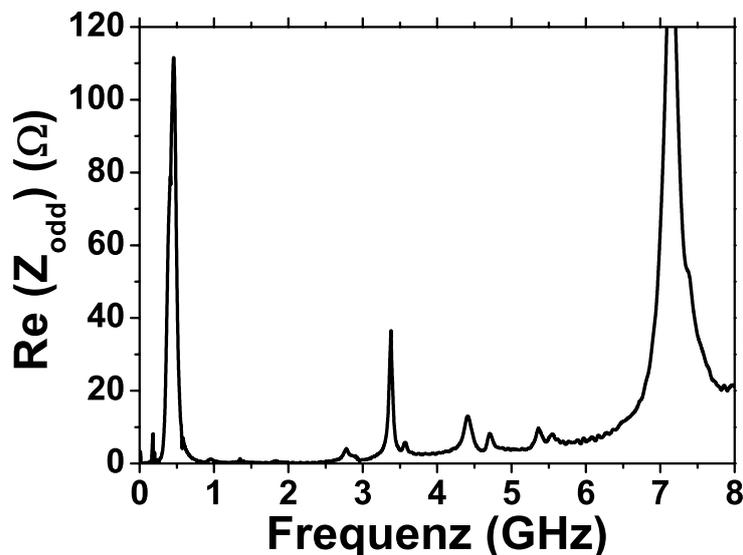
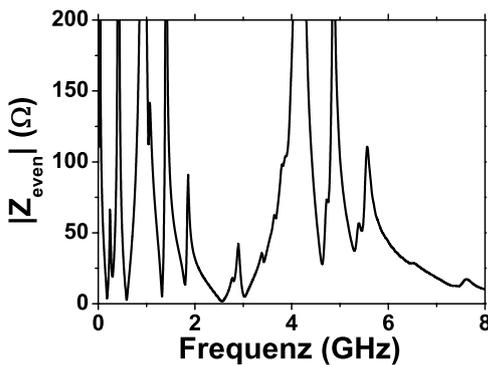


ABBILDUNG 5.11. Gemessene Odd-Mode Impedanz $Re(Z_{odd})$ des Ausgangsnetzwerks gemäß Abb. 5.3; $f_S = 450$ MHz; $f = 0 \dots 8$ GHz; Z_{ref} (Eingang (differentiell)) = 120Ω ; Abschluss (Ausgang (single-ended)): 50Ω

Im Odd-Mode wurde bei einer Signalfrequenz von 460 MHz eine Impedanz von 111Ω realisiert. Diese weicht nur gering von der Zielgröße 120Ω ab. Die anderen Frequenzen konnten nicht ideal kurzgeschlossen werden, was aufgrund der Streuparameter-Messungen schon zu erwarten war. Das rührt vor allem von Resonanzen her, die durch die verwendeten Spulen bedingt sind. Bis ca. 3,5 GHz liegt die Impedanz unter 10Ω

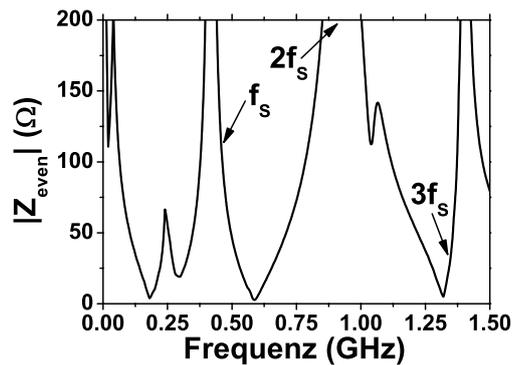
und bleibt damit klein gegenüber dem Wert bei der Signalfrequenz. Auch nach der ersten Resonanz, die auf die Eigenresonanz der größten verwendeten Spulen (18 nH) in dem Ausgangsnetzwerk zurückzuführen ist, bleibt Z_{odd} noch unter 20 Ohm bis ca. 7 GHz. Damit stellt die Odd-Mode Impedanz einen nahezu idealen Verlauf bis zur fünfzehnten Harmonischen dar.

Die Abbildungen 5.12 und 5.13 zeigen die gemessene Even-Mode Impedanz als Betrag von 0 - 8 GHz bzw. in einem Zoom von 0 - 1,5 GHz mit besserer Auflösung der ersten drei Harmonischen.



ABBILDUNG

5.12. Gemessene Even-Mode Impedanz $|Z_{even}|$ des Ausgangsnetzwerks gemäß Abb. 5.4; $f_s = 450$ MHz; $f = 0 \dots 8$ GHz; Z_{ref} (Eingang (*single-ended*)) = 30 Ω ; Abschluss (Ausgang (*single-ended*)): 50 Ω



ABBILDUNG

5.13. Gemessene Even-Mode Impedanz $|Z_{even}|$ (Zoom) des Ausgangsnetzwerks gemäß Abb. 5.4; $f_s = 450$ MHz; $f = 0 \dots 1,5$ GHz; Z_{ref} (Eingang (*single-ended*)) = 30 Ω ; Abschluss (Ausgang (*single-ended*)): 50 Ω

Besonders aus der Darstellung von 0 - 1,5 GHz kann man erkennen, dass für die Frequenzanteile Signalfrequenz (f_s) und doppelte Signalfrequenz ($2 \cdot f_s$) Impedanzen (Betrag) von 110 Ω sowie ca. 380 Ω realisiert werden konnten. Des Weiteren sind die Frequenzen von DC bis ca. 100 MHz mit einer Impedanz größer 100 Ω abgeschlossen. Aber nicht alle Frequenzen außerhalb der Signalfrequenz konnten hochohmig abgeschlossen werden. Man erkennt immer wieder Einbrüche im Impedanzverlauf, welche durch die unterschiedlichen Eigenresonanzen der Spulen in Kombination mit den verwendeten Kapazitäten entstehen. Vor allem die dritte Harmonische ($3 \cdot f_s - 1,35$ GHz) ist nur mit einer Impedanz von ca. 50 Ω abgeschlossen. Das generiert Verluste. Idealerweise sollte $|Z_{even}|$ so hoch wie möglich über den gesamten Frequenzbereich sein. Das wird allerdings mit steigender Signalfrequenz ein zunehmendes Problem der diskreten realen Bauelemente, welche eine begrenzte Bandbreite aufweisen. Mit Ausblick

auf Signalfrequenzen ab 2 GHz muss man über eine Struktur mit fast ausschließlich Mikrostreifenleitungen erweitert durch einzelne sehr breitbandige Elemente oder aber auch über hochgütigere Ansätze wie z. B. ein “Comblin Filter²” nachdenken. Im folgenden Abschnitt wird nun der Aufbau der beiden Versionen eines CMCS-Verstärkers für das 450 MHz - Band gezeigt und erläutert.

5.1.3. Aufbau der CMCS-Verstärker. Die beschriebenen Komponenten GaN-MMICs, GaAs-Schottky Dioden und Ausgangsnetzwerk (Filter, Balun) wurden durch Bonddrähte verbunden und zu zwei verschiedenen Klasse-S-Demonstratoren aufgebaut. Die Abbildung 5.14 verdeutlicht die Zusammenschaltung in einem Blockdiagramm.

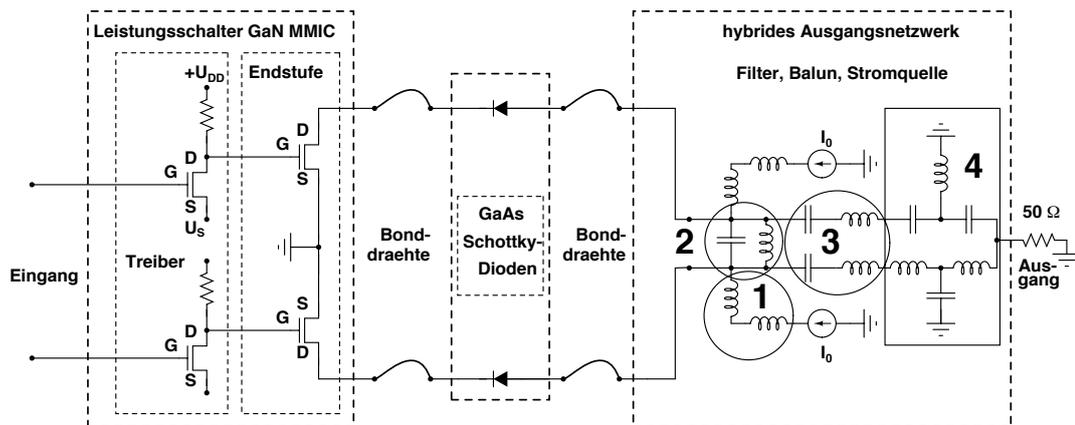


ABBILDUNG 5.14. Blockdiagramm des aufgebauten CMCS-Verstärkers mit Leistungsschalter GaN-MMIC, Freilaufdioden und Ausgangsnetzwerk (Filter (2+3), Stromquellen (1) und Balun (4))

Die beiden realisierten Verstärkertypen für 460 MHz (gemäß Messung Ausgangsnetzwerk) Signalfrequenz unterscheiden sich bei gleicher Treiberkonfiguration in der Größe (Gateweite) der Endstufentransistoren. Hier wurden in einem Demonstrator zwei Transistoren mit je 2 mm ($8 \times 250 \mu\text{m}$) Gateweite und in einem weiteren Aufbau zwei Transistoren mit je 4 mm ($2 \times 8 \times 250 \mu\text{m}$) Gateweite benutzt. Die Variante mit den größeren Endstufen zielt darauf ab, die Stromtragfähigkeit der Endstufentransistoren in den GaN-MMICs (Schaltstufen) bewusst nur zur Hälfte auszunutzen. Dadurch werden die On-Widerstände reduziert und parasitäre Effekte beim Schalten hoher Stromdichten verringert. Dieses steigert die Effizienz und Ausgangsleistung. Allerdings werden zugleich auch die Kapazitäten verdoppelt. Da die Transistorgrößen im Vergleich zum Ausgangsfilter dann überdimensioniert sind, wird diese Demonstrator-Variante im folgenden als *Oversizing*³ (OS) bezeichnet. Die zwei realisierten Verstärker sind also

- CMCS-Verstärker für 450 MHz-Band (Gateweite Endstufentransistor: 2 mm)

²engl.: Kammfilter

³engl.: Überdimensionierung

- CMCS-Verstärker (OS) für 450 MHz-Band (Gateweite Endstufentransistor: 4 mm)

Die Abbildung 5.15 zeigt exemplarisch für die beiden Versionen ein Foto des Verstärkers mit 2mm - Transistoren.

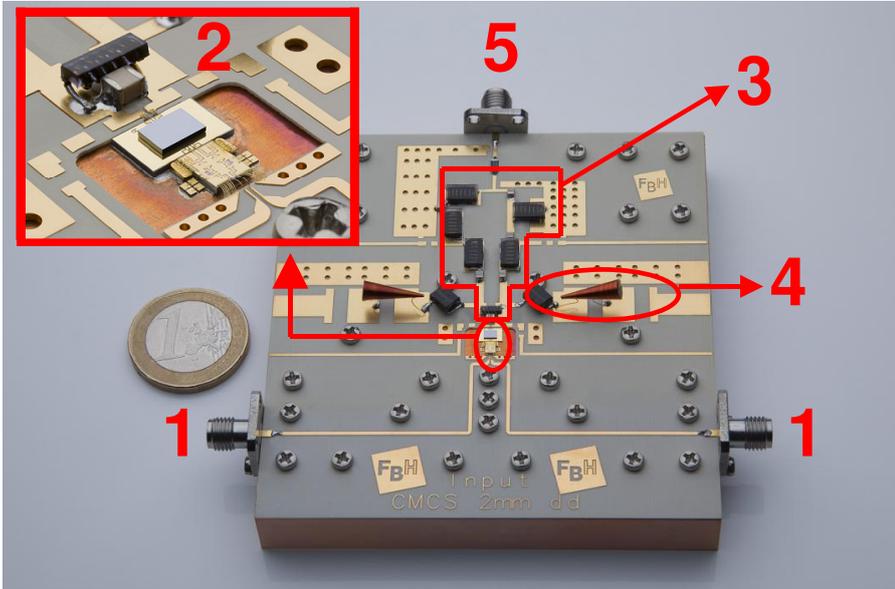


ABBILDUNG 5.15. Current-Mode Klasse-S-Verstärker für 450 MHz mit differentiellem Eingang (1), GaN-Leistungs-MMIC und GaAs-Schottky-Dioden sowie zusätzliche On-Chip Block-C's (2), Filter und Balun (3), Stromquelle (4) und Ausgang (5) (*single-ended*); Gateweite Endstufentransistor: 2 mm; Fläche: 86,4 x 82,2 mm²

Man erkennt in dem Detailbild (2) die Verschaltung der GaN-MMICs und der GaAs-Schottky-Dioden mit dem Ausgangsnetzwerk. Außerdem wurde für beide Versionen ein Eingangsnetzwerk konzipiert, welches zwei SMA-Anschlüsse (1) mit dem differentiellen Eingang des Verstärker-Chips verbindet. Somit ist keine *On-Wafer*-Antastung am Eingang mehr nötig. Kritisch war hier der Übergang von einer 50 Ω-Mikrostreifenleitung (Breite: 660 μm) auf eine 50 Ω-CPW⁴-Leitung (*On-Wafer*) mit einer Signalleiterbreite von 80 μm. Das wurde durch eine "Verjüngung" der Mikrostreifenleitung auf eine Leitungsbreite von 100 μm mittels Taper⁵-Übergang realisiert und inklusive der Bondverbindung zum Verstärker-Chip EM-simuliert. Diese Anordnung zeigt minimale, vernachlässigbare Einflüsse auf die Signalqualität und Amplitude des Eingangssignals. Die Taperung lässt sich im Ausschnitt (2) in Abb. 5.15 erkennen.

Die Eingangstopologie ist wie das Ausgangsnetzwerk auf 0,31 mm dickem *Rogers 4003C* PCB realisiert. Um die parasitären Einflüsse durch große Leitungsstücke und

⁴coplanar waveguide - engl.: koplanarer Wellenleiter

⁵engl.: Abnahme, Abschrägung

Rückseitenmetallisierung zu minimieren, wurden Aussparungen gemäß den Abbildungen 5.6 und 5.7 beim Ausgangsnetzwerk vorgesehen. Der vergrößerte Ausschnitt (2) des Anschlusses der monolithisch integrierten Schaltverstärker und der Freilaufdioden in Abb. 5.15 zeigt, dass auch die auf dem Chip realisierten Komponenten so eng wie möglich zueinander aufgelötet wurden, um nur ganz kurze Bonddrähte zur Verbindung der Einzelteile zuzulassen. Das ist besonders bei höheren Frequenzen vonnöten, da zusätzliche Induktivitäten durch Bonddrahtlängen schnell Resonanzen im Bereich der Signalfrequenz hervorrufen können. Des Weiteren erkennt man neben dem Verstärker-Chip die aufgelöteten On-Chip Kapazitäten (2 pro DC-Anschluss und 4 pro Seite), die als zusätzliche Blockkapazitäten (100 pF, 470 pF) für die DC-Versorgung der Treiberstufen fungieren. Diese werden nötig, da die verwendeten einzelnen DC-Nadeln keine Blockkapazität besitzen und die auf dem Verstärker-MMIC vorgesehenen maximalen 20 pF zu gering sind, um breitbandig niedrigere Frequenzanteile zu blocken. Nach den Messungen der Ausgangsnetzwerke und der Beschreibung des Aufbaus werden im nächsten Abschnitt die realisierten CMCS-Verstärker charakterisiert.

5.2. Charakterisierung der CMCS-Verstärker

Im folgenden werden die CMCS-Verstärker für das 450 MHz-Band ohne und mit *Oversizing* charakterisiert. Hierzu werden neben den Klasse-S-Messungen mit einem BPDS-modulierten Signal (Variation DC-Strom, *back-off*, Spektren) und variierenden Bitraten (*COSR*-Variation) analog zum Voltage-Mode auch Ergebnisse mit Eingangssignalen maximaler Kodiereffizienz ("1100", PLM) präsentiert. Darüber hinaus werden die Verlustmechanismen im Current-Mode Klasse-S-Verstärker analysiert und anhand von Vergleichsmessungen der beiden Versionen (mit und ohne *Oversizing*) belegt.

5.2.1. Messung CMCS-Verstärker (450 MHz). Zunächst wird der CMCS-Verstärker für das 450 MHz-Band ohne *Oversizing* charakterisiert. Die Messung des Ausgangsnetzwerks hat die geringsten Verluste und die beste Impedanzanpassung für eine Signalfrequenz von 460 MHz gezeigt. Demnach wird der Verstärker auch bei dieser Frequenz betrieben.

5.2.1.1. *Messung im Klasse-S-Betrieb.* Alle Klasse-S-Messungen für den Demonstrator ohne *Oversizing* wurden durchgeführt, in dem die Schaltstufen mit einem differentiellen 1-Ton BPDS-Signal gespeist werden. Die Bitrate ist bei einer vierfachen Überabtastung 1,84 Gbit/s. Dementsprechend ist ein analoges Eingangssignal mit einer Signalfrequenz von 460 MHz in der Bitfolge kodiert. Die Amplitude des BPDS-modulierten Eingangssignals ist ca. $4 V_{ss}$. Die Bitsequenz wurde in Matlab generiert und in den Bitmuster-generator geladen.

Für die erste Messung wird analog zum Voltage-Mode die *0,5 dB power back-off* - BPDS-Folge als Eingangssignal benutzt. Diese entspricht der Stabilitätsgrenze des BPDS-Modulators. Der DC-Strom I_0 der beiden Stromquellen ist in dieser Messung von 0,1 A bis 0,5 A pro Stromquelle (vgl. Abb. 2.11 und 5.14) variiert worden. Das

heißt, es fließt ein maximaler Strom von 1 A durch den jeweils leitenden Transistor. Abbildung 5.16 zeigt die Draineffizienz und die Ausgangsleistung P_{aus} als Funktion von I_0 .

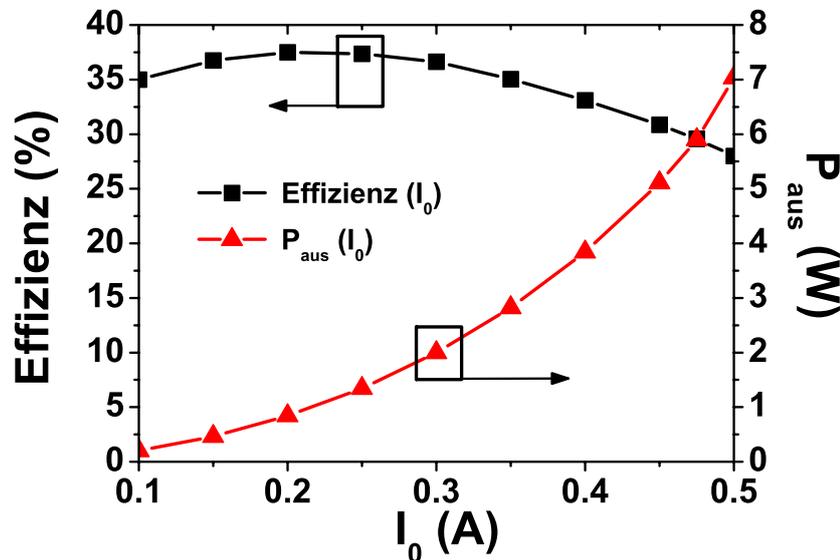


ABBILDUNG 5.16. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers in Abhängigkeit vom DC-Strom I_0 der Stromquellen; Eingangssignal: 1-Ton BPDS-Signal (0,5 dB back-off); Bitrate: 1,84 Gbit/s; $f_s = 460$ MHz; $I_0 = 0,1 \dots 0,5$ A

Wie man aus dem Diagramm erkennen kann, liefert der CMCS-Verstärker ohne *Over sizing* eine maximale Ausgangsleistung von 7 W bei einer Draineffizienz von 28 % ($I_0 = 0,5$ A). Die Spitzeneffizienz von 37 % wird bei einer Ausgangsleistung von 2 W und einem DC-Strom von 0,3 A erreicht. Diese Werte übertreffen deutlich bisherige Resultate der Klasse-S-Verstärker für den Frequenzbereich um 450 MHz [24]. Andererseits sind sie deutlich geringer als die Ergebnisse, die mit anderen Konzepten wie Doherty oder Klasse-F auch bei höheren Frequenzen (≥ 2 GHz) erreicht werden [36] - [38]. Die Gründe dafür werden in der Diskussion der Verlustmechanismen in diesem Abschnitt dargelegt.

Abbildung 5.17 und 5.18 zeigen das Ein- bzw. Ausgangsspektrum des Verstärkers für das erwähnte 1-Ton BPDS-Signal. Dabei ist das Ausgangssignal für einen maximalen DC-Strom von 0,5 A pro Stromquelle gezeigt. Analog zum Voltage-Mode wurden auch hier alle Spektren mit einer Messbandbreite des Spektrumanalysators von 30 kHz aufgenommen. Mit dieser Bandbreite wurden auch die *SNR*’s bestimmt.

Am Eingang erkennt man die typische Einkerbung im Rauschen (*noise notch*) eines BPDS-modulierten Signals. Der *SNR* um die Signalfrequenz (d. h. im *notch*) von 460 MHz am Eingang beträgt ca. 60 dB. Außerhalb des *notches* liegt das Rauschniveau

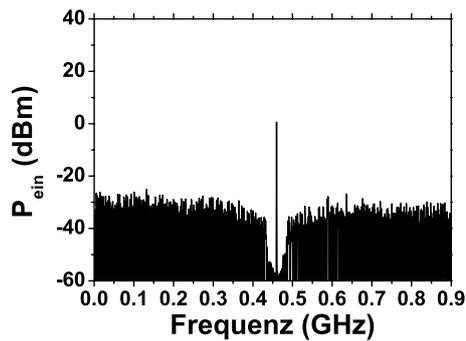


ABBILDUNG
5.17. Eingangsspektrum
des CMCS-
Verstärkers; Signal:
1-Ton BPDS; $f = 0 -$
900 MHz; P_{ein} bei f_S
 $= 460$ MHz: 1 dBm

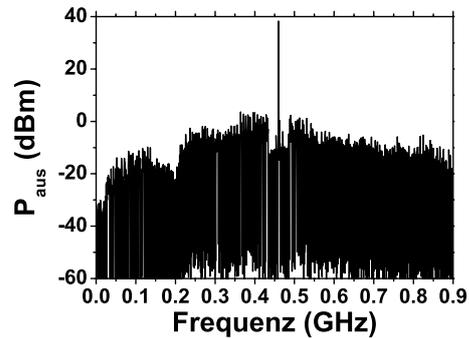


ABBILDUNG
5.18. Ausgangsspektrum
des CMCS-Verstärkers;
Eingangssignal: 1-Ton
BPDS; $f = 0 - 900$ MHz;
 P_{aus} bei $f_S = 460$ MHz:
38,3 dBm; $I_0 = 0,5$ A

25 dB höher. Das Ausgangsspektrum (Abb. 5.18) zeigt ein SNR von ca. 50 dB im *notch* für die maximale Ausgangsleistung von 7 W ($I_0 = 0,5$ A). Des Weiteren erkennt man die Filterwirkung des Ausgangsnetzwerks, welches mit ca. 150 MHz 3 dB - Bandbreite nicht allzu schmalbandig ist (vgl. Abb. 5.10).

Aus dem Vergleich der Spektren kann man schlussfolgern, dass der Verstärker durch seine Nichtlinearitäten den Signal-zu-Rausch-Abstand negativ beeinflusst. Der Dynamikverlust liegt bei ca. 10 dB. Abbildung 5.19 zeigt das Verhalten des Verstärkers über dem *power back-off*.

Wird mit dem Eingangssignal der Leistungsanteil bei der Signalfrequenz variiert, folgt die Ausgangsleistung des Verstärkers fast genau dem in der BPDS-Bitfolge kodierten *power back-off*. Der CMCS-Verstärker zeigt demnach bei 0 dB *back-off* eine Ausgangsleistung von rund 39 dBm und bei 10 dB *back-off* eine P_{aus} von 28,4 dBm. Die Draineffizienz fällt von fast 30 % bei 0 dB auf nur noch 6,5 % bei 10 dB *PAPR*. Dieser Abfall ist zwar nicht so stark wie bei dem entsprechenden Voltage-Mode-Verstärker (von 49 % auf 6 %), jedoch immer noch zu groß. Folglich ist der realisierte CMCS-Verstärker auch bei hohem *power back-off*-Faktor bezüglich Effizienz nicht konkurrenzfähig zu anderen Konzepten (v.a. Doherty).

Das liegt im Current-Mode primär an den Verlusten durch den $R_{ds,ON}$ des Transistors in Reihe mit dem Widerstand der Schutzdiode R_{diode} . Es wird mit dem eingespeisten Strom ($2 \cdot I_0$) eine konstante Verlustleistung erzeugt, die auch bei hohem *PAPR* vorhanden ist. Das ist der Hauptverlustmechanismus im Current-Mode (siehe auch Gleichung 24 in Abschnitt 2.2.2.2). Eine genauere Betrachtung der Verlustmechanismen im Current-Mode wird im Folgenden durchgeführt.

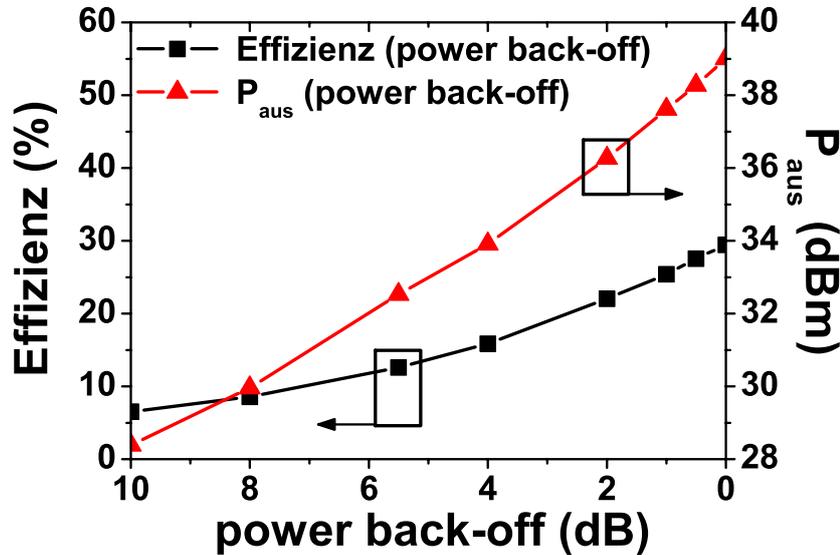


ABBILDUNG 5.19. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers in Abhängigkeit vom *power back-off*; Eingangssignal: 1-Ton BPDS; *back-off*: 0 ... 10 dB; Bitrate: 1,84 Gbit/s; $f_s = 460$ MHz; $I_0 = 0,5$ A

5.2.1.2. *Verlustmechanismen im Current-Mode*. Um den Einfluss verschiedener Verlustmechanismen, die im Current-Mode Klasse-S-Betrieb auftreten, zu klären, wurden Simulationen der realisierten Current-Mode-Struktur (ohne *Oversizing*) ohne Vortreiber durchgeführt. Das Simulations-Setup besteht also aus der Schaltendstufe (zwei $8 \times 250 \mu\text{m}$ GaN-HEMTs in Sourceschaltung) und dem kompletten realen Ausgangsnetzwerk mit Filter und Balun.

Analog zur Analyse der Verluste im Voltage-Mode wurde auch hier das vereinfachte Schalter-basierte Modell (vgl. Abschnitt 3.2.2) für die Endstufentransistoren benutzt [32]. Dadurch lassen sich die relevanten Einflüsse unter Schaltbetrieb einfacher und schneller kontrollieren als mit der umfangreicheren nichtlinearen Beschreibung durch das Angelov-Modell.

Um Abweichungen des Schaltermodells durch Stromsättigung vorzubeugen und bei möglichst großer Draineffizienz die einzelnen Einflüsse festzustellen, wurde der Verstärker in der Simulation mit einem DC-Strom von 0,3 A pro Stromquelle betrieben, bei dem der realisierte CMCS-Verstärker die höchste Effizienz aufweist (vgl. Abb. 5.16). Es fließen also maximal 0,6 A durch den jeweils leitenden Transistor. Ausgehend vom realen Verstärker mit allen Verlusten und parasitären Effekten wird nun nacheinander einer der nichtidealen Effekte annähernd eliminiert, während alle anderen ihre realistischen Werte behalten. Somit kann man den Einfluss jedes einzelnen Elements auf die gesamte Effizienz bestimmen. Die folgenden Fälle werden dabei untersucht:

- Der On-Widerstand der Schalttransistoren R_{ds_ON} wird von $2,8 \Omega$ auf nahezu ideale $1 \text{ m}\Omega$ reduziert.
- Die Filter- und Balunverluste werden durch Verwendung idealer Bauelemente auf 0 dB reduziert.
- Der Widerstand der Freilaufdioden in Flussrichtung R_{diode} wird von $2,1 \Omega$ auf $1 \text{ m}\Omega$ reduziert.
- Die Gate-Drain Kapazität C_{gd} der Endstufentransistoren wird von $0,3 \text{ pF}$ auf 1 fF herabgesetzt.
- Die Bonddrähte werden herausgenommen.
- Die Parallelkapazität der Dioden C_{diode} und die Drain-Source Kapazität der Transistoren C_{ds} werden von $5,8 \text{ pF}$ bzw. $0,5 \text{ pF}$ auf jeweils 1 fF minimiert.

Tabelle 5.1 zeigt die Ausgangsleistung (P_{aus}) bei der Signalfrequenz (460 MHz), die verbrauchte DC-Leistung (P_{dc}) und die Draineffizienz (η_{drain}) in Abhängigkeit von dem jeweils variierten Element. Dabei spiegelt die Reihenfolge der Parasitäten den Einfluss auf die Effizienz wider. Die entsprechende Verbesserung (in Prozentpunkten) ist in der rechten Spalte der Tabelle aufgeführt.

variiertes parasitäres Element	P_{aus} (W)	P_{dc} (W)	η_{drain} (%)	Erhöhung η_{drain} (%)
alle Parasitäten vorhanden (Messung)	2,3 (2,0)	6,0 (5,4)	38 (37)	0
R_{ds_ON} auf $1 \text{ m}\Omega$ reduziert	2,3	4,8	48	10
Filter und Balun verlustfrei	2,6	5,5	47	9
R_{diode} auf $1 \text{ m}\Omega$ reduziert	2,3	5,1	45	7
C_{gd} auf 1 fF reduziert	2,6	5,9	44	6
keine Bonddrähte	2,3	5,3	43	5
C_{diode} und C_{ds} auf 1 fF reduziert	2,3	6,0	38	0

TABELLE 5.1. Simulierte Kennwerte (P_{aus} , P_{dc} , Draineffizienz η_{drain}) des CMCS-Verstärkers (ohne *Oversizing*) für 460 MHz in Abhängigkeit von reduzierten parasitären Elementen; DC-Strom pro Quelle: $I_0 = 0,3 \text{ A}$

Wenn alle parasitären Elemente mit ihren realistischen Werten in der Simulation berücksichtigt werden, dann ergibt sich eine Ausgangsleistung von $2,3 \text{ W}$ bei einer Draineffizienz von 38% . Das entspricht annähernd den gemessenen Werten für einen DC-Strom von $0,3 \text{ A}$ (siehe Abb. 5.16) und belegt die Gültigkeit der benutzten Modelle und der Simulation.

Betrachtet man die Resultate in Tabelle 5.1, so stellt man fest, dass es nicht ein einzelner parasitärer Effekt ist, der die Verlustmechanismen dominiert. Der On-Widerstand der Endstufentransistoren hat wie erwartet den stärksten Einfluss, da ein Strom im Current-Mode geschaltet wird. Danach folgen die Filterverluste. Die Minimierung des Diodenwiderstands R_{diode} , der Gate-Drain Kapazität C_{gd} sowie die Eliminierung der Bonddrähte

haben Verbesserungen der Effizienz im Bereich von 6 % zur Folge. Darüber hinaus verbessert die Optimierung von C_{ds} und C_{diode} so gut wie gar nicht die Gesamteffizienz, da sie keinen Einfluss in der Simulation zeigen. Dies entspricht der Theorie, das beim Current-Mode-Fall die Ausgangskapazitäten teilweise im Filter absorbiert werden.

Es muss angemerkt werden, dass die Variation von R_{diode} und $R_{ds,ON}$ nicht die Ausgangsleistung, sondern nur die Verlustleistung P_{dc} beeinflusst. Die Unterschiede in den DC-Verlusten können mit der einfachen Formel $R_{ds,ON/diode} \cdot (2I_0)^2$ abgeschätzt werden. Im Gegensatz dazu steigt die Ausgangsleistung, wenn das Filter und der Balun verlustfrei gemacht werden. Die Verbesserung der Draineffizienz von 38 % auf 47 % entspricht den ca. 1 dB Durchgangsverlusten, die für das Ausgangsnetzwerk gemessen wurden. Der Effekt von C_{gd} ist schwerer zu erklären. Es scheint, dass sie hauptsächlich das Verhalten des Transistors bezüglich Verstärkung beeinflusst, was zu einer höheren Ausgangsleistung bei vermindertem C_{gd} führt.

Weitergehende Analysen haben gezeigt, dass auch bei einem hohen *power back-off* die ohmschen Verluste ($R_{ds,ON}$ in Serie mit R_{diode}) die Hauptursache für eine geringe Draineffizienz (6,5 % bei 10 dB *PAPR*) sind. Analog zum VMCS-Typ (vgl. Abschnitt 4.2.3) hat auch beim CMCS-Verstärker das ideale Filter (mit idealer Impedanzcharakteristik) "allein" nur einen relativ geringen Einfluss (+ 9 %). Die reflektierten Spektralanteile werden durch die Verlustwiderstände größtenteils in Wärme umgesetzt. Nur bei einer gleichzeitigen Optimierung von $R_{ds,ON}$ und R_{diode} ist es möglich, die Draineffizienz (auch bei *back-off*) entscheidend zu erhöhen. Die Simulationen zeigen für eine Reduktion der Widerstände auf 0,1 Ω Verbesserungen von bis zu 30 Prozentpunkten bei 10 dB *back-off* mit einem BPDS-modulierten Eingangssignal.

Wenn man nach einer einfach zu realisierenden Lösung zur Optimierung eines Parameters mit maximalem Effekt auf die Effizienz sucht, dann muss $R_{ds,ON}$ gewählt werden (vgl. Tabelle 5.1). Er kann z. B. halbiert werden, in dem man für die Endstufe Transistoren mit doppelter Gateweite benutzt. Das wurde mit zwei 2x8x250 μm großen Transistoren beim CMCS-Verstärker mit *Oversizing* angewandt. Dessen Charakterisierung wird in Abschnitt 5.2.2 beschrieben und mit der Version ohne *Oversizing* verglichen.

5.2.1.3. Einfluss der Kodiereffizienz. Wenn man die Möglichkeiten zur Erhöhung der Effizienz überprüft, ist es nicht nur wichtig, die Verlustmechanismen aus dem letzten Abschnitt zu betrachten, sondern auch den Einfluss bei der Generierung der Schaltsequenz. Hier ist es interessant, den Verstärker analog zum Voltage-Mode unter Klasse-D-Bedingungen zu testen. Der Verstärker wird also mit einem periodischen Rechtecksignal der gleichen Signalfrequenz (460 MHz) angesteuert. Es wird dazu nur das (digitale) Eingangssignal geändert.

Die Abbildung 5.20 zeigt den Vergleich von Ausgangsleistung und Draineffizienz über dem DC-Strom im Klasse-S- (BPDS) und Klasse-D-Betrieb (sqw.). Im Klasse-D-Betrieb liefert der Verstärker eine maximale Ausgangsleistung von 19 W bei einer Draineffizienz von 47 % ($I_0 = 0,5$ A). Bei einer Ausgangsleistung von 5 W erreicht der CMCS-Verstärker eine Effizienz von maximal 67 %. Diese Werte sind mehr als doppelt so groß wie für BPDS-Anregung. Das verdeutlicht auch für den Current-Mode-Fall,

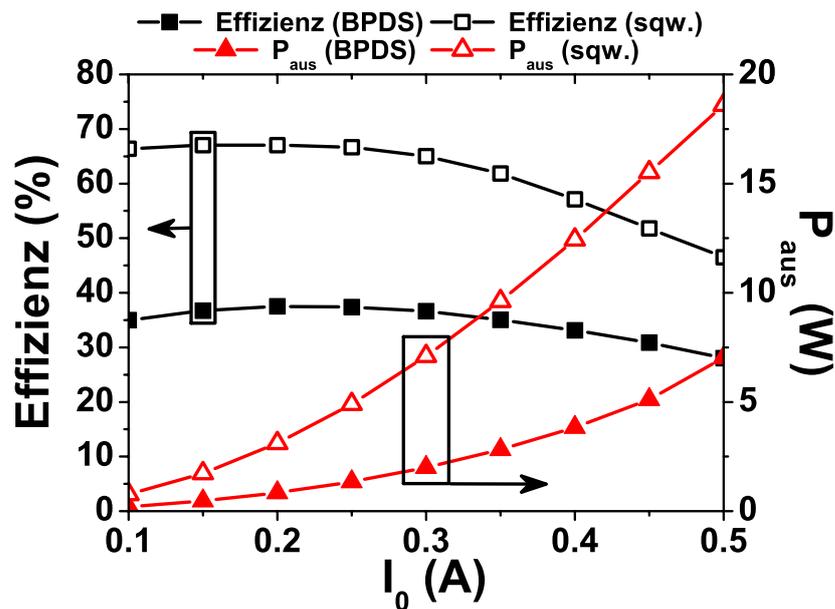


ABBILDUNG 5.20. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers in Abhängigkeit vom DC-Strom I_0 ; Eingangssignal: 1-Ton BPDS und “1100” (sqw.); Bitrate: 1,84 Gbit/s; $f_S = 460$ MHz; $I_0 = 0,1 \dots 0,5$ A

dass die Kodiereffizienz (bzw. AKE) einen entscheidenden Einfluss auf die Optimierung der Leistungscharakteristika des Verstärkers hat. Der Grund dafür ist, wie bereits dargelegt, dass ein beträchtlicher Anteil der Verluste in den Transistor- und Diodenwiderständen entsteht. Somit skalieren sie auch mit dem Strom, aber nicht mit der in der BPDS-Folge kodierten Signalleistung. Folglich muss man zur Maximierung der Effizienz eine Modulation benutzen, die die höchste Ausgangsleistung für einen gegebenen DC-Strom liefert. Vergleicht man BPDS- und Klasse-D-Anregung im Hinblick auf diese Anforderung, dann erkennt man, dass in der Bitsequenz bei gegebener Stromamplitude I_0 für die BPDS-Modulation (stabiler Modulatorbetrieb) eine maximale Signalamplitude von $0,8 \cdot I_0$ bei Signalfrequenz f_S kodiert ist. Hingegen beinhaltet ein periodisches Rechtecksignal (“1100”) eine Signalamplitude von $4/\pi \cdot I_0$ bei f_S , was dem 1,6-fachen entspricht. Das bedeutet, dass Effizienz und Ausgangsleistung entscheidend vergrößert werden können, wenn man einen Modulationsansatz benutzt, der eine größere Amplituden-Kodier-Effizienz (AKE - vgl. Abschnitt 2.2.1 Gleichung 11) zur Verfügung stellt. Das wurde durch die Messungen belegt und wird in Abschnitt 5.2.2.4 beschrieben.

5.2.2. Messung CMCS-Verstärker (450 MHz) mit *Oversizing*. Dieser Abschnitt beschreibt die Messungen des CMCS-Verstärkers mit *Oversizing* (OS). Bei diesem Aufbau ist die Gateweite der Endstufentransistoren bei gleichbleibendem Impedanzniveau

des Filters (vgl. Abschnitt 5.1.2.1) im Vergleich zum vorigen Abschnitt verdoppelt ($2 \times 8 \times 250 \mu\text{m}$). Da die optimale differentielle Lastimpedanz für die verwendeten Transistoren eigentlich nur halb so groß ist (ideal 60Ω), werden sie nur bei der Hälfte ihres maximal tragbaren Stroms betrieben (bei den verwendeten GaN-HEMTs $1,2 \text{ A}$).

Die Transistoren sollten im Vergleich zu denen im vorigen Abschnitt verwendeten Endstufen eine doppelt so große Ausgangskapazität C_{ds} und idealerweise einen halbierten R_{ds_ON} haben. Dadurch verschiebt sich die Betriebsfrequenz des CMCS-Verstärkers mit OS von 460 MHz auf 420 MHz . Bei dieser Signalfrequenz werden nun alle Kennwerte (P_{aus} , Effizienz) des realisierten Demonstrators bestimmt. Des Weiteren sollten sich die DC-Verluste durch einen kleineren R_{ds_ON} verringern und so die Effizienz und Ausgangsleistung steigen (vgl. Verlustmechanismen in Abschnitt 5.2.1.2). Daher wurden die Messungen zur Abhängigkeit vom *Oversampling* ($COSR$) für BPDSM und der Test mit PLM nur für die OS-Version und somit maximale Effizienz und P_{aus} durchgeführt.

5.2.2.1. *Messung im Klasse-S-Betrieb.* Alle Messungen im Klasse-S-Betrieb wurden durchgeführt, in dem die GaN-MMIC Schaltstufen differentiell mit 1-Ton BPDS-Bitsequenzen, in denen ein Signal mit der Frequenz 420 MHz kodiert ist, angesteuert werden. Zunächst wird eine Folge mit einer Bitrate von $1,68 \text{ Gbit/s}$ ($COSR = 4$) als Eingangssignal benutzt. In der Bitsequenz ist die maximale Signalamplitude für einen stabilen Modulatorbetrieb ($0,5 \text{ dB power back-off}$) kodiert.

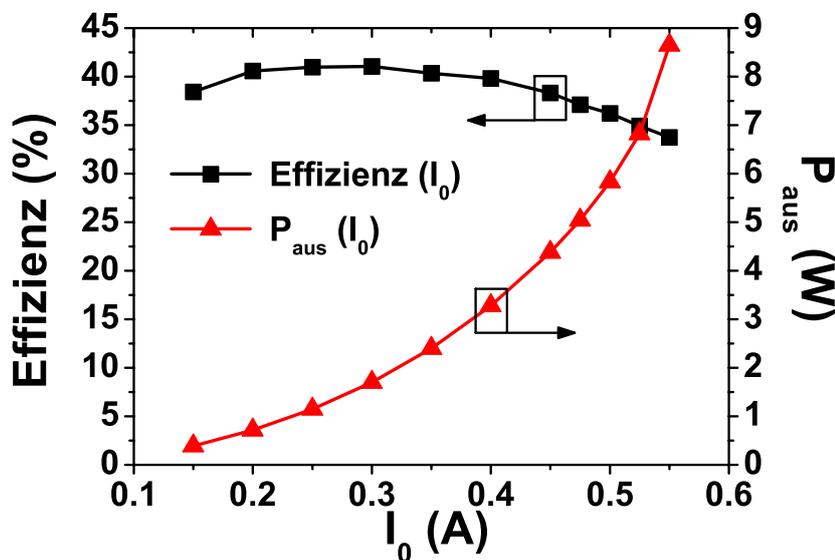


ABBILDUNG 5.21. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) in Abhängigkeit vom DC-Strom I_0 ; Eingangssignal: 1-Ton BPDS-Signal; Bitrate: $1,68 \text{ Gbit/s}$; $f_s = 420 \text{ MHz}$; $I_0 = 0,15 \dots 0,55 \text{ A}$

Abbildung 5.21 zeigt die Ausgangsleistung P_{aus} und die Draineffizienz (“Effizienz”) in Abhängigkeit vom DC-Strom I_0 , mit denen die Schaltendstufen getrieben werden. Er wurde von 0,15 A bis 0,55 A variiert und bezieht sich auf den Strom pro Quelle (vgl. Abb. 5.14). Die maximale Stromamplitude durch den jeweils leitenden Transistor ist somit 1,1 A.

Der Current-Mode Klasse-S-Verstärker (OS) erreicht eine maximale Ausgangsleistung von 8,7 W ($I_0 = 0,55$ A) bei einer Draineffizienz von 34 %. Eine Spitzeneffizienz von 41 % wird bei einer Ausgangsleistung von 2 W ($I_0 = 0,3$ A) erreicht. Im Vergleich zur Version ohne OS ergibt sich eine deutliche Steigerung der Ausgangsleistung um 1,7 W bei maximalem DC-Strom. Die maximale Effizienz verbessert sich bei gleichen Bedingungen ($P_{aus} = 2$ W, $I_0 = 0,3$ A) von 37 % auf 41 %. Die Ergebnisse konnten mit der Simulation bestätigt werden. Beide Klasse-S-Verstärker (mit/ohne OS) erreichen Bestwerte für Current-Mode-Betrieb im 450 MHz - Frequenzbereich und bei diesen Leistungspegeln mit klassischer BPDSM [24], wobei der Verstärker mit OS bessere Resultate liefert.

Die erreichten Werte verdeutlichen den Einfluss des $R_{ds,ON}$ als einen Hauptverlustmechanismus im Current-Mode. Durch seine Verminderung und somit die Reduktion eines konstanten Verlustes der CMCS-Konfiguration kann eine verbesserte Leistungsfähigkeit des Verstärkers erreicht werden (vgl. auch Tabelle 5.1).

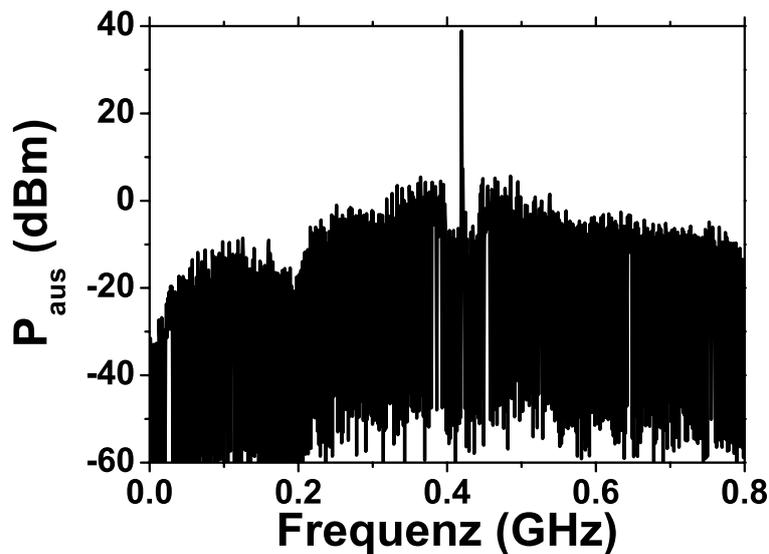


ABBILDUNG 5.22. Ausgangsspektrum des CMCS-Verstärker (OS); Eingangssignal (vgl. Abb. 5.17): 1-Ton BPDS; Bitrate: 1,68 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,55$ A

Die Abbildung 5.22 zeigt das Spektrum von 0 - 800 MHz am Ausgang des CMCS-Verstärkers (OS) für einen DC-Versorgungsstrom von 0,55 A pro Stromquelle und ein

BPDS-Eingangssignal gemäß Abb. 5.17 mit der Signalfrequenz von 420 MHz. Der Verstärker hat am Ausgang bei einer Rauschmessbandbreite von 30 kHz ein SNR von ca. 50 dB um die Signalfrequenz im *noise notch*. Im Vergleich zum Eingangssignal ($SNR = 60$ dB im *notch*) verliert man durch den CMCS-Aufbau rund 10 dB an Dynamikbereich, was sich mit den Ergebnissen des CMCS-Verstärkers ohne OS deckt.

Aus dem Ausgangsspektrum in Abbildung 5.22 erkennt man auch die Filtercharakteristik des Ausgangsnetzwerks, das mit 150 MHz 3 dB-Bandbreite um den *notch* keine signifikante Filterwirkung entfalten kann. Jedoch gibt es einen Zusammenhang zwischen Bandbreite und Durchgangsverlust. Mit den begrenzten Gütefaktoren (besonders der Spulen) kann man kein schmalbandiges (z. B. ≤ 10 MHz) Filter realisieren. Man müsste bei einem Aufbau mit diskreten Elementen dann eine zu große Einfügedämpfung für eine schmale Bandbreite hinnehmen. Möglich ist jedoch, am Ausgang der Schaltung ein schmalbandiges hochgütiges *single-ended* Filter nachzuschalten, das dann die gewünschte Bandbreite bei nur geringer Einfügedämpfung realisieren kann.

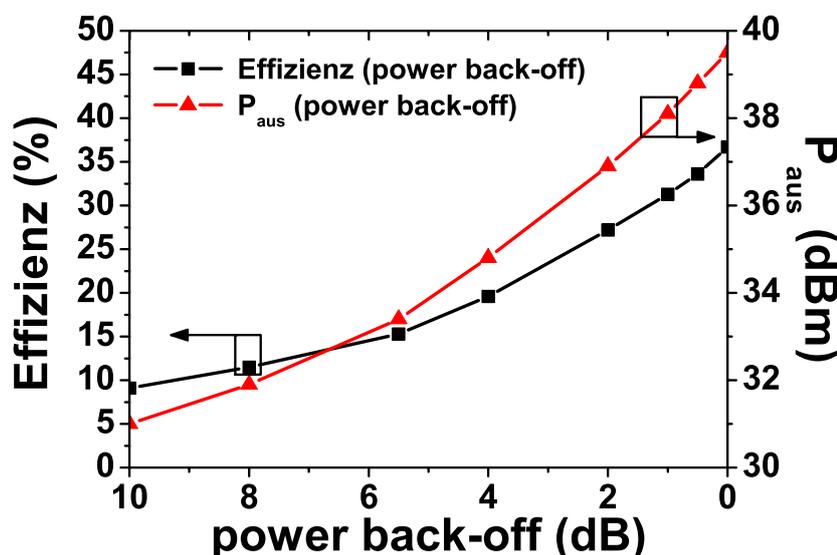


ABBILDUNG 5.23. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz („Effizienz“) des CMCS-Verstärkers (OS) über *power back-off*; Eingangssignal: 1-Ton BPDS; *back-off*: 10 ... 0 dB; Bitrate: 1,68 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,55$ A

Abbildung 5.23 zeigt für $I_0 = 0,55$ A (max. P_{aus}) das Verhalten des CMCS-Verstärkers (OS) über *power back-off*. Die Effizienz fällt bei Reduktion der Signaleingangsleistung um 10 dB von 36 % (0 dB) auf 9 % ab. Die Leistung sinkt von 9 W (39,5 dBm) bei Vollaussteuerung auf ca. 1,1 W (30,5 dBm) bei 10 dB *PAPR*. Das entspricht nicht dem am Eingang vorgegebenem Verhältnis (0 ... -10 dB). Der Verstärker zeigt eine zu hohe Ausgangsleistung bei 10 dB *PAPR*. Die Ausgangssignale werden

etwas verzerrt. Das ließe sich durch veränderte Arbeitspunkte der Schaltstufen beheben, was allerdings nicht dem realen Betrieb entspricht. Bei einem für UMTS-Signale üblichem $PAPR$ von 6 dB zeigt der CMCS-Verstärker noch eine Draineffizienz von 15 %. Dabei ist der Rückgang der Effizienzen von 36 % (0 dB) auf 15 % (6 dB) geringer als für einen konventionellen Klasse-AB Verstärker. Allerdings ist der Abfall immer noch sehr groß, wenn man berücksichtigt, dass der ideale verlustlose Klasse-S-Verstärker keinen Effizienzurückgang über *back-off* verzeichnen würde.

Auch hier ist wie in der Version ohne *Oversizing* die Hauptursache für den Abfall der Effizienz in den konstanten Verlustmechanismen zu suchen, die unabhängig von der Signalleistung bei konstantem DC-Versorgungsstrom für alle *back-off* gleich sind. Durch die Halbierung des $R_{ds,ON}$ konnte nicht der Effizienzurückgang selbst (vgl. 30 % ... 6,5 % mit 36 % ... 9 % (OS)) verringert, sondern nur die absoluten Werte (z. B. 9 % (OS) gegenüber 6,5 % bei 10 dB $PAPR$) aufgrund der geringeren ohmschen Verluste verbessert werden.

5.2.2.2. *Einfluss der Carrier Oversampling Ratio (COSR)*. Bei einem BPDS-modulierten Eingangssignal ist es wichtig, den Einfluss des Verhältnisses von Abtastrate f_{sample} zu Eingangssignalfrequenz f_S des benutzten BP-DSM 4. Ordnung zu bestimmen. Dieses Verhältnis wird gemäß Definition in Abschnitt 2.2 als *Carrier Oversampling Ratio (COSR)* definiert. Abbildung 5.24 zeigt das Verhalten des Verstärkers für verschiedene *COSR*-Faktoren bei einem I_0 von 0,55 A.

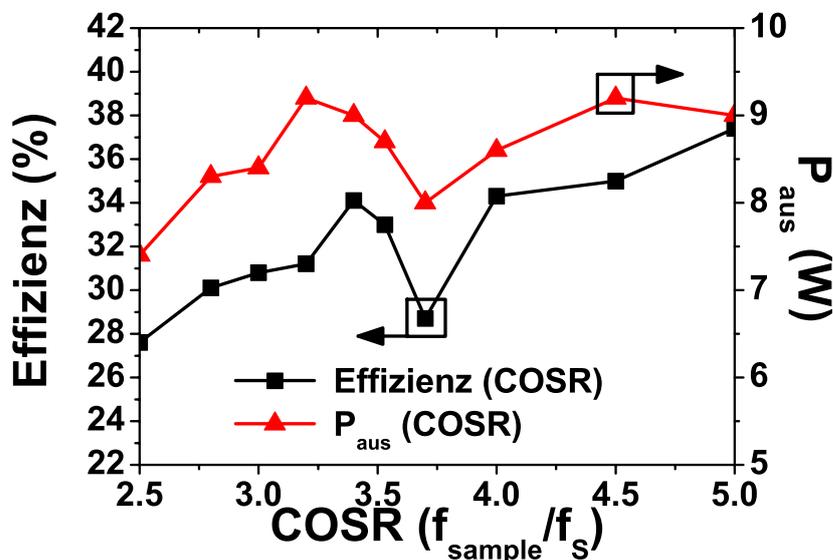


ABBILDUNG 5.24. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) über *COSR*; Eingangssignal: 1-Ton BPDS; *COSR*: 2,5 ... 5; Bitrate: 1,05 ... 2,1 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,55$ A

In der Messung wurde die Signalfrequenz konstant bei 420 MHz gehalten und die Abtastrate von 1,05 bis 2,1 Gbit/s variiert. Demnach ergeben sich *COSR*-Werte von 2,5 bis 5. Hier wurde im Gegensatz zum Voltage-Mode nur die Bitfolge mit maximalem Signalanteil bei f_s für einen noch stabilen BP-DSM (*0,5 dB power back-off*) betrachtet. Die Kurven zeigen ein nicht-monotones Verhalten von Ausgangsleistung und Effizienz über der *COSR*. Im allgemeinen beobachtet man ein Anstieg von P_{aus} und Effizienz mit steigendem *Oversampling* beginnend mit 7,4 W (28 % Effizienz) bei *COSR* = 2,5. Bei einem *COSR* von 4,5 erreicht der Verstärker 9 W und 34 % Effizienz. Aber man erkennt einen sehr ausgeprägten Einbruch beider Charakteristika bei einem *COSR* von rund 3,7. Das führt zu einem Rückgang der Ausgangsleistung von mehr als 1 W und einem Effizienzverlust von 6 %. Messtechnisch konnte nachgewiesen werden, dass die Leistung bei Signalfrequenz (420 MHz) in der Eingangsbitfolge nahezu das gleiche Verhalten über dem *Oversampling* zeigt wie die Ausgangsleistung in Abbildung 5.24. Demnach spielt in diesem Fall die Kodiereffizienz die entscheidende Rolle im Hinblick auf Effizienzabfall mit sinkendem *COSR*. Zusammenfassend lässt sich aber mit Blick auf die Untersuchungen des Klasse-S-Potentials festhalten, dass ein *Oversampling* von 4 eine gute Abschätzung für die Bestimmung der Leistungsfähigkeit der realisierten Verstärker darstellt.

5.2.2.3. *Einfluss der Kodiereffizienz.* Da die Verluste des Verstärkers mit diskreten Bauelementen nicht entscheidend reduziert werden können, muss man die Modulation in Richtung höherer Kodiereffizienz verändern. Um die maximale Leistungsfähigkeit des realisierten Aufbaus zu untersuchen, wird auch hier der CMCS-Verstärker im Klasse-D-Betrieb (“sqw.”) getestet. Abbildung 5.25 zeigt die Ergebnisse und vergleicht sie mit den BPDS Klasse-S-Resultaten.

Bei Ansteuerung mit einem periodischen Rechtecksignal (Klasse-D-Betrieb; “sqw.” in Abb. 5.25) liefert der CMCS-Verstärker (OS) für einen I_0 von 0,55 A eine maximale Ausgangsleistung von 19 W mit einer Draineffizienz von 59 %. Bei einer P_{aus} bis zu 5 W bleibt die Effizienz über 70 %. Diese Werte sind nahezu doppelt so groß wie die BPDS-Resultate. Das belegt auch für die OS-Variante die Relevanz der Kodiereffizienz (oder *AKE*) bei der Optimierung der Leistungscharakteristika eines Klasse-S-Verstärkers. Analog zu dem in Abschnitt 5.2.1 beschriebenem Current-Mode Klasse-S-Verstärker tritt auch hier der Hauptteil der Verluste im R_{ds_ON} des Transistors zusammen mit dem R_{diode} der Freilaufdioden auf. Diese konstanten Verluste sind zwar durch das *Oversampling* etwas verringert worden, haben aber immer noch einen sehr starken Einfluss v.a. bei einer Modulation, die geringere Signalamplituden liefert. Die Ergebnisse aus den Abschnitten 5.2.2.1, 5.2.2.2 und 5.2.2.3 sind in [40] publiziert.

5.2.2.4. *Modulationsansatz mit verbesserter Kodiereffizienz.* Wie in den Messungen belegt, spielt die Kodiereffizienz des Eingangssignals für den Verstärker eine große Rolle im Hinblick auf Ausgangsleistung und somit Effizienz. Analog zum Voltage-Mode (vgl. Abschnitt 4.2.5) wurde versucht, mit einer anderen Modulation die Werte besonders bei hohem *PAPR* durch eine verbesserte Kodiereffizienz zu erhöhen. Dabei

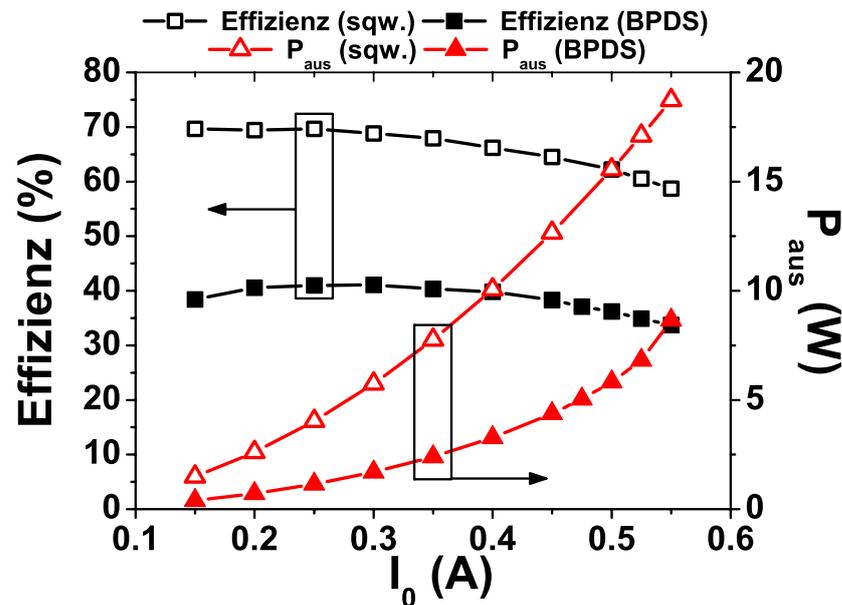


ABBILDUNG 5.25. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) in Abhängigkeit von I_0 ; Eingangssignal: 1-Ton BPDS und “1100” (“sqw.”); Bitrate: 1,68 Gbit/s; $f_S = 420$ MHz; $I_0 = 0,15 \dots 0,55$ A

wurde für den Current-Mode nur der Ansatz mit gleichbleibender Anzahl der Schaltvorgänge (“PLM-K”; vgl. Abschnitt 4.2.5.1) untersucht. Eine Reduktion der Schaltvorgänge sollte sich hier nicht deutlich auswirken, da die parasitären Kapazitäten im Vergleich zu den ohmschen Verlusten einen geringen Einfluss haben (vgl. Tabelle 5.1 in Abschnitt 5.2.1.2).

Abbildung 5.26 zeigt die Messung von P_{aus} und Draineffizienz bei einem DC-Strom von 0,3 A pro Stromquelle (max. Effizienz) für ein BPDS- und pulslängenmoduliertes (“PLM-K”) Eingangssignal.

Die Ausgangsleistung für die PLM ist 4 dB größer als mit einem BPDS-modulierten Eingangssignal. Bei Vollaussteuerung entspricht das einer P_{aus} von 5,6 W (PLM-K) gegenüber 2 W (BPDS). Das wird durch die höhere Kodiereffizienz erreicht. Die Verhältnisse sind mit denen aus Abbildung 5.25 vergleichbar und werden auch unter *back-off*-Bedingungen bestätigt. Die verbesserte Kodiereffizienz wirkt sich auch auf die Draineffizienz des Verstärkers aus. Diese ist bei Vollaussteuerung (0 dB) 66 % und sinkt auf ca. 19 % bei 10 dB *back-off*. Insgesamt erkennt man über den ganzen Bereich (0 ... 10 dB) viel bessere Ergebnisse mit der PLM im Vergleich zur BPDSM. Nur der Abfall der Draineffizienz mit steigendem *PAPR* ist mit Pulslängenmodulation größer als mit BPDS. Das kommt daher, dass die hochfrequenten Signalanteile mit steigendem *back-off* bei der PLM zunehmen und so zusätzliche Verluste aufgrund der Frequenzgrenzen des realisierten GaN-HEMT Verstärkers generieren.

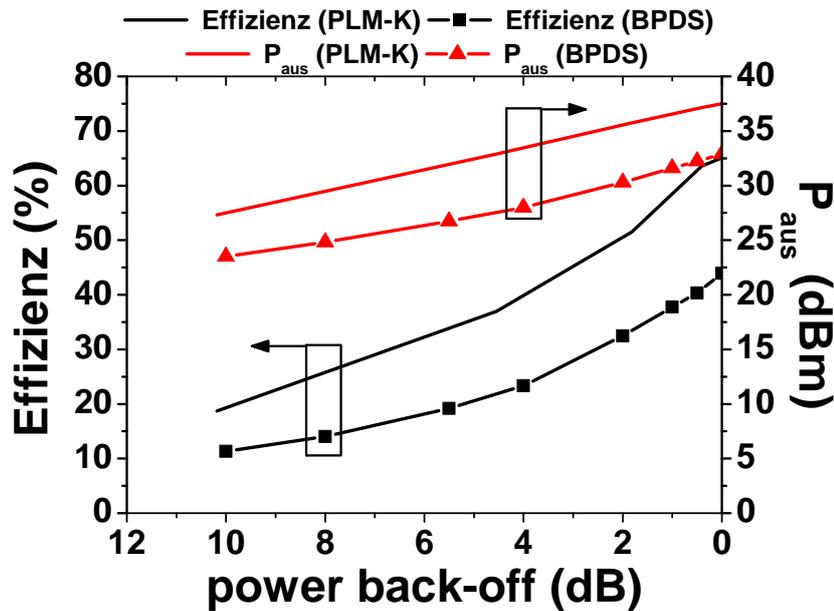


ABBILDUNG 5.26. Gemessene Ausgangsleistung (P_{aus}) und Draineffizienz (“Effizienz”) des CMCS-Verstärkers (OS) über *power back-off*; Eingangssignal: 1-Ton BPDS und PLM-K; Bitrate: 1,68 Gbit/s (BPDS) und 4,2 Gbit/s (PLM-K); $f_s = 420$ MHz; $I_0 = 0,3$ A

Schlussfolgernd muss man aber feststellen, das sich mit dem Ansatz der PLM (Amplitude; Pulsposition (PPM) - Phase) neue Möglichkeiten zur Verbesserung der gesamten Leistungsfähigkeit der realisierten Verstärker ergeben, die es zu nutzen gilt. Die in diesem Abschnitt dargelegten Resultate für einen CMCS-Verstärker (OS) mit einem PLM-Signal am Eingang zur Steigerung der Effizienz bei *back-off*-Betrieb sind in [42] publiziert. Abschließend sollen nun noch die Ergebnisse mit und ohne *Oversizing* zur Übersicht miteinander verglichen werden.

5.2.2.5. *Vergleich CMCS-Verstärker mit/ohne Oversizing.* Die Messergebnisse der beiden realisierten Current-Mode Klasse-S-Verstärker mit 2 mm- und 4 mm (OS)-Endstufentransistoren (bei identischer Ausgangsbeschaltung) sind in Tabelle 5.2 noch einmal zusammengefasst gegenübergestellt.

Im Vergleich der beiden Verstärkeraufbauten stellt man eine deutliche Verbesserung aller Messwerte durch das *Oversizing* fest. Dies bestätigt die Vermutung, dass, wenn der On-Widerstand reduziert und die Transistoren in der Endstufe nicht in den strommäßigen Grenzbereich gefahren werden, sie eine bessere Effizienz erreichen können. Ein Hauptverlustmechanismus der Current-Mode-Konfiguration konnte somit auch messtechnisch bewiesen werden. Vermutlich wäre das Ergebnis noch deutlicher ausgefallen, wenn bei den Dioden ein vergleichbares *Oversizing* hätte realisiert werden können, was jedoch mangels geeigneter Bauteile nicht möglich war.

Kennwert/Betriebsart	2 mm	4 mm (<i>Oversizing</i>)
Klasse-S: max. P_{aus} (Effizienz)	7 W (28 %)	8,7 W (34 %)
Klasse-S: max. Effizienz (P_{aus})	37 % (2 W)	41 % (2 W)
Klasse-D: max. P_{aus} (Effizienz)	19 W (47 %)	19 W (59 %)
Klasse-D: max. Effizienz (P_{aus})	67 % (5 W)	70 % (5 W)
Rückgang Effizienz (0 ... 10 dB <i>back-off</i>)	30 % ... 6,5 %	36 % ... 9 %
SNR im <i>notch</i> (Ausgang)	50 dB	50 dB

TABELLE 5.2. Vergleich der realisierten CMCS-Verstärker mit 2 mm und 4 mm (OS)-Endstufe bezüglich P_{aus} , Draineffizienz und SNR (Messbandbreite Spektrumanalysator: 30 kHz)

KAPITEL 6

Vergleich von VMCS- und CMCS-Verstärker

In diesem Kapitel werden für einen besseren Überblick die erreichten Ergebnisse des Voltage- und Current-Mode Klasse-S-Verstärkers gegenübergestellt. Dabei sind im Current-Mode-Fall nur die (besseren) Daten für die Schaltung mit *Oversizing* (OS) und für den Voltage-Mode zusätzlich die der Version ohne Freilaufdioden (“ohne D.”) aufgeführt. In der Tabelle 6.1 werden dazu zunächst die erreichten Draineffizienzen (“Eff.”) und Ausgangsleistungen (P_{aus}) für Klasse-S- (BPDS-Signal) und Klasse-D-Betrieb (periodisches Rechtecksignal) verglichen.

Eingangssignal: Kennwert	Current-Mode (4 mm) (“Oversizing”)	Voltage-Mode (1 mm)	Voltage-Mode (1 mm) (“ohne D.”)
Klasse-S: max. P_{aus} (Eff.)	8,7 W (34 %)	3,4 W (38 %)	2,4 W (38 %)
Klasse-S: max. Eff. (P_{aus})	41 % (2 W)	52 % (0,5 W)	60 % (0,2 W)
Klasse-D: max. P_{aus} (Eff.)	19 W (59 %)	7 W (64 %)	6 W (69 %)
Klasse-D: max. Eff. (P_{aus})	70 % (5 W)	72 % (1 W)	90 % (0,5 W)
Klasse-D: Eff. (bis P_{aus})	≥66 % (10 W)	≥68 % (5 W)	≥80 % (3,1 W)
Rückgang Effizienz (0 ... 10 dB <i>back-off</i>)	36 % ... 9 %	50 % ... 9 %	60 % ... 12 %
(U bzw. I an Endstufe)	($I_0 = 0,55$ A)	($U_{DD} = 30$ V)	($U_{DD} = 30$ V)

TABELLE 6.1. Zusammenfassung der Ergebnisse von CMCS-, VMCS- und VMCS-Verstärker ohne Freilaufdioden für Klasse-S- (BPDS) und Klasse-D- (“1100”) Betrieb

Man erkennt, dass mit dem Voltage-Mode-Aufbau leicht bessere Effizienzen sowohl für Klasse-S- als auch Klasse-D-Betrieb im Vergleich zum Current-Mode erreicht werden konnten. Besonders die Draineffizienzen des Voltage-Mode-Demonstrators ohne Freilaufdioden zeigen für periodische Rechtecksteuerung sehr hohe Werte (größer 80 %) bis zu Leistungen von über 3 W. Allerdings muss angefügt werden, dass die Endstufen der VMCS-Verstärker (1 mm) und damit die verfügbare Leistung kleiner und so der Vergleich mit dem CMCS-Verstärker (4 mm OS - also nominal 2 mm) nicht vollständig möglich ist.

Ein spezieller Vorteil des Voltage-Mode-Typs ist, dass er sich auch ohne Freilaufdioden betreiben lässt, ohne dass die Funktion signifikant gestört oder sogar die Endstufen zerstört würden. Das ist mit der Current-Mode-Variante nicht möglich. Das Nutzsignal

wird im Fall ohne Freilaufdioden sehr stark verzerrt und die Effizienz sinkt. Das konnte auch mit *ADS*-Simulationen nachgewiesen werden. Nachteilig an der Voltage-Mode-Topologie ist die komplexere Schaltungsarchitektur, die auf jeden Fall eine zusätzliche Treiberstufe erfordert und damit v.a. die Realisierung von Endstufen hoher Leistung gegenüber dem Current-Mode-Fall erschwert.

Allgemein kann man konstatieren, dass die für den Betrieb mit BPDS-Signalen erreichten Effizienzen bereits für die Vollaussteuerung mit Werten von 40 % (CMCS mit Dioden) bis 60 % (VMCS ohne Dioden) zu gering sind. Beim Betrieb mit verringerter Signalleistung und damit steigenden *PAPR*'s nehmen diese Werte weiter stark ab, obwohl die Theorie des Klasse-S-Verstärkers mit idealen Elementen hier ein konstantes Verhalten voraussagt. Für ein *power back-off* von 10 dB liefern beide Varianten nur noch Effizienzen von maximal 10 %. Ein wichtiger Grund dafür konnte mit der schlechten Kodiereffizienz der BPDS-modulierten Signale identifiziert werden. Als erster Ansatz wurden die realisierten Verstärker mit pulslängenmodulierten (PLM) Signalen charakterisiert, die die maximal mögliche Kodiereffizienz aufweisen und somit höhere Ausgangsleistungen und folglich Effizienzen ermöglichen. Die erreichten Ergebnisse sind dafür in Tabelle 6.2 für die beiden Schaltungstopologien zusammengefasst. Da man den Voltage-Mode-Typ zur Steigerung der Effizienz auch ohne Dioden betreiben kann, ist nur diese Version mit PLM vermessen worden und somit lediglich dieser VMCS-Verstärker in dem Vergleich mit dem Current-Mode-Aufbau (mit Freilaufdioden) angegeben.

Eingangssignal: Kennwert	Current-Mode (4 mm) ("Oversizing")	Voltage-Mode (1 mm) ("ohne D.")
PLM: max. P_{aus} (Eff.)	19 W (59 %)	6 W (69 %)
PLM: max. Eff. (P_{aus})	70 % (5 W)	90 % (0,5 W)
Rückgang Effizienz (0 ... 10 dB <i>back-off</i>) (U bzw. I an Endstufe)	65 % ... 19 % ($I_0 = 0,3$ A)	82 % ... 40 % ($U_{DD} = 30$ V)

TABELLE 6.2. Zusammenfassung der Ergebnisse von CMCS- mit und VMCS-Verstärker ohne Freilaufdioden für PLM-Betrieb

Anhand der Ergebnisse erkennt man das große Potential der realisierten Schaltverstärker, welches sich durch die Pulslängenmodulation ergibt. Speziell die Werte des VMCS-Verstärkers (ohne Dioden) mit Draineffizienzen von 40 ... 82 % für 10 ... 0 dB *power back-off* stellen eine drastische Steigerung gegenüber dem BPDS-Fall dar und erreichen bzw. übertreffen die Werte von ausgereifteren Konzepten wie Doherty [38].

KAPITEL 7

Zusammenfassung und Ausblick

Die vorliegende Arbeit behandelt bei hohen Frequenzen bisher kaum untersuchte Mikrowellen-Leistungsverstärker auf GaN-Basis, die nach dem Klasse-S-Prinzip arbeiten. Dabei wurde dieses Verstärkerkonzept weltweit erstmalig für Signalausgangsleistungen von mehr als 3 W im Frequenzbereich um 450 MHz realisiert und demonstriert. Die Ergebnisse dieser Arbeit etablieren damit einen neuen "State-of-the-Art" für Mikrowellen-Klasse-S-Leistungsverstärker und liefern wichtige Beiträge zur Analyse, Weiterentwicklung und zum besseren Verständnis des Konzeptes. Die Arbeit beinhaltet dabei die Konzeption und den Aufbau einer Zeitbereichsmesstechnik für Klasse-S-Leistungsverstärker, die Entwicklung eines vereinfachten GaN-HEMT-Transistormodells zur Simulation von Schaltverstärkern im Zeitbereich und als Schwerpunkt die Realisierung und Charakterisierung von Klasse-S-Verstärkern für das 450 MHz - Band sowohl in Current-Mode (CMCS) als auch in Voltage-Mode-Topologie (VMCS).

Der Klasse-S-Verstärker verwendet bis zum Ausgang der Endstufe nur digitale Signale. Ein wichtiger Baustein sind dabei die breitbandigen und hocheffizienten Leistungsschalter zur Verstärkung der Bitsequenzen. Da der zeitliche Verlauf und die Signalform der Pulsfolgen am Ausgang der Endstufen (vor dem Filter) Indikatoren für die Effizienz sind, müssen sie genau analysiert und charakterisiert werden. Dazu wurde im Rahmen dieser Arbeit ein Zeitbereichsmessplatz konzipiert und aufgebaut. Dieser bietet die Möglichkeit, hochfrequente Signale (bis zu 12 GHz) in Echtzeit darzustellen und zu bewerten. Mit der neuen Messtechnik wurden am FBH entwickelte Schaltverstärker-MMICs [14] [41], die auf dem FBH-eigenen 0,5 μm GaN-HEMT-Prozess basieren, auf ihr Potential zur Nutzung im Klasse-S-Verstärker untersucht. Sie erreichen Draineffizienzen bis zu 92 % (bei 5 W) und breitbandige (digitale) Ausgangsleistungen von bis zu 20 W mit 80 % Effizienz.

Für den Entwurf und die Optimierung der digitalen Verstärkerschaltungen im Zeitbereich wurde ein Transistormodell für den GaN-HEMT auf der Grundlage eines idealen Schalters entwickelt und mit Zeitbereichsmessungen verifiziert. Es ermöglicht den direkten Zugriff auf die innere Transistorbeschaltung, wie z. B. On-Widerstand $R_{ds,ON}$ und Drain-Source-Kapazität C_{ds} , und lässt somit eine schnelle Analyse von durch parasitäre Elementen verursachten Verlustmechanismen in der jeweiligen Betriebsart zu. Des Weiteren konvergiert es bei gleicher Genauigkeit im Vergleich mit einem nur aus Frequenzbereichsmessungen extrahierten Modell (vgl. Angelov-Modell [29] [30])

deutlich schneller und reduziert so die Dauer der Zeitbereichssimulationen. Das neu entwickelte Schalter-basierte Transistormodell stellt somit eine vereinfachte Alternative für Simulationen von Schaltverstärkern im Zeitbereich dar.

Ein zentraler Schritt bei der Entwicklung der Klasse-S-Verstärker war die Realisierung der hybriden Ausgangsnetzwerke zur Rekonstruktion des analogen Signals. Die klassische Filterbetrachtung mit S-Parametern war dabei wenig hilfreich und musste durch eine Analyse der Impedanzen ersetzt werden. Jede Endstufenkonstellation bedingt eine bestimmte optimale Lastimpedanz Z_{opt} bei der Signalfrequenz f_S . Alle anderen Frequenzanteile müssen, aufgrund des Spektrums eines Bandpass- $\Delta\Sigma$ -Signals (BPDS), breitbandig mit bestimmten Abschlüssen versehen werden.

Während im Voltage-Mode-Betrieb aufgrund des unsymmetrischen (*single-ended*) Ausgangs der Endstufen ein Filter mit Serienresonanzkreis und Anpassnetzwerk realisiert wurde, mussten im Current-Mode-Fall wegen des differentiellen Filterausgangs Gleich- und Gegentaktimpedanz (Z_{even} , Z_{odd}) optimiert und ein Balun zur Transformation auf *single-ended* $50\ \Omega$ vorgesehen werden. Die vorliegende Arbeit beschreibt und veranschaulicht ausführlich alle spezifischen Entwurfskriterien und -bedingungen sowie die Optimierungsschritte für beide Endstufenkonzepte und liefert somit einen Leitfaden für die Entwicklung hybrider Ausgangsnetzwerke von Klasse-S-Verstärkern.

Durch die Zusammenschaltung der Leistungsschalter-MMICs mit den entwickelten hybriden Ausgangsnetzwerken wurden Klasse-S-Verstärker in Current- und Voltage-Mode-Konfiguration aufgebaut. Dadurch konnte erstmals das Potential beider Endstufentopologien im Mikrowellenbereich detailliert bestimmt und untereinander verglichen werden.

Bei Ansteuerung mit einem klassischen BPDS-modulierten Signal liefert der aufgebauete Voltage-Mode-Verstärker (Gateweite Endstufe: $4 \times 250\ \mu\text{m}$) in der Standardtopologie mit Freilaufdioden Ausgangsleistungen von mehr als 3 W mit Draineffizienzen von rund 40 %. Die maximale Effizienz beträgt 52 %. Die Untersuchungen haben gezeigt, dass der Voltage-Mode-Typ auch ohne Freilaufdioden betrieben werden kann, was zu einer deutlichen Verbesserung der Effizienzen führt. Erreicht werden damit bei geringerer Ausgangsleistung (max. 2,3 W) Draineffizienzen bis zu 60 % (0,2 W), was die Grenzen der Leistungsfähigkeit des Klasse-S-Betriebs neu definiert. Die erreichten Resultate stellen Rekordwerte im Klasse-S-Betrieb mit klassischer BPDS-Modulation dar.

Der Current-Mode-Typ erreicht mit der vierfachen Endstufengröße (Gateweite: $2 \times 8 \times 250\ \mu\text{m}$) Effizienzen von 41 % und maximale Ausgangsleistungen von ca. 9 W. Dabei ist das dazugehörige Filter impedanzmäßig überdimensioniert, damit die 4 mm - Endstufe nicht im Grenzbereich des Drain-Stroms betrieben wird.

Bei Variation der Signaleingangsleistung zeigen beide Verstärkertopologien starke Rückgänge der Effizienz mit fallendem Eingangspegel (höherer *power back-off*). Dabei sinkt die Draineffizienz im Voltage- und Current-Mode von ca. 50 % bzw. 40

% auf unter 10 % bei einer um 10 dB verringerten Eingangsleistung (10 dB *power back-off*). Dies ist für die Anwendung nachteilig, da der Verstärker gerade bei hohem *power back-off* möglichst effizient sein muss, um den neuen bandbreite-optimierten Modulationsverfahren Rechnung zu tragen. Im Zuge dessen sei erwähnt, dass die realisierten Verstärker noch mit Signalen der neuen Kommunikationsstandards wie z. B. WCDMA oder OFDM charakterisiert werden müssen. Darüber hinaus ist auch die Bestimmung der Linearität der Verstärker (z. B. Intermodulationsabstände mit 2-Ton-Messung) für zukünftige Messungen unerlässlich.

In der Arbeit konnte ein wichtiger Faktor zur Erhöhung der Effizienz identifiziert und untersucht werden: die Kodiereffizienz des Modulators. Die BPDS-Modulation, die im Standard-Fall des Klasse-S-Verstärkers angewandt wird, hat eine amplitudenbezogene Kodiereffizienz von 0,8 und ist damit deutlich geringer als das Maximum für ein Rechtecksignal von $\frac{4}{\pi} = 1,3$. Sowohl der Voltage-Mode als auch der Current-Mode-Verstärker wurden deshalb zum Vergleich mit solch einem Signal getestet. Der Voltage-Mode-Verstärker zeigt in diesem Fall mit Freilaufdioden eine maximale Ausgangsleistung von 7 W bei einer Effizienz von 64 % und die Version ohne Dioden liefert maximal 6 W bei 69 % Draineffizienz. Des Weiteren konnte ohne Freilaufdioden eine sehr hohe maximale Effizienz von rund 90 % (0,5 W) erreicht werden. Der Current-Mode-Verstärker liefert bei periodischem Eingangssignal eine Ausgangsleistung von bis zu 19 W bei 59 % und Spitzeneffizienzen von über 70 %. Diese Ergebnissen belegen klar den Einfluss der Kodiereffizienz.

Ausgehend von dieser Beobachtung wurden mit den aufgebauten Verstärkern weiterführende Modulationsansätze experimentell getestet, um auch bei hohen Werten für das *power back-off* (z. B. 6 oder 10 dB) gute Draineffizienzen zu erzielen. Mit dem Ansatz der zeitkontinuierlichen Pulslängenmodulation (PLM) wurden Effizienzen bis zu 40 % bei 10 dB *power back-off* für den Voltage-Mode-Typ (ohne Dioden) gemessen. Dies ist ein Wert, der sich mit den Resultaten der alternativen Konzepte, wie dem Doherty-Verstärker, gut messen kann. Mit dem CMCS-Verstärker konnten noch ca. 20 % Draineffizienz bei gleichem *back-off* erreicht werden. Diese Werte zeigen das Potential der Klasse-S-Verstärker, wenn die Modulation optimiert wird. Dabei ist gemäß den in dieser Arbeit beschriebenen Untersuchungen der Voltage-Mode-Typ ohne Freilaufdioden ein sehr vielversprechender Kandidat für weitere Fortschritte und Entwicklungen. Das muss allerdings mit Signalen der Kommunikationsstandards (z. B. WCDMA) für den Einsatz in Mobilfunk-Basisstationen mittels *EVM*¹, *ACPR*², etc. verifiziert werden.

Bezüglich der zukünftigen Arbeiten kann man anhand dieser Ergebnisse folgende Schlussfolgerungen ziehen:

- Die Übertragung der vorgestellten Konzepte von 450 MHz auf die interessierenden Mobilfunkbänder bei 0,9 und 2 GHz erfordert zum einen Änderungen

¹engl.: **Error Vector Magnitude** - Störungen innerhalb des zu übertragenen Kanals nach Verstärkung

²engl.: **Adjacent Channel Power Ratio** - Nachbarkanalübersprechen

auf Transistorebene, primär die Reduzierung der Gatelänge von $0,5 \mu\text{m}$ auf $0,25 \mu\text{m}$ oder $0,15 \mu\text{m}$. Zum anderen muss aber auch das Ausgangsnetzwerk angepasst werden. Eine Abkehr von diskreten Elementen hin zu höhergütigeren Netzwerken wie z. B. *Comblin Filter* oder Realisierungen mit einer reinen Mikrostreifenanordnung stellen gute Ansätze dar. Dazu sei angemerkt, dass im Rahmen des BMBF-Projektes “GaN-Switchmode” mit GaN-HEMTs von $0,15 \mu\text{m}$ Gatelänge und einem hochgütigen *Comblin Filter* der Klasse-S-Betrieb bei einer Signalfrequenz von 2 GHz nachgewiesen werden konnte [43].

- Die Anwendung des Klasse-S-Konzeptes im X-Band (um die 10 GHz) erscheint allerdings in der nächsten Zeit für höhere Ausgangsleistungen als unrealistisch. Aufgrund der benötigten Schaltfrequenzen von 40 oder 50 GHz sind Leistungstransistoren mit hoher Stromtragfähigkeit mit mindestens diesen Grenzfrequenzen bei gleichzeitig hohen Durchbruchspannungen ($> 40 \text{ V}$) nötig.
- Eine Optimierung der Modulation ist unabdingbar, um das Klasse-S-Konzept “wettbewerbsfähig” zu machen. Darum muss die Modulation in Richtung höherer Kodiereffizienz verändert werden. Ein vielversprechender Ansatz wurde mit der Amplitudenmodulation durch PLM vorgestellt. Die Phase könnte dann mit der Pulspositionsmodulation [13] kodiert werden.
Ein zentrales Problem der Klasse-S-Verstärker stellt jedoch die Abnahme der Effizienz über *power back-off* dar. Idealerweise ist beim Klasse-S-Konzept keine Effizienzabnahme mit sinkender Signaleingangsleistung zu beobachten. Hier kann man gemäß den Analysen in dieser Arbeit schlussfolgern, dass man neben einem optimaleren Ausgangsnetzwerk (hauptsächlich Impedanzcharakteristik) im Voltage-Mode v. a. die parasitären Kapazitäten (C_{diode} im realisierten Aufbau) und im Current-Mode den $R_{ds.ON}$ der Transistoren verringern muss. Nur so ist gewährleistet, dass die reflektierten Signalanteile nicht in den Bauelementen vernichtet werden und die Draineffizienz im *back-off*-Betrieb entscheidend erhöht wird. Bezüglich des Filters wurde bereits ein Verbesserungsansatz mit dem *Comblin Filter* formuliert. Darüber hinaus konnte experimentell für den Voltage-Mode bewiesen werden, dass der Betrieb ohne Freilaufdioden eine Option zur Reduktion von Parasitäten ist. Im Current-Mode-Fall hingegen muss man die Transistoren optimieren (Reduktion ohmsche Verluste), da der CMCS-Verstärker nicht ohne Dioden betrieben werden kann.
- Im Vergleich mit anderen Konzepten lassen sich Klasse-S-Verstärker aufgrund der digitalen Schnittstelle am Eingang einfacher in die hauptsächlich digitale Umgebung einer Basisstation der neuesten Generation einbetten. Eine vorherige Umsetzung in ein Analogsignal, was z. B. Klasse-E- oder Klasse-F-Verstärker am Eingang benötigen, entfällt. Des Weiteren lassen sich mit diesem Verfahren sehr

viel einfacher rekonfigurierbare Mehrdienstsysteme realisieren, da die Schaltungen breitbandig angepasst sind und mit einem digitalen Signal arbeiten. Dadurch muss bei Variation der Signalfrequenz nur noch das Filter bzw. die Kodierung umgeschaltet werden.

Diese beiden Punkte sollten in der Zukunft bei fortschreitender Digitalisierung gute Argumente für den Einsatz von Klasse-S-Verstärkern in Basisstationen sein. Die Voraussetzung dabei sind allerdings Effizienzsteigerungen und die Ansätze dazu wurden im Rahmen dieser Arbeit dargelegt.

Literaturverzeichnis

- [1] ITU (<http://www.itu.int/ITU-D/ict/statistics/ict/graphs/mobile.jpg>), "Mobile phone subscribers per 100 inhabitants 1997 - 2007 distinguished by developed, developing and global world".
- [2] http://www.zdnet.de/news/wirtschaft_unternehmen_business_ericsson_erhaelt_milliardenauftrag_aus_china_story-39001020-41006415-1.htm
- [3] G. Fischer, "Next-Generation Base Station Radio Frequency Architecture", Bell Labs Technical Journal 12 (2), 3-18, Alcatel-Lucent 2007.
- [4] http://de.wikipedia.org/wiki/Universal_Mobile_Telecommunications_Systems
- [5] <http://www.portel.de/nc/nachricht/artikel/21612-nokia-siemens-networks-stellt-strategie-zur-energieeffizienz-auf-der-cebit-vor/>
- [6] <http://www.highbeam.com>
- [7] http://de.wikipedia.org/wiki/Liste_deutscher_Kraftwerke
- [8] N. O. Sokal and A. D. Sokal, "Class-E - A New Class of High-Efficiency Tuned Single-Ended Switching Power Amplifiers", IEEE J. Solid-State Circuits, June 1975, Vol. SC-10, no. 3, pp. 168 - 175.
- [9] N. O. Sokal, "Class-E High-Efficiency Power Amplifiers, From HF to Microwave", IEEE MTT-S International Microwave Symposium Digest 1998, pp. 1109 - 1112, Baltimore, USA.
- [10] C. Meliani, M. Rudolph, P. Kurpas, L. Schmidt, C. N. Rheinfelder, W. Heinrich, "A 2.4 GHz GaAs-HBT Class-E MMIC Amplifier with 65 % PAE", IEEE MTT-S International Microwave Symposium Digest 2007, pp. 939 - 942, Honolulu, USA.
- [11] T. Hung, J. Rode, L. E. Larson, P. M. Asbeck, "H-Bridge Class-D Power Amplifiers for Digital Pulse Modulation Transmitters", IEEE MTT-S International Microwave Symposium Digest 2007, pp. 1091 - 1094, Honolulu, USA.
- [12] H. Kobayashi, J. Hinrichs, P. M. Asbeck, "Current-Mode Class-D Power Amplifiers for High-Efficiency RF Applications", IEEE MTT-S International Microwave Symposium Digest 2001, pp. 939 - 942, Phoenix, USA.
- [13] S. Cripps, "RF Power Amplifiers for Wireless Communications", Norwood, MA: Artech House.
- [14] C. Meliani, J. Flucke, A. Wentzel, J. Würfl, W. Heinrich, G. Tränkle, "Switch-Mode Amplifier ICs with over 90 % Efficiency for Class-S PAs using GaAs-HBTs and GaN-HEMTs", IEEE MTT-S International Microwave Symposium Digest 2008, pp. 751 - 754, Atlanta, USA.
- [15] E. Ersoy, C. Meliani, I. Khalil, W. Heinrich, "On Band-Pass Delta-Sigma Modulators Suitable for Microwave Class-S Power Amplifiers", German Microwave Conference 2008, Hamburg, Germany.
- [16] E. Ersoy, "Bandpass- $\Delta\Sigma$ -Modulatoren für Class-S Leistungsverstärker", Studienarbeit, Technische Universität Berlin, Berlin, November 2008.
- [17] R. Schreier, M. Snelgrove, "Bandpass Delta-Sigma Modulation", IEEE Electronics Letters, USA, November 1989, Vol. 25, No. 23.
- [18] S. P. Stapleton, "High-Efficiency RF Power Amplifiers Using Bandpass Delta-Sigma Modulators", www.agilent.com.
- [19] B. Berglund, J. Johansson, T. Lejon, "High-Efficiency Power Amplifiers", Ericsson Review No. 3, 2006.
- [20] A. Jayaraman, P. F. Chen, G. Hannington, L. Larson, P. M. Asbeck, "Linear High-Efficiency Microwave Power Amplifiers Using Bandpass Delta-Sigma Modulators", IEEE Microwave and Guided Wave Letters, March 1998, Vol. 8, No. 3, pp. 121 - 123.

- [21] J. Sommarek, V. Saari, J. Lindeberg, J. Vankka, K. Halonen, "A 20 MHz BP-PWM and BP-DSM Class-D PA in 0.18 μ m CMOS", Proceedings of the 12th IEEE International Conference on Electronics, Circuits and Systems 2005.
- [22] P. Kurpas, A. Wentzel, B. Janke, C. Meliani, W. Heinrich, J. Würfl, "Monolithically Integrated GaInP/GaAs High-Voltage HBTs and Fast Power Schottky-Diodes for Switch-Mode Amplifiers", International Conference on GaAs Manufacturing Technology (GaAs MANTECH) 2009, Tampa, USA.
- [23] P. Kurpas, A. Maaßdorf, M. Neuner, W. Doser, P. Heymann, B. Janke, F. Schnieder, T. Bergunde, T. Graßhoff, H. Blanck, Ph. Auxemery, W. Heinrich, J. Würfl, "Flip-Chip Mounted 26 V GaInP/GaAs Power HBTs", IEEE IEDM Digest 2004, pp. 561 - 564.
- [24] R. Leberer, R. Reber, M. Oppermann, "An AlGaIn/GaN Class-S Amplifier for RF-Communication Signals", IEEE MTT-S International Microwave Symposium Digest 2008, pp. 85 - 88, Atlanta, USA.
- [25] M. Iwamoto, A. Jayaraman, G. Hannington, P. F. Chen, A. Bellora, W. Thornton, L. E. Larson, and P. M. Asbeck, "Bandpass delta-sigma class-S amplifier", IEEE Electronics Letters, June 2000, Vol. 36, No. 12.
- [26] <http://www.polarinstruments.com>, "Applikationsschrift 157 - Even-Mode Impedanz - eine Einführung".
- [27] David M. Pozar, "Microwave Engineering", 3rd Edition, John Wiley & Sons, Inc., ISBN 978-0-471-44878-5.
- [28] A. Wentzel, C. Meliani, J. Flucke, E. Ersoy, W. Heinrich, "Design and Realization of an Output Network for a GaN-HEMT Current-Mode Class-S Power Amplifier at 450 MHz", German Microwave Conference 2009, München, Germany.
- [29] I. Angelov, L. Bengtsson, M. Garcia, "Extension of the Chalmers nonlinear HEMT and MESFET model", IEEE Transactions on Microwave Theory and Technique, October 1996, Vol. 44, pp. 1664 - 1674.
- [30] I. Angelov, V. Desmaris, K. Dynefors, P. A. Nilsson, N. Rorsman, H. Zirath "On the large-signal modeling of Al-GaN/GaN HEMTs and SiC MESFETs", Proceedings of the 13th GaAs Symposium 2005, pp. 309 - 312, Paris, France.
- [31] R. Negra, T. D. Chu, M. Helouai, S. Boumaiza, F. M. Ghannouchi, "Switch-based GaN HEMT model suitable for highly-efficient RF power amplifier design", IEEE MTT-S International Microwave Symposium Digest 2007, pp. 795 - 798, Honolulu, USA.
- [32] A. Wentzel, F. Schnieder, C. Meliani, W. Heinrich, "A Simplified Switch-Based GaN HEMT Model for RF Switch-Mode Amplifiers", Proceedings of the 4th European Microwave Integrated Circuit Conference (EuMiC) 2009, pp. 77 - 80, Rome, Italy.
- [33] A. Wentzel, C. Meliani, J. Flucke, W. Heinrich, "High-Frequency Time-Domain Measurement Technique for Class-S Amplifiers", German Microwave Conference 2008, Hamburg, Germany.
- [34] A. Wentzel, C. Meliani, J. Flucke, E. Ersoy, W. Heinrich, "High-Frequency Time-Domain Measurement Techniques for Switch-Mode Amplifiers", Proceedings of the European Microwave Association, Individual Issues 2008, Vol. 4, Issue 5, pp. 18 - 23, ISBN 88-8492-324-7.
- [35] P. Wright, A. Sheikh, C. Roff, P. J. Tasker, J. Benedikt, "Highly Efficient Operation Modes in GaN Power Transistors Delivering Upwards of 81 % Efficiency and 12 W Output Power", IEEE MTT-S International Microwave Symposium Digest 2008, pp. 1147 - 1150, Atlanta, USA.
- [36] C. Roff, J. Benedikt, P. J. Tasker, "Design Approach for Realization of Very High Efficiency Power Amplifiers", IEEE MTT-S International Microwave Symposium Digest 2007, pp. 143 - 146, Honolulu, USA.
- [37] D. Kang, J. Choi, D. Kim, D. Yu, K. Min, B. Kim, "30.3 % PAE HBT Doherty Amplifier for 2.5-2.7 GHz Mobile WiMAX", IEEE MTT-S International Microwave Symposium Digest 2010, pp. 796 - 799, Anaheim, USA.

- [38] J. Moon, J. Son, J. Kim, I. Kim, S. Jee, Y. Woo, B. Kim, “*Doherty Amplifier with Envelope Tracking for High Efficiency*”, IEEE MTT-S International Microwave Symposium Digest 2010, pp. 1086 - 1089, Anaheim, USA.
- [39] A. Wentzel, C. Meliani, W. Heinrich, “*A Voltage-Mode Class-S Power Amplifier for the 450 MHz Band*”, Proceedings of the 40th European Microwave Conference (EuMC) 2010, pp. 640 - 643, Paris, France.
- [40] A. Wentzel, C. Meliani, W. Heinrich, “*RF Class-S Power Amplifiers: State-of-the-Art Results and Potential*”, IEEE MTT-S International Microwave Symposium Digest 2010, pp. 812 - 815, Anaheim, USA.
- [41] J. Flucke, “*Mikrowellen-Schaltverstärker in GaN- und GaAs-Technologie - Designgrundlagen und Komponenten*”, Dissertation, Technische Universität Berlin, Berlin, Februar 2010.
- [42] W. Heinrich, A. Wentzel, C. Meliani, “*Advanced Switch-Mode Concepts using GaN: The Class-S Amplifier*”, 18th International Conference on Microwaves, Radar and Wireless Communications MIKON 2010, pp. 54 - 57, Vilnius, Lithuania.
- [43] Alcatel-Lucent Deutschland AG, Bell Labs Germany, “*Systemuntersuchungen zur Realisierung eines getakteten Leistungsverstärkermoduls im Class-S-Betrieb unter Verwendung von GaN-Leistungs-MMICs für Anwendungen im Mobilfunk und drahtlosen Breitband-Verteilssystemen*”, technischer Abschlussbericht BMBF-Projekt 01BU0602, pp. 49 - 50, 04.10.2010.

Publikationen

- [1] A. Wentzel, C. Meliani, J. Flucke, and W. Heinrich, “*High-Frequency Time-Domain Measurement Technique for Class-S Amplifiers*”, German Microwave Conference 2008, Hamburg, Germany.
- [2] C. Meliani, J. Flucke, A. Wentzel, J. Würfl, W. Heinrich, and G. Tränkle, “*Switch-Mode Amplifier ICs with over 90% Efficiency for Class-S PAs using GaAs-HBTs and GaN-HEMTs*”, IEEE MTT-S International Microwave Symposium Digest 2008, pp. 751 - 754, Atlanta, USA.
- [3] P. Kurpas, B. Janke, A. Wentzel, H. Weiss, L. Schmidt, C. Rheinfelder, R. Pazirandeh, A. Maaßdorf, L. Schellhase, W. Heinrich, and J. Würfl, “*High Yield, Highly Scalable, High Voltage GaInP/GaAs-HBT Technology*”, CS MANTECH Conference Digest 2008, pp. 115 - 118, Chicago, USA.
- [4] A. Wentzel, C. Meliani, J. Flucke, and W. Heinrich, “*High-Frequency Time-Domain Measurement Techniques for Switch-Mode Amplifiers*”, Proceedings of the European Microwave Association, Individual Issues 2008, Vol. 4, Issue 5, pp. 18 - 23.
- [5] C. Meliani, A. Wentzel, J. Flucke, E. Ersoy, N. Chaturvedi, R. Lossy, F. Schnieder, B. Janke, S. Freyer, H.-J. Würfl, and W. Heinrich, “*Class-S Amplifier at 450 MHz Using GaN-HEMT Power Switch-MMICs*”, Frequenz 2009, Band 63, Heft 3-4, pp. 55 - 59.
- [6] A. Wentzel, C. Meliani, J. Flucke, E. Ersoy, and W. Heinrich, “*Design and Realization of an Output Network for a GaN-HEMT Current-Mode Class-S Power Amplifier at 450 MHz*”, German Microwave Conference 2009, Munich, Germany.
- [7] J. Würfl, R. Lossy, E. Bahat-Treidel, A. Wentzel, C. Meliani, and G. Tränkle, “*Fast Switching AlGaIn/GaN-HEMT with Integrated Recessed Schottky-Drain Protection Diode for Class-S Microwave Amplifiers*”, 33rd WOCSDICE 2009, pp. 18 - 19, Malaga, Spain.
- [8] P. Kurpas, A. Wentzel, B. Janke, C. Meliani, W. Heinrich, and J. Würfl, “*Monolithically Integrated GaInP/GaAs High-Voltage HBTs and Fast Power Schottky Diodes for Switch-Mode Amplifiers*”, CS MANTECH Conference Digest 2009, Tampa, USA.

- [9] A. Wentzel, F. Schnieder, C. Meliani, and W. Heinrich, “*A Simplified Switch-Based GaN-HEMT Model for RF Switch-Mode Amplifiers*”, Proceedings of the 4th European Microwave Integrated Circuits Conference (EuMiC) 2009, pp. 77 - 80, Rome, Italy.
- [10] A. Wentzel, C. Meliani, and W. Heinrich, “*RF Class-S Power Amplifiers: State-of-the-Art Results and Potential*”, IEEE MTT-S International Microwave Symposium Digest 2010, pp. 812 - 815, Anaheim, USA.
- [11] W. Heinrich, A. Wentzel, and C. Meliani, “*Advanced Switch-Mode Concepts Using GaN: The Class-S Amplifier*”, Proceedings of the 18th MIKON 2010, Vol. 1, pp. 54 - 57, Vilnius, Lithuania.
- [12] A. Wentzel, C. Meliani, and W. Heinrich, “*A Voltage-Mode Class-S Power Amplifier for the 450 MHz Band*”, Proceedings of the 40th European Microwave Conference (EuMC) 2010, pp. 640 - 643, Paris, France.
- [13] U. Pursche, J. Flucke, A. Wentzel, S. Freyer, C. Meliani, and W. Heinrich, “*Broadband 20 Ω 20 W Load Suitable for Characterization of Switch-Mode Amplifiers*”, IEEE Transactions on Instrumentation and Measurement, September 2010, Vol. 59, Nr. 9, pp. 2431 - 2436.
- [14] A. Wentzel, C. Meliani, and W. Heinrich, “*A Voltage-Mode Class-S Power Amplifier for the 450 MHz Band*”, International Journal of Microwave and Wireless Technologies 2011, Vol. 3, Issue 3, pp. 311 - 318.
- [15] A. Wentzel, C. Meliani, and W. Heinrich, “*Optimized Coding Scheme for Class-S Amplifiers*”, to be presented at the 41th European Microwave Conference (EuMC) 2011, Manchester, UK.
- [16] A. Wentzel, C. Meliani, and W. Heinrich, “*From Concept to Realization: Latest Results and Practical Limitations of the Class-S Topology*”, to be presented in workshop “W08 (EuMC/EuMiC) - High efficiency power amplifiers: Analogue - digital balance” at the European Microwave Week 2011, Manchester, UK.

Lebenslauf

Andreas Wentzel

19. August 1979 geboren in Berlin
- 08/1986 – 07/1992 Besuch der 20. Grundschule in Berlin-Marzahn
- 08/1992 – 07/1999 Besuch der Ludwig-Mies-van-der-Rohe-Oberschule in Berlin-Hellersdorf, Abschluss mit der Allgemeinen Hochschulreife
- 07/1999 – 04/2000 Absolvierung des Grundwehrdienstes
- 10/2000 – 03/2006 Studium der Elektrotechnik an der Technischen Universität Berlin
- 09/2004 – 06/2005 Studienarbeit an der Technischen Universität Berlin im Fachbereich Mikrowellentechnik mit dem Thema “Entwicklung und Optimierung balancierter Dioden- und FET-Mischer”
- 07/2005 – 01/2006 Diplomarbeit an der Technischen Universität Berlin in Zusammenarbeit mit der Firma SHF Communication Technologies AG mit dem Thema “Modellierung von pHEMTs im Frequenzbereich DC - 110 GHz”
- 03/2006 Abschluss des Studiums als Dipl.-Ing.
- 07/2011 Promotion zum Dr.-Ing. an der Technischen Universität Berlin
- seit 04/2006 Wissenschaftlicher Mitarbeiter am Ferdinand-Braun-Institut für Höchstfrequenztechnik (FBH) in Berlin

Berlin, den 22. August 2011