

Physikalischer Entwurf für die vertikale SiP-Integration

von Diplom-Ingenieur (TU)
Dmitry David Polityko

Fakultät IV - Elektrotechnik und Informatik
der Technischen Universität Berlin

zur Erlangung des akademischen Grades eines

Doktor der Ingenieurwissenschaften
- Dr.-Ing. -

genehmigte Dissertation

Promotionsausschuss:

Vorsitzender: Prof. Dr.-Ing. C. Boit
Gutachter: Prof. Dr.-Ing., Dr.-Ing. E.h. H. Reichl
Gutachter: Prof. Dr.-Ing. R. Orglmeister
Gutachter: PD Dr. habil. K.-H. Küfer

Datum der wissenschaftlichen Aussprache: 27. Juni 2008

Berlin 2008
(D83)

Danksagung

Ich möchte meiner Familie – meiner Frau Olga, meinem Sohn Sergey und meinen Töchtern Xenia und Anastasia, deren Liebe mir stets Kraft gegeben hat, die Promotion zu Ende zu führen, danken. Ohne ihre Unterstützung und den Verzicht auf viele gemeinsame Abende und Wochenenden wäre es mir nicht möglich gewesen, diese Arbeit fertig zu stellen.

Meinem Doktorvater Prof. Dr.-Ing. Dr.-Ing. E.h. Herbert Reichl danke ich für seine Mentorarbeit und für die Möglichkeit, unter seiner Führung im Forschungsverbund Fraunhofer IZM – TU Berlin meine Forschungsideen umzusetzen. Prof. Dr.-Ing. Reinhold Orglmeister von der TU Berlin danke ich für die Betreuung, Kritik und Unterstützung. PD Dr. habil Karl-Heinz Küfer vom Fraunhofer ITWM in Kaiserslautern danke ich für seine Ratschläge innerhalb und außerhalb der Promotion.

Meinem Kollegen Dipl.-Ing. Christian Richter, der mit mir gemeinsam das Forschungsthema von den ersten Ideen an begleitete und mir dabei stets mit fachlicher, inhaltlicher und menschlicher Unterstützung zu Seite stand, danke ich.

Ich bedanke mich bei Dr. Stephan Guttowski, Jan Hefer und Dr. Klaus-Dieter Lang (Fraunhofer IZM) für die konzeptionelle Hilfe.

Ein besonderer Dank gilt Dr. Michael Schröder (Fraunhofer ITWM) für seine wertvolle Unterstützung in allen Lebenslagen. Ihm und seinen Kollegen aus dem Elektronik-Team des Fraunhofer ITWM in Kaiserslautern Martin Berger und Uwe Nowak, ohne deren Fleiß es nicht möglich gewesen wäre, die Inhalte der Arbeit eindrucksvoll in Software umzusetzen, und die immer Zeit gefunden haben, die komplexe Welt der kombinatorischen Optimierung ingenieurgerecht zu erklären, danke ich herzlich.

Meiner „Rechtschreib-Fee“ und guter Freundin Katrin Gerceva für ihre Einsatzbereitschaft rund um die Uhr und Mandy Ast für ihren Mut zu lernen „wie Licht in die Lampe kommt“, die trotz verheerend vieler Rechtschreibfehler die schwere Aufgabe des Korrekturlesens übernahmen, sei herzlichst gedankt.

Den Mitgliedern meines Teams – Holger Dembowski, Denis Reinhardt und Tomas Bonim – danke ich für die Mitarbeit.

Den Kollegen von der Abteilung CIT des Fraunhofer IZM – Erik Jung, Inna Kolesnik, Charly Becker und Christine Kallmayer – danke ich für die Konsultationen in Sachen AVT. Ferner möchte ich Herrn Arp (Fa. Messring, München) und Dr. Segsa (Fa. Spree-Hybrid, Berlin) für die Unterstützung mit Bildern sowie Tino Kirfe und Carsten Hohertz für die ergiebigen Formeldiskussionen zu Falfflexen danken.

Erklärung

Diejenigen Bezeichnungen von in dieser Arbeit genannten Erzeugnissen, die zugleich eingetragene Warenzeichen sind, wurden nicht besonders kenntlich gemacht. Es kann aus dem Fehlen der Markierung ® nicht geschlossen werden, dass die Bezeichnung ein freier Warenname ist. Ebenso wenig ist zu entnehmen, ob Patente oder Gebrauchsmusterschutz vorliegen. Sofern es sich nicht um eigens angefertigte Skizzen, Fotos und Zeichnungen handelt, wurde die Herkunft des Bildmaterials immer explizit in der Abbildungsbeschriftung gekennzeichnet, auf ein Quellennachweisverzeichnis wurde verzichtet. Die Darstellungen in den Abbildungen Abb. 6.3-6 und Abb. 6.3-7 und Inhalte der Abschnitte „Mehrkriterielle Optimierung“ und „Globaler Entwurf mit mehreren Integrationsalternativen“ im Kapitel 3.3.4 sowie des Kapitels 6.3 „Anwendung“ sind Teil eines angemeldeten deutschen Patents mit dem amtlichen Aktenzeichen 10 2007 021 561.6-53

Inhaltsverzeichnis

ZUSAMMENFASSUNG	1
1. EINLEITUNG	3
1.1. Ausgangslage.....	3
1.2. Motivation	5
1.3. Zielsetzung.....	6
2. INTEGRATIONSTECHNOLOGIE	7
2.1. Der SiP-Integrationsansatz.....	7
2.2. Vertikale Integration – 2,5D SiP	9
2.2.1. Räumliche Baugruppen und 3D IC	9
2.2.2. 2,5D SiP.....	11
2.2.3. Stand der Technik im Bereich 2,5D SiP Technologie.....	13
Stand der Technik	14
Stand der Forschung	16
2.3. Technologien und Bauelemente für die SiP-Integration.....	19
2.3.1. Bauelemente und -formen , Montage- und Verbindungstechniken.....	19
Gehäuste Bauelemente, SMT.....	20
Ungehäuste Bauelemente, Direktmontage und FlipChip.....	23
Gemeinsame geometrische BE-Merkmale.....	26
2.3.2. Substrate	26
Unterteilung	26
Laminierte Substrate	28
Modellrelevante Merkmale und Parameter	30
3. ENTWICKLUNG EINER METHODE ZUM OPTIMIERTEN 2,5D SiP ENTWURF	31
Besondere Anforderungen	31
3.1. Einordnung des physikalischen Entwurfes im Entwurfsprozess elektronischer Systeme..	32
3.2. Einführung in den physikalischen Entwurf der 2D Multichip-Systeme	33
3.2.1. Eingangsdaten.....	34
3.2.2. Entwurfsablauf und EDA-Werkzeuge.....	35
Unterteilung	35
Technologie-Auswahl.....	36
Automatisierungs-Tools.....	36
3.2.3. Fertigungsdaten	37
3.3. Methodik für den optimierten physikalischen Entwurf von 2,5D SiP.....	38
3.3.1. Stand der Entwicklung in 2,5D Entwurf.....	38
Forschung im 2,5D SiP Entwurf.....	38
Werkzeugunterstützung für 2,5D Entwurf.....	39
3.3.2. Struktur des physikalischen Entwurfsprozesses für 2,5D SiP	41
3.3.3. Manueller Entwurf.....	41
3.3.4. Automatisierter Entwurf.....	42
Mehrkriterielle Optimierung im SiP-Entwurf.....	43
Globaler Entwurf mit mehreren Integrationsalternativen	44
3.3.5. Zusammenfassung: Neue Entwurfsmethode und Notwendigkeit der Modellierung.....	45

4.	GEOMETRIEMODELL	45
4.1.	Einführung in die Modellierung.....	46
4.1.1.	Modellierungsprinzip	46
	Abstraktionsebene.....	46
	Anforderungen der kombinatorischen Optimierung	46
	Bestandteile.....	47
	Anordnung	49
4.1.2.	Parameter, Fein- und Grobmodellierung.....	49
4.1.3.	Wechselwirkung der Parameter.....	50
4.2.	Geometrie-Modell für die Integration der Bauelemente in 2,5D SiP.....	51
4.2.1.	Eingangsdaten für die BE-Modellierung.....	51
	Basisquader.....	52
	Kontaktierung	52
4.2.2.	Technologiequader und Grobmodellierung.....	54
4.2.3.	Feinmodellierung für die Bauelemente	55
	Technologie-Parameter und allgemeine Gleichungen	55
	Modellierungsbeispiele: passive SMDs, FlipChip.....	60
4.2.4.	Weitere modellrelevante Aspekte.....	61
	Modellierung anderer AVT- und BE-Typen.....	61
	Routingquader.....	62
4.3.	Geometrie-Modell für die Substrate.....	63
4.3.1.	Allgemeine Substrat-Parameter – Grobmodellierung und Einstellungen für das gesamte Substrat	64
	Erläuterungen.....	65
4.3.2.	Spezifische Substrat-Parameter – Feinmodellierung und Einstellungen für die Lagen ..	67
	Erläuterungen.....	67
	Austausch-Parameter	69
4.3.3.	Bestimmung der vertikalen Abmessungen und der Verdrahtbarkeit.....	69
	Vorbetrachtungen.....	69
	Vorhandene Methoden.....	70
	Methode 1: Verdrahtungsressourcen	71
	Anpassung der Verdrahtungsressourcen-Methode auf ein vorplatziertes Problem im globalen SiP-Entwurf	72
	Methode 2: Schnittebenen.....	77
4.3.4.	Anwendung und Vorgehensweise	78
4.4.	Geometrie-Modell für vertikale AVT	81
4.4.1.	Grobmodellierung aller vertikale AVT-Typen.....	82
	Allgemeine VIC Parameter.....	82
	Erläuterungen.....	82
4.4.2.	Feinmodellierung der vertikalen AVT	83
4.4.3.	Lotkugeln.....	84
	Lotkugelmodell für große Spaltwerte $G > p$	85
	Lotkugelmodell für $G \approx p$	87
	Sonstige modellrelevante Aspekte	88
4.4.4.	Faltflex.....	89
	Spezifische Faltflex-VIC Parameter	90
	Minimaler Biegeradius.....	91
	Sonstige modellrelevante Aspekte	95
4.4.5.	Weitere Anwendungsmöglichkeiten.....	96
	Vergleich der VIC-Techniken.....	96
	Modellierung sonstiger VIC-Typen	96

5.	FUNKTIONELLE RANDBEDINGUNGEN FÜR DEN OPTIMierten 2,5D SiP ENTWURF	97
5.1.	Netze.....	97
5.1.1.	Explizite Verbinder (EC).....	98
5.1.2.	Subnetze	99
5.2.	Constraints	99
5.2.1.	Vorgaben und Ursachen	100
5.2.2.	Strukturierung.....	101
	Priorität und Zuordnung.....	101
	Gruppierung.....	102
5.2.3.	Bauelementbasierte Constraints	102
5.2.4.	VIC-Constraints.....	105
5.2.5.	Verbindungs-Constraints	106
6.	VERIFIKAION UND ANWENDUNG.....	107
6.1.	Funktion und Schaltung der eGrain Prototypen.....	107
6.2.	Verifikation	110
6.2.1.	Untersuchung der Bauelemente-Modellierung.....	110
6.2.2.	Untersuchung der VIC Modellierung.....	112
6.2.3.	Untersuchung der Substrat-Modellierung	113
6.3.	Anwendung	116
6.3.1.	SiP-Expert – mehrkriterielles Entwurfswerkzeug	116
6.3.2.	Physikalischer Entwurf der 2,5D SiP-Schaltung für einen autarken Sensorknoten	118
	Erfassung im TechComposer	118
	Platzierung und Lösungsauswahl: MultiPlacer und LayoutFinder	120
6.3.3.	Auswertung.....	124
	Entwurf	124
	Stack vs. Faltflex.....	125
7.	AUSBLICK.....	127
	Modellierung-Verfeinerung	127
	Erweiterung des Modells: HF- und Thermokennzahlen	128
	Ausweitung des Entwurfsansatzes	128
	LITERATUR	130
	ANHANG A	138
	ANHANG B	141
	INDEX.....	146

Abbildungsverzeichnis

Abb. 1.1-1 SiP vs. SoC: Kosten, Entwicklungsdauer und Systemkomplexität [15].....	3
Abb. 1.1-2 Gründe für den Einsatz von Systems-in-Package [5].....	4
Abb. 1.1-3 Prognostizierte Entwicklung des SiP-Marktes, Ordinate: Millionen Stück [5].....	4
Abb. 1.1-4 Prozentuale Entwicklung der AVT-Formen nach [16].....	4
Abb. 2.1-1 a) eine konventionelle Baugruppe im Euro-Kartenformat (10x16 cm) mit verschiedenen Bauelementen; b) ein MCM auf einem laminierten Substrat mit zwei mittels Drahtbonds kontaktierten ungehäuserten Halbleiter-ICs (17,5x17,5 mm, starke Vergrößerung).....	8
Abb. 2.1-2 Vereinfachte Darstellung des Entstehens einer konventionellen Baugruppe mit gehäuseten ICs (oben) und eines Multichipmoduls mit der Direktmontage ungehäuseter Halbleiter (unten).....	8
Abb. 2.1-3 Bauelemente und Signale in planaren und vertikal integrierten Aufbauten, Prinzipskizze : a) Anordnung der Komponenten in einem planaren Aufbau (bspw. eine beidseitig bestückte PCB); b) vertikale 2,5D Integration der Modulen.....	9
Abb. 2.2-1 a) vertikale Integration der Baugruppen mittels PC104 Stecksystems; b) faltbare Baugruppe zur Integration in ein Gehäuse.....	10
Abb. 2.2-2 VSI Technik: a) ein Wafer-Stack, b) durch gedünnten Wafer prozessierte Kontaktierung (Via).....	10
Abb. 2.2-3 Prozentuale Aufteilung der Interconnect-Techniken in SiP-Anwendungen 2005 und Prognose für 2010 nach [4].....	10
Abb. 2.2-4 Einsatzgebiete für gestackte Systeme nach [4].....	11
Abb. 2.2-5 Integrationsschema und Beispiele für drahtgebondete Chip-Stapel.....	11
Abb. 2.2-6 Integrationsschema und Beispiele für vergossenen Systeme mit der Verdrahtungsmetallisierung an den Seitenwänden (Verguss-Stack).....	11
Abb. 2.2-7 Integrationsschema und Beispiele für Stack 2,5D-SiP.....	12
Abb. 2.2-8 Integrationsschema und Beispiele für Falt 2,5D-SiP.....	12
Abb. 2.2-9 Jährliche Patentierungen in USA zum Thema 3D-Integration in der Mikroelektronik (inkl. 3D IC) [22].....	14
Abb. 2.2-10 a) Intel Prozessor PXA27x als kombiniertes Falt-Stack-SiP [27], b) Intel SiP im Motorola's E680 Tri-Band Handy [15].....	14
Abb. 2.2-11 µZ® MCP Technologien von Tessera: a) Folded-Die, b) Ball-Stack [31].....	15
Abb. 2.2-12 PSyfBGA Technik von Amkor [29].....	15
Abb. 2.2-13 Schematische Darstellung des SoP Substrates [34].....	16
Abb. 2.2-14 SiP Techniken von IMEC: a) Integrationsschema, b) einzelner Modul und c-d) Gesamtaufbau eines Mikrocontroller-Funk-Systems [36][38]; e) Integrationsschema und d) Gesamtaufbau des „eCube“ SiPs mit Sensorik-, Signalverarbeitung- und Funkkomponenten für medizinische Anwendungen [36][37].....	16
Abb. 2.2-15 An der Universität Tampere entwickelte vertikale SiP's: a) Integrationsschema, b) einzelner Modul und c) Kunststoffkugeln in der Lotverbindung [41][39].....	17
Abb. 2.2-16 Match-X: a) Integrationsschema; b) Realisierung eines Datenaufzeichnungssystems (LCU) im Match-X-Stack.....	17
Abb. 2.2-17 Stapelung der ultradünnen HDI-Substrate.....	18
Abb. 2.2-18 Prototypen aus der eGrain-Roadmap, Miniaturisierung der Elektronik eines netzwerkfähigen autarken Sensorknotens zur Licht- und Temperaturmessung: a) Stack aus konventionellen Baugruppen mit SMT-Technik, Kantenlänge 26mm; b) MCM auf einem FR4-Substrat, Kantenlänge 20mm; c) Faltflex, Kantenlänge 10mm; d) Faltflex, Kantenlänge 6mm.....	18
Abb. 2.3-1 Zuordnung der Bauformen, Montage- und Verbindungstechniken, in Ahnlehnung an [1][42].....	19
Abb. 2.3-2 a) Ein 0603 Kondensator; b) Projektion der Abmessungen [1],[42].....	20
Abb. 2.3-3 a) MELF-Dioden [42]; b) Projektion der Abmessungen [1].....	20
Abb. 2.3-4 SMD Bauformen: a)Elektrolyt- und b)Tantalkondensatoren; c) Quarze; d) Lichtsensor; e) LED [42].....	21

Abb. 2.3-5 a) BGA, Prinzipskizze der Kontaktierung; b) Ober- und Unterseite eines FBGA156 von Conexant; c) Unterseite eines CSP, die Signale werden von den peripheren Chip-Pads über eine transparente Umverdrahtungslage auf das matrixförmige Lotkugelfeld geführt. [42]	22
Abb. 2.3-6 Skizze der Lötverbindung eines SMD-BE [42]	22
Abb. 2.3-7 Zwei FlipChips (ACA-Klebmontage) umgeben von passiven SMD-BE (Reflow-gelötet)	23
Abb. 2.3-8 Ein IC als Bare Die mit einer niedrigen Anschlusszahl und Bondpad-Struktur [42]	23
Abb. 2.3-9 Chip-Kontaktierungstechniken: a) C&W; b) TAB; c) FC	24
Abb. 2.3-10 Übersicht der Bumpingverfahren [3]	25
Abb. 2.3-11 Schliffe: a) FC mit Underfill, b) umschmelzbare Bumps; (1. Chip, 2. Substrat, 3. Underfill-Ausbreitung an der Chipkante, 4. Bumps)	25
Abb. 2.3-12 Anisotrop leitendes Kleben (ACA): a) Prinzipskizze [42], b) Schliff einer Verbindung mit ultradünnen Nickel-Bumps	26
Abb. 2.3-13 Substrate: Unterteilung und Beispiele, in Anlehnung an [42]	27
Abb. 2.3-14 Laminierte Substrate, Prinzipskizzen: a) zweilagige Platine und das Leiterbild; b) Strukturbreite,-abstand,-pitch; c) starrer und d) flexibler mehrlagige Laminate [42]	28
Abb. 2.3-15 Via-Varianten in einem HDI-Substrat [43]	29
Abb. 2.3-16 Prinzipskizze: Lötstoplack und Substratpads	30
Abb. 3.1-1 Positionierung des physikalischen Entwurfes im MCM-Entwurfsprozess nach [59]	33
Abb. 3.2-1 Allgemeine Einordnung des physikalischen Entwurfes im gesamten Entwurfsprozess	34
Abb. 3.2-2 Struktur des physikalischen Entwurfes in der planaren Integration: a) ein an [48] angelegter technologieorientierter Ablauf; b) systemdesignorientierter Entwurfsablauf [56]	34
Abb. 3.2-3 Symbolische Darstellung der globalen Partitionierung, Platzierung, Verdrahtung im 2D Entwurf.	35
Abb. 3.3-1 Toollandschaft, ausgewählte Beispiele der relevanten ECAD Systeme mit ihren Kerneigenschaften und approximative zeitliche Entwicklung	40
Abb. 3.3-2 Strukturierung des physikalischen Entwurfs von 2,5D für manuelle Bearbeitung	41
Abb. 3.3-3 Globaler Entwurf bei der manuellen Bearbeitung - Komponenten und Netze: a) Ausgangszustand, b) nach Partitionierung, c) nach Platzierung und Verdrahtung	42
Abb. 3.3-4 Vergleich mehrerer Kriterien einer Lösungsmenge	43
Abb. 3.3-5 Struktur des Physikalischen Designs im mehrkriteriellen Entwurfsansatz	44
Abb. 4.1-1 Formapproximierung für die Modellierung am Beispiel einer Lötstelle eines passiven SMD-Bauelementes: a) typischer realer Verlauf; b) Darstellung durch einen Quader	46
Abb. 4.1-2 Veranschaulichung des Modellierungsprinzips: a)-b) Zerlegung des 2,5D SiP in geometrisch modellierbare physikalische Bestandteile; c)-d) Approximation der Bestandteile durch Quader	48
Abb. 4.1-3 Anordnung der Module im SiP Modell	49
Abb. 4.1-4 Vereinfachte Darstellung der Modellierungsstruktur, Veranschaulichung der Grob-/Feinmodellierung und Optimierungstiefe	50
Abb. 4.1-5 Wechselwirkung der Parameter im geometrischen Modell	51
Abb. 4.2-1 Beispiele von Bauelementen mit Basisgeometrien „Box“ und „Zylinder“, Basisquadern	52
Abb. 4.2-2 Padpositionen und Kontaktierungsstrecken: a) Vierpoliger Quarz; b) FlipChip (Ausschnitt) [42]	53
Abb. 4.2-3 Technologiequader um ein SMD Bauelement	54
Abb. 4.2-4: Basis- und Technologiequader	55
Abb. 4.2-5 Bauelement-Modell für die Bestimmung der Technologiequader-Gleichungen: a) ein durch Lötstoppschicht („solder mask defined“) definierter Pad mit einem Vergrößerungsfaktor $g_x > 0$, b) ein „copper defined“ Pad mit $g_x = 0$	56
Abb. 4.2-6 Padvergrößerungsfaktoren	57
Abb. 4.2-7 Bestimmung der lateralen Abmessungen des Technologiequaders durch die Padflächen [42]	58
Abb. 4.2-8 Projektion des Routingquaders auf die Grundfläche	61
Abb. 4.2-9 Beispiel der Abschätzung des Routingquaders für ein TSSOP36 bei $\chi = 1/2$ [42]	62
Abb. 4.3-1 Substrat- und Lagen-Quadermodell	63

Abb. 4.3-2 Schematische Darstellung der reellen Strukturen eines Substrates mit vier Signallagen und wichtigen Größen ($d_3=t_{core}$; $d_2=d_4=t_{prepreg}$, $d_1=d_5=t_{sm}$ etc.)	67
Abb. 4.3-3 Anzahl der Verdrahtungsebenen in Abhängigkeit von der Verbindungsdichte nach [2]	70
Abb. 4.3-4 Größen für die Bestimmung der Verdrahtungskapazität.....	71
Abb. 4.3-5 Verdrahtungskapazität für verschiedene Substrattechnologien nach [59].....	71
Abb. 4.3-6 Schematische Darstellung der für die Verdrahtung nicht zu Verfügung stehenden Flächen	73
Abb. 4.3-7 Schematische Darstellung von Manhattan-Metrik, Anschlüsse (Pads, Terminals), durch BE-Quader und Pad belegten Flächen in einem SiP Modul	74
Abb.4.3-8 Illustration der Anwendung der Schnittebenen-Methode.....	77
Abb.4.3-9 Vorgehensweise zu Abschätzung der Lagenzahl s	79
Abb.4.3-10 Prüfung von Signallagenzahl s nach der Methode mit Schnittebenen.....	80
Abb. 4.4-1 Als ein Quader approximierter Falzflex und Bump ViC.....	81
Abb. 4.4-2 Änderung der VIC Abmessungen in Abhängigkeit von Höhe.....	81
Abb. 4.4-3 Substratbelegung durch VIC: a) Beispiel Solder Bump $a_{vic\ up}=0$ $a_{vic\ lo}=0$; b) Beispiel Flex $a_{vic\ up}=1$ $a_{vic\ lo}=1$; c) $a_{vic\ up}=0$ $a_{vic\ lo}=1$; d) $a_{vic\ up}=1$ $a_{vic\ lo}=0$;	83
Abb. 4.4-4 Veranschaulichung von VIC-Quader für Solder Bumps.....	84
Abb. 4.4-5 Notwendige Daten für die Berechnung der Geometrie von Solder Bump	85
Abb. 4.4-6 Graphische Darstellung der Approximation der von Ball Spacing und Pitch.....	87
Abb. 4.4-7 Verlauf der lateralen VIC Abmessungen als Funktion von Spalt G für $l_s=200\mu m$, $l_w=100\mu m$	88
Abb. 4.4-8 Technologiequader eines Flexsegmentes und relevante Größen.....	90
Abb. 4.4-9 Mögliche Ausprägungen des Falzflexsegmentes im Querschnitt: a) kleinste Form; b) kleinste Ausdehnung mit $G > 2r_{bmin}$; c) ellipsoide Form; d) kreisförmige Segmentformation e) „keulenförmige“ Segmentformation in Folge einer überdimensionierten Segmentlänge.....	91
Abb. 4.4-10 Vereinfachte Darstellung der in IPC 2223A beschriebenen Flexstrukturen mit der neutralen Verformungsachse in der Mitte des Substrates: a) Ausschnitt aus einem Flex mit einer leitenden Lage; b) Ausschnitt aus einem Flex mit zwei leitenden Lagen; c) zweiseitiges Flex; d) durch Stauchung und Dehnung belastete Bereiche und idealisierte Position der neutralen Verformungsachse in einem Falzflex ([87], mit freundlicher Erlaubnis von John Perry/IPC).....	92
Abb. 4.4-11 Notwendige Größen für die Berechnung des Biegeradiuses in einem Flexsubstrat mit zwei und mehr Signallagen: a) Ausschnitt vor der Biegung, verformungsfrei; b) durch Stauchung und Dehnung beanspruchte Bereiche nach der Biegung mit der neutralen Verformungsachse in der Mitte des Substrates; c) Projektion der geometrischen Größen für die Herleitung.....	93
Abb. 4.4-12 Schematische Darstellung der Struktur eines Multilayer-Substrates	95
Abb. 4.4-13 Werte von Biegeradien für zwei laminierte Substrate mit verschiedenen Fertigungsdaten	95
Abb. 4.4-14 Vergleich der realisierbaren Anschlusszahl von Falzflex und Solderbump-ViC in einer exemplarischen Anwendung [56].....	96
Abb. 5.1-1 Beispiel der Stromversorgung eines 2,5D SiP, der Netzverlegung zwischen einem Pufferkondensator und einem IC: a) fehlerhafte Verbindungsabzweigung b) richtige Verbindungsführung.....	97
Abb. 5.1-2 Beispiel eines Netzes mit Subnetzen und expliziten Verbindern [42]	98
Abb. 5.2-1 Beispiel für die Gruppierung von Bauelementen [42].....	102
Abb. 6.1-1 Gefalteter (a) und mittels Solderballs verbundener gestapelter (b) eGrain 10mm Prototyp	108
Abb. 6.1-2 Schaltplan vom 10mm eGrain	109
Abb. 6.2-1 Vertikale Abmessungen eines ACA FC mit dünnen Bumps	110
Abb. 6.2-2 Projektion der TQ auf die 10mm eGrain Flexschaltung	110
Abb. 6.2-3 Verlauf der Pad-Vergrößerung nach IPC und in der Falzflexschaltung benutzte Faktoren: a) g_x ; b) g_y	111
Abb. 6.2-4 Beispiele der Testfalzflexe (a) vor und (b) nach der Biegung: a1-b1) Probe 6 mit einer Cu-Lage; a2-b2) Probe 1 mit zwei Cu-Lagen; a3-b3) Probe 12 mit drei Cu-Lagen; die drei oberen Schichten in der Darstellung a3 sind im Biegebereich nicht vorhanden; (1. Solder Mask; 2.Cu; 3.PI)	112
Abb. 6.2-5 Bruch im Falzsegment	113

Abb. 6.2-6 Untersuchungsergebnisse zum Verdrahtungsabschätzungsmodell mit $\epsilon=0,3$	114
Abb. 6.2-7 Gegenüberstellung der realen Lagenzahl und der Modellergebnisse für Stufen 3 und 4.....	115
Abb. 6.3-1 Struktur des Arbeitsflusses im Programm 3D SIP-Expert.....	116
Abb. 6.3-2 Graphische Oberfläche des TechComposers mit ausgewählter Registerkarte für Substrateinstellungen	117
Abb. 6.3-3 a) Syntaxbeispiel einer pac-Datei mit den Daten eines Zweipoligen 0201 SMD, b)-c) Dialog zum Einlesen der Packagedaten.....	118
Abb. 6.3-4 Dialog zum Einlesen der Netzliste und Zuweisung der Packagedaten.....	119
Abb. 6.3-5 Gruppierung der Bauteile beim 10mm-eGrain [42].....	119
Abb. 6.3-6 LayoutFinder.....	121
Abb. 6.3-7 Einschränkung und Selektionsmechanismen: Auswahl einer Lösung mit 10mm Kantenlänge, die Begrenzung für den Halbumfang (HalfPerimeter) ist auf den Bereich um 20mm und für Länge und Breite (SiP-Length/Width) auf einen Bereich um 10 mm eingestellt, rechts erscheinen die Werte in μm für die durch den Zeiger gewählte Lösung.....	122
Abb. 6.3-8 Bewertung der Entwufskriterien für die selektierten Lösungen: a) Verdrahtungslänge vs. Halbumfang des Moduls; b) SiP-Höhe vs. laterale Abmessungen; c) SiP-Volumen vs. Halbumfang; d) Verdrahtungslänge vs. Halbumfang (vergrößerter Auszug); e) Anzahl der VIC vs. Verdrahtungslänge; f) l_w und l_s vs. Verdrahtungslänge (1. 2,5D <i>Falt-SiP</i> , 2. und 3. 2,5D <i>Stack-SiPs</i>).....	123
Abb. 6.3-9 Platzierung der BE in den Modulen der ausgewählten Lösung: Ober- (a) und Unterseite (b) des oberen Moduls; Ober- (c) und Unterseite (d) des unteren Moduls; Elemente der Antennen/Matching Gruppe auf Ober- (1.) und Unterseite (2.) des Moduls.....	124
Abb. 6.3-10 Status der Constrainteinhaltung bei der ausgewählten Lösung.....	124
Abb. 6.3-11 Dreidimensionale Darstellung der ausgewählten Lösung: a) Gesamtansicht; b) einzelne Module und Netze in der Manhattan-Metrik.....	124
Abb. 6.3-12 Betrachtung der Gesamtlösungsmenge und Auswertung der allgemeinen Tendenzen der technologischen Stack- und <i>Falt-Architektur</i> für 2,5D SiP: a) Verdrahtungslänge vs. Halbumfang; b) SiP-Höhe vs. laterale Abmessungen; c) SiP-Volumen vs. Halbumfang; d) Anzahl der VIC vs. Verdrahtungslänge; e) Volumen und Substratparameter l_w und l_s der Gesamtlösungsmenge; f) Volumen und Substratparameter l_w und l_s der Lösungen mit minimalen und maximalen Substratparameter l_w und l_s	126

Tabellenverzeichnis

Tab. 2.2-1 Parameter für Vergleich der vertikalen AVT, in Anlehnung an [56].....	12
Tab. 2.2-2 Auf dem Gebiet der 2,5D Falt- und Stack-SiP-Integration tätige Unternehmen [4][5]	15
Tab. 2.3-1 Abmessungen verschiedener passiven BE [1]	20
Tab. 2.3-2 Abmessungen der MELF Bauformen [1]	20
Tab. 2.3-3 Designrelevante Parameter für verschiedene MCM bzw. Substrat-Type [12] [56].....	27
Tab. 2.3-4 Designrelevante Parameter für verschiedene AVT [12] [54].....	27
Tab. 2.3-5 Einteilung der Substrate in die Klassen [42][44].....	29
Tab. 2.3-6 Gebräuchliche Oberflächenbeschichtungen (Finish-Typen) für Substrat-Metallisierung [43]	29
Tab. 3-1 Exemplarische Berechnung der Größe des Entscheidungsraums für das 2,5D SiP Platzierungsproblem nach Grundlagen von Berger [70] bei einer einseitigen Modulbestückung	31
Tab. 4.2-1 Eingangsdaten für die Definition des Basisquaders.....	54
Tab. 4.2-2 BE-Pad-Toleranzen und Substratpad-Abmessungen für SMD-Chipwiderstände nach IPC 782[90] und daraus berechnete Padvergrößerungsfaktoren	57
Tab. 4.2-3 Parameter (Auswahl) und typische Werte für die BE-Modellierung	59
Tab. 4.2-4 Modell-Parameter für reale Bauelemente	60
Tab. 4.4-1 Einflussgrößen bei der Berechnung von VIC-Quadern	84
Tab. 4.4-2 Von IPC empfohlene Bump-Durchmesser sowie maximale und minimale Pitch-Werte, berechnete Werte für die Spalthöhe G und minimalen und maximalen Spacing s_b	86
Tab. 5.2-1 BE-Constraints für die Vorgaben, die relativ zur Umgebung wirken.....	103
Tab. 5.2-2 BE-Constraints für die Vorgaben, die relativ zu BE wirken.....	103
Tab 5.2-3 VIC-Constraints.....	105
Tab. 5.2-4 Netz-Constraints	107
Tab. 6.2-1 Daten der vermessenen Testfaltflexsubstrate und Gegenüberstellung der berechneten und gemessenen Radien	112
Tab. 6.2-2 Daten der Schaltungen, die für die Untersuchung der Substratmodellierung herangezogen wurden, und Berechnungsergebnisse.....	115
Tab. 6.3-1 Constraints für 10mm eGrain Schaltung.....	120
Tab. A-1 Funktionsblöcke, wichtigste Systemkomponenten und technische Eigenschaften der eGrain-Schaltung	138
Tab. A-2 Daten der in der eGrain 10mm Schaltung verwendeten Package-Geometrien.....	139
Tab. A-3 Komplette Stückliste der eGrain 10mm Schaltung.....	139
Tab. A-4 Weitere Daten der für die Untersuchung des Verdrahtungsmodells verwendeten Schaltungen	140

Formelzeichen

α	–	Positionsfaktor für die neutrale Deformationsachse	k	–	Nummer der Seite eines Raoutingquader
ε	–	Verdrahtungseffizienz	l_c	–	Kupferlänge vor der Deformation
χ	–	Verdrahtungskorrekturfaktor für Routingquader	l_{cdef}	–	Kupferlänge nach der Deformation
μ	–	Sicherheitsfaktor	l_{fs}	–	Länge der Faltsegmente
A	–	Modulfläche, für die Verdrahtung zu Verfügung stehende Fläche,	l_l	–	verfügbare Leitungslänge in einer Lage
A_{BE}	–	durch die Technologie Quader von Bauelementen belegte Fläche	l_p	–	maximal mögliche Gesamtverdraht.länge
A_{eff}	–	effektive Verdrahtungsfläche	l_r	–	benötigte Verdrahtungslänge
A_{occ}	–	belegte und für das Routing nicht verfügbare Fläche in einer Lage.	l_{rr}	–	Restring
a_s	–	Bestückungsanzeige	l_s	–	Strukturabstand auf einem Substrat
a_{SM}	–	Lotstopschicht-Faktor.	l_{smin}	–	minimaler Strukturabstand auf einem Substrat
A_v	–	Fläche eines einzelnen Via	l_w	–	Strukturbreite auf einem Substrat
A_{via}	–	von den Durchkontaktierungen auf allen Lagen belegte Fläche	$l_{w,ad}$	–	Sicherheitsaufschlag für die Strukturbreite auf einem Substrat (additional line width)
A_{VIC}	–	durch die VIC-Quader belegte Fläche	l_{wmin}	–	minimale Strukturbreite auf einem Substrat
a_{vic}	–	Belegungsanzeige für VIC	$M_{mod/sub/BE}$	–	Menge (der Module/Substrate/BE)
b_j	–	Bezeichnung des Bauelementes Nummer j	m_i	–	Modul als Sammelmenge
$b_{k_p_i}$	–	Bezeichnung des Pads Nummer i des Bauelementes Nummer k	n_{BE}	–	Anzahl der Bauelemente auf dem Modul
c	–	Dicke einer leitenden Metallisierungs-Lage	N_{cross}	–	Anzahl der pro Schnittebene
d	–	Dicke einer nicht leitenden Lage	N_{gnd}	–	Gesamtlänge von GND Netz
D	–	Dicke der äußeren Schutzschicht (coverlayer/solder mask)	n_l	–	Anzahl der Lagen
D	–	Substratdicke ohne äußeren Metalllagen	N_l	–	Summe aller Netzlängen im Modul in der Manhattan-Metrik
d^*	–	Dicke des Substrates ohne äußeren Schutzschichten (Abstand zwischen äußeren leitenden Schichten)	N_{ln}	–	Länge des einzelnen Netzes in Manhattan-Metrik
d_a	–	Außendurchmesser der Via ($d_a = d_{drill}$)	n_n	–	Anzahl der Netze im Modul
d_b	–	Durchmesser einer Lotkugel (diameter of ball)	N_p	–	Anzahl der Leitungen
d_{drill}	–	Durchkontaktierungsdurchmesser	n_{pad}	–	Anzahl der Substrat-Pads von den Bauelementen im Modul.
$d_{drill\ min}$	–	minimaler Durchkontaktierungsdurchmesser	N_s	–	Anzahl der Signalanschlüsse
d_i	–	Innendurchmesser der Via	n_s	–	Anzahl der Signale
d_t	–	Werkzeugabstand	N_t	–	Anzahl der Bohrungen
$d_{x\ sub\ i}$	–	laterale Ausdehnung von einem Substrat-Pad	n_V	–	Anzahl der Vias
$d_{y\ sub\ i}$	–	laterale Ausdehnung von einem BE-Pad	N_{vcc}	–	Gesamtlänge von VCC Netz
d_{x_i}, d_{y_i}	–	laterale Ausdehnung von einem BE-Pad	n_{VIC}	–	Anzahl der VIC auf dem Modul
E_b^*	–	Deformationsfaktor als absoluter Wert	p	–	Pitch, Substratpitch
E_B	–	Deformationsfaktor	p_b	–	Pitch für die Lotkugeln als Mitte-zu-Mitte Abstand
f	–	Anzahl der nicht leitenden Lagen	p_{con}	–	Constraint Priorität
g_x, g_y	–	Padvergrößerungsfaktoren	$p_{pad\ min}$	–	Anschlussrastermaß – minimaler Pad-Pitch
h_{att}	–	Dicke des Fügmittels	r_b	–	Biegeradius eines Faltflexes
h_{bump}	–	Höhe eines Bumps	r_{bmin}	–	minimaler Biegeradius
h_{enc}	–	Höhe der Verkapselung	s	–	Anzahl der leitenden Lagen
h_{sf}	–	vertikaler Sicherheitsabstand.	S	–	Substrat-Dicke
$I_{s,ad}$	–	Sicherheitsaufschlag für den Strukturabstand auf einem Substrat	S_b	–	zulässiger Abstand zwischen den Lotkugeln
			S_{cross}	–	Anzahl der Signallagen, die eine Schnittebene kreuzen
			S_{max}	–	maximaler Anzahl der leitenden Lagen
			S_{plane}	–	Anzahl der Plane-Lagen
			t_{core}	–	Core-Dicke

t_l	– Dicke einer einzelnen Lage	x_{BE}, y_{BE}, z_{BE}	– BE-Abmessungen als Projektionslänge auf einer Koordinatenachse
$t_{prepreg}$	– Dicke des Prepregs	x_{BQ}, y_{BQ}, z_{BQ}	– Basisquader-Abmessungen
t_{sm}	– Dicke der äußeren Schutzschichten	$x_{pad i}, y_{pad i}$	– Mittelpunkt-Koordinaten des Pads
V_{bump}	– Bump-Volumen	$\Delta x/y/z_{1/2 TQ}$	– technologisch bedingten Mindestabstände in einem Technologiequader
V_{db}	– Volumen einer Kugel mit dem Durchmesser d_b	$\Delta x/y/z_{tol}$	– Fertigungstoleranzen
V_f	– Via-Faktor als Anzahl der Vias pro Netz	$\Delta x/y_{1/2 RQ}$	– Verdrahtungsbedingte Abstände in einem Routingquader
V_{ss}	– Volumen eines sphärischen Segmentes	λ	– Wellenlänge
W_c	– Verdrahtungskapazität		

Abkürzungen

μC	– Microkontroller	IMEC	– Interuniversity Microelectronics Centre
ACA	– anisotropic conductive adhesive	IEC	– International Electrotechnical Commission
ADU	– Analog-Digital Umsetzer	iNEMI	– International Electronics Manufacturing Initiative
AVT	– Aufbau- und Verbindungstechnik	IPC	– Institute of Interconnecting and Packaging Electronic Circuits
BE	– Bauelement	ITRS	– International Technology Roadmap for Semiconductors
BeCAP	– Berlin Center of Advanced Packaging	ITWM	– (Fraunhofer) Institut für Techno- und Wirtschaftsmathematik
BGA	– Ball Grid Array	IZM	– (Fraunhofer) Institut für Zuverlässigkeit und Mikrointegration
BOM	– Bill of Material	JEDEC	– Joint Electron Device Engineering
C&W	– Chip and Wire	LED	– Light Emitting Diode
C4	– Controlled Collapse Chip Connection	MCM	– Multichip-Module
CAD	– Computer Aided Design	MELF	– Metal-Electrode-Faces
CMOS	– Complementary Metal Oxide Semicond.	PCB	– Printed Circuit Board
COB	– Chip on Board	PI	– Polyimid
CSP	– Chip-Scale-Package	PoP	– Package-on-Package
DIN	– Deutsches Institut für Normung e. V.	RQ	– Routingquader
ECAD	– Electronic CAD (s. EDA)	SiP	– System-in-Package
EDA	– Electronic Design Automation	SM	– Solder Mask
EDIF	– Electronic Design Interchange Format	SMD	– Surface Mounted Devices
FC	– FlipChip	SMT	– Surface Mounted Technology
GDSII	– Graphic Data System (Format)	SoC	– System-on-Chip-Integration
GTCAD	– Georgia Tech Computer Aided Design Laboratory	SoP	– System-on-Package
HAL	– Hot Air Leveling	TAB	– Tape Automated Bonding
HDI	– High Density Interconnects	THT	– Through Hole Technology
HDP	– High Density Packaging	TQ	– Technologiequader
IC	– Integrated Circuit	VIC	– Vertical Interconnects

Zusammenfassung

Sowohl der Entwurf als auch die Realisierungstechnologie für eine vertikale Systemintegration sind neue und herausfordernde Felder im Bereich der Mikroelektronik. Während vielfältige technologische Lösungen für die vertikale Integration auf dem Markt vorhanden sind, mangelt es an Entwurfswerkzeugen für die räumlich integrierte Elektronik. Die vorliegende Arbeit behandelt die Einbindung der vertikalen Integrationstechnologien in den physikalischen Entwurf am Beispiel von gefalteten und gestapelten Systems-in-Package (SiPs). Dafür wird eine entwurfsorientierte Beschreibung in Form von geometrischen Modellen und Parametern dieser vertikalen SiP-Technologien geschaffen. Ferner wird der physikalische Entwurf als Teil des Designprozesses beginnend bei der Fertigstellung des Schaltplanes auf die Belange der 2,5D-Integration adaptiert und optimiert. Die Verifikation der Modelle erfolgt durch die praktische Anwendung der Methoden der mehrkriteriellen Optimierung sowohl für die Platzierungs-Automatisierung als auch für die parametrisierte Auswahl der Integrationstechnologie mit realen Schaltungsbeispielen und ihrer Auswertung. Die Anwendung dieses neuartigen Entwurfsansatzes mit einer simultanen Behandlung mehrerer Entwurfskriterien nicht nur auf den AVT-Entwurf, sondern auf alle Felder des modernen Elektronikdesigns bildet den Ausblick für die wissenschaftlich-technische Anschlussfähigkeit der Arbeit.

Die der Arbeit zu Grunde liegende theoretische Kernthese, dass eine effiziente entwurfsorientierte Beschreibung des technologischen Wissens über die vertikale SiP-Integration in Form von Parametern und geometrischen Modellen möglich ist, wurde durch die in der Arbeit erzielten praktische Ergebnisse belegt. Nicht nur eine modellhafte Erfassung der integrations-technologischen Gestaltung der Bestandteile von 2,5 D SiP, sondern auch die Abbildung des Designerwissens über die Constraints und eine Einbindung der erarbeiteten Erkenntnisse in das mehrkriterielle Entwurfswerkzeug *3D SiP-Expert* wurden verifizierbar demonstriert. Die gesetzten Ziele der Arbeit – Modellentwicklung, Constraintaufstellung sowie Verifikation und Anwendung in einem mehrkriteriellen Entwurfsverfahren – sind damit erreicht. Die im theoretischen Teil der Arbeit aufgestellte Modellierung, die SiP Bestandteile inklusive der technologisch bedingten Abstände, Sperrräume sowie Platzierungsrestriktionen als dreidimensionale Objekte dynamisch beschreibt, wurde im praktischen Teil experimentell verifiziert. Gemeinsam mit den entwickelten Regeln (Constraints) wurde das Modell im Entwurfsprogramm *3D SiP Expert* praktisch angewendet, das eine neue entwickelte, auf den Prinzipien der mehrkriteriellen Optimierung basierende Entwurfsmethode, verifizierbar umsetzt.

Die aufgestellte Modellierung und die entwickelte Entwurfsmethodik leisten sowohl im technologischen als auch im konstruktiven Bereich einen Beitrag zur Etablierung des SiP-Integrationsansatzes. Die Automatisierung der Komponentenplatzierung, die Absicherung der funktionalen Rahmenbedingungen und vor allem ein kriterienbasierter Vergleich der verschiedenen Integrationsalternativen noch vor der Realisierung von Prototypen kennzeichnen den Nutzen, der aus den Arbeitsergebnissen entsteht. Damit werden insgesamt nicht nur die Entwicklungszeiten im 2,5D SiP Design verkürzt und die Effektivität der Entscheidungen gesteigert, sondern auch die Qualität des Entwurfsergebnisses verbessert.

Abstract

Design and integration technologies for vertical system integration are new and challenging fields in the microelectronic area. While there are manifold technological solutions for vertical integration on the market, there is still a lack of design tools for three dimensional integrated electronics. This PhD dissertation deals with linking technological expert knowledge for vertical integration into the physical design based on an example of folded and stacked Systems-in-Package (SiP). Therefore, the design aware description of these technologies is created, being formally presented as geometrical model and parameters. Furthermore, the phase of physical design within design process, which starts with finalized schematic, is structured, adopted and optimized for 2,5D issues. Using the multicriteria optimisation methods, the models are verified by practical application for placement automation of the components and for parameterised technology selection during the design of real hardware examples. The novel physical design approach treating numerous design criteria simultaneously is developed and in perspective can also be extended to other disciplines of microelectronic designs beyond SiP, such as IC- or PCB-Design.

Achieved results confirm the core thesis of this work, stating that expert knowledge about the vertical SiP integration technology can be formally formulated as a model and effectively applied to the design environment. Capturing of the technological behaviour of 2,5D SiP parts and the mapping of schematic specific constraints have been verified by the embedding into the multicriteria design tool *3D SiP-Expert*. All targeted goals of the PhD thesis have been achieved: technological model definition, constraints set development, their verification and application within multicriteria optimisation software. In the theoretical part of the thesis, developed technological geometry model describes all SiP parts as dynamical three dimensional objects, which also include technology-dependent spacing and placement restrictions. The model is experimentally proven in the practical part of the thesis. The suitability of the model and constraints set for the novel design method is also demonstrated in the practical section by the implementation and successful usage in the prototypical software *3D SiP-Expert*, which is based on the multicriteria optimization principals.

The developed model and design methods contribute to technological and to design areas for further establishing of a SiP-integration approach. Components placement automation, securing of functionality constraints and especially criteria based comparison and selection of integration alternatives in early design phase allow avoiding hardware prototypes realization are the benefiting outcomes of the thesis. The results allow design time reduction, increase of designer decisions efficiency and enhancement of design quality for 2,5D SiP.

1. Einleitung

1.1. Ausgangslage

Die Mikroelektronik und die damit verbundenen Technologien erfuhren in den letzten Jahrzehnten eine explosionsartige Entwicklung. Der Aufbau- und Verbindungstechnik (AVT), die die Gesamtheit der Technologien und Entwurfswerkzeuge zur Integration mikroelektronischer und sonstiger Komponenten auf engstem Raum umfasst, kommt bei der Erhaltung des bestehenden Entwicklungstempos eine Schlüsselrolle zu. Die Effizienz der modernen AVT, die momentan auch die dritte Dimension für die Integration erschließt, ist heute nicht mehr nur durch die technologische Möglichkeiten, sondern vielmehr durch angemessene Entwurfswerkzeuge und -kompetenzen bestimmt.

Moderne Halbleitertechnologien erlauben es, neben der stetigen Strukturverkleinerung immer mehr verschiedenartige Technologien in einem integrierten Schaltkreis (IC) zu kombinieren. In einem einzigen Mikrochip können mehrere Komponenten eines elektronischen Systems untergebracht werden. Die hohe Funktionalität der System-on-Chip-Integration (SoC) resultiert jedoch in einer steigenden Fertigungskomplexität mit sinkender Ausbeute [7] [6]. In vielen Fällen – speziell bei heterogenen Systemen – sind deshalb Multichip-Lösungen mit mehreren separat voneinander hergestellten Chips in einem Gehäuse (System-in-Package – SiP) eine technologisch leichter beherrschbare, in der Entwicklung schneller durchführbare und in der Anwendung flexibler einsetzbare Alternative (Abb. 1.1-1) [15]. Aus diesem Grund sind SiP-Lösungen für die Industrie und insbesondere für kleine und mittelständische Unternehmen oft attraktiver als die deutlich aufwändigere Entwicklung eines anwendungsspezifischen ICs (ASIC).

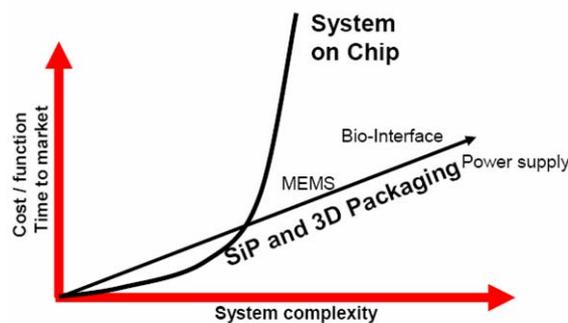


Abb. 1.1-1 SiP vs. SoC: Kosten, Entwicklungsdauer und Systemkomplexität [15]

Auch gegenüber der klassischen Technik für die Realisierung elektronischer Systeme als Flachbaugruppe, bei der elektronische Bauelemente auf einer Leiterplatte (printed circuit board, PCB) montiert und elektrisch verbunden werden (On-Board-Integration), bietet der SiP-Ansatz mehrere Vorteile: Damit lassen sich nicht nur eine Reduktion des Volumens und des Gewichtes, sondern auch verbesserte elektrische Charakteristiken bspw. durch geringere Signallaufzeiten (kürzere Verdrahtungsstrecken) erzielen. In Abb. 1.1-2 sind weitere wesentliche Gründe für den Einsatz der SiP-Technologie zusammengefasst.

Eine einheitliche Definition des Begriffes SiP existiert bislang nicht. Im Rahmen dieser Arbeit wird von folgender Definition ausgegangen:

SiP (engl. *System-in-Package*) ist ein Integrationsansatz in der Mikroelektronik, der sich technisch zwischen der monolithischen On-Chip-Integration in einem Chip und der On-Board-Integration diskreter Bauelemente auf einer Leiterplatte befindet und sowohl technologisch

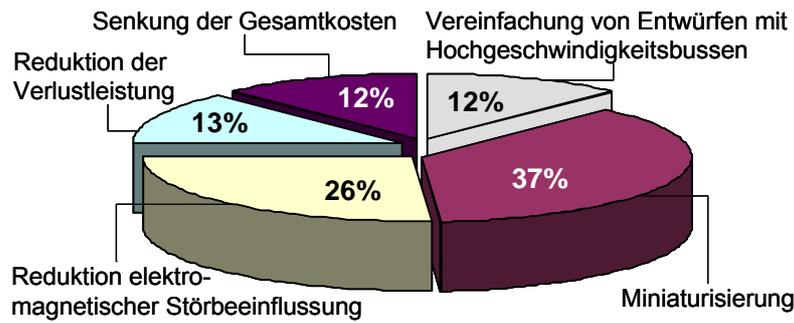


Abb. 1.1-2 Gründe für den Einsatz von Systems-in-Package [5]

als auch funktionell eine erhöhte Heterogenität zulässt: Ein oder mehrere Halbleiter-Chips – analoge Schaltkreise, Digital-Logik, Speicher-IC –, primär in ungehäuseter Form, passive Bauelemente und weitere Komponenten wie Optik, Sensorik, MEMS usw. werden mittels fortschrittlicher Mikrosystem-Technologien (AVT, s. S.8) in einem einzigen Gehäuse zu einem eigenständigen miniaturisierten System vereint. Im Unterschied zu Multichipmodulen, die planar / zweidimensional aufgebaut sind und somit zu den elektronischen Flachbaugruppen [1][2] gehören, lässt sich in einem SiP auch die vertikale Integration von Komponenten realisieren (3D- oder 2,5D SiP, PoP – Package-on-Package). Sowohl die mehrdimensionale Montage der diskreten Bauelemente als auch die Einbettung der Komponenten in den Schaltungsträger (Substrat) sind in einem SiP möglich. Für die vertikalen Anordnungen, die aus verkapselten Modulen/Packages bestehen, wird auch die Bezeichnung „Package-on-Package“ [4] verwendet. Die vertikale Integration ist ein wichtiges charakteristisches, aber kein ausschließendes Merkmal des SiP. SiP schließt auch eine planare Anordnung der Komponenten ein [11]. Damit kann die Bezeichnung SiP als Oberbegriff auch auf MCM und weitere hochintegrierte Mikro- und Kompaktbaugruppen [2] (manchmal auch als „high density packaging systems – HDP“ bezeichnet [12]) angewendet werden. Dominierend ist dabei, dass das SiP eine *schaltungstechnische Multifunktionalität* besitzt und damit Merkmale eines *Systems* trägt.

Die Entwicklung der SiP-Technologie schreitet stürmisch voran. Internationale Analysten und Marktbeobachter sehen einen stark wachsenden Bedarf an SiP-Lösungen (Abb.1.1-3, [5][10]). Dieser Bedarf zieht sich quer durch alle Branchen, in denen Elektronik eingesetzt wird: Consumer-Produkte (z.B. Digitalkameras, Camcorder, Mobiltelefone), drahtlose Elektronik (z.B. Funksensoren, Kommunikationstechnik), Automobil, Luft- und Raumfahrt, Medizintechnik (Abb.1.1-3). Für die Jahre 2005 bis 2009 wird eine Verdoppelung des Marktvolumens vorhergesagt [5] (Abb.1.1-3). Zahlenmäßige Schätzungen bspw. für das Jahr 2008 prognostizieren eine weltweite Produktion von 3,25 [10] bis zu 3,9 Mrd. Stück [5].

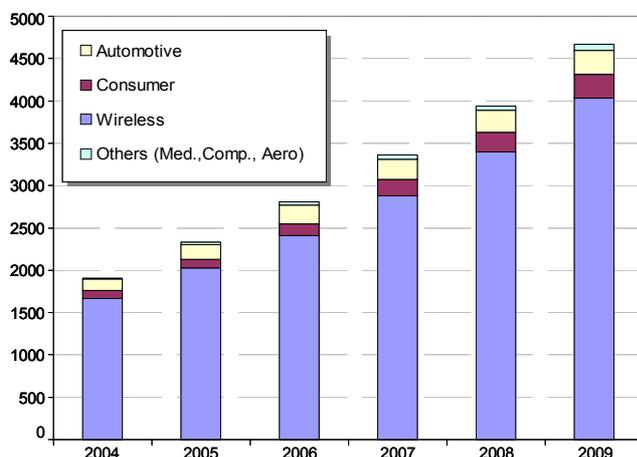


Abb. 1.1-3 Prognostizierte Entwicklung des SiP-Marktes, Ordinate: Millionen Stück [5]

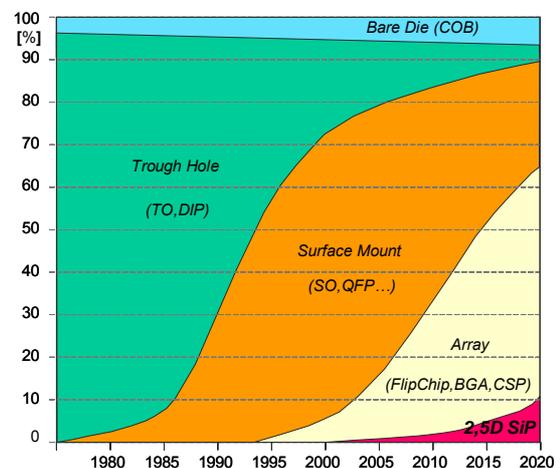


Abb. 1.1-4 Prozentuale Entwicklung der AVT-Formen nach [16]

Die momentane rasante Entwicklung portabler elektronischer Systeme (Mobiltelefone, PDAs) sowie Anwendungen im KFZ-Bereich (z. B. Airbag- und Reifendrucksensorik) oder in der Medizin erfordern eine maximale Ausnutzung des für die Schaltung zur Verfügung stehenden Volumens. Aber auch die immer realer erscheinende Zukunftsvision der allgegenwärtigen, in der Umgebung verteilten autarken Mikrosysteme – häufig als „Pervasive/Ubiquitous Computing“, „Smart Dust“, oder auch „eGrain“ bezeichnet – setzt einen enormen Fortschritt in der Hardware-Miniaturisierung bei einer gleichzeitigen Kombination sehr verschiedenartiger Komponenten zur Kommunikation, Signalverarbeitung und -speicherung etc. voraus [93]. Die vertikale Integration von Schaltungskomponenten in einem SiP (sog. 3D oder 2,5D SiP), mit der man dieser Anforderung erfolgreich begegnen kann, erlebt einen dramatischen Anstieg (Abb. 1.1-4). Sie hat sich in den letzten Jahren zu einer wichtigen Fragestellung für Industrie und Forschung entwickelt und wird perspektivisch weiter an Bedeutung gewinnen (vgl. ITRS-Roadmap [15]). Die 2001 von *Smith und Tessier* (Amcor Inc.) aufgestellte Prognose [16] für die prozentuelle Entwicklung der vertikal integrierten Systeme (Abb. 1.1-4) lässt sich aus heutiger Sicht als pessimistisch einstufen.

Zugleich wurde der Mangel an automatisierten Entwurfswerkzeugen bereits im Jahr 2003 als *das* Hindernis bei der Verbreitung dieser Technologien bewertet [15]. Auch wenn für die einfachsten SiP Realisierungen (bspw. gestackte Chips) bereits erste EDA-Lösungen auf dem Markt angeboten werden, hat sich die Situation nicht grundlegend verändert. Die heutige System-Entwicklung greift insbesondere bei den heterogenen vertikal integrierten SiP, die aus mehreren verschiedenen Bauelementen (Chips, passive Komponenten, Quarze etc.) bestehen, auf die zweidimensionale Design-Software zurück.

Wesentlich für die Verbesserung der momentanen suboptimalen Sachlage ist die Bereitstellung von Software-Werkzeugen, die den Entwurfsprozess bestmöglich und SiP-spezifisch unterstützen. Die Motivation der vorliegenden Arbeit besteht darin, einen Beitrag zur Überwindung dieser Situation zu leisten.

1.2. Motivation

Der System-in-Package Integrationsansatz, der auch die vertikale Integration heterogener elektronischer Komponenten übereinander (2,5D SiP) erlaubt, gehört zu den perspektivreichsten Entwicklungen in der heutigen Mikroelektronik. Um einen der wichtigsten Vorteile des SiP gegenüber anderen Technologien – die kürzeren Time-to-Market Perioden (Abb. 1.1-1) – in vollem Maße auszunutzen und weiter auszubauen, ist eine angemessene automatisierte Entwurfsunterstützung zwingend erforderlich. Für 2,5D SiP ist eine derartige Unterstützung bislang nicht vorhanden. Die für den physikalischen Entwurf verfügbaren automatischen CAD/Layout-Werkzeuge beruhen auf mathematisch-algorithmischen Grundlagen für 2D-Systeme und sind weitestgehend ungeeignet für den 2,5D-Entwurf. Derzeit existiert kein Tool, das es einem 2,5D-SiP-Entwickler erlaubt, auf die aufwändigen manuellen Arbeitsschritte zu verzichten und z. B. eine volumenoptimierte Platzierung der Schaltungselemente automatisiert vorzunehmen. Eine interaktive Unterstützung für die objektive Auswahl der Integrationsalternativen ist ebenso wenig vorhanden. Während der physikalische Entwurf von zweidimensionalen elektronischen Systemen sowohl für die SoC-Integration als auch für Multichip-Module (MCM) und Flachbaugruppen (PCB) auf ein breites Spektrum hochautomatisierter CAD-Werkzeuge (Autoplacer, Autorouter) und ebenso auf eine etablierte Technologiepalette mit klaren Parametern (wie z. B. Strukturbreiten, Lagenzahl) zurückgreifen kann, existieren keine vergleichbaren einheitlichen Technologievorschriften für die vertikale Integration. Vielmehr sieht sich der Entwickler mit einer unüberschaubaren Fülle von vielfältigen, in den letzten Jahren von diversen industriellen und akademischen Forschungseinrichtungen präsentierten, technologisch sehr verschiedenen Lösungen konfrontiert. Durch die Neuheit dieses Technologiefeldes existieren weder allgemein in der Industrie akzeptierte Normen und

Regelwerke noch eine informative Schnittstelle zwischen Entwurf und Technologie, wie sie in 2D in Form von vereinbarten Datenformaten (Gerber, GDSII) und Entwurfsvorschriften (Design Rules) vorhanden sind.

Die derzeitige Entwurfspraxis basiert deshalb bislang auf intuitiven und erfahrungsbedingten Designer-Entscheidungen. Manuelle Abarbeitung und behelfsmäßige Nutzung verschiedener Tools kennzeichnen die heutigen Entwurfsvorgänge z.B. für die Platzierung der Komponenten, da der geometrische Designraum speziell im 2,5D SiP massiv von den AVT-Elementen dominiert wird, zu denen die modellbasierten Beschreibungen fehlen. Diese Praxis soll durch die Ergebnisse dieser Arbeit grundlegend geändert werden. Die angestrebte abstrakte Beschreibung der SiP-Bestandteile durch räumliche Modellobjekte eröffnet für die momentan in Entwicklung befindlichen mathematisch-algorithmischen Werkzeuge den Zugang zur SiP Entwicklung. Nur dadurch können langfristig 2,5D-SiP Technologien für die Einbindung in moderne Entwurfs-Tools adaptierbar gemacht werden.

Die vorliegende Arbeit schöpft ihre Motivation aus den aktuellen Anforderungen an die Verbesserung der Entwurfunterstützung für 2,5D SiP und strebt an, durch die modellhafte Erfassung der 2,5D AVT einen erheblichen Beitrag sowohl zur Platzierungsautomatisierung als auch zur kriterienbasierten Technologieselektion zu leisten.

1.3. Zielsetzung

Der Arbeit liegt die **Kernthese** zu Grunde, dass eine effiziente entwurfsorientierte Beschreibung des technologischen Wissens über die vertikale SiP-Integration in Form von Parametern und geometrischen Modellen möglich ist. Der **wissenschaftliche Beitrag** der vorliegenden Arbeit besteht zum Einen in der formellen *Parametrisierung* und *geometrischen Modellierung* der 2,5D SiP Technologie für eine effektive Einbindung der technologischen Zusammenhänge in den physikalischen Entwurfsprozess. Zum anderen wird eine *neue mehrkriterielle Entwurfsmethode* für physikalischen Entwurf der 2,5D SiP entwickelt, die durch die Bereitstellung der Modelle erst ermöglicht wird.

Die Arbeit verfolgt im Einzelnen folgende **Ziele**:

- Entwicklung einer räumlichen **geometrischen Modellierung** der wichtigsten Bestandteile eines 2,5 D SiP (vertikale AVT, Substrate, Bauelemente) für die Einbindung in eine moderne Entwurfsumgebung und für die technologiegerechte SiP Entwurfsautomatisierung,
- Aufstellung eines auf 2,5D SiP anwendbaren Satzes von **Randbedingungen** (Constraints Set) für eine funktionsgerechte Systemimplementierung,
- **Demonstration** des mehrkriteriellen Entwurfsansatzes und **Verifikation** der entwickelten Modelle durch Anwendung für die Platzierungs- und Technologieauswahl für gefaltete und gestapelte 2,5D SiP in einem mehrkriteriellen algorithmischen Software-Werkzeug.

2. Integrationstechnologie

2.1. Der SiP-Integrationsansatz

SiP ist ein junger Integrationsansatz. In den reglementierenden Normwerken wie IPC, JEDEC, DIN¹ findet sich keine einheitliche Definition des Begriffes „SiP“. Durch die Neuheit des SiP-Integrationsansatzes existieren nur wenige relevante Erwähnungen in der Normliteratur. In der IPC Norm 7095A [89], deren Fokus auf dem Entwurf von BGA Gehäusen liegt, wurde ein nicht bindender Vorschlag für die Klassifizierung der möglichen – auch vertikalen – MCM-Anordnungen innerhalb eines BGA Packages formuliert, der sich bislang nicht durchgesetzt hat. Im Jahre 2005 wurden von JEDEC technische Richtlinien für das Design von Package-on-Package Aufbauten, die eine Variante des vertikal integrierten SiP darstellen, herausgegeben [13].

Bereits im Jahre 2003 hat die International Technology Roadmap for Semiconductors (ITRS) im Abschnitt „Assembly and Packaging“ [15] die Wichtigkeit des SiP-Integrationsansatzes festgestellt und gleichzeitig auf das Fehlen einer von der Industrie akzeptierten Definition hingewiesen. In der ITRS Ausgabe von 2005 wird eine Definition vorgeschlagen. Auch in den Publikationen von Techsearch International [5] und anderer Gremien der Mikroelektronik-Branche (bspw. iNEMI [10]) wurde der Begriff SiP diskutiert. Bei der Erarbeitung der im Rahmen dieser Arbeit geltenden Definition (Kap. 1.1, S.3) wurden die vorhandenen Definitionsvorschläge berücksichtigt.

Ein technischer Vorläufer und ein zweidimensionales Beispiel für SiP sind die Multichipmodule (MCM) (Abb. 2.1-1b), die als eine Anordnung aus mehr als einem ungehäusten IC (auch als *Bare Die* bezeichnet) mit optionalen passiven Komponenten definiert werden [11] [14] und damit eine Sonderform der Flachbaugruppen (Kompaktbaugruppen) darstellen.

Als eine *Baugruppe* [1] oder *Flachbaugruppe* bezeichnet man in der Elektronik eine mit elektronischen Bauelementen bestückte Platine (Leiterplatte, PCB Printed Circuit Board) (Abb. 2.1-1a). Mit diesem Begriff wird eine konstruktive und in der Regel auch funktionelle Einheit aus integrierten und/oder diskreten aktiven und passiven Bauelementen definiert, die durch ein Leitungsnetzwerk auf einem geeigneten Träger – dem sog. Verdrahtungsträger oder Substrat – elektrisch und mechanisch verbunden sind [1]. Die Bezeichnung "elektronische Flachbaugruppe" steht stellvertretend für den gesamten klassischen On-Board Integrationsansatz. Häufig versteht man unter „Flachbaugruppe“ eine ausschließlich mit oberflächenmontierten Bauteilen (SMD - Surface Mounted Devices) bestückte Leiterplatte, wobei die Bezeichnung auch auf Platinen mit anderen Kontaktierungstechniken (wie z.B. THT - Through Hole Technology) anwendbar ist.

Während eine konventionelle Baugruppe durch die Montage gehäuster einzelner Halbleiter entsteht, ist die Realisierung von MCMs und SiP durch die Verarbeitung von ungehäusten

¹ IPC (volle Bezeichnung *IPC Association Connecting Electronics Industries*) Institute of Interconnecting and Packaging Electronic Circuits – internationale Vereinigung der Elektronikfertigungsindustrie mit dem Schwerpunkt in der Normung der Baugruppen-Technologien und AVT

JEDEC (volle Bezeichnung *JEDEC Solid State Technology Association*) Joint Electron Device Engineering Council – eine US-amerikanische Organisation zur Standardisierung von Halbleitern

DIN Deutsches Institut für Normung e. V.

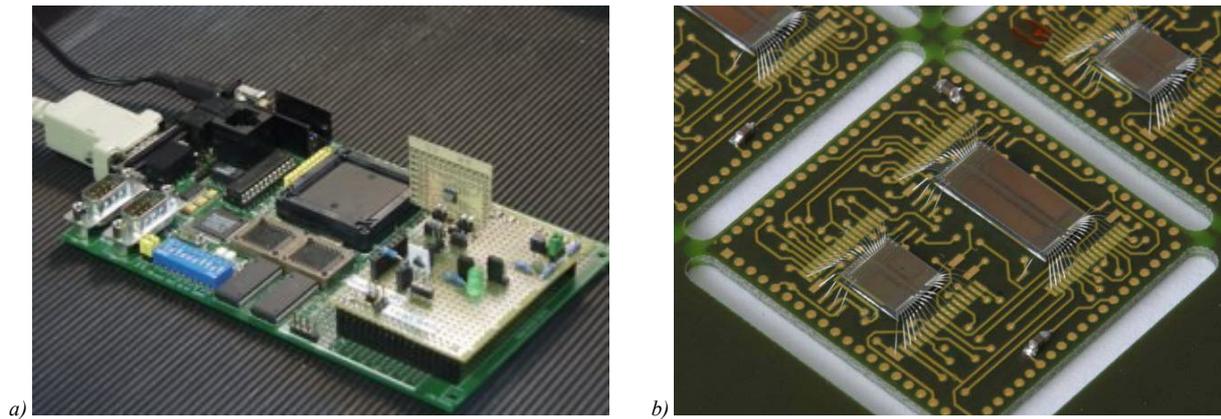


Abb. 2.1-1 a) eine konventionelle Baugruppe im Euro-Kartenformat (10x16 cm) mit verschiedenen Bauelementen; b) ein MCM auf einem laminierten Substrat mit zwei mittels Drahtbonds kontaktierten ungehäuseten Halbleiter-ICs (17,5x17,5 mm, starke Vergrößerung)

„nackten“ Halbleiter-(Mikro-)Chips (Bare Dice) gekennzeichnet (Abb. 2.1-2). Der Begriff "Kompaktbaugruppe"[2], der sich auf Baugruppen mit ungehäuseten Halbleitern bezieht, konnte sich in der von englischen Begriffen dominierten Elektronik-Fachwelt nicht behaupten.

Die Verarbeitung ungehäuseter Halbleiter – auch als *Direktmontage* [3] bezeichnet – greift auf die Mittel der Aufbau- und Verbindungstechnik zurück.

Die *Aufbau- und Verbindungstechnik* (AVT, engl. Packaging) umfasst als ein Bereich der Mikrosystemtechnik die Gesamtheit der Technologien und Entwurfswerkzeuge, die zur Integration mikroelektronischer Komponenten auf engstem Raum benötigt werden [2]. AVT ermöglicht die Verknüpfung von mikroelektronischen und nichtelektronischen Mikrokomponenten zu einem vollständigen System. Ursprünglich aus mehreren Fachgebieten (Elektrotechnik, Mikrofügetechnik, Materialwissenschaft) entstanden als eine Technik zur elektrischen Kontaktierung von Mikroanschlüssen der Mikrochips und zu ihrer Verkapselung/Gehäusung, entwickelte sich die AVT zu einer selbstständigen ingenieur-wissenschaftlichen Disziplin im Bereich der Mikrosystemtechnik. Dabei ist eine nur verfahrenstechnische Betrachtung nicht mehr ausreichend für die steigende Komplexität elektronischer Mikrosysteme, so dass die Auseinandersetzung mit AVT zunehmend entwurfanalytische Kompetenzen aus dem Be-

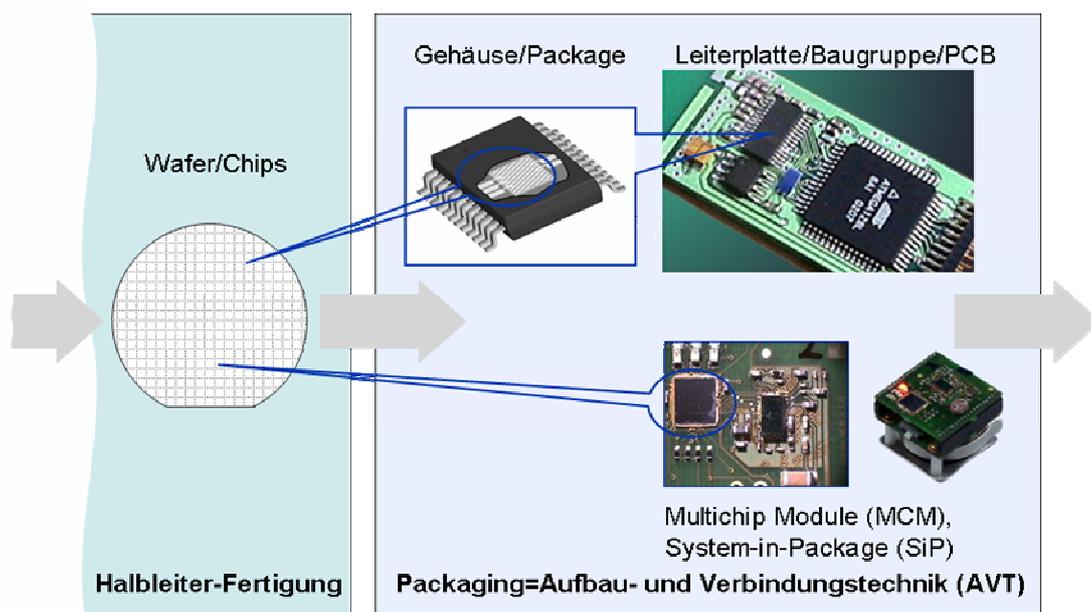


Abb. 2.1-2 Vereinfachte Darstellung des Entstehens einer konventionellen Baugruppe mit gehäuseten ICs (oben) und eines Multichipmoduls mit der Direktmontage ungehäuseter Halbleiter (unten)

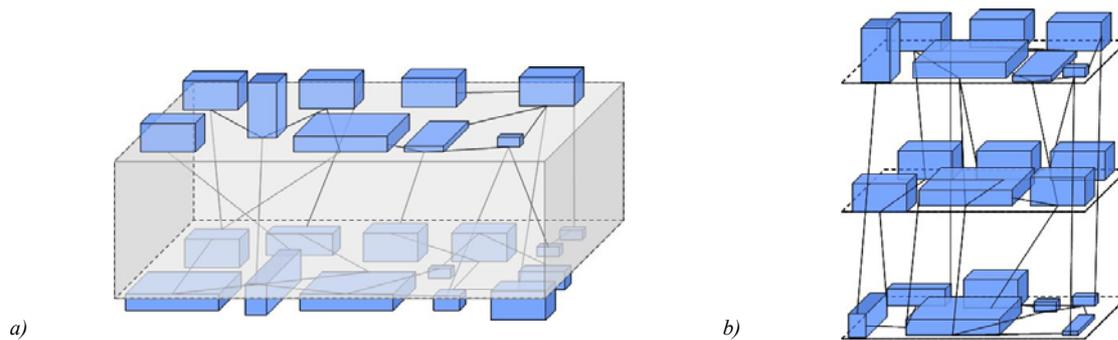


Abb. 2.1-3 Bauelemente und Signale in planaren und vertikal integrierten Aufbauten, Prinzipskizze : a) Anordnung der Komponenten in einem planaren Aufbau (bspw. eine beidseitig bestückte PCB); b) vertikale 2,5D Integration der Modulen

reich des ECAD-Entwurfs erfordert. Als Sammelbegriff wird die Bezeichnung AVT verwendet, um Mikroverbindungselemente wie Bumps, Drahtbonds, Lötstellen etc. zu beschreiben.

Der prinzipielle Unterschied zwischen vertikal integrierten Systemen und herkömmlichen 2D Aufbauten besteht in der Anordnung mehrerer funktionellen Elemente übereinander. Während z.B. eine Leiterplatte mit den bestückten Ober- und Unterseiten *maximal* zwei Ebenen mit Bauelementen aufweist (Abb. 2.1-3a), sind vertikal integrierte Systeme durch *mindestens* zwei oder mehr übereinander liegende Bauelemente bzw. Module gekennzeichnet (Abb. 2.1-3b). Des Weiteren ist es für die vertikale Integration charakteristisch, dass die Signalführung mindestens eine der vertikalen Komponentenebenen passieren kann (Abb. 2.1-3b).

Die oft im Zusammenhang mit der vertikalen Integration verwendete Bezeichnung „3D“ (z.B. 3D IC oder 3D SiP) impliziert eine freie Anordnung der Komponenten im Raum. Vielmehr handelt es sich aber um die Integration lateraler Bauelemente, Funktionsschichten und Module, die stets flächenparallel übereinander liegen, in Z-Richtung (Abb. 2.1-3). Die von *Scheel* in [1] (s. 144), von *Deng und Maly* in [6] [7] und in einigen weiteren Literaturquellen verwendete Bezeichnung „2,5D“ (-Integration) trifft viel besser auf die vertikal integrierte SiP zu und wird deshalb im Rahmen der vorliegenden Arbeit verwendet.

2.2. Vertikale Integration – 2,5D SiP

2.2.1. Räumliche Baugruppen und 3D IC

Die Notwendigkeit der Miniaturisierung und der Erhöhung der Integrationsdichte besteht in allen Elektronik-Bereichen – von großen Baugruppen bis hin zu Halbleiter- bzw. Mikrochip-entwicklungen. In allen Bereichen wird versucht, dem zweidimensionalen Charakter elektronischer Systeme – seien sie auf einer Platine oder auf einem Wafer als planare Aufbaubasis entstanden – zu entkommen. Zu den allgemeinen Vorteilen der vertikalen 3D Integration gegenüber klassischen zweidimensional aufgebauten elektronischen Systemen zählen sowohl elektrische (kürzere Verbindungslänge und geringere Signallaufzeiten) als auch mechanische und geometrische (kompaktere Bauformen, flexiblere Integration in die Freiräume etc.) Aspekte.

Auf der Makro-Baugruppenebene, bei der oft eine Anpassung der Schaltung an die eingeschränkten Geometrien einer Anwendung (z.B. in einem Schaltschrank oder in einem Maschinengehäuse) erforderlich ist, werden bspw. mittels verschiedener Steckverbinder räumliche Baugruppen aufgebaut (Abb. 2.2-1a). Mit der Verbreitung flexibler und starrflexibler Substrate verfügen Ingenieure heute über eine weitere Technik zur räumlichen Integration von Makro-

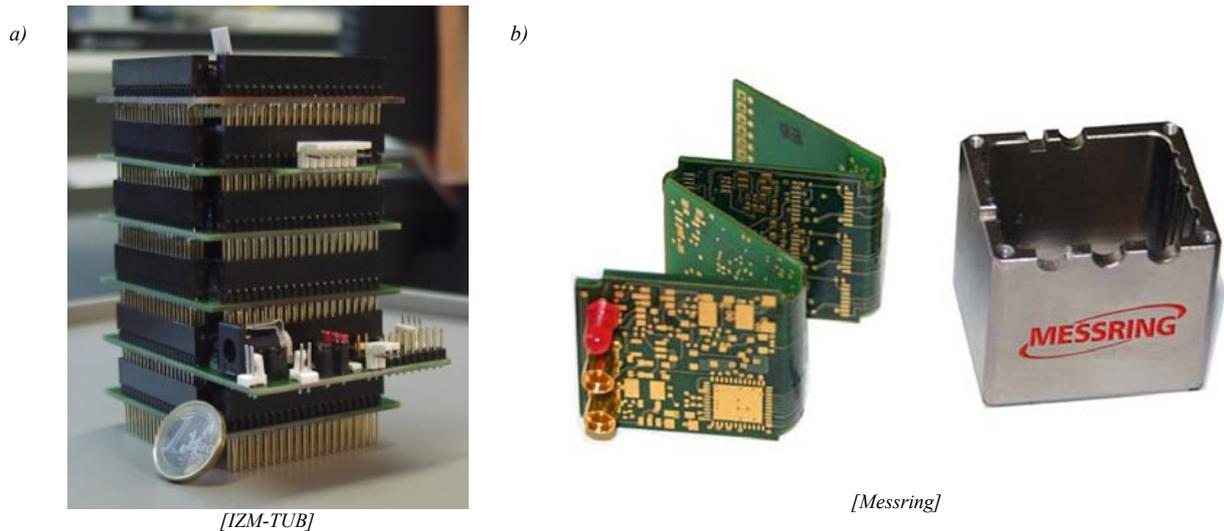


Abb. 2.2-1 a) vertikale Integration der Baugruppen mittels PCI104 Stecksystem; b) faltbare Baugruppe zur Integration in ein Gehäuse

robaugruppen (Abb. 2.2-1b). Diese Aufbauten stellen eine einfach zu realisierende und kostengünstige Integrationsvariante dar, die relativ große Systemabmessungen mit sich bringt. Auf der anderen Seite wurde in den letzten 10 Jahren intensiv an Technologien zur Realisierung integrierter Halbleiter-Bauelemente – sog. 3D IC – geforscht, bei denen mehrere Funktionsschichten in vertikaler Richtung in einem IC übereinander aufgebaut sind ([17][18][19]). Die momentan immer noch in der Entwicklung befindlichen Techniken für die 3D IC Integration versprechen höchste Miniaturisierung, allerdings zu hohen Fertigungspreisen, die nur bei sehr großen Stückzahlen wirtschaftlich sind.

Einen zwischen der 3D IC und SiP-Integration angelagerten Bereich bilden die Integrations-techniken, bei denen die ICs zunächst konstruktiv so verändert werden, dass im Chipkörper Durchkontaktierungen (sog. Through-Die-, Through-Silicon- oder InterChip-Vias [20]) entstehen, und Chips anschließend miteinander in einem Wafer-to-Wafer oder Chip-to-Wafer Montageschritt verbunden werden. Ein Beispiel dafür ist die VSI®-Technik (vertikale Systemintegration) des Fraunhofer IZM (Abb. 2.2-2). Diese Integrationstechniken entsprechen viel besser den Merkmalen eines 3D IC und unterliegen bei einer hohen Integrationsdichte mehreren Einschränkungen: die Chips müssen bereits während der Wafer-Fertigung geometrisch aufeinander abgestimmt werden und können für eine Systemrealisierung nicht aus auf dem Markt angebotenen Komponenten frei ausgewählt werden. Diese und weitere technologische Aspekte wie bspw. die Yield-Problematik (Ausschussquote der übereinander liegenden Chips) führen dazu, dass die Through-Die-Techniken im Vergleich mit anderen Methoden momentan eine sehr geringe Anwendung finden (Abb. 2.2-3).

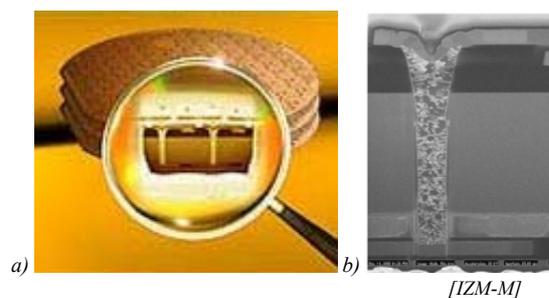


Abb. 2.2-2 VSI Technik: a) ein Wafer-Stack, b) durch gedünnten Wafer prozessierte Kontaktierung (Via)

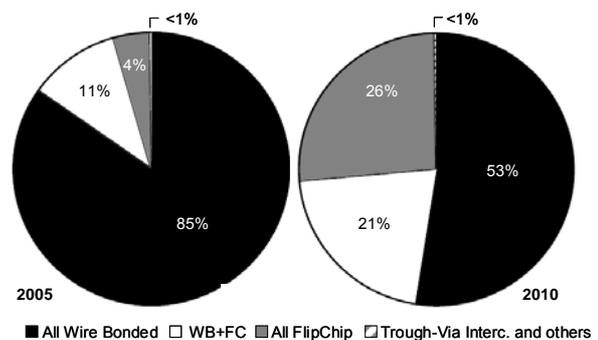


Abb. 2.2-3 Prozentuale Aufteilung der Interconnect-Techniken in SiP-Anwendungen 2005 und Prognose für 2010 nach [4]

2.2.2. 2,5D SiP

Die vertikale Integration in einem SiP stellt einen Mittelweg zwischen den beiden oben dargestellten Integrationsansätzen dar. Diskrete Bauelemente – ähnlich wie bei einer Baugruppe – werden in mehreren übereinander liegenden Lagen zu einem System auf kleinstem Raum integriert, der zwar größer als ein IC ist, aber dennoch mit den Gesamtdimensionen eines gehäuseten SoC vergleichbar bleibt.

Das heutige Bild eines vertikalen SiP wird durch Chip-Stacks geprägt, die mittels Drahtbonds mit dem Basis-Substrat verbunden sind (Abb. 2.2-5, Abb. 2.2-3). Eine sehr verbreitete und aus dem Alltag bekannte Anwendung dieser Technik ist beispielsweise die Speicher-Chipintegration in einem Memory-Stick. Durch das

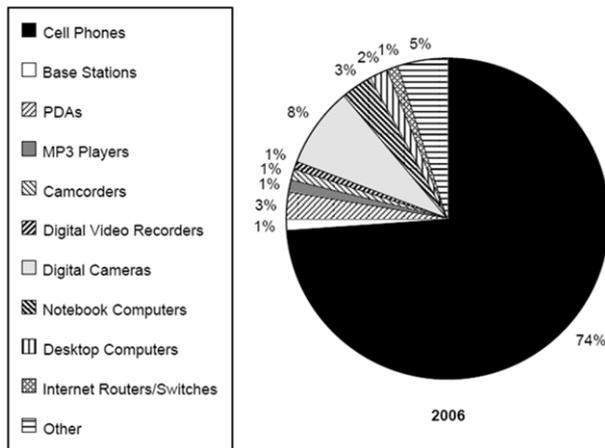


Abb. 2.2-4 Einsatzgebiete für gestackte Systeme nach [4]

in der Industrie vorhandene Know-How und eine ausgereifte Maschinen- und Prozesstechnik für das Drahtbonden sind die Chip-Stack-Realisierungen eine sehr verbreitete Form der vertikalen Integration. Auf den Fachtagungen wurde über experimentelle Aufbauten mit bis zu 30 übereinander montierten Chips berichtet [107]. Diese Technik erlaubt jedoch ausschließlich eine Integration von Halbleitern und kann nicht effektiv angewendet werden, sobald ein System die Verwendung einer Mehrzahl andersartiger Komponenten wie passiver Bauelemente, Quarze etc. erfordert.

Falt- und Stack-SiP – Vorteile, Herausforderungen, Bedeutung

Die SiPs, die nicht nur ICs, sondern auch weitere sehr heterogene Komponenten beinhalten, gewinnen durch die Marktanforderungen immer mehr an Bedeutung [4] [15]. Neben einigen Nischen-Technologien, wie beispielsweise die Techniken von *3D-Plus* und *Irvine Sensors* (vergossene Würfeln mit einer Seitenwandmetallisierung, Abb. 2.2-6), sind es insbesondere verschiedene Varianten der gestapelten und gefalteten 2,5D SiP, die heute in verschiedenen Bereichen zunehmend eingesetzt werden (s. Aufteilung nach Applikation der gestackten Systeme in Abb. 2.2-4). *Diese beiden SiP-Typen (Abb. 2.2-7, Abb. 2.2-8) sind der Gegenstand der vorliegenden Arbeit und tragen in den folgenden Abschnitten die Bezeichnung 2,5D SiP.*

Während die vertikale Verdrahtung bei den gestackten Systemen beispielsweise durch Lotkugeln realisiert wird (Abb. 2.2-7), erreicht man die Verbindung zwischen den vertikalen Modulen in der Falt-SiP durch die Faltung eines flexiblen oder starrflexiblen zweidimensionalen

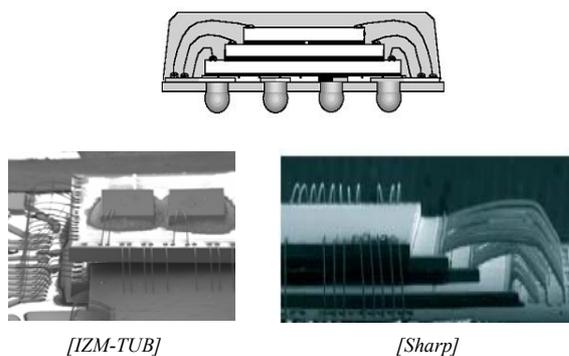


Abb. 2.2-5 Integrationsschema und Beispiele für drahtgebondete Chip-Stapel

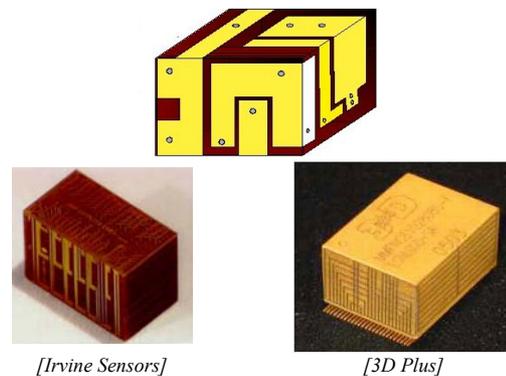


Abb. 2.2-6 Integrationsschema und Beispiele für vergossenen Systeme mit der Verdrahtungsmetallisierung an den Seitenwänden (Verguss-Stack)

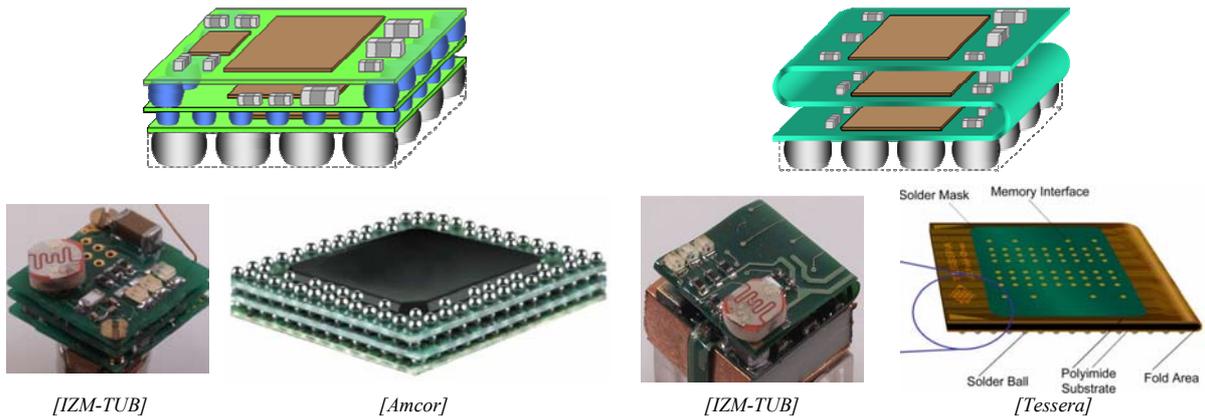


Abb. 2.2-7 Integrationsschema und Beispiele für Stack 2,5D-SiP

Abb. 2.2-8 Integrationsschema und Beispiele für Falt 2,5D-SiP

Schaltungsträgers (Abb. 2.2-8). Charakteristisch für 2,5D SiP ist die Integration der Bauelemente auf den Schaltungsträgern. Die so entstehenden Module werden vertikal übereinander angeordnet. Auf diese Weise ist es möglich, geometrisch und technologisch, aber auch funktionstechnisch sehr verschiedenartige Komponenten zu integrieren, was zu den klaren Vorteilen des 2,5D SiP Ansatzes gegenüber SoC gehört. Auch kürzere Entwicklungszeiten sind im Vergleich mit einer IC Entwicklung möglich [15] (Abb. 1.1-1). Gegenüber der Integration auf einer Baugruppe bietet 2,5D SiP kürzere Signalwege und unbestrittene Miniaturisierungsvorteile hinsichtlich der Systemabmessungen und des Gewichtes.

Ferner liegt das große Potenzial für die Verbreitung der Stack- und Falt-2,5D SiPs darin, dass man für ihre Realisierungen größtenteils auf die im Bereich AVT bereits heute vorhandenen Prozesse und Maschinen zur Verarbeitung und Montage diskreter Bauelemente (Pick&Place, Schablonendruck, Bonder für Direktmontage etc.) zurückgreifen kann, während viele andere Techniken eine Einführung komplett neuer Infrastrukturen (wie bei 3D IC) und komplexer Prozesse (wie bei Verguss mit Seitewandmetallisierung) erfordern.

Prinzipiskizze

Parameter		Technologie VIC-Typ	1. Die-Stack, Drahtbond	2. Modul Stack Lot-Bumps	3. Falt-Flex Flexibles Substr.	4. Verguss-Stack Seitenmetallis.
Verdrahtungsdichte**	Vertikal		-	-	hoch	mittel
	Lateral		gering	hoch	hoch	mittel
Integrierbarkeit der passiven BE***	Diskret		gering	hoch	hoch	hoch
	Embedded		gering	hoch	mittel	mittel
Verdraht. länge*	WL		hoch	niedrig	hoch	mittel
Anzahl vertikaler Module ***	Ln		bis 12	7	10	32
Moduldicke*** L=G+S	Spalt G[μm]		100...600	100...1200	200...1200	50...600
	Substr./Träger S[μm]		100...200	$\approx 50...1200$	20...100	50...200
VIC Dichte*	[1/(mm ² mm)]		0,5...20;	0,5...15; $\sim f(G)$	5...40	10...50
Verkapselungs-Komplexität***			gering	mittel	mittel	hoch
Bevorzugte Substrattechnologie ***			- (nur Interposer)	laminiert	laminiert, dünnfilm	laminiert, dünnfilm
Kosten **			moderat	mittel	mittel	hoch
Miniaturisierungspotenzial *			gering	mittel	mittel	hoch

*berechnet, **abgeschätzt, ***bekannt

Tab. 2.2-1 Parameter für Vergleich der vertikalen AVT, in Anlehnung an [56]

Nicht zuletzt ist der Fokus der Arbeit auf die Falt- und Stack 2,5D SiP gelegt worden, weil nahezu alle bereits entwickelten oder in der Entwicklung befindlichen vertikale Aufbau-Technologien die Integration lateraler Schichten anstreben und prinzipiell über diese beiden Integrationsschemata modellhaft abgebildet werden können. Die im Nachfolgenden aufgestellte geometrische Modellierung umfasst zwar die Beschreibung der rudimentären Falt-Flex und Stack-Aufbauten, bietet jedoch auch eine Basis für die Weiterentwicklung und Erfassung anderer Techniken.

Wie bei jeder technischen Entwicklung bestehen auch bei der 2,5D SiP technische Schwierigkeiten und Herausforderungen. Dazu gehört bspw. die erschwerte Testbarkeit des fertigen Systems: während sich die vereinzelt Module untersuchen, testen und separat in Betrieb nehmen lassen, sind viele Messpunkte und kritische Bauelemente nach der Montage der Module übereinander nicht mehr zugänglich. Auch der auf kleinstem Raum konzentrierte Wärmehaushalt ist eine Herausforderung, die durch die hohe Integrationsdichte – ein Vorteil des SiP – und in Folge daraus aus der erhöhten Leistungsdichte entsteht.

Einige Charakteristika von Falt- und Stack- 2,5D SiP sind in der Tab. 2.2-1 aufgeführt und werden den Charakteristika anderer Integrationstechniken gegenübergestellt. Wie der Vergleich zeigt, besitzen die gefalteten und gestakten Aufbauten mehrere Vorteile und weisen wichtige Kompromisse auf, wie beispielsweise ein ausreichendes Miniaturisierungspotenzial bei einer moderaten Fertigungskomplexität.

Eine genaue Eingrenzung der maximalen und minimalen geometrischen Dimensionen des 2,5D SiP ist schwierig. In ihren lateralen Abmessungen sind die 2,5D SiP rein theoretisch durch das größte Bauelement beschränkt, das allein in einem Modul integriert werden kann. Aber auch die Kontaktierung nach außen, bspw. als ein Lotkugelfeld (*Ball Grid Array - BGA*), gehört zu den bestimmenden Einflussgrößen. Die horizontalen Abmessungen des SiP bewegen sich typischerweise im Bereich von einigen Millimetern bis zu einigen Zentimetern. Es wird versucht, die vertikalen Abmessungen, die von der Anzahl der zu integrierenden Module abhängig sind, im sub-centimeter Bereich zu halten.

Für die Verarbeitung und Montage der Bauelemente wie passiven SMD's und aktiven Bare Dice in den lateralen Modulen werden verschiedene Techniken aus dem Bereich der modernen AVT eingesetzt, die im Kapitel 2.3 skizziert werden.

Auch wenn heute fast ausschließlich diskrete elektronische Komponenten wie ICs und passive Bauelemente in einem 2,5D SiP verwendet werden, ist der Einsatz weiterer andersartiger Komponenten wie eingebetteter Passiven, Sensoren, aber auch mikrooptischer und mikromechanischer Elemente im SiP zulässig, so dass 2,5D SiP von einem reinen elektronischen Mikrosystem zu einer komplexen mikrosystemtechnischen Anwendung ausgebaut werden kann.

2.2.3. Stand der Technik im Bereich 2,5D SiP Technologie

Die Entwicklung im Bereich der vertikalen Systemintegration ist durch großen technischen und erfinderischen Pioniergeist geprägt. In den letzten 10 Jahren erschienen zahlreiche Publikationen zum Thema der vertikalen Systemintegration mit verschiedensten technologischen Realisierungen. Eine große Anzahl an Patentanmeldungen begleitete diese Entwicklung (Abb. 2.2-9). Bis zum Jahr 2005 wurden allein in den USA bereits 1.626 SiP-relevante Patente registriert [21]. Eine umfangreiche Untersuchung der Patententwicklung im Bereich 3D Integration wurde durch die Fa. TechLead durchgeführt, die hierzu eine Datenbank kommerziell anbietet [22].

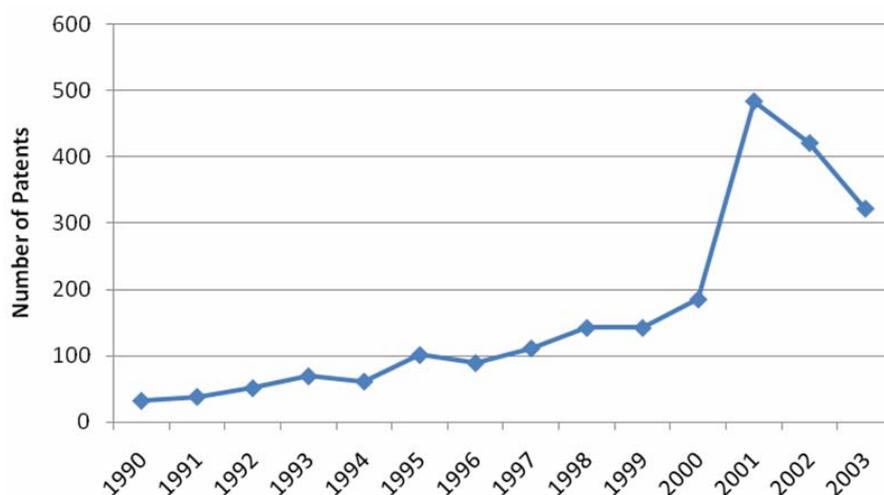


Abb. 2.2-9 Jährliche Patentierungen in USA zum Thema 3D-Integration in der Mikroelektronik (inkl. 3D IC) [22]

Nur wenige Lösungen erwiesen sich als praktisch verwendbar. Eine umfassende Übersicht zum Thema 3D Packaging mit einem Versuch der Systematisierung veröffentlichte *Al-Sahrawi* in [23]. Dabei wurde die Art der Kontaktierung zwischen den Modulen – peripher oder flächig – als klassifizierendes Merkmal benutzt. In einer Ausarbeitung von *Johnson, Strickland & Gerke* [24] findet sich eine weitere Bestandsaufnahme der 3D Packaging-Technologien. Diese für die NASA durchgeführte Untersuchung setzt den Fokus auf die Miniaturisierung der Elektronik für Raumfahrtanwendungen und behandelt überwiegend die Technologien, die bereits praktikierbar sind oder durch die nahe Einführung kurzfristig einsatzfähig erscheinen. Auch in kommerziell angebotenen Markt- und Technologie-Studien wie der von TechSearch International [5], Electronic Trend Publications Inc. [4], Frost & Sullivan [25] und in den Publikationen der Mikroelektronik-Branchengremien wie INEMI [10] und ITRS [15] finden sich Übersichten der technologischen Entwicklung.

Auch wenn der Fokus ausschließlich auf die gestapelten und gefalteten 2,5D SiP's gesetzt wird, würde eine umfassende Beschreibung der technologischen Entwicklung und Technologieeinzelheiten den Rahmen einer Dissertation überschreiten. Im Folgenden sollen exemplarisch einige Industrie-Unternehmen, die für die Arbeit relevante Technologien auf dem Markt anbieten, genannt sowie auf die wichtigsten Forschungseinrichtungen und -projekte eingegangen werden.

Stand der Technik

Nicht nur die große Vielfalt der technologischen Entwicklungen und die mangelnde Standardisierung erschweren die Detailübersicht über die industriennahe Forschung im Bereich der vertikalen SiP-Integration. Die Halbleiter- und AVT-Unternehmen befinden sich in einem Wettlauf um den technologischen Vorsprung, so dass viele relevante Entwicklungen nicht öf-

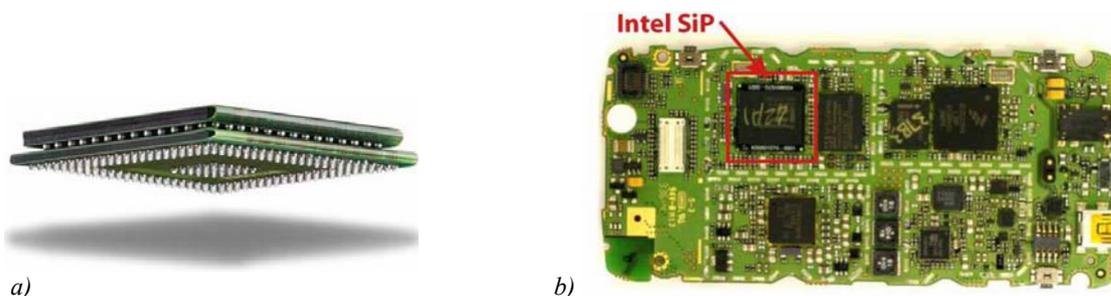


Abb. 2.2-10 a) Intel Prozessor PXA27x als kombiniertes Fold-Stack-SiP [27], b) Intel SiP im Motorola's E680 Tri-Band Handy [15]

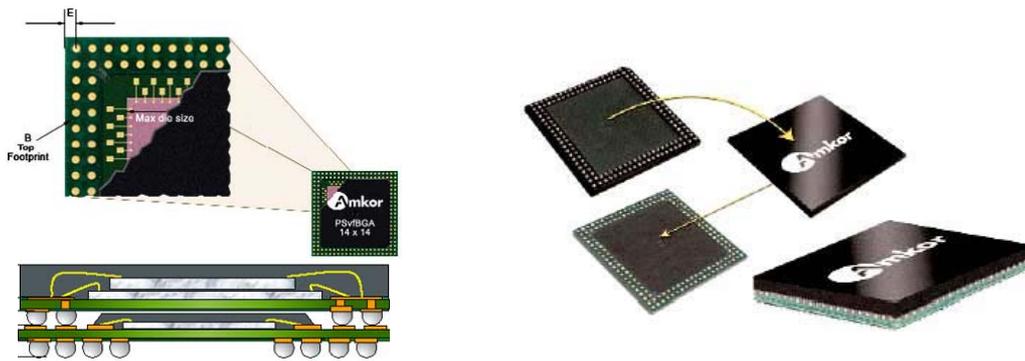


Abb. 2.2-12 PSvFBGA Technik von Amkor [29]

fentlich publiziert werden. Bekannt ist jedoch, dass auch große Unternehmen, die zu den „Global Playern“ der Mikroelektronikbranche gehören, wie beispielsweise Intel, sich der Thematik der vertikalen SiP-Integration widmen [26][27] (Abb. 2.2-10).

Eine Reihe der kleineren Unternehmen entwickeln relevante Technologien nicht nur für die Integration der eigens gefertigten Halbleiter, sondern bieten es als Dienstleistung an. Dazu zählt z.B. Tessera mit der μZ^{\circledR} MCP (Multi-Chip Package) Produktfamilie. Die sogenannte Folded-Die (Abb. 2.2-11a) und Fold-Over (Abb. 2.2-8) Technologien [30], welche Faltflexe für die vertikale Integration nutzen, sowie die Ball-Stack-Technologie [31] (Abb. 2.2-11b) aus der gleichen Familie sind prinzipiell geeignet nicht nur für die Integration einzelner Bare Dice, sondern auch für die Kombination mehrerer heterogenen Bauelemente in den vertikalen Modulen.

Unternehmen	Technologie
Amkor, ASE Group, Casio Micronics, Epson America/Seiko Epson, Fujitsu Microelectronics Amerika, Qualcomm, Renesas, Samsung, Sharp, Sony EMCS, STATS ChipPac, Tessera	Stack 2,5D SiP
Intel, Staktek, Tessera	Falt 2,5D SiP

Tab. 2.2-2 Auf dem Gebiet der 2,5D Falt- und Stack-SiP-Integration tätige Unternehmen [4][5]

Einer der größten Technologie-Dienstleister in Bereich AVT – Firma Amkor (Pennsilvania, USA) – betreibt aktiv Forschung im Bereich der 2,5D SiP [28] [29]. In seinem Portfolio führt das Unternehmen unter der Überschrift PoP einige gestackte SiP Lösungen wie beispielsweise etCSP (Abb. 2.2-7) oder PSvFBGA [32], bei denen vekapselte Module mittels Lotkugeln kon-

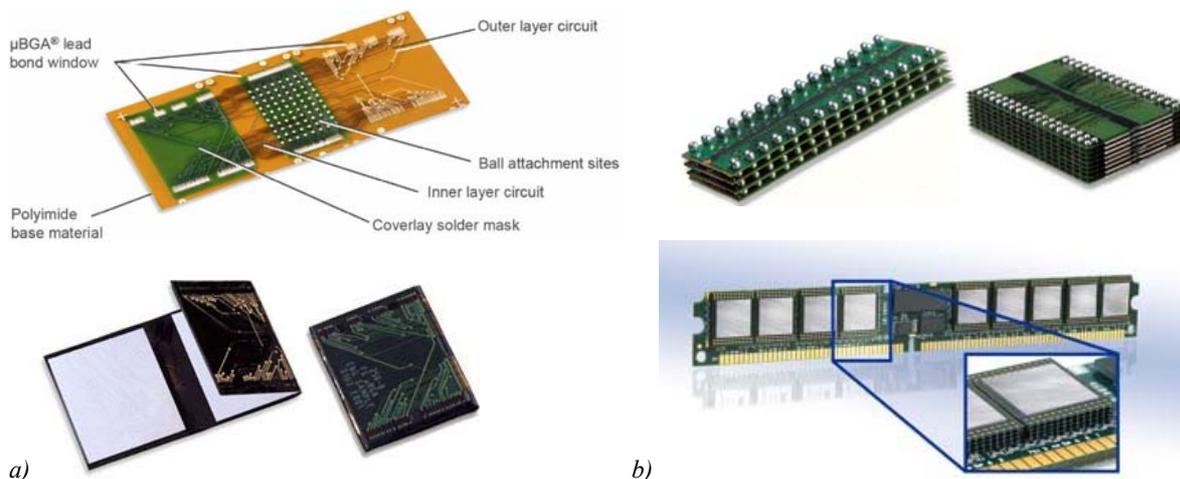


Abb. 2.2-11 μZ^{\circledR} MCP Technologien von Tessera: a) Folded-Die, b) Ball-Stack [31]

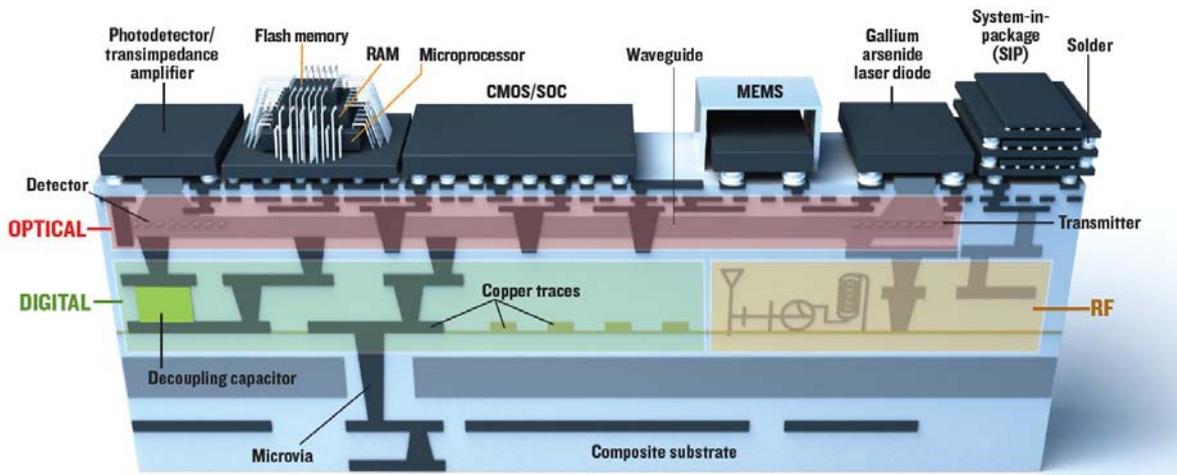


Abb. 2.2-13 Schematische Darstellung des SoP Substrates [34]

taktiert werden. In der Abb. 2.2-12 ist ein Integrationsbeispiel für PSvFBGA mit drahtgebundenen Chips in den verkapselten Modulen abgebildet [29].

Viele weitere Industrieeinrichtungen sind auf dem Gebiet der vertikalen SiP-Integration tätig. In der Tab. 2.2-2 sind Unternehmen zusammengefasst, deren Technologien für den in der Arbeit anvisierten Integrationsansatz von Modulen mit verschiedenen Bauelementen relevant sind.

Stand der Forschung

Am Microsystems Packaging Research Center im Georgia Institute of Technology, Atlanta, USA wird unter der Führung von Prof. Tumalla seit einigen Jahren an der Entwicklung einer Technologie gearbeitet, die in Fachkreisen unter der Bezeichnung SoP (*System-on-Package*)

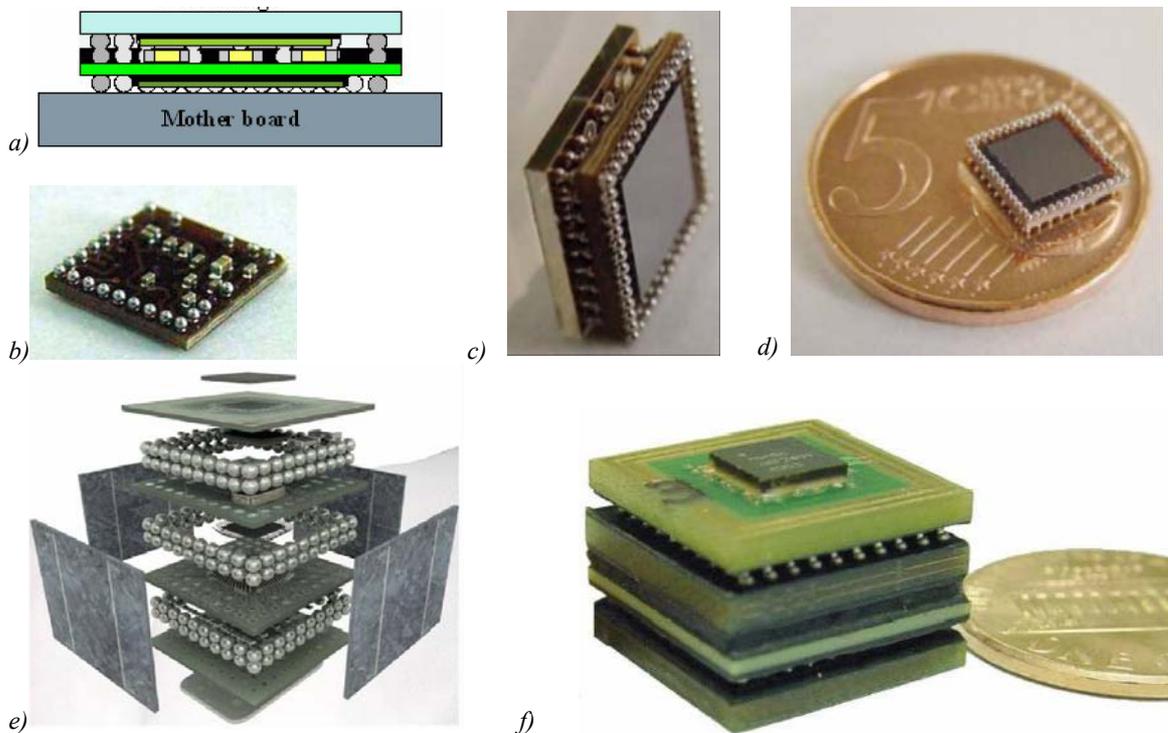


Abb. 2.2-14 SiP Techniken von IMEC: a) Integrationschema, b) einzelner Modul und c-d) Gesamtaufbau eines Mikrocontroller-Funk-Systems [36][38]; e) Integrationschema und f) Gesamtaufbau des „eCube“ SiPs mit Sensorik-, Signalverarbeitung- und Funkkomponenten für medizinische Anwendungen [36][37]

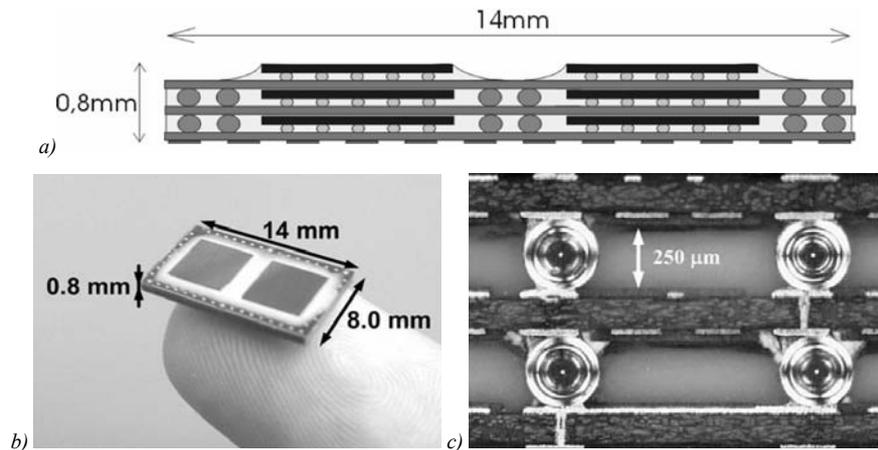


Abb. 2.2-15 An der Universität Tampere entwickelte vertikale SiP's: a) Integrationschema, b) einzelner Modul und c) Kunststoffkugeln in der Lotverbindung [41][39]

bekannt ist [33] [34] [35]. Der technologische Kern liegt dabei in der Einbettung der ultraflachen aktiven und insbesondere der passiven Komponenten in ein speziell dafür entwickeltes keramisches Substrat (Abb. 2.2-13). Die technologischen Eigenschaften – die überwiegende Nutzung der als integrative Bestandteile des Substrates auftretende Bauelemente sowie der Einsatz der Dünnschichtprozesse – und die Intention, auch weitere, z.B. optisch-photonische Komponenten zu integrieren, werden als ein Merkmal für Sonderstellung und Abgrenzung der SoP gegenüber SiP, bei dem vornehmlich diskrete Bauelemente eingesetzt werden, aufgeführt.

In der europäischen Forschungslandschaft gehört IMEC (Interuniversity Microelectronics Centre) in Leuven, Belgien zu den Einrichtungen, in denen aktiv an verschiedenen Konzepten für vertikale Integration wie 3D-WLP (Wafer-level packaging infrastructure), 3D-SIC (IC-factory infrastructure) und 3D-SIP (Packaging infrastructure), geforscht wird [36]. Während 3D-WLP und -SIC dem Bereich der 3D-IC-Technologien (vgl. Kapitel 2.2.1) zugeordnet werden können, entsprechen die SIP Forschungsaktivitäten dem in der Arbeit betrachteten Integrationsansatz. In der Abb. 2.2-14 sind IMEC-Integrationsbeispiele für die Realisierung von Systemen aus heterogenen Komponenten im 2,5D SiP Stack-Konzept [37] dargestellt.

Nicht nur die technologische Machbarkeit, sondern auch die elektrotechnische Charakterisierung der vertikalen Verdrahtung in 2,5D SiP bilden den Gegenstand der heutigen Forschung. An der Universität Tampere (Finnland) wurde unter der Führung von Prof. Ristolainen eine Stacktechnologie entwickelt, die zur Verbesserung der Stapelstabilität Kunststoffkugeln in die

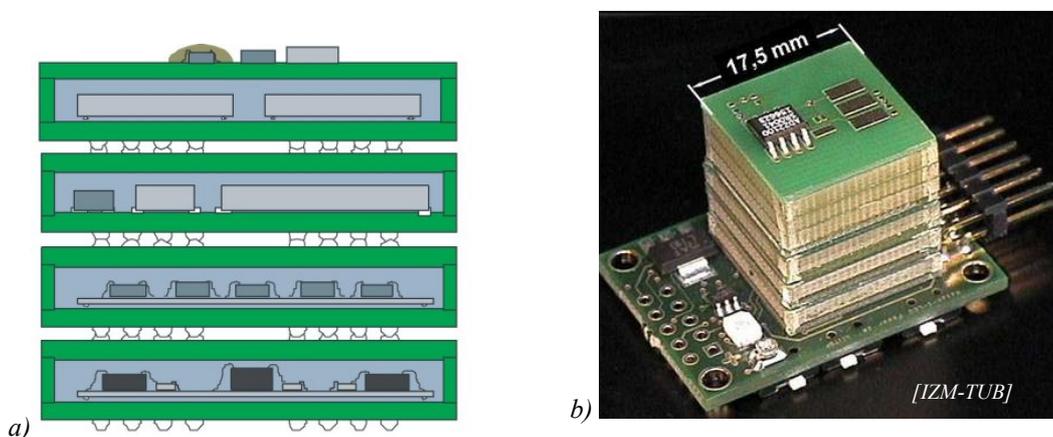


Abb. 2.2-16 Match-X: a) Integrationschema; b) Realisierung eines Datenaufzeichnungssystems (LCU) im Match-X-Stack

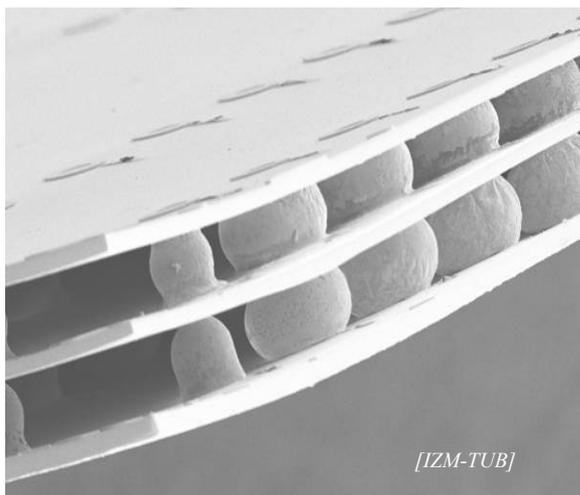


Abb. 2.2-17 Stapelung der ultradünnen HDI-Substrate

Lotverbindung zwischen den gestackten Modulen integriert (Abb. 2.2-15). In einer Reihe von Publikationen präsentierten die Forscher Untersuchungen zu elektrischen und thermischen Eigenschaften der Lotkugeln als vertikale Verbinder [39][40][41].

In der Forschungskooperation BeCAP (Berlin Center of Advanced Packaging) zwischen dem Fraunhofer IZM und dem Forschungsschwerpunkt Mikroperipherik der Technischen Universität Berlin wurden in den letzten Jahren mehrere Forschungsprojekte im Bereich der vertikalen Integration durchgeführt. Das sog. *Match-X*-Konzept, das auf der Stapelung der

BGA Bausteine mit verschiedenen Komponenten im Inneren (Abb. 2.2-16) aufbaut, ist ein Beispiel für eine technologische Entwicklung aus dieser Kooperation.

Im Rahmen des Projektes AVM/eGrain (Autarke Verteilte Mikrosysteme) wurden im BeCAP in den Jahren 2002 bis 2006 Technologien für die höchste Integrationsdichte erforscht (Beispiel in Abb. 2.2-17) und eine Reihe funktionsfähiger Prototypen für autarke Funksensorknoten entwickelt und aufgebaut, die die für 2,5D SiP charakteristischen Stack- und Falt-Techniken nutzen [93]. Während der Entwurfsarbeiten zur Realisierung der sog. Miniaturisierung-Roadmap (Abb. 2.2-18) wurde der Bedarf an neuen Entwurfsmethoden bzw. Werkzeugen für 2,5D SiP identifiziert und in dieser Zeit entstand auch die Idee für die vorliegende Promotion. Einige Prototypen aus der Roadmap werden für die Auswertung der in der Arbeit entwickelten Modellierung herangezogen. Eine Beschreibung der technischen Details erfolgt im Kapitel 6.1 „Funktion und Schaltung der eGrain Prototypen“.

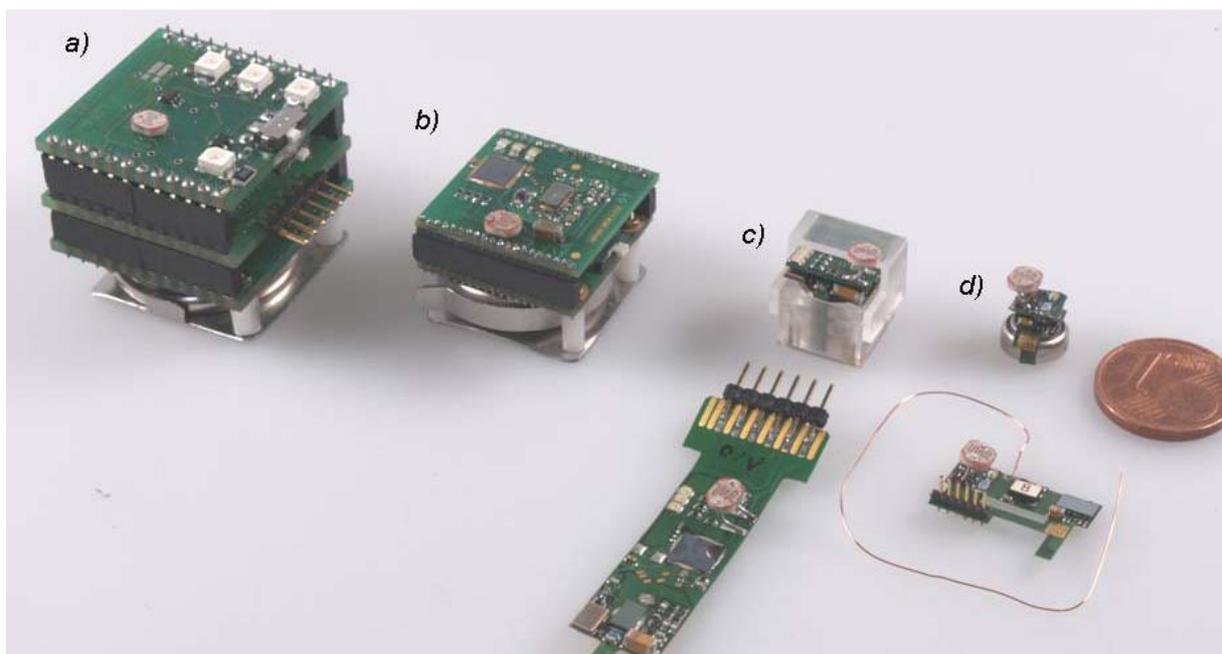


Abb. 2.2-18 Prototypen aus der eGrain-Roadmap, Miniaturisierung der Elektronik eines netzwerkfähigen autonomen Sensorknotens zur Licht- und Temperaturmessung: a) Stack aus konventionellen Baugruppen mit SMT-Technik, Kantenlänge 26mm; b) MCM auf einem FR4-Substrat, Kantenlänge 20mm; c) Faltflex, Kantenlänge 10mm; d) Faltflex, Kantenlänge 6mm.

2.3. Technologien und Bauelemente für die SiP-Integration

Für die technologische Realisierung der 2,5D SiP greift man auf die vielfältigen Mittel und Elemente der modernen AVT zurück, die auch bei der Integration der planaren Mikroschaltungen und -baugruppen mit ungehäusten Halbleitern wie MCM eingesetzt werden. In diesem Abschnitt erfolgt eine kurze Einführung in die Bauelemente (BE), Montage- und Substrat-Techniken, die für die Entwicklung der 2,5D SiP Modellierung relevant sind.

2.3.1. Bauelemente und -formen , Montage- und Verbindungstechniken

In der heutigen Elektronik existieren verschiedene Typen von diskreten BE:

- passive Elemente (Widerstände, Kapazitäten, Induktivitäten),
- aktive Bauelemente als Einzelhalbleiter (Dioden, Transistoren, etc.),
- aktive Bauelemente als integrierte Schaltkreise (IC: integrated circuits)
- Sonderformen (Quarze, Sensoren, MEMS, optische Bauelemente, etc.).

Diese BE sind in vielfältigen *Bauformen* bzw. *Gehäusen* (engl. *Packages*) verfügbar. Die Bauform eines Bauelements steht in direktem Zusammenhang mit der anwendbaren *Montagetechnik*, durch die das BE mit dem Schaltungsträger (*Substrat*) elektrisch und mechanisch verbunden wird. Neben der Verarbeitung der gehäusten BE besteht insbesondere bei ICs außerdem die Möglichkeit, ganz auf ein Package zu verzichten und einen ungehäusten „nackten“ Chip (*Bare Die*) in einem Verfahren der *Direktmontage* zu assemblieren. Während bei der Montage der gehäusten BE hauptsächlich Löt- und (leitfähiges) Kleben als *Füge- bzw. Verbindungstechniken* eingesetzt werden, kommt bei der Direktmontage Pressschweißen bzw. Bonden z.B. bei Chip&Wire Technik (Drahtbonden) hinzu (Abb. 2.3-1).

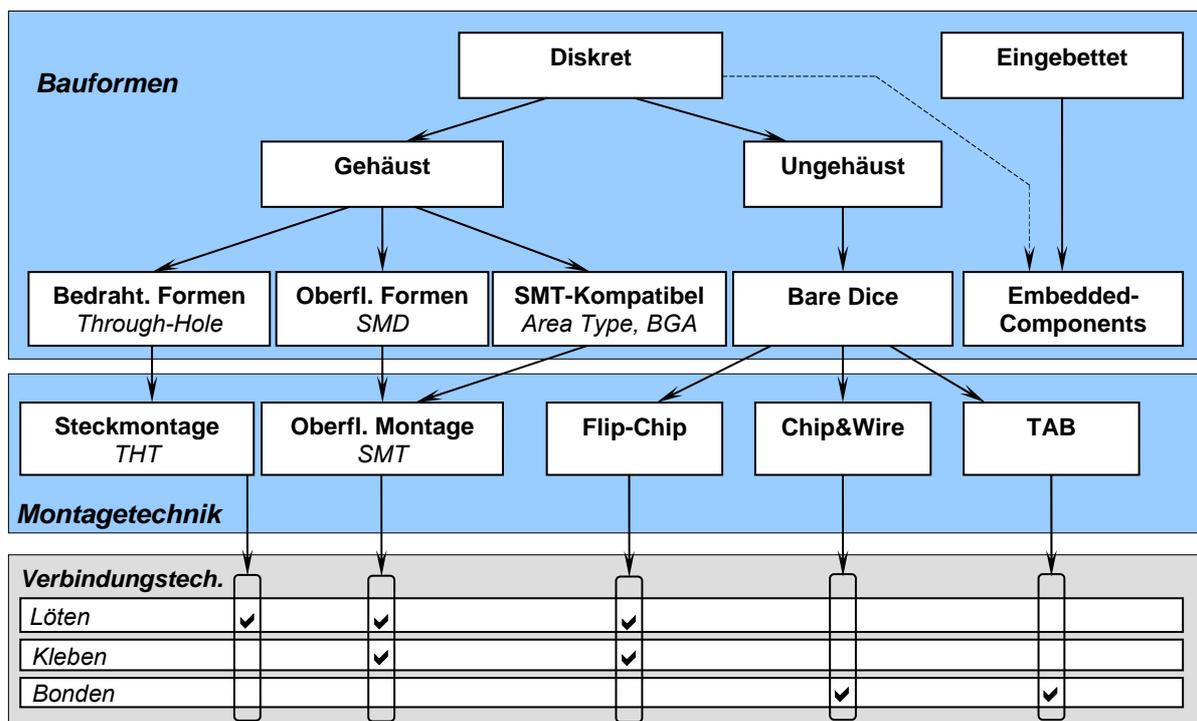


Abb. 2.3-1 Zuordnung der Bauformen, Montagetechniken und Verbindungstechniken, in Anlehnung an [1][42]

Bezeichnung	L [mm]	B [mm]	H [mm]
01005	0,25	0,125	0,2
0201	0,5	0,25	0,3
0402	1,0	0,5	0,6
0603	1,6	0,8	1,0
0805	2,0	1,2	1,3
1206	3,2	1,6	

Tab. 2.3-1 Abmessungen verschiedener passiven BE [1]



a)

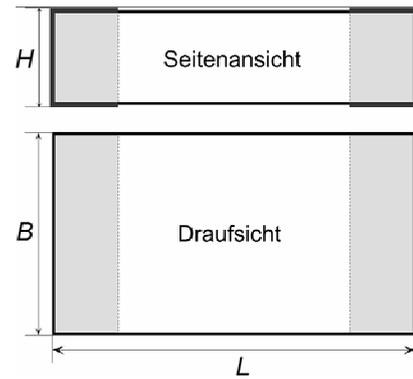


Abb. 2.3-2 a) Ein 0603 Kondensator; b) Projektion der Abmessungen [1],[42]

Der gesamte Bereich der AVT befindet sich im ständigen Wandel. Neben etablierten Verfahren zur Integration der diskreten gehäuseten und ungehäuseten BE, die von dem entwickelten Modell erfasst sind, existieren auch weitere Techniken, die das entwicklungs-technische Stadium verlassen und für die SiP-Integration zunehmend Bedeutung erlangen. Dazu zählen bspw. die sog. *Embedded*-Technologien, bei denen sowohl aktive als auch passive BE (embedded actives und passives) nicht auf der Schaltungsträgeroberfläche, sondern in das Substrat hinein montiert werden oder während der Substratfertigung aus den Substratmaterialien und -strukturen entstehen.

Gehäuste Bauelemente, SMT

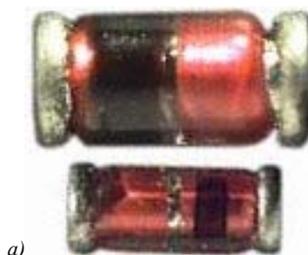
Die klassische Durchsteckmontage, bei der die BE mit ihren Anschlüssen durch das Substrat hindurch gesteckt und anschließend verlötet werden, wird selbst bei der Fertigung von Standard-Baugruppen zunehmend durch die *Oberflächenmontage* (SMT - Surface Mount Technology) ersetzt (Abb. 1.1-4). Dabei wird eine leitende und stoffschlüssige Verbindung zwischen dem BE und den auf der Substratoberfläche aufmetallisierten Pads hergestellt (Abb. 2.3-6). Die Entwicklung der SMT-Bauformen hat enorme Miniaturisierungsfortschritte gemacht. SMT-kompatible aktive BE und insbesondere ultrakleine SMT-Bauformen von passiven BE mit Abmessungen von wenigen Millimetern (Abb. 2.3-2) eignen sich gut für den Einsatz in den 2,5D SiP.

SMT-Bauformen

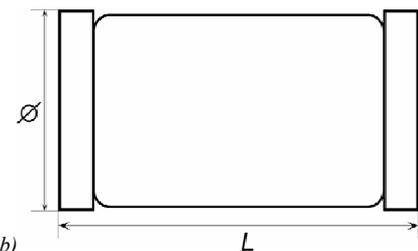
BE in SMT-Packages werden oft auch als *SMD* (engl: surface mounted device) bezeichnet. Sie existieren in den unterschiedlichsten Ausprägungen. Viele davon (SOT, SOP, etc) würden allein aufgrund ihrer Größe in miniaturisierten SiPs nicht direkt Verwendung finden. Die passiven BE – Widerstände, Kapazitäten und Induktivitäten – in quaderförmiger Ausführung mit metallisierten Anschlussflächen an den Stirnseiten sind sehr verbreitet (Abb. 2.3-2). Die Außenabmessungen dieser oft auch irreführend als "Chip"-Bauformen bezeichneten BE sind genormt [90]. Sie spiegeln sich in der vier- bzw. fünfstelligen Gehäusebezeichnung (Size-Code) wider. Die ersten zwei Ziffern geben dabei die Länge und die letzten zwei (bzw. drei)

Bezeichnung	Ø [mm]	L [mm]
Micro-MELF	1,1	2,2
Mini-MELF	1,4	3,6
MELF	2,2	5,8

Tab. 2.3-2 Abmessungen der MELF Bauformen [1]



a)



b)

Abb. 2.3-3 a) MELF-Dioden [42]; b) Projektion der Abmessungen [1]

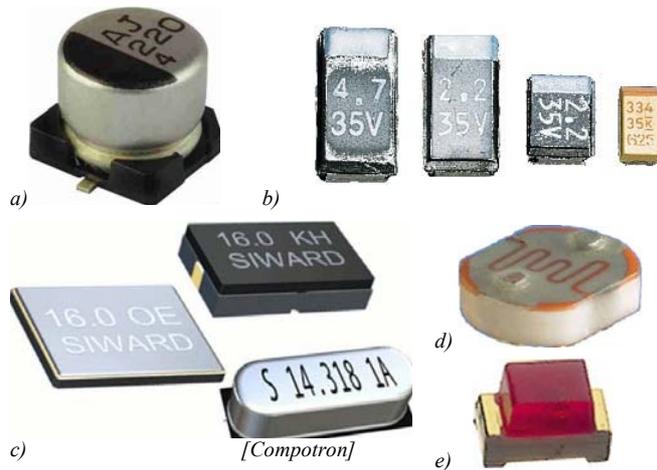


Abb. 2.3-4 SMD Bauformen: a) Elektrolyt- und b) Tantal-kondensatoren; c) Quarze; d) Lichtsensor; e) LED [42]

die Breite in 1/100 Zoll (10 mil) an. Tab. 2.3-1 zeigt exemplarisch einige Abmaße. Anders als die standardisierten lateralen Abmessungen wird die Höhe des BE vom Hersteller oft an die konkreten Anforderungen angepasst und unterliegt daher je nach BE großen Schwankungen. Genaue Maße und auch Toleranzen sind in den jeweiligen Datenblättern des BE-Herstellers enthalten. Insbesondere 0201 und 01005 Bauformen sind für die SiP-Integration mit ihren hohen Anforderungen an die Miniaturisierung geeignet.

Verwandt mit „Chip“-Bauformen sind einige zylindrische Bauformen. Für Einzelhalbleiter wie Dioden und für Metall-

schichtwiderstände werden oft zylindrische MELF-Packages (Metal-Electrode-Faces) mit seitlicher Anschlussmetallisierung verwendet (Abb. 2.3-3, Tab. 2.3-2).

Es existieren unzählige weitere Bauformen und Gehäusetypen. Kondensatoren mit großen Kapazitäten, vor allem Tantal- und Aluminium-Elektrolytkondensatoren im μF -Bereich, sind oft in quadratischen und zylindrischen Formen verfügbar, die von den oben skizzierten Quartertypen abweichen und außerdem eine Anschlussmetallisierung auf der Bodenfläche (Abb. 2.3-4a-b) besitzen. Diverse Sonderbauformen werden sowohl für passive als auch für aktive Elemente wie Sensoren, MEMS, Quarze, LEDs etc. verwendet (Abb. 2.3-4c-e). Insbesondere die BE, deren Funktion über eine rein elektrische hinausgeht, verlangen oft exotische Bauformen. Die im Kapitel 4 entwickelte BE-Modellierung erlaubt eine Erfassung von nahezu beliebigen geometrischen Formen.

SMT kompatible Bauformen

Klassische Bauformen für gehäuste integrierte Schaltkreise wie SO, QFP und PLCC bestehen aus einem flachen Gehäuse mit rechteckiger Grundfläche und seitlich herausgeführten Kontakten. Durch die periphere Anordnung der Kontaktierung steigen Abmessungen dieser Bauformen bei den ICs mit einer hohen Anzahl an Anschlüssen bis zu einigen cm. Die Entwicklung in der Baugruppenfertigung geht daher – besonders bei hochpoligen BE – hin zu den sog. *SMT-kompatiblen* Packageformen [1], bei denen die Anschlüsse nicht mehr nur an den Seiten herausgeführt werden, sondern flächig in einer Matrix an der Unterseite des BE angeordnet sind. Obgleich im SiP-Bereich primär die Nutzung ungehäuster Halbleiter angestrebt wird, erreichen heute diese auch als *Array-* oder *Area-Type* bezeichneten Bauformen einen Miniaturisierungsgrad, der ihre Verwendung in einem SiP nicht mehr ausschließt. Vor allem sind die *BGA* (ball grid array) Bauformen, bei den die Anschlüsse als *Lotkugeln* (solder balls) ausgeführt sind, sehr verbreitet (Abb. 2.3-5). Die Kontaktierung der gestapelten Module eines 2,5D SiP mit Lotkugeln (Solder Balls VIC, vgl. Kap. 4.4.3, S. 84) baut auf den technologischen Grundlagen der BGA-Technik auf. Die unterschiedlichen Größen und Anschlussmuster von BGAs sind nach [89] standardisiert. Erreicht das Anschlussrastermaß (sog. *Pitch p*, Abb. 2.3-5a) Werte, die kleiner als 1 mm sind, spricht man von einem Fine-Pitch-BGA (FBGA).

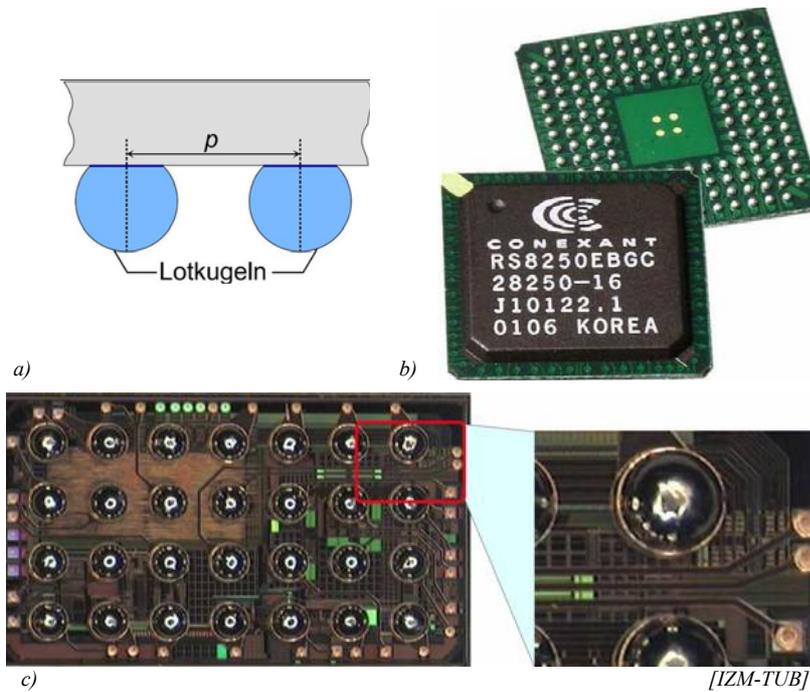


Abb. 2.3-5 a) BGA, Prinzipskizze der Kontaktierung; b) Ober- und Unterseite eines FBGA156 von Conexant; c) Unterseite eines CSP, die Signale werden von den peripheren Chip-Pads über eine transparente Umverdrahtungslage auf das matrixförmige Lotkugelfeld geführt. [42]

Insbesondere die Formen mit noch kleineren Rastermaßen, die als μ BGA oder *Chip-Scale-Package* (CSP) bezeichnet werden, sind für den Einsatz in einem SiP interessant. Die Grenze zwischen beiden Bezeichnungen ist nicht ganz eindeutig. Nach JEDEC wird ein Package dann als CSP bezeichnet, wenn es nicht mehr als 20% größer ist als der verpackte Die [91]. Es sind auch Bauformen verfügbar, bei denen ausschließlich der Halbleiter-Chip die lateralen Abmessungen festlegt (Abb. 2.3-5c). Damit erreicht die SMT-kompatible CSP-Technik die Grenzen des Einsatzbereiches der FlipChip-Technik für die Montage ungehäuster Halbleiter (s. u.).

Verbindungstechniken für SMT

Es existieren verschiedene Verbindungstechniken für die Montage der SMT-Bauformen. Auch wenn das Kleben der BE zunehmend zum Einsatz kommt, bleibt das Lötverfahren für die Verbindung der BE mit dem Substrat. Ein weit verbreitetes Lötverfahren für die SMD-Montage ist das Reflow-Löten [1]. Dabei erfolgt zunächst ein Lotpastenauftrag auf die Substratpads (z.B. durch Schablonendruck), danach werden die BE auf den Lotdepots vorpositioniert und anschließend wird die gesamte Baugruppe in einem Ofen in mehreren Phasen auf die Umschmelztemperatur des Lotes gebracht. Bei einer beidseitigen Bestückung kann zusätzlich ein Kleberauftrag für die Befestigung der auf der Unterseite positionierten BE vor dem Lötverfahren erfolgen. In der Serienfertigung werden die BE, die in den Gurten auf Rollen magaziniert sind, von den Bestückungsautomaten – auch Pick&Place genannt – platziert.

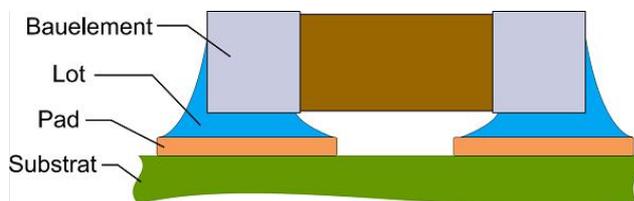


Abb. 2.3-6 Skizze der Lötverbindung eines SMD-BE [42]

Durch das Umschmelzen des Lotes entsteht eine metallurgische Verbindung zwischen den Substratpads und den BE-Anschlüssen, die sowohl mechanisch befestigend als auch elektrisch leitfähig wirkt. Für eine zuverlässige Verbindung müssen die Pads der Substratmetallisierung stets etwas größer als die Kontaktierungsflächen des BE ausfallen (Abb. 2.3-6, Abb. 2.3-7). Durch die

Adhäsion des Lotes entsteht – abhängig vom Benetzungswinkel – ein Lotanstieg an den Anschlussseiten. Auch zwischen Substrat- und BE-Metallisierung entsteht eine dünne Lotschicht.

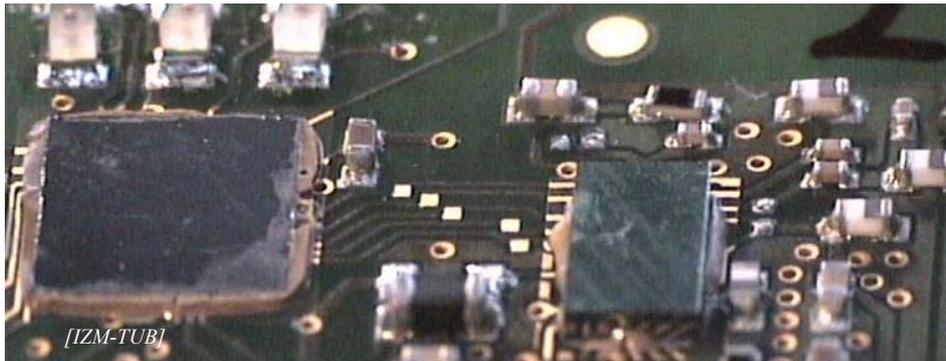


Abb. 2.3-7 Zwei FlipChips (ACA-Klebmontage) umgeben von passiven SMD-BE (Reflow-gelötet)

Ungehäusete Bauelemente, Direktmontage und FlipChip

Bare Die

Ein aus dem Waferverbund durch Sägen oder Laser-Trennverfahren herausgelöster IC liegt als quaderförmiger Chip vor. Für den Großteil der heutigen Applikationen aus dem Bereich der Analog- und Digitalelektronik handelt es sich um Silizium als Halbleitermaterial mit durch CMOS (Complementary Metal Oxide Semiconductor) Prozesse erzeugten Schaltungsstrukturen. Die lateralen Abmessungen variieren je nach Chipkomplexität und -technologie meistens zwischen einigen Millimetern bis hin zu einem Zentimeter, manchmal sogar bis hin zu einigen Zentimetern. Ein 8 Bit Mikrocontroller (μC) aus dem Hause Atmel mit mehreren Peripherie-Elementen wie einem FLASH-Speicher, einem Analog-Digital Umsetzer (ADU) etc. misst bspw. lateral ca. $5 \times 5 \text{ mm}$. Die Dicken der Chips sind von dem Durchmesser der Ursprungswafer abhängig, bei einem 200 mm Wafer sind es typischerweise 675 bis $790 \mu\text{m}$ [3]. Die Wafer werden häufig einer Dünnungsprozedur unterzogen, um ein möglichst niedriges vertikales Profil der ICs zu erzielen. Der erwähnte μC besitzt eine Höhe von ca. $200 \mu\text{m}$. Die Chip-Oberfläche wird durch sog. Passivierung geschützt (oft Silizium-Oxyd oder -Nitrid). Die Ankontaktierung erfolgt über rechteckige, manchmal auch oktagonale Metallkontaktflächen (*Bond-Pads*), die direkt auf das Silizium aufmetallisiert sind (Abb. 2.3-8). Sie sind zwischen $0,5 \mu\text{m}$ und $1,5 \mu\text{m}$ dick (ein typischer Wert ist $0,7 \mu\text{m}$), haben Kantenlängen zwischen $70 \mu\text{m}$ und $100 \mu\text{m}$ und bestehen meist aus Aluminium, das durch Sputtern aufgebracht wird [3]. Gute Hafteigenschaften und ein relativ niedriger spezifischer Widerstand von nur $2,5 \mu\text{Ohm} \cdot \text{cm}$ sind die Gründe für die Verwendung der Al-Metallisierung. Die Al-Pads lassen sich gut mit Gold und Aluminiumdraht durch Pressschweißen ankontaktieren, aber nicht direkt belöten oder bekleben (s.unten).

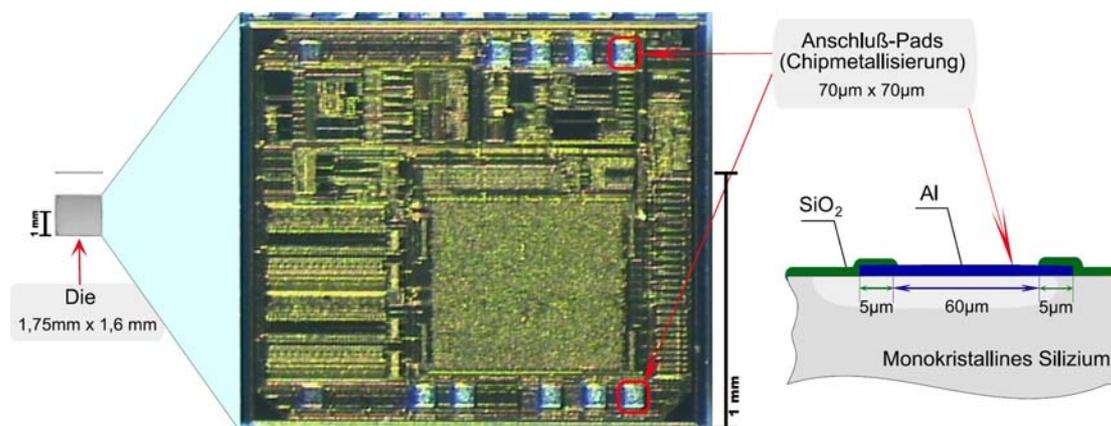


Abb. 2.3-8 Ein IC als Bare Die mit einer niedrigen Anschlusszahl und Bondpad-Struktur [42]

Direktmontagetechniken

Für die Kontaktierung der Bare Dice stehen grundsätzlich drei Techniken zur Verfügung [1][3]:

- *Drahtbonden* (auch *Chip&Wire* – C&W, genannt) ist ein Verfahren, bei dem die Anschlußspads eines auf dem Substratträger montierten Chips mittels einer Drahtbrücke (Drahtbond) mit den Anschlüssen auf dem Substrat einzeln in einem Pressschweißprozess kontaktiert werden (Abb. 2.3-9a, Abb. 2.1-1b, Abb. 2.2-5).
- *Tape Automated Bonding* (TAB) ist eine Technik, bei der die Verbindung zwischen den Chip- und Substrat-Anschlüssen über leitende Metallstrukturen, die sich auf einem Kunststofffilm (Tape) befinden, durch Anlöten oder durch Thermokompression kontaktiert werden (Abb. 2.3-9b).
- *FlipChip* (FC) ist eine Montageart, bei der die Chips mit der Anschlussseite nach unten – zum Substrat hin – montiert werden (Abb. 2.3-7, Abb. 2.3-9c)

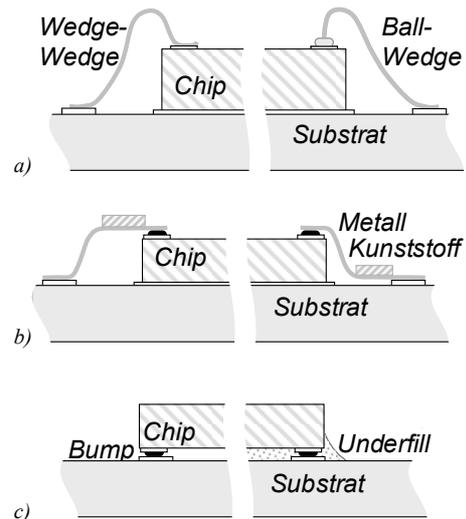


Abb. 2.3-9 Chip-Kontaktierungstechniken:
a) C&W; b) TAB; c) FC

Ein Vergleich der technischen Parameter dieser auch als Interconnect-Techniken bezeichneten Verfahren befindet sich in der Tab. 2.3-4. Während die Drahtbondtechnik am weitesten verbreitet ist, hat die TAB-Technik, die ohnehin überwiegend in Fernost verbreitet war [3], in den letzten Jahren an Bedeutung verloren. Insbesondere ist jedoch die FC-Technik auf Grund der geringen Montagehöhe für die Anwendung in 2,5D SiP geeignet.

FlipChip

Die erste Flipchip-Technologie, die auch als *C4* "Controlled Collapse Chip Connection" bekannt ist, wurde 1964 von IBM eingeführt [3]. Obwohl diese Technik, die auf die Lötprozesse zurückgreift, die wohl nach wie vor bekannteste FC-Montagetechnik ist, wurden seitdem vielfältige weitere Montagetechniken entwickelt, die nicht nur Löten, sondern auch Kleben für die elektrische und mechanische Kontaktierung zwischen dem Chip und dem Substrat als Verbindungstechniken benutzen [3]. Eine direkte Verwendung der Aluminium-Bond-Pads eines Chips für eine Löt- oder Klebeverbindung ist jedoch nicht möglich: sie sind für das Drahtbonden bzw. Pressschweißen ausgelegt und müssen mit den Kontaktierungshöckern, den sogenannten *Bumps*, ausgestattet werden. In einem Großteil der Anwendungen erfolgt die Erzeugung der Bumps (*Bumping*) auf den Anschluss-Pads der Chips, wobei es prinzipiell möglich ist, Bumps auch auf den korrespondierenden Substratpads zu erzeugen.

Beginnend mit der C4-Technologie von IBM wurden bis heute vielfältige alternative Bumping-Verfahren entwickelt. Eine detaillierte Übersicht findet sich in [3]. Alle Bumps lassen sich nach [3] grundsätzlich in *nichtumschmelzbare* (Metal-Bumps, Abb. 2.3-12b) und *umschmelzbare* (Solder-Bumps, Abb. 2.3-11) Typen unterteilen, die wiederum nach dem Erzeugungsprozess in die Kategorien Aufdampfen, galvanische Abscheidung, stromlose Abscheidung und mechanische Verfahren eingeteilt werden können. In der Abb. 2.3-10 befindet sich eine Übersicht über die entsprechenden Bumping-Verfahren und -Metallurgien.

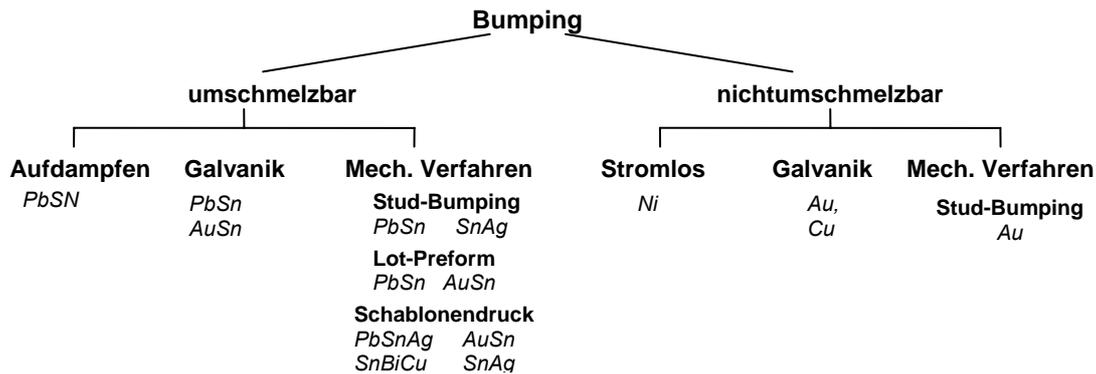


Abb. 2.3-10 Übersicht der Bumpingverfahren [3]

Die umschmelzbaren Bumps sind in erster Linie für FC-Löten ausgelegt, für die FC mit nichtumschmelzbaren Bumps wird primär Kleben als Verbindungstechnik eingesetzt.

Im Hinblick auf die Erhöhung der Zuverlässigkeit der FC-Verbindung ist es je nach Art der gewählten Technologie oft notwendig, den Spalt zwischen Chipunterseite und Substrat mit einer Füllmasse z.B. aus Epoxidharz zu verschließen. Das sog. "Underfilling" versiegelt die Chipoberfläche hermetisch gegenüber atmosphärischen Einflüssen und erzeugt einen starren Verbund zwischen Chip und Substrat, was u.a. die Scherbelastung aufgrund unterschiedlicher Ausdehnungskoeffizienten zwischen Chip und Substrat mindert [3]. Es erhöht allerdings den lateralen Platzbedarf eines FC (Abb. 2.3-11a, vgl. *Werkzeugabstand* in Kap. 4.2.3).

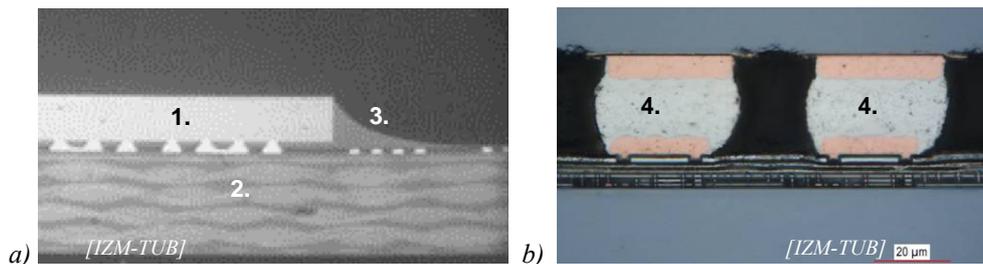


Abb. 2.3-11 Schliffe: a) FC mit Underfill, b) umschmelzbare Bumps; (1. Chip, 2. Substrat, 3. Underfill-Ausbreitung an der Chipkante, 4. Bumps)

Die Montage der lötfähigen FC entspricht im weitesten Sinne den Grundzügen der SMD Montage [3]. Die Lötverfahren, bei denen beide Fügepartner Bindungen mit der flüssigen Metallschmelze eingehen, unterscheiden sich jedoch von den Klebeverfahren.

Ein Beispiel hierfür ist das anisotrope leitfähige FC-Kleben, das oft auch als *ACA* (anisotropic conductive adhesive) bezeichnet wird. Eine schematische Darstellung sowie ein Schliff einer ACA-Verbindung sind in Abb. 2.3-12 dargestellt und ein reales Beispiel ist in der Abb. 2.3-7 zu sehen. Verwendet wird ein Kleber, der mit kleinen leitfähigen Partikeln z.B. aus Silber, Gold oder metallbeschichteten Kunststoffkugeln gefüllt ist. Der Grad der Füllung ist so eingestellt, dass die Partikel einander möglichst nicht berühren und der Kleber zunächst in keiner Richtung elektrisch leitet. Auf den Bondpads des zu kontaktierenden Halbleiters werden zunächst Bumps aus hochschmelzendem Material (z.B. Nickel) erzeugt. Beim Kleben des Chips auf das Substrat klemmen sich dann einige der Füllungspartikel zwischen das Substratpad und den gegenüberliegenden Bump. Damit wird eine elektrische Verbindung zwischen den beiden Kontaktflächen hergestellt. Der Kleber wird damit in einer Richtung (anisotrop) und zwar vertikal leitend. Nach dem Aushärten sind die Partikel zwischen den Flächen mit einem gewissen Druck fixiert und stellen so eine dauerhafte Leitfähigkeit sicher.

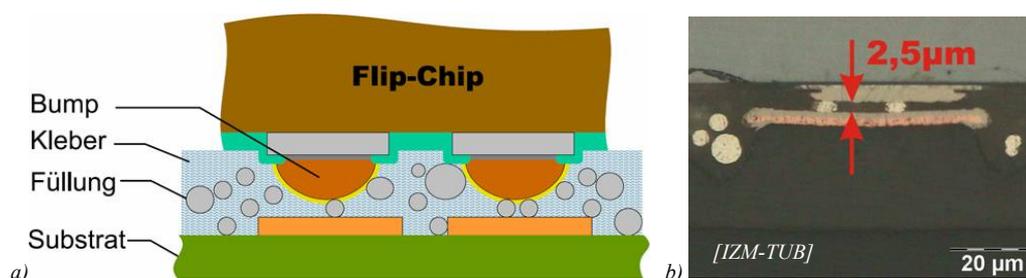


Abb. 2.3-12 Anisotrop leitendes Kleben (ACA): a) Prinzipskizze [42], b) Schliff einer Verbindung mit ultradünnen Nickel-Bumps

Es existiert eine Reihe weiterer Fügeverfahren sowohl mit isotrop leitendem Kleber (ICA isotrop conductive adhesive) als auch mit nicht leitendem Kleber NCA (non conductive adhesive). Diese Klebetechniken, weitere Löt- und Bumpingverfahren, Einzelheiten der Metallurgien und Theorie der Verbindungsbildung sind ausführlich in [1][3] beschrieben. Die in Abschnitt 4.2.3 entwickelte Modellierung, die auf SMD und FC Montage fokussiert ist, ist auch für die Erfassung weiterer Verfahren ausgelegt.

Gemeinsame geometrische BE-Merkmale

Zusammenfassend und im Hinblick auf die zu entwickelnde Modellierung kann für alle diskreten BE festgestellt werden, dass sie unabhängig von Bauart und Montagetechnik folgende wesentliche gemeinsame Merkmale aufweisen:

- ein dreidimensionaler Grundkörper,
- flächige Anschlüsse für die Kontaktierung,
- ein räumliches Verbindungselement wie eine Fügemittelschicht, ein Bump etc., das die Verbindung der BE-Anschlüsse mit dem Substrat gewährleistet.

Ferner ist feststellbar, dass

- die Geometrien der Substratanschlussflächen abhängig von der gewählten Montage- und Verbindungstechnik sind,
- das Fügen und Montieren der BE immer durch ein Werkzeug geschieht, das einen gewissen Freiraum oberhalb des BE und um das BE herum beanspruchen kann.

Diese Beobachtungen bilden den Ansatzpunkt für die Abstrahierung, die für die Entwicklung der geometrischen Modellierung notwendig ist.

2.3.2. Substrate

Unterteilung

Neben der mechanischen Befestigungsfunktion besteht die Aufgabe des Verdrahtungsträgers in der Realisierung der "elektrischen Verbindungen zwischen den Bauteilen durch flächenhafte oder drahtförmige Leiter auf einem isolierenden Substrat" [2]. Bei hohen Verdrahtungsdichten sind mehrschichtig oder mehrlagig aufgebaute Verdrahtungsträger (*Multilayer*) erforderlich. Die Bezeichnung Substrat für den gesamten Verdrahtungsträger hat sich im Sprachgebrauch weit verbreitet. Es gibt verschiedene Methoden zur Klassifizierung der Substrate. Nach [2] können sie eingeteilt werden in (Abb. 2.3-13):

- *laminierte Substrate* (bekannt auch als organische Substrate), die durch Verpressen von mehreren Lagen entstehen,

Substrate Parameter	MCM-L		MCM-C	MCM-D
	HDI	PCB Standard	Keramik	Dünnsfilm
Line width [μm]	50...75	125	75..100	10
Line space [μm]	50...75	125	250	10
Via Land \varnothing [μm]	100...225	650	200	30
No. Layer	8...10	8...30	15..30	2..5
Diel. Konst.	2,3...4,7	4,7	6...10	2,7...3,5
Material	FR4	FR4	Keramik	Si, Metall...
Preisapproximation	medium	gering cents/cm ²	medium	Hoch \$/cm ²

Tab. 2.3-3 Designrelevante Parameter für verschiedene MCM bzw. Substrat-Type [12] [56]

Interconnect Parameter		Wire Bond	Flip Chip	TAB
Min. Pad-Pitch [μm]	Die	50	100...120	60
	Substr	120	100...120	200
Montage		seriell	parallel	seriell/parall.
Elektr. Charakter.	L[nH]	1-5	0,06-0,2	1-3
	C[pF]	0,2-0,6	0,02-0,03	0,2-0,6
Mech. Schutz		globtop	underfill	-

Tab. 2.3-4 Designrelevante Parameter für verschiedene AVT [12] [54]

- *Dünnsfilm-Substrate*, die durch Abscheiden mehrerer dünner Schichten mit Hilfe von Prozessen aus der Halbleiterfertigung (Dünnsfilmprozesse) auf einem Träger gefertigt werden und
- *keramische Substrate*.

Auf dieser Einteilung baut auch die Klassifizierung der Multichip-Module auf, die in MCM-L (laminated), -D (deposited), -C (ceramic) nach der Art des Substrates unterteilt werden [47] [88] (Tab. 2.3-3).

Während die keramischen Verdrahtungsträger nur als starre (rigide) Platten vorliegen, sind laminierte und Dünnsfilm-Substrate auch in flexibler, biegsamer Form verfügbar (Abb. 2.3-13). Oft einfach als „Flex“ bezeichnete Substrate in laminiertem Ausführung gehören zum heutigen Stand der Technik und können auch mit starren Substratanteilen zu einem sog. Starr-Flex (Abb. 2.2-1b) kombiniert werden. Die Dünnsfilmsubstrate – sowohl starre als auch insbesondere flexible Verdrahtungsträger – gehören dagegen zu den Sonderanfertigungen der höheren Preisklasse. Eine Rückseitenkontaktierung starrer Dünnsfilmsubstrate, die für die vertikale Verdrahtung in gestackten 2,5D-SiP erforderlich ist, ist prinzipbedingt nur unter hohem Aufwand möglich. Während die keramischen Substrate eine mittlere Position hinsichtlich der Produktionskosten einnehmen, stellen die Laminate insgesamt die preiswerteste Variante unter den Verdrahtungsträgern dar [12]. Die Technologieauswahl für die Substratrealisierung ist ein wichtiger Aspekt im Entwurf der 2D Anwendungen wie MCM (s. auch *Technologie-Auswahl* in Abschn. 3.2.2.). Ein approximativer Vergleich der Kosten und eine Gegenüberstellung weiterer technischer Parameter für die Substratechniken befindet sich in der Tab. 2.3-3.

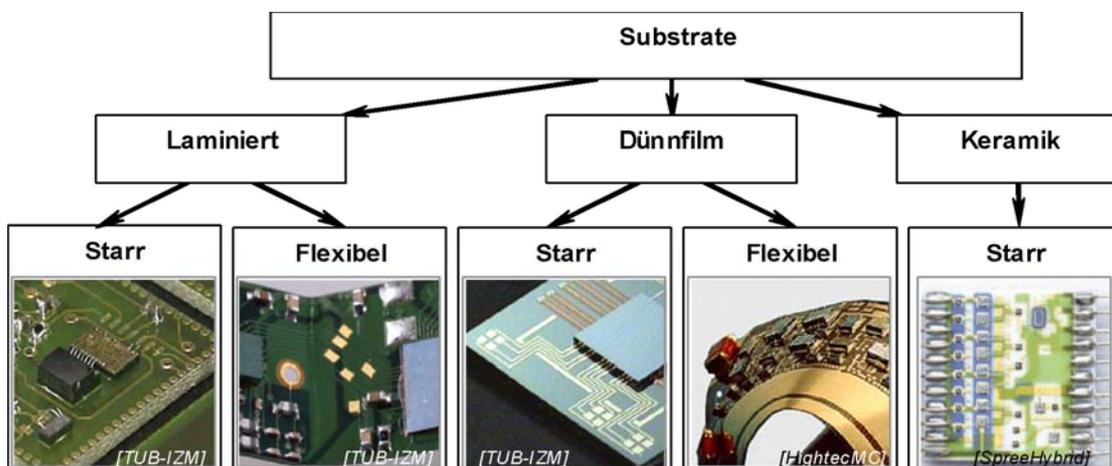


Abb. 2.3-13 Substrate: Unterteilung und Beispiele, in Anlehnung an [42]

Der Fortschritt in der Fertigung laminiertes Substrate, die mittlerweile Strukturbreiten von $50\mu\text{m}$ erzielen (s. Tab. 2.3-5), in Kombination mit Preisvorteilen prädestinieren gerade diese Gruppe der Verdrahtungsträger für den Einsatz in 2,5D SiP.

Laminierte Substrate

Laminierte organische Substrate bilden den absolut überwiegenden Teil der in der Baugruppenfertigung verwendeten Verdrahtungsträger und werden daher oft mit der Bezeichnung „Leiterplatte“ [2] bzw. „PCB“ gleichgesetzt. Auch die Bezeichnung FR4-Substrat, die auf das flammenresistente Leiterplattenbasis-Material (flame resistant) zurückgeht, ist verbreitet. Im einfachsten Fall besitzt ein laminiertes Substrat eine bzw. zwei Verdrahtungslagen. Die Leiterplatte besteht dann lediglich aus einem Basismaterial (core), das auf einer bzw. beiden Seiten mit Metallfolie kaschiert ist (Abb. 2.3-14a). Diese kann durch Ätzen, Fräsen oder andere Verfahren strukturiert werden und dient als Verdrahtungslage (signal layer). Das auf diese Weise entstehende Leiterbild umschließt sowohl Pads zum Ankontaktieren der BE-Anschlüsse (Substrat-Pads) als auch Leiterbahnen, welche diese Pads miteinander verbinden. Bei rigiden Leiterplatten kommt als Basismaterial meist Hartpapier oder Glasgewebe zum Einsatz, das mit Harz (Phenolharz, Epoxidharz) als Bindemittel durchtränkt ist. Bei flexiblen Leiterplatten dient wegen der guten Temperaturbeständigkeit meist Polyimid als Basismaterial. Die Metallisierung besteht fast immer aus Kupfer.

Wichtig für die Charakterisierung des Substrates sind die minimal erreichbaren Strukturgrößen des Kupfer-Leiterbildes. Als Parameter werden dazu die minimale Struktur- bzw. Leitungsbreite l_w (line width) und der minimale Abstand zwischen zwei Leitungen l_s (line space) angegeben. Analog zum Rastermaß bei BE (s. Abb. 2.3-5a) definiert man auch bei Substraten den Pitch p als Abstand zwischen den Mittelachsen zweier Metallstrukturen: $p=l_w+l_s$ (Abb. 2.3-14b).

Je nach erreichbaren Strukturgrößen kann man Leiterplatten in verschiedene Klassen einteilen, die unterschiedlich präzise Fertigungsverfahren fordern und damit unterschiedlich teuer sind. Tab. 2.3-5 zeigt eine Einteilung nach [43][44]. Werden die feinsten Strukturen mit einer hohen Anzahl von Lagen und komplexen Lochdurchkontaktierungen (Abb. 2.3-15) für die Fertigung eines Substrates verwendet, spricht man von der sog. *HDI* (High Density Interconnects) Technologie.

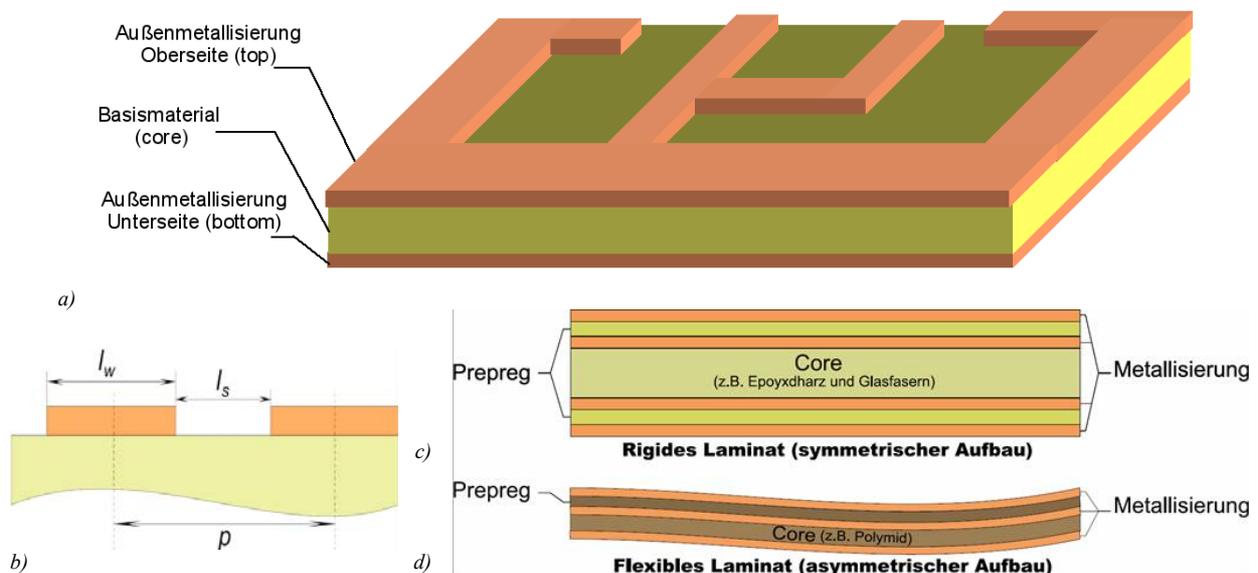


Abb. 2.3-14 Laminierte Substrate, Prinzipskizzen: a) zweilagige Platine und das Leiterbild; b) Strukturbreite, -abstand,-pitch; c) starrer und d) flexibler mehrlagige Laminat [42]

Klasse	$l_w = l_s$ [μm]
Standart	≥ 200
Feinleiter	$\geq 180 < 200$
Feinstleiter	$\geq 150 < 180$
Mikrofeinleiter	$\geq 90 < 150$
Mikrofeinstleiter	$\geq 50 < 90$

Tab. 2.3-5 Einteilung der Substrate in die Klassen [42][44]

Für die Realisierung mehrerer Verdrahtungslagen in einem Multilayer-Substrat (Abb. 2.3-14 c-d, Abb. 4.3-2, S.67) werden weitere isolierende Zwischenschichten (sog. *Prepregs*) und leitende Metallschichten von oben und unten auf das Core aufgedrückt. Die durchgehenden Metallisierungen werden zu einem Leiterbild strukturiert und bilden weitere Verdrahtungslagen. Die Prepreg-Schichten können symmetrisch (immer eine ober- und eine unterhalb des Core)

Bezeichnung	Dicke [μm]	Material	Verbindungstechnik		
			Löten	Kleben	Drahtbonden
Heiß(luft)verzinnung (HAL)	0,5-10	<i>Sn, Pb</i>	Ja	-	-
Flashgold (Chem. Nickel)	0,7-1,2	<i>NiP, Au</i>	Ja	Ja	Ja (Al-Draht)
Reduktivgold (Chem. Nickel)	0,4-0,6	<i>NiP, Au</i>	Ja	Ja	Ja (Au-Draht)
Galvanisch Gold	0,4-0,6	<i>NiP, Au</i>	Ja	Ja	Ja (Au-Draht)
Chemisch Zinn	$\geq 0,8$	<i>Sn</i>	Ja	Ja	-
Chemisch Silber	0,1-0,2	<i>Ag</i>	Ja	-	-

Tab. 2.3-6 Gebräuchliche Oberflächenbeschichtungen (Finish-Typen) für Substrat-Metallisierung [43]

oder asymmetrisch aufgebracht werden. In der Regel wird bei rigiden Laminaten jedoch der symmetrische Aufbau bevorzugt, da so die Verbiegung durch unterschiedliche thermische Ausdehnungskoeffizienten minimiert wird ([2], S.197). Bei flexiblen Laminaten dagegen ist diese Verbiegung unproblematisch bzw. teilweise sogar erwünscht [87], so dass auch asymmetrische Konfigurationen verwendet werden. Sowohl Core- als auch Prepreg-Folien sind als Produktionsmaterial in unterschiedlichen Dicken von wenigen μm (z.B. 25) hin zu mm Stärke verfügbar. Die Cu-Stärke variiert je nach Laminatmaterial von 5 bis 200 μm .

Um die einzelnen Verdrahtungslagen (Layer) miteinander zu verbinden, werden Durchkontaktierungen (*Vias*) durch mechanisches oder Laser-Bohren mit anschließender Loch-Metallisierung hergestellt. Man unterscheidet Throughhole-Vias (TH-Vias), die alle Lagen passieren; Blind-Vias, die eine Außen- und mehrere Innenlagen passieren und Buried-Vias, die nur die Innenlagen passieren (Abb. 2.3-15).

Die äußeren Metallisierungsschichten (Cu) des Substrates bleiben nur in den seltensten Fällen frei. In der Regel werden auf das stark korrosionsanfällige Kupfer Schichten aufgebracht, die zu Einem vor äußeren Einflüssen schützen und zum Anderen die Löt- und Klebefähigkeit verbessern. Dafür werden für die Schutzschicht Metalle und Legierungen verwendet, die gegen Oxydation und Korrosion weniger anfällig sind als Kupfer – Gold in Kombination mit Ni-

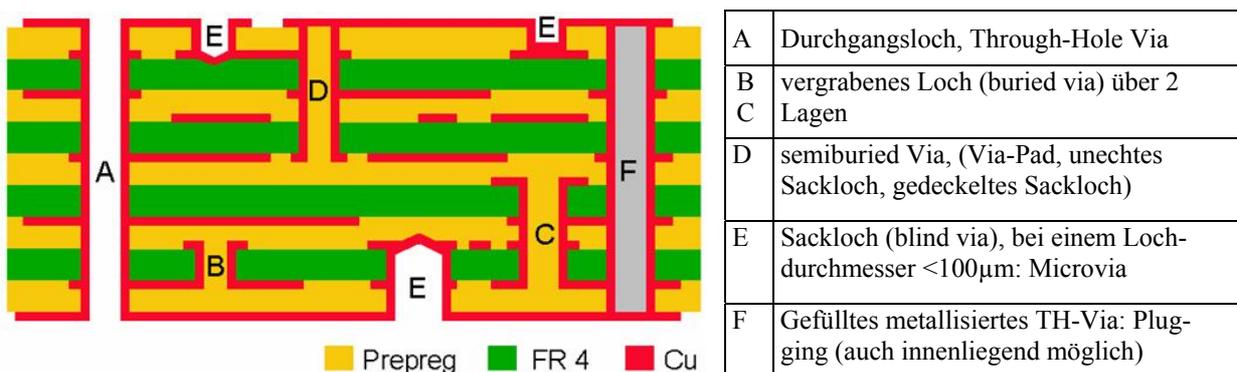


Abb. 2.3-15 Via-Varianten in einem HDI-Substrat [43]

ckel-Phosphor-Verbindungen (Au,NiP), Silber (Ag), Zinn und Blei-Zinn (Pb-Sn). Die Art des Oberflächen-Finish bestimmt maßgeblich, welche Verbindungstechnik später zur Kontaktierung der BE angewendet werden kann (s. Tab. 2.3-6, Tab. 4.2-3).



Abb. 2.3-16 Prinzipskizze: Lötstoplack und Substratpads

Auf die gesamte Oberfläche des Substrates werden oft noch weitere zusätzliche äußere Schutzschichten z.B. in Form eines Lackes aufgebracht. Der sog. Lötstoplack (auch Lotstoplack, Lötenschutzfilm oder im Englischen Solder Mask genannt) verhindert die Benetzung von Leiterbahnen und freien Isolationsflächen mit dem Lot und unterbindet so versehentliche Kurzschlüsse. Er verleiht den Leiterplatten ihre charakteristische hellgrüne Farbe. Lediglich die Pads zur Ankontaktierung der BE bleiben frei. Der Lötstoplack, dessen Stärke bis zu 20 µm beträgt, kann auch die Ränder eines Substrat-Pads bedecken und damit die Kontaktierungs- bzw. Lötfläche definieren (Solder Mask Defined Pad), oder um die Pads ausgespart werden (Copper Defined Pad) (Abb. 2.3-16).

Die technologischen Einzelheiten der Laminierungsverfahren, Via- und Leiterbild-Strukturierungen, Maßnahmen zur Metallisierungserzeugung und -verstärkung etc. sind in [2] und teilweise in den von den Substratherstellern herausgegebenen Spezifikationen wie [43] [44] beschrieben.

Modellrelevante Merkmale und Parameter

Unabhängig von der konkreten Realisierungstechnologie kann ein Substrat als ein Schaltungsträger abstrakt beschrieben werden. Ob als Laminat-, Dünnschicht- oder Keramik-Substrat – gemein sind allen Schaltungsträgern Merkmale wie

- flächige laterale Bauform,
- Schichtbauweise mit abwechselnden leitfähigen und isolierenden Filmen,
- Durchkontaktierungen zwischen den leitenden Schichten und
- für die Montage der BE geeignete Oberflächenmetallisierungen.

Im Hinblick auf die Modellierung sind damit folgende Parameter besonders wichtig:

- Strukturabmessungen auf der Oberfläche (l_w, l_s),
- Abmessungen der Durchkontaktierung,
- Schichtdicken,
- Eignung der Oberflächenmetallisierung für verschiedene Verbindungstechniken.

Wie bei den zuvor diskutierten BE ist damit ein allgemeiner Abstraktionsansatz für die Modellierung der Substrate möglich. Auf die weitere Details der entwurfs- und modellrelevanten Aspekte und Parameter der Substratechnik wird im Rahmen der Diskussion der Substrat-Modellierung und Verdrahtungsabschätzung eingegangen.

3. Entwicklung einer Methode zum optimierten 2,5D SiP Entwurf

Besondere Anforderungen

Der physikalische Entwurf vertikal integrierter Systeme unterscheidet sich vom Entwurf üblicher planarer elektronischer Aufbauten in mehreren Punkten. Zu einem sind die 2,5D SiPs im Gegensatz zu integrierten Schaltkreisen durch eine starke Heterogenität der Komponenten gekennzeichnet. Zum anderen beeinflusst die Integrationstechnologie bzw. die gewählte AVT die Anordnung der Bauelemente viel massiver als beispielsweise beim Leiterplatten-design. Vor allem aber wird der Entwurfsprozess durch die für die Elektronik untypische und für eine manuelle Verarbeitung komplizierte räumliche Verteilung der Komponenten des 2,5D SiP auf mehreren Ebenen erschwert. Auch wenn die Anzahl der Komponenten eines SiP gemessen an komplexen PCB und ICs eher moderat zu nennen ist, kommt die Beherrschung einer hohen kombinatorischen Komplexität hinzu. Selbst bei wenigen Bauelementen steigt die Anzahl der möglichen Anordnungen mit der Wachstumsrate einer Fakultäts-Funktion: wie die auf der Grundlage der von *Berger* in [70] entwickelten Berechnungen aufgestellte Tab. 3-1 zeigt, beträgt die Anzahl der rechnerisch möglichen 2,5D SiP Layouts bereits bei 4 Elementen ca. 68.000 Varianten und mit 7 Bauelementen steigt sie auf über 100 Milliarden Kombinationen an.

Anzahl der BE	1	2	3	4	5	6	7
Anzahl der Kombinationen	4	32	1152	67584	5775360	681246720	107595694080

Tab. 3-1 Exemplarische Berechnung der Größe des Entscheidungsraums für das 2,5D SiP Platzierungsproblem nach Grundlagen von *Berger* [70] bei einer einseitigen Modulbestückung

Die steigende Komplexität der elektronischen Systeme führte zu einer massiven Entwicklung der unter den Sammelbegriffen *EDA-* (*Electronic Design Automation*) oder *ECAD-* (*Electronic CAD*) Tools bekannten Entwurfprogramme, ohne die heute der Design-Prozess nicht mehr vorstellbar ist. Die in den letzten Jahrzehnten sowohl für IC- als auch für PCB-Design entwickelten Programme sind jedoch nahezu ausnahmslos für die zweidimensionale Betrachtung des Entwurfprojektes ausgelegt. Ihre ausschließlich für 2D Anordnungen konzipierten Automatisierungselemente zur Verlegung der Leiterbahnen und für die Platzierung der Komponenten sind für einen effektiven 2,5D SiP Entwurf mit mehreren vertikalen Modulen ungeeignet. Der Versuch der Nutzung von 2D Tools für den Entwurf von 2,5D SiP und einer Problemtransformation aus 2,5D in 2D z.B. durch die Zerlegung in einzelne Flachmodule gerät zu einem sehr zeitaufwendigen und fehlerbehafteten Unterfangen.

Um einen effektiven Entwurf und einen ähnlichen Automatisierungsgrad wie für 2D auch für 2,5D SiP zu ermöglichen, sind neue Entwurfprogramme erforderlich, die den genannten Komplexitätsaspekten der vertikal integrierten Systeme – Heterogenität, Einfluss der AVT, räumliche Anordnung der Elemente, kombinatorische Komplexität – gerecht werden [52]. Dafür bedarf es wiederum eines neuen Blickes auf die prinzipiellen Unterschiede im Entwurfsablauf von planaren und vertikal integrierten Systemen. In diesem Kapitel wird ausgehend vom physikalischen Entwurf der planaren Mikrobaugruppen (Multichip-Module – MCM) eine geeignete Strukturierung für den manuellen und eine auf dem mehrkriteriellen Optimierungsansatz aufbauende Methodik für den automatisierten physikalischen Entwurf von 2,5D SiP entwickelt.

3.1. Einordnung des physikalischen Entwurfes im Entwurfsprozess elektronischer Systeme

In verschiedenen technischen Bereichen wie Elektronik, Maschinenbau, Architektur und Bauwesen sowie in der Informatik kennzeichnet der Begriff „*Entwurf*“ einen kreativen, neue Produkte und Systeme schaffenden Arbeitsprozess, der in seiner Detailausführung je nach Fachgebiet sehr unterschiedlich ausgeprägt ist. Während der Begriff „*Entwurf*“ (engl. „*Design*“) für die Softwareentwicklung in einem IEEE-Standard IEEE 610.12-1990 [49] sowohl als Definitionsprozess als auch als Ergebnis des Definitionsprozesses fest definiert wurde¹, existiert für die Elektronikentwicklung keine vergleichbare internationale Norm oder verbindliche Spezifikation. Die Tätigkeit, die während der Entstehung eines elektronischen Systems ausgeübt wird, ist dem Konstruktionsprozess des klassischen Maschinenbaus ähnlich. Am nächsten kommen der Beschreibung des für die vorliegende Arbeit relevanten Teils des Arbeitsprozesses die Phasen *Entwerfen* und *Ausarbeiten*, die in *Dubbel* [50] auf verbindlichen VDI-Richtlinien [51] für das methodische Konstruieren aufbauend als aufeinander folgende Teile des Konstruktionsprozesses wie folgt definiert sind:

„Unter *Entwerfen* wird der Teil des Konstruierens verstanden, der für ein technisches Gebilde von der Wirkstruktur bzw. prinzipiellen Lösung ausgehend die Baustruktur nach technischen und wirtschaftlichen Gesichtspunkten erarbeitet“.

„Unter *Ausarbeiten* wird der Teil des Konstruierens verstanden, der den Entwurf eines technischen Gebildes durch endgültige Vorschriften für Anordnung, Form, Bemessung und Oberflächenbeschaffenheiten aller Einzelteile, Festlegen aller Werkstoffe, Überprüfung der Herstellungsmöglichkeiten sowie der Kosten ergänzt und die verbindlichen zeichnerischen und sonstigen Unterlagen für seine stoffliche Verwirklichung und Nutzung schafft“.

Die vorliegende Arbeit widmet sich einer bestimmten Phase – dem *physikalischen Entwurf* – des Elektronik-Entwurfprozesses, bei der die abstrakten Daten in eine konkrete Beschreibung bzw. in Konstruktionsvorschriften für die physikalische Realisierung des Systems überführt werden. Um einen Bezug zu den genormten Begriffen herzustellen, kann der physikalische Entwurf in der Elektronikentwicklung in Anlehnung an den Konstruktionsprozess von Maschinen und Anlagen nach *Dubbel* [50] den Stufen *Entwerfen* und *Ausarbeiten* zugeordnet werden.

Es gibt zwar keine international anerkannte Normen, dafür aber zahlreiche wissenschaftliche Ansätze zur Strukturierung des Entwurfsprozesses für elektronische Systeme. Ob die – heute übliche – Top-Down-Entwurfsstrategie, die sich beginnend mit einer allgemeinen Problembeschreibung schrittweise hin zur Beschreibung eines konkreten Systems bewegt, eingesetzt wird, oder ob ein Mix mit der sog. Bottom-Up-Strategie angewendet wird, ob die Entwurfschritte hierarchisch oder parallel erfolgen – gemein ist allen Darstellungen und Strukturvorschlägen die Tatsache, dass aus einer abstrakten Idee bzw. Systembeschreibung eine physikalisch vorhandene, technologisch umsetzbare Realisierung eines System resultiert. Unabhängig davon, ob es sich um integrierte Schaltkreise oder Baugruppen und Module handelt, kennzeichnet der *physikalische Entwurf* die Stelle im Entwurfsprozess, bei dem dieser Schritt – von abstrakten Informationen (Verhaltensmodell, Funktionsbeschreibung, Schaltplan, Netzliste) zum Aufbau eines Gegenstandes (Platine, Modul) – vollzogen wird. In verschiedenen Lite-

¹ „... Design ... (1) The process of defining the architecture, components, interfaces, and other characteristics of a system or component. (2) The result of the process in (1)” [49]

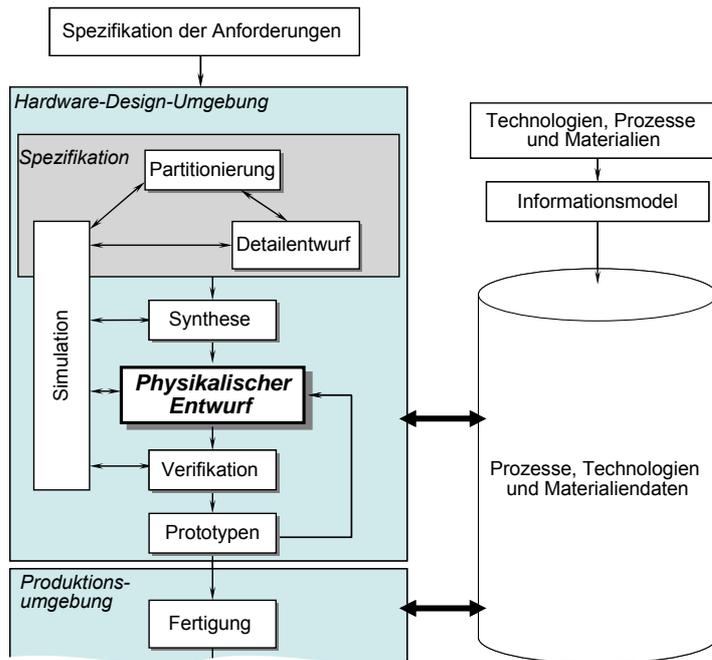


Abb. 3.1-1 Positionierung des physikalischen Entwurfes im MCM-Entwurfsprozess nach [59]

raturquellen wird der physikalische Entwurf als letzte Instanz im Designfluss eingeordnet, bei der die Entwurfsdaten einen noch virtuellen Charakter haben. In [48] bspw. wird der Schaltkreisentwurf wie folgt allgemein in die aufeinander folgenden Hauptschritte gegliedert:

- Systementwurf und Funktionaler Entwurf
- Logischer Entwurf und Zellentwicklung
- Partitionierung
- Physikalischer Entwurf

D.h. eine als Blockschaltbild entworfene und in Funktionsblöcke überführte Schaltung wird in die einzelnen Standardkomponenten oder in die speziell zu entwickelnden Chips partitioniert. Die Funk-

tionalität verdichtet sich zu den einzelnen Bauelementen eines Schaltplans, die im letzten Schritt physikalische Abbildungen bekommen und funktions- und technologiegerecht geometrisch angeordnet werden.

Auch in [59], wo der konzeptionelle Entwurf der MCM – technologisch gesehen ein dem 2,5D SiP am nächsten liegender Integrationsansatz – beschrieben wird, wird der physikalische Entwurf als Schnittstelle zur Produktion bzw. zur Realisierung technologischer Prototypen (Abb. 3.1-1) identifiziert.

Der im Folgenden als *physikalischer Entwurf* bezeichnete Teil des Entwurfsprozesses beginnt mit der Fertigstellung eines Schaltplans und der Definition der Komponenten und umfasst neben der geometrischen Anordnung (Layout) der Bauelemente auch die Auswahl der Integrationstechnologie inklusive der Erstellung der Unterlagen für die Fertigung (Abb. 3.2-1) [46] [48] [62]. Dies gilt sowohl für die planare Integration als auch für den vertikalen Integrationsansatz.

3.2. Einführung in den physikalischen Entwurf der 2D Multichip-Systeme

Eine aus der Literatur bekannte Gliederung des physikalischen Entwurfes für 2D Systeme leitet sich aus dem Entwurf integrierter Schaltungen ab (Abb. 3.2-2). Im Unterschied dazu herrschen bei der Integration heterogener diskreter Komponenten andere Rahmenbedingungen. Sind es im monolithischen Entwurf sehr viele (bis zu 10^6) homogene Schaltungselemente (Transistoren, Gatter, Blöcke) mit einer niedrigen Anschlusszahl, so handelt es sich im Bereich MCM und SiP um vergleichsweise wenige verschiedene heterogene Elemente (einige 10 bis 100) mit Anschlusszahlen, die bei einem ungehäuteten Halbleiter-IC (Bare Die) bis zu 100 und mehr betragen können [48].

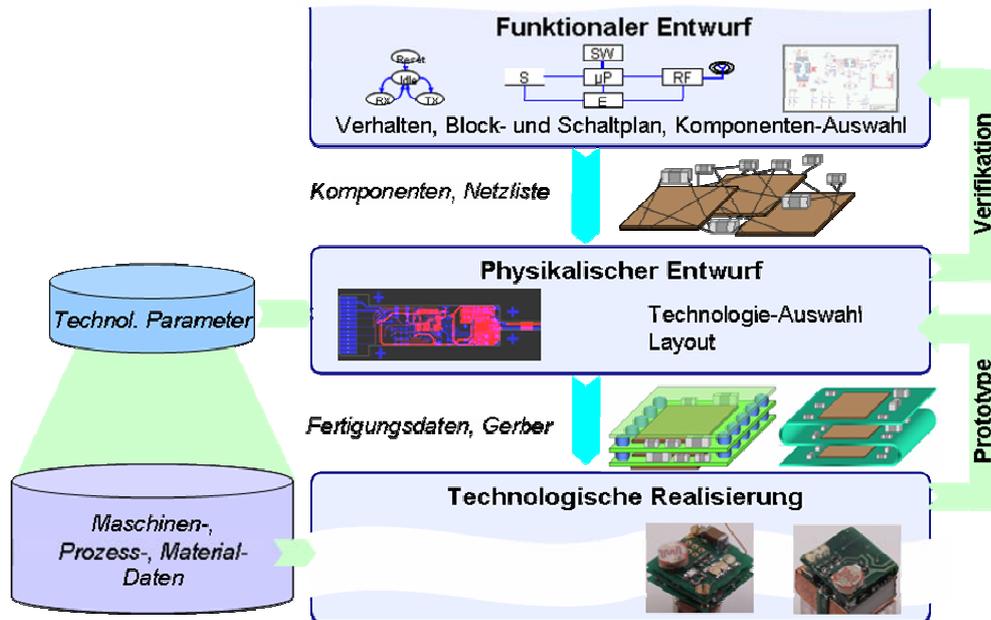


Abb. 3.2-1 Allgemeine Einordnung des physikalischen Entwurfes im gesamten Entwurfsprozess

3.2.1. Eingangsdaten

Als Übergabedaten (Eingangsdaten) fließen die aus dem Schaltplan extrahierten Informationen über die Topologie (elektrische Verbindungen) der Schaltungselemente in Form von sogenannten *Netzlisten* in den physikalischen Entwurf ein. Netzlisten sind eine semantische Beschreibung von Bauelementen und deren elektrischen Anschlüssen und Verbindungen untereinander und bilden in einer Textdatei eine „verbale“ Schaltplan-Darstellung ab, die darüber hinaus auch elektrische Verhaltensmodelle der Bauelemente enthalten kann. Weit verbreitet ist das EDIF 200 (Electronic Design Interchange) Format [63]. Es enthält im Wesentlichen eine Liste der BE mit den dazugehörigen Anschlüssen (Ports) und eine Liste von Netzen. Jedes Netz enthält eine Menge von Ports, die miteinander verbunden sein sollen.

Die Netze werden mit einer zweiten Gruppe von Eingangsdaten – den realen Abmessungen, den physikalischen Geometrien (Packages, Footprints) – der festgelegten Komponenten (Bare Dice, passiven etc.), die sich aus den Datenblättern, Konstruktionsdaten etc. ableiten, verknüpft. Aus der gleichen Quelle bekommt man weitere eventuell notwendige Informationen über relevante physikalische Eigenschaften der Komponenten (wie z.B. Leistungsaufnahme

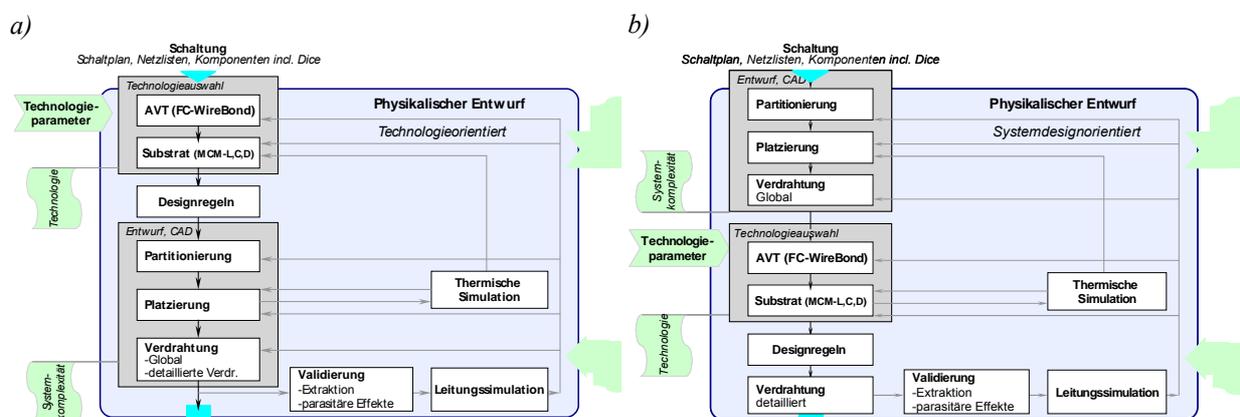


Abb. 3.2-2 Struktur des physikalischen Entwurfes in der planaren Integration: a) ein an [48] angelehnter technologieorientierter Ablauf; b) systemdesignorientierter Entwurfsablauf [56]

für die Analyse von Wärmeentwicklung). Die Footprint-Daten beinhalten Informationen sowohl zur Beschaffenheit der Anschlussoberflächen des Schaltungsträgers (Substrat-Pads), als auch zu darunter liegenden Substratstrukturen (Padstack). Meistens sind die Geometriedaten in Bibliotheken (Footprint-, Package-Library) abgelegt und können mehrfach in einem Design benutzt werden. Nachteilig wirkt sich dabei aus, dass die Bibliotheken der EDA-Programme unterschiedlicher Hersteller sehr oft untereinander nicht kompatibel sind.

In der Regel verfügt der Designer zu Beginn des physikalischen Entwurfes in einer EDA-Entwurfsumgebung über ein initiales zweidimensionales Gebilde von physikalischen Bauelementen, die mit zunächst imaginären elektrischen Verbindungen (Airwires, Ribup-Bands) verbunden sind (Abb. 3.2-3). Die funktionsgerechte Anordnung der Komponenten im Raum und die technologiegerechte Realisierung der physikalischen Verbindungen über die Konstruktion des Verbindungsträgers (Substrates) und der AVT sind die wesentlichen Elemente bzw. Entwurfsziele im physikalischen Entwurf der 2D Systeme.

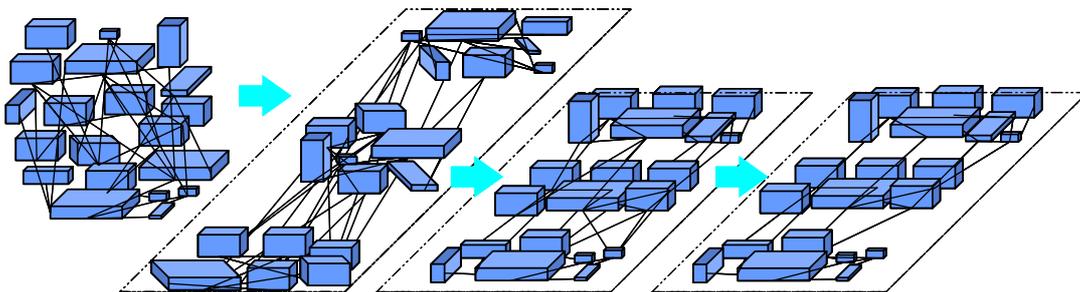


Abb. 3.2-3 Symbolische Darstellung der globalen Partitionierung, Platzierung, Verdrahtung im 2D Entwurf.

3.2.2. Entwurfsablauf und EDA-Werkzeuge

Unterteilung

Aus methodischer Sicht kann der physikalische Entwurf in drei Arbeitsschritte [46],[47],[48] unterteilt werden:

- Partitionierung,
- Platzierung,
- Verdrahtung.

Für den häufig auftretenden Fall, dass im Design bereits bestehende Chips benutzt werden bzw. eine Partitionierung auf einzelne Chips bereits in früheren Entwurfsstadien stattgefunden hat, erfolgt im Partitionierungsschritt eine Aufteilung der Komponenten in räumliche Gruppen. Bereits auf der Schaltplanebene erfolgen dazu einige Definitionen, die BE nach Funktionsgesichtspunkten zu Blöcken und Gruppen (analog, digital, HF etc.) zusammenfassen.

Bei der Platzierung werden die Komponenten positioniert. Bei diesem Vorgang, der auch als „Floorplaning“ aus dem IC-Entwurf bekannt ist, werden mehrere Aspekte – allen voran die Minimierung der belegten Fläche, die Verkürzung der Verbindungen, die Testbarkeit etc. – als Optimierungsziele gesetzt. Eine oft bei der Platzierung zu berücksichtigende Randbedingung ist die thermische Entwicklung in der Schaltung: es wird eine homogene Verteilung der leistungsbehafteten BE mit einer hohen Temperaturentwicklung angestrebt.

Bei komplexen MCM Schaltungen kann die Verdrahtung (Routing) in eine globale (grobe) und detaillierte Fein-Verdrahtung (fine routing) unterteilt werden [46] [48]. Analog zum Chip-Entwurf wird während der Globalverdrahtung die Zuordnung der Verbindungen zu den einzelnen Verdrahtungskanälen vorgenommen. Im zweiten Schritt erfolgt die detaillierte Verlegung der Leiterbahnen innerhalb der Kanäle [46] [48]. Die detaillierte Verdrahtung ist erst

dann möglich, wenn eine bestimmte Integrationstechnologie festgelegt ist und die daraus resultierenden Entwurfsregeln (design rules) für die Gestaltung der Leiterbahnen bzw. Schaltungsträger formuliert sind.

Technologie-Auswahl

Es ist eine gängige Praxis beim Entwurf der 2D Systeme wie MCM oder konventionellen Flachbaugruppen (PCB), die Technologie gleich zu Beginn des physikalischen Designs festzulegen (technologieorientierter Entwurfsablauf, Abb. 3.2-2a). Dieses Vorgehen hat den Vorteil, dass die technologischen Aspekte bereits in frühen Entwurfsschritten (z.B. thermische Eigenschaften des Substrates während der Platzierung) berücksichtigt werden können. Es ist aber auch möglich, zunächst technologieunabhängig die globalen Arbeitsschritte Partitionierung, Platzierung und Verdrahtung durchzuführen (Abb. 3.2-2b). Bei dieser systemorientierten Vorgehensweise kann die Technologie in Abhängigkeit von der Komplexität der Schaltung (z.B. Verdrahtungsbedarf) flexibel ausgewählt werden [56][57]. Die spätestens vor der Feinverdrahtung zwingend notwendige Entscheidung hinsichtlich der Integrationstechnologie (Abb. 3.2-2) unterteilt sich in die *Festlegung der AVT* (bspw. Montage- und Verbindungstechnik für die IC: FC, C&W, TAB) und die *Auswahl der Substratechnologie* (MCM-C,-L,-D) [47][55].

Für die Realisierung der 2D Systeme stehen einem Designer hinreichende technologische Informationen in Form von technologischen Parametern zu Verfügung. Diese beschreiben in komprimierter Form sowohl geometrisch als auch teilweise elektrisch die jeweilige Technologie (Tab. 2.3-3, Tab. 2.3-4), so dass dem Designer eine objektive Vergleichsmöglichkeit zur Verfügung steht und er eine Entscheidung treffen kann, ohne sich jedoch mit einer detaillierten Analyse der Fertigungsprozesse auseinanderzusetzen. So verfügt der Designer neben den für die jeweilige Technologie charakteristischen geometrischen Daten (Abstandsregeln und typische Leiterbahnbreiten, mögliche Durchkontaktierungen etc.) beispielsweise auch über Angaben zur Dielektrizitätszahl des Substratmaterials, mit der man auf die Signalausbreitungsgeschwindigkeit zurückschließen kann.

Für die 2D Integration ist mit diesen Daten eine parametrisierte Schnittstelle gegeben, über die die Wechselwirkung zwischen dem Design und Technologie läuft.

Automatisierungs-Tools

Der physikalische Entwurf elektronischer Schaltungen erfolgt heute ausnahmslos mit der computerbasierten Entwurfsunterstützung. Das Spektrum der verfügbaren EDA-Programme reicht von den mächtigen Software-Paketen für große Designteams (Allegro/Cadence, Expedition PCB/Mentor Graphics, CR5000/Zuken) bis hin zu Programmen für weniger anspruchsvolle Entwurfsaufgaben (z.B. Eagle/Cadsoft). Es handelt sich bei den EDA-Werkzeugen für verschiedene Elektronikbereiche um eine Softwarebranche mit einem globalen Markt. Die Erträge der Marktführer bewegten sich 2005 im höheren Millionen Dollarbereich (Mentor Graphics ca. 750 Mio\$, Cadence 1 329 Mio\$, Zuken 16,8Mio\$= 145,5Mio\$) [64],[65].

Die Arbeitsschritte Partitionierung, Platzierung, Verdrahtung in einer Schaltung mit einer hohen Anzahl von Komponenten stellen im Prinzip mathematische, sich als NP-vollständige erweisende [48] Optimierungsprobleme dar, die durch die Vielfalt der Randbedingungen und die Gesamtkomplexität nur mit EDV Unterstützung effektiv gelöst oder viel mehr einer Lösung angenähert werden können.

Der Automatisierungsgrad der Werkzeugunterstützung für das physikalische Design der MCM variiert für die verschiedenen Entwurfsschritte.

Für die Platzierung der BE kann eine automatische Platzierungsfunktion – ein sog. Autoplacer – aktiviert werden. Die für PCB und MCM-Entwurf verfügbaren Autoplacer bzw. ihre Algorithmen berücksichtigen in der Regel nur wenige Randbedingungen wie die Überlappungsfreiheit und die Netzlängenminimierung und erfordern fast immer manuelle Korrekturen. Dabei wird dem Designer nur ein einziger Platzierungsvorschlag als Ergebnis vorgelegt.

Viel mächtiger sind dagegen die sog. Autorouter, die die automatische Verdrahtung übernehmen. Ihre Entwicklung wurde vor allem durch die steigende Komplexität im IC-Entwurf vorangetrieben. Die dafür entwickelten Algorithmen lassen sich auch sehr effektiv für MCM- und PCB-Verdrahtungsaufgaben anwenden. Die nach der Technologieauswahl festgelegten Entwurfsregeln beziehen sich auf die anvisierte Substratechnologie und legen die Routingparameter fest: Sie beschreiben die zulässigen Abstände zwischen den Leiterbahnen (Line space), die Leiterbahnbreiten (Line width), die Anzahl der verwendbaren Verdrahtungslagen und den Typ der gewünschten Durchkontaktierungen (Via). Neben diesen Informationen kann ein hochwertiger Autorouter weitere Randbedingungen berücksichtigen. Für digitale Hochgeschwindigkeits-Systeme sowie für Schaltungen mit Hochfrequenzkomponenten erfolgt die Festlegung der Vorgaben (sog. Constraints) für bestimmte Netze und Leitungen (differenziell geführte Leitungen, impedanzangepasste Leitungsführung, Leitungen gleicher Länge, die eine zeitgleiche Signalankunft an mehreren BE z.B. für die Taktgebung gewährleisten, überkoppungssensitive Leitungen etc.). Die festgelegten Regeln (Design Rules und Constrains) gelten im finalen Verdrahtungsschritt als Restriktionen bei der Verlegung der Leitungsstrukturen. Auch der Autorouter liefert dabei nur einen einzigen Vorschlag. Dieser kann entweder akzeptiert oder verworfen werden.

Der gesamte Prozess ist nur theoretisch klar unterteilbar. Vielmehr handelt es sich um eine iterative Vorgehensweise, bei der die beschriebenen Vorgänge mit erneuten Parametern wiederholt werden: Nach einer misslungenen Verdrahtung nimmt man z.B. Änderungen an der Platzierung vor etc. Dieses wird von Simulationen, z.B. thermischer Natur für eine Platzierung mit einer homogenen Temperaturverteilung, begleitet (Abb. 3.2-2). Dabei wird nach einem Optimum für die Zielsetzung der jeweiligen Anwendung gesucht. Man nimmt z.B. eine Erweiterung der Gesamtabmessungen des Schaltungsträgers in Kauf und reduziert die Anzahl der Verdrahtungslagen, um in der Substratfertigung eine Kostenminimierung zu erreichen, etc.

Charakteristisch für ausnahmslos alle Software-Tools ist eine iterative Vorgehensweise, bei der zu jedem Zeitpunkt immer nur ein Entwurfsvorschlag behandelt wird. Dabei gehört das Elektronikdesign zu den Optimierungsproblemen, bei denen mehrere zufriedenstellende Lösungen möglich sind. In der heutigen Bearbeitung ist es nicht möglich, diese simultan zu betrachten und miteinander zu vergleichen (vgl. *Mehrkriterielle Optimierung* in 3.3.4).

Die Einzelheiten der Umsetzung der skizzierten automatischen Werkzeuge werden von den EDA-Herstellern in der Regel nicht preisgegeben. Die mathematisch-algorithmischen Grundlagen dafür sind Teil einer als kombinatorische Optimierung bezeichneten mathematischen Disziplin. Ihre Anwendung im EDA ist Gegenstand mehrerer Fachpublikationen und Bücher, die für eine vertiefte Auseinandersetzung mit dem Thema herangezogen werden können: [19], [58], [59], [60], [61].

3.2.3. Fertigungsdaten

Zu den Daten, die für die Fertigung einer elektronischen Baugruppe oder MCM nach der Layouterstellung ausgegeben werden, gehören die Aufbaudaten für die Produktion des Schaltungsträgers (sog. Gerber-Daten, s.u.), Bestückungslisten (BOM - Bill Of Material) und Bestückungspläne für die manuelle oder maschinelle Montage der BE. Oft werden diese

Daten durch technische Zeichnungen (Gehäusekonstruktion, Verkapselung), Prozessspezifikationen (Reflow-Lötprofile, Bondparameter etc.) und Vorrichtungsspezifikationen (z.B. Schablonen für Lotpastendruck) ergänzt.

Die in den jeweiligen EDA-Programmen erzeugten Substrat-Layouts liegen in den programmspezifischen Formaten vor. Für die Fertigung der laminierten Substrate hat sich das sog. *Gerber-Format* als Übergabeformat etabliert. Die darin enthaltenen Informationen steuern die Erstellung der Filme für die photolithographischen Prozesse zur Erzeugung leitender und isolierender Substratstrukturen. Für Dünnschichtsubstrate, die auf IC-Fertigungsprozesse zurückgreifen, wird das sog. *GDSII* Format, mit dem Wafer-Belichtungsmasken erstellt werden, eingesetzt.

Für weitere aufgeführte Produktionsdaten existieren keine verbindlichen Richtlinien. Als BOM werden oft einfache Textdateien übergeben. Bei den EDA-Programmen höherer Preisklassen, die in der Großindustrie mit der eigenen Entwicklung und Fertigung verwendet werden, wird mittlerweile obligatorisch eine Einbindung der firmeninternen Datenbanken, Lagerverwaltungsprogramme sowie Beschaffungs- und Produktionsplanungswerkzeuge angeboten.

3.3. Methodik für den optimierten physikalischen Entwurf von 2,5D SiP

Nach einer kurzen Skizzierung des aktuellen Standes der Forschung und Technik werden nachfolgend Strukturen für den manuellen und den automatisierten physikalischen Entwurfsprozess von 2,5D SiP dargestellt. Während sich der sequentielle Ablauf der heute praktizierten manuellen Entwurfsbearbeitung am traditionellen 2D Entwurf orientiert, wird für die Automatisierung der Platzierung und Technologieauswahl eine methodisch neue Vorgehensweise, die mehrere Entwurfsalternativen simultan einbezieht, entwickelt.

3.3.1. Stand der Entwicklung in 2,5D Entwurf

Forschung im 2,5D SiP Entwurf

Bereits in den 90er Jahren gab es erste Forschungsarbeiten zu Modellierung und Entwurf dreidimensionaler integrierter Schaltkreise (3D IC) [83]. Der auch auf SiP übertragbare Begriff der „2,5D Integration“ ist auf die Arbeiten von *Deng* und *Maly* [6][7][8][9] zurückzuführen, die diesen Begriff auf die Beschreibung eines zweilagigen IC angewendet haben. Da die technologische Entwicklung im Bereich der 3D IC Integration trotz vielversprechender Fortschritte noch nicht die breite Anwendungsreife erlangt hat, blieben viele – teilweise weit fortgeschrittene – Ansätze zur Entwurfsautomatisierung auf der universitären Forschungsebene. Einen detaillierten Überblick einschlägiger Aktivitäten erarbeitete *Kaya* in [19].

Obwohl thematisch verwandt, existiert ein großer Unterschied zwischen den technologischen Eigenschaften (Halbleiter-Gatter und -Zellen vs. AVT der diskreten Komponenten) und den entwurfsmethodischen Voraussetzungen (hohe Anzahl homogener Objekte vs. heterogene Bauelemente) des 3D IC und 2,5D SiP, so dass eine Übertragung nicht möglich ist.

Die Forschungslandschaft im Bereich des räumlichen SiP Entwurfs ist dagegen sehr überschaubar.

In vereinzelt Publikationen [67],[68] aus dem Umkreis der Firma „3D Plus“, die sich auf die vertikale Integration vergossener Module mit Seitenwandmetallisierung spezialisiert, wurde über einen Versuch berichtet, das algorithmisch-mathematische Know-How auf die 2,5D Platzierung von Bauelementen auf mehreren Ebenen anzuwenden. Der auf genetischen

Algorithmen basierende Automatisierungsansatz wurde jedoch nicht weiterverfolgt, sodass nach 1997 keine weiteren Arbeiten dieser Autorengruppe zu finden sind.

In den letzten Jahren hat sich in diesem Bereich besonders die Forschungsgruppe GTCAD Lab (Georgia Tech Computer Aided Design Laboratory) vom Georgia Institute of Technology, Atlanta, USA hervorgetan. In einer Reihe von Publikationen präsentierten die Forscher unter Führung von Prof. Sung Kyu Lim Algorithmen zur Automatisierung der Platzierung [71] [72] [73] und teilweise der Verdrahtung [74] [75] von Komponenten auf mehreren Ebenen für die ebenfalls an der Georgia Tech entwickelte SoP-Technologie (System-On-Package, S.16 [35] [34], Abb. 2.2-13). Die Forschungsergebnisse beschränken sich allerdings auf diesen Integrationsansatz, bei dem die Integration ultraflacher eingebetteter Komponenten im Substrat im Vordergrund steht. Für die Anwendung auf einen 2,5D heterogenen SiP Aufbau aus mehreren Modulen mit diskreten Bauelementen fehlen die dynamische Modellierung der AVT und die räumliche Beschreibung der Komponenten.

Thematisch deutlich näher am 2,5D SiP Ansatz bewegt sich die Arbeit von *Niedermayer* [69]. Im Rahmen seiner Dissertation widmete er sich u.a. dem physikalischen Entwurf autarker Sensorknoten, die aufgrund der stark heterogenen Architektur bevorzugt mit 2,5 SiP Technologien realisiert werden. Der Fokus dieser Arbeit liegt im sog. ganzheitlichen Entwurfsansatz, der beginnend bei einer abstrakten Systemkonzeption auch den physikalischen Entwurf als eine der Implementierungskomponenten mit einbezieht. Die entwickelten Modelle gehen jedoch von einer stark vereinfachten AVT-Beschreibung aus, um das technologiebedingte Miniaturisierungspotenzial unter Berücksichtigung funktionaler Systemaspekte zu ermitteln. Diese Ansätze sind für eine dynamische AVT-Modellierung unzureichend, da nur wenige Technologieparameter wie die Verdrahtungsdichte zur Auswahl von Fertigungsprozessen berücksichtigt wurden.

Die seit 2006 bestehende Kooperation zwischen dem Fraunhofer IZM, dem Fraunhofer ITWM und der TU Berlin, in deren Rahmen auch die vorliegende Dissertation entstand, umfasst thematisch mehrere Projekte im Bereich 2,5D SiP Entwurf. Bereits im Jahr 2006 wurden von *Berger* [70] erste geeignete algorithmische Ansätze und von *Richter* [42] erste Modellierungsbausteine für die Platzierungsautomatisierung von Komponenten im heterogenen 2,5D SiP gezeigt. Diese Ergebnisse werden in der vorliegenden Arbeit aufgegriffen und weiterentwickelt.

Werkzeugunterstützung für 2,5D Entwurf

Während die On-Board- und die On-Chip-Integration in hohem Maße auf Industriestandards hinsichtlich Entwurf, Technologie und Produktion aufsetzen und demgemäß auch eine breite Palette an Software-Werkzeugen für den kompletten Entwicklungsprozess verfügbar ist, steht ein SiP-Entwickler als Anwender einer jungen, sich entwickelnden Technologie vor einer anderen Situation: der Entwicklungsprozess ist wenig standardisiert, die Software-Unterstützung ist rudimentär.

Zwei grundsätzliche Anforderungen an die Entwurfswerkzeuge leiten sich aus der Natur des aus mehreren Ebenen bzw. Modulen bestehenden 2,5D SiP ab: die räumliche Betrachtung des Entwurfes und das gleichzeitige Arbeiten auf verschiedenen vertikalen Ebenen. Nur sehr mühsam lassen sich marktübliche, für 2D Anwendungen konzipierte EDA Programme für 2,5D Entwurf einsetzen, bei dem man z.B. einzelne Module mit Hilfe dieser Programme entwirft. Bei der Realisierung mit einem faltbaren flexiblen Substrat (Falt-2,5D SiP) zum Beispiel muss der Designer, während er in der 2D-Umgebung arbeitet, sich die nach dem Falten ergebende 3D Situation vorstellen und mögliche Kollisionen vermeiden, ohne dass das Werkzeug ihm dabei Unterstützung bietet. Bei der Realisierung mit gestapelten starren Substratelementen (Stack 2,5D SiP) müssen die Elemente für die vertikale elektrische Verdrahtung (VIC

Vertical Interconnects, bspw. solder balls) im 2D-Layout gleichzeitig in zwei durch sie verbundenen Modulen berücksichtigt werden. Manuell muss sichergestellt werden, dass die VICs auf beiden verbundenen Ebenen an derselben Stelle sitzen und die Positionsänderung auf einem Modul einer Verschiebung auf dem anderen entspricht – ein mühsamer und fehlerträchtiger Arbeitsschritt.

Die EDA Industrie hat den Bedarf an neuen Werkzeugen für SiP Entwurf erkannt [52] [53]. Für homogene 2,5D SiP, in denen ausschließlich einzelne Bare Dice meistens mittels Drahtbonds vertikal integriert werden (Die-Stack oder Chip-Stapel, vgl. Abb. 2.2-5 in Kap. 2.2.2), sind erste Tools verfügbar (z.B. *Cadence APD* [80], *Cadence Digital & RF SiP Design Stream* [81], Abb. 3.3-1), wobei die Unterstützung für eine automatische Anordnung (Autoplacer) aufgrund der einfachen Struktur dieser SiP keine Rolle spielt. Die Editierung und Verwaltung des Entwurfes geschieht zweidimensional, eine Visualisierung des Entwurfsergebnisses für die Kollisionsprüfung erfolgt i.d.R. „postlayout“ ohne Interaktion für die Platzierung [82].

In der Entwicklung der CAD Werkzeuge in den letzten Jahren ist deutlich ein Trend zur Verknüpfung der bis dato separat existierenden Elektronik CAD und Mechanik CAD zu beobachten [66]. Als eine einzigartige Kombination elektrischer und mechanischer CAD-Werkzeuge erlaubt das Tool *NEXTRA* (Fa. Mecadtron, Nürnberg) dem Designer eine dreidimensionale Betrachtung der Schaltung und der mechanischen Umgebung [66]. Es verfügt jedoch über keinerlei Platzierungs-Automatisierung und zielt im Wesentlichen nicht auf die SiP-Technologie, sondern auf herkömmliche starre/flexible PCBs ab (Abb. 3.3-1).

Von der erst kürzlich gegründeten Firma Polyteda wird ein SiP-Tool namens *Skyscraper* entwickelt, mit dem die physikalischen Eigenschaften einer Kombination mehrerer Mikrochips in einem Gehäuse bereits im Entwurf simuliert werden können (multi-physics simulation) [79].

Die Evolution der EDA Werkzeuge eilt naturgemäß der Technologieentwicklung nach. Wie im Bereich der SiP-Inegrationstechnologie ist auch bei Forschung und Entwicklung der dafür

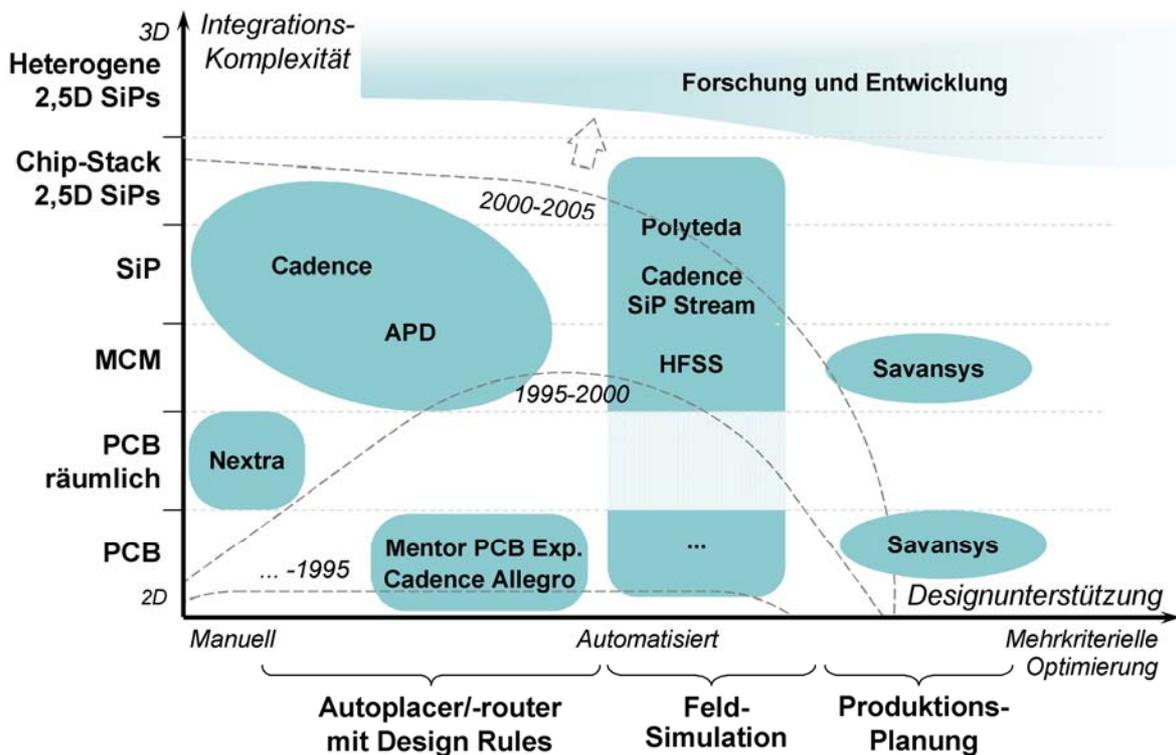


Abb. 3.3-1 Toollandschaft, ausgewählte Beispiele der relevanten ECAD Systeme mit ihren Kerneigenschaften und approximative zeitliche Entwicklung

geeigneten Tools ein Trend zu komplexeren heterogenen SiP-Anwendungen zu beobachten (Abb. 3.3-1).

Derzeit wird jedoch kein Tool kommerziell angeboten, der die modulintegrierte 2,5D SiP adäquat durch automatische Platzierung und interaktive Technologieauswahl unterstützt. Auch bei den neueren Erscheinungen auf den Markt ist keine Möglichkeit vorhanden, mehrere Entwurfsalternativen gegeneinander abzuwägen.

3.3.2. Struktur des physikalischen Entwurfsprozesses für 2,5D SiP

Der physikalische Entwurf für 2,5D SiP kann in Analogie zum 2D MCM Design in folgende Phasen unterteilt werden (Abb. 3.3-2):

- Globaler Entwurf,
- Auswahl und Festlegung der vertikalen Integrationstechnologie,
- Detailentwurf, der nach der Formulierung der Designregeln, die aus der ausgewählten Technologie und aus der Schaltungsfunktionalität resultieren, erfolgt.

Sowohl der globale als auch der Detailentwurf beinhalten die Arbeitsschritte Partitionierung, Platzierung, Verdrahtung. In ihrer Durchführung unterscheiden sich die Abläufe für den manuellen und automatisierten Entwurf.

3.3.3. Manueller Entwurf

Bei der manuellen Bearbeitung kann der globale Entwurf ohne Bindung an eine Integrations-technologie erfolgen (vgl. systemdesignorientierter Entwurfsablauf im 2D Entwurf, Abb. 3.2-2b).

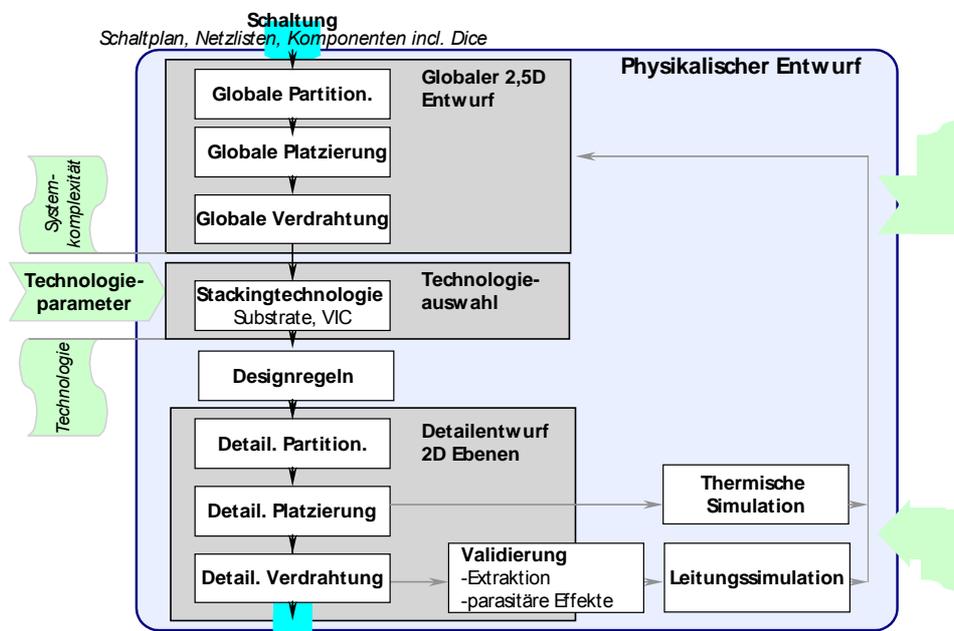


Abb. 3.3-2 Strukturierung des physikalischen Entwurfs von 2,5D für manuelle Bearbeitung

Die manuelle Design-Bearbeitung ist in ihrer sequentiellen Struktur stark an den 2D Entwurf angelehnt. Während der globalen Partitionierung ordnet der Designer manuell die BE den Ebenen bzw. Modulen zu. Im globalen Platzierungsschritt wird die Anordnung der Ebenen übereinander festgelegt, und während der globalen Verdrahtung erfolgen die Netz-/ Knotenoptimierung sowie die Festlegung der Verdrahtungskanäle (Abb. 3.3-3).

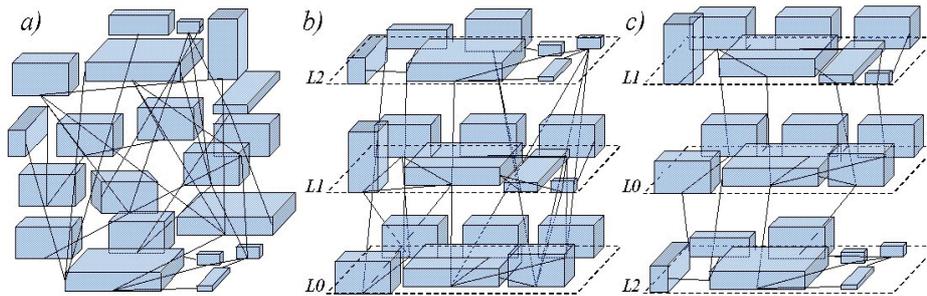


Abb. 3.3-3 Globaler Entwurf bei der manuellen Bearbeitung - Komponenten und Netze: a) Ausgangszustand, b) nach Partitionierung, c) nach Platzierung und Verdrahtung

Die Überführung der entstandenen Anordnung in ein integriertes System im Detailentwurfsschritt bedarf zunächst einer Auseinandersetzung mit den Technologieparametern. Diese beziehen sich auf die verwendete Substrattechnologie und insbesondere auf die Technik der vertikalen Verbindung zwischen den Funktionsschichten (VIC - Vertical Interconnect). Im Gegensatz zu den standardisierten und nach Substratarten zusammengefassten 2D MCM Anwendungen (s. Abschnitt 2.3.2, Tab. 2.3-3) existieren derzeit keine Standards und keine klar definierten Integrationsparameter im Bereich der 2,5D-Integration. In [56] wurde der Versuch unternommen, in Analogie zum 2D Entwurf einen Parametersatz für die wichtigsten 2,5D SiP-Technologien zu entwickeln, um einen objektiven Vergleich zu ermöglichen (s. Kap. 2.2.2, Tab. 2.2-1, vgl. Abb. 2.2-5 bis Abb. 2.2-8).

Nach der Technologie-Auswahl und der Formulierung der Design Rules erfolgen die Detailentwurfsschritte, bei denen die Feinjustage der BE-Positionen und die Feinverdrahtung in den einzelnen Modulen vorgenommen werden. Abgesehen von der Tatsache, dass die Positionsänderungen von BE und insbesondere von VIC gleichzeitig in mehreren Modulen berücksichtigt werden müssen, entspricht der Detailentwurf dem physikalischen Entwurf der 2D Systeme (s. Kap. 3.2.2).

Bei der hier beschriebenen heutigen manuellen Entwurfspraxis sind nicht nur die langen Designzeiten auf der Skala von Wochen nachteilig. Auch wenn mit den Richtlinien aus der Tab. 2.2-1 eine Gegenüberstellung wesentlicher Parameter möglich ist, ist eine Vorausschau auf die Entwurfsergebnisse nur in sehr eingeschränktem Maße möglich. Die Gesamtabmessungen des 2,5D SiP, Informationen zur Verdrahtungslänge, die Dimensionen der VIC und viele weitere technische Systemdaten können erst nach Abschluss des Detailentwurfs bzw. nach der Fertigstellung des Designs erfolgen. Um einen wirklich objektiven Vergleich zwischen bspw. gestackter und gefalteter SiP vorzunehmen, muss im manuellen Entwurf der gesamte Arbeitsablauf abgeschlossen werden.

3.3.4. Automatisierter Entwurf

Eine technologiefreie Betrachtung des globalen Entwurfsschrittes ist für den manuellen Entwurfsvorgang durchaus zulässig. Auf diese Weise wird eine Vereinfachung einer komplexen Optimierungsaufgabe erreicht: Durch sequentielle Annäherung ist ein Designer im Stande, Teilprobleme (zunächst Platzierung und dann VIC Auswahl) zu überschauen und mit brauchbaren Ergebnissen zu lösen. Der geometrische 2,5 D SiP Raum ist jedoch maßgeblich durch die Elemente der vertikalen AVT beeinflusst: Vertikale Interconnects bewegen sich in ihrer Zahl und Abmessungen in der gleichen Größenordnung wie BE. Eine automatische Platzierung mit guten Ergebnissen ist allein aus diesem Grund ohne Berücksichtigung der Technologie nicht möglich [84]. Insbesondere im Falle der mehrkriteriellen Optimierung, die sich für die Lösung dieses Problems anbietet, ist es sinnvoll und erforderlich, dem Designer mehrere Vorschläge zu verschiedenen AVT als eine adäquate Lösungsmenge zur Verfügung zu stellen.

Mehrkriterielle Optimierung im SiP-Entwurf

Beim physikalischen Entwurf eines elektronischen Systems führt die Erarbeitung nur eines Designs selten sofort zum Ziel, in der Regel muss in Iterationsschleifen des Entwurfsprozesses das Design verändert und verbessert werden. Dem Stand der Technik entsprechende E-CAD Werkzeuge und ihre automatischen Funktionen (Platzierung – Autoplacer, Verdrahtung – Autorouter) sind auf die zeitgleiche Bearbeitung und Berechnung eines einzelnen Entwurfes ausgelegt. Das Entwicklungs-Team kann einen automatisch erzeugten Vorschlag nur akzeptieren oder verwerfen, nicht aber direkt mit (vielen) anderen möglichen Entwürfen vergleichen. Elektronikdesign gehört zu den Optimierungsproblemen, bei denen mehrere zufriedenstellende Lösungen möglich sind. In der heutigen Bearbeitung ist es nicht möglich, sie simultan zu betrachten und miteinander zu vergleichen.

Die heutige Entwurfspraxis in nahezu allen Elektronikbereichen entspricht dieser einkriteriellen iterativen Vorgehensweise: automatische Platzierung oder Verdrahtung mit Autoplacer und Autorouter – Auswertung der Ergebnisse – Anpassung der Parameter – erneuter Einsatz von Autoplacer oder Autorouter – erneute Auswertung der Ergebnisse etc.

Programmintern wird dabei ein Optimierungsproblem gelöst, in welchem eine etliche Kriterien einbeziehende skalare Ersatzzielfunktion maximiert wird. Die Entwurfsziele bzw. Kriterien sind dabei vielfältig. Die Präferenzen eines Designers lassen sich daher nie vollständig in einer einzigen Zielfunktion numerisch abbilden. In den meisten Fällen wird der Designer deshalb mit dem vom Autoplacer vorgeschlagenen Layout unzufrieden sein. Bei solchen mehrkriteriellen Sachverhalten gibt es nicht „das Optimum“, sondern eine Alternativenmenge nicht weiter verbesserbarer Designvorschläge als Optimallösung („Pareto-Menge“) [85] [86].

Die Ansätze der *mehrkriteriellen Optimierung* [85] [86] bauen darauf, dass mehrere relevante Teilziele abbildende Zielfunktionen gegeneinander abgewogen werden können. In dem sog. mehrkriteriellen Entwurfsansatz werden mehrere Entwurfskriterien nicht fest vorgegeben, sondern in einem Intervall für mehrere Lösungen gleichzeitig betrachtet und variiert. Wie das abstrakte Beispiel in der Abb. 3.3-4 verdeutlicht, können einzelne Lösungen einer Lösungsmenge hinsichtlich verschiedener Kriterien unterschiedlich gut ausfallen und Werte in den Intervallen $[x_1...x_2]$, $[y_1...y_2]$, $[z_1...z_3]$ annehmen: Lösung *a* bspw. schneidet am besten in Bezug auf Kriterium *y* und am schlechtesten in Bezug auf *x* ab etc. Berechnet man statt nur eines Platzierungsvorschlages gleich mehrere unterschiedliche Platzierungen bzw. Lösungen eines 2,5D Layout-Problems, können sie sich auch in Bezug auf verschiedene technische Vorgaben unterscheiden und auch als eine Lösungsmenge in einem Kriteriumraum dargestellt werden. In Anwendung auf das 2,5D SiP Design bedeutet das, dass mehrere Platzierungsvorschläge für verschiedene Integrationstechnologien (gestapelt und gefaltet) in der Menge, die dem Problem adäquat ist – in der Größenordnung zehn bis hundert oder mehr – berechnet, als eine Punktemenge dargestellt und analysiert werden können. Die berechneten 2,5D SiP Platzierungsvarianten können sich in mehreren entwurfsrelevanten Kriterien unterscheiden: laterale und vertikale Abmessungen, charakteristische mittlere Verdrahtungslänge, Anzahl der übereinander integrierten Module etc. In einer *xy*-Darstellung nach Art der Abb. 3.3-4 würde jeder

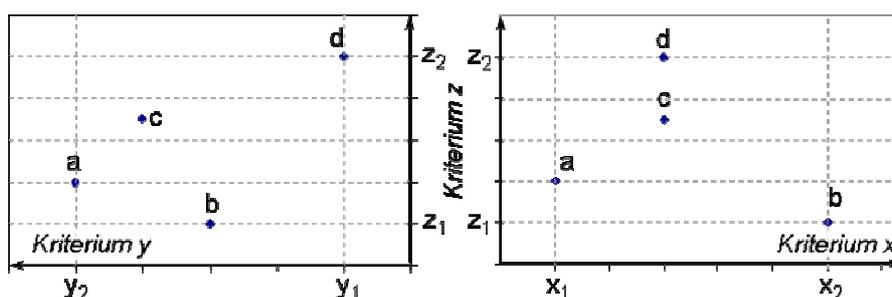


Abb. 3.3-4 Vergleich mehrerer Kriterien einer Lösungsmenge

Diagrammpunkt einer Platzierungsvariante entsprechen. Durch die Projektion der Entwurfskriterien wie z.B. „Flächenbedarf“ und „Verdrahtungslänge“ auf die x - und y -Achse können mehrere Entwürfe sowohl von gefalteten und als auch von gestackten 2,5D SiP hinsichtlich dieser Kriterien zeitgleich miteinander verglichen werden (Abb. 6.3-8). Auf diese Weise wird in einem einzigen Schritt eine Bewertung von mehreren Entwurfsalternativen nach mehreren Kriterien – *mehrkriteriell* – möglich. Existiert ein Rechenprogramm zur Berechnung der Platzierungen in ausreichender Menge, ist es möglich, ihre charakteristischen Daten im Speicher eines Computers in Form einer Datenbank abzulegen und sie auch hinsichtlich vieler anderer Kriterien (Volumen, Kosten, Zuverlässigkeitsfaktoren etc.) mit einem graphischen Darstellungsprogramm miteinander zu vergleichen, zielgerichtet einzuschränken und einzelne Lösungen aus der Menge zur Weiterverarbeitung auszuwählen.

Globaler Entwurf mit mehreren Integrationsalternativen

In der Projektion auf die Struktur des manuellen Entwurfes bedeutet die skizzierte Vorgehensweise nicht nur eine Ersetzung der manuellen Platzierung eines Entwurfes durch eine automatisch durchgeführte Aktion. Auch wenn die grundsätzliche Unterteilung des physikalischen Entwurfes in globalen Entwurf und Detailentwurf erhalten bleibt, erfordert der mehrkriterielle Entwurfsansatz eine andere Strukturierung: ein globaler Entwurfsschritt wird für mehrere technologische Varianten durchgeführt und liefert dem Designer mehrere Lösungen für Integrationsalternativen, die objektiv bewertet und selektiert werden können (Vgl. Abb. 3.3-5). Eine Feinjustage der Positionen, die exakte Verdrahtung etc. erfolgen in einem nachgelagerten Detailentwurfsschritt. Der Technologievergleich im Rahmen des globalen Entwurfes ist eine weitere Besonderheit, die den dargestellten Ansatz von dem heute üblichen Vorgehen im Design abhebt. Eine gleichzeitige Darstellung mehrerer Integrationsalternativen bzw. verschiedener Realisierungs-Technologien (z.B gefaltet vs. gestackt) ist in den heutigen Entwurfswerkzeugen nicht möglich. Auch wenn der Auswahl der Technologie eine Parameterbasis zu Grunde gelegt werden kann (vgl. Tab. 2.2-1), kann der Einfluss der Technologie auf das Entwurfsergebnis erst nach dem Abschluss des Detailentwurfes festgestellt werden.

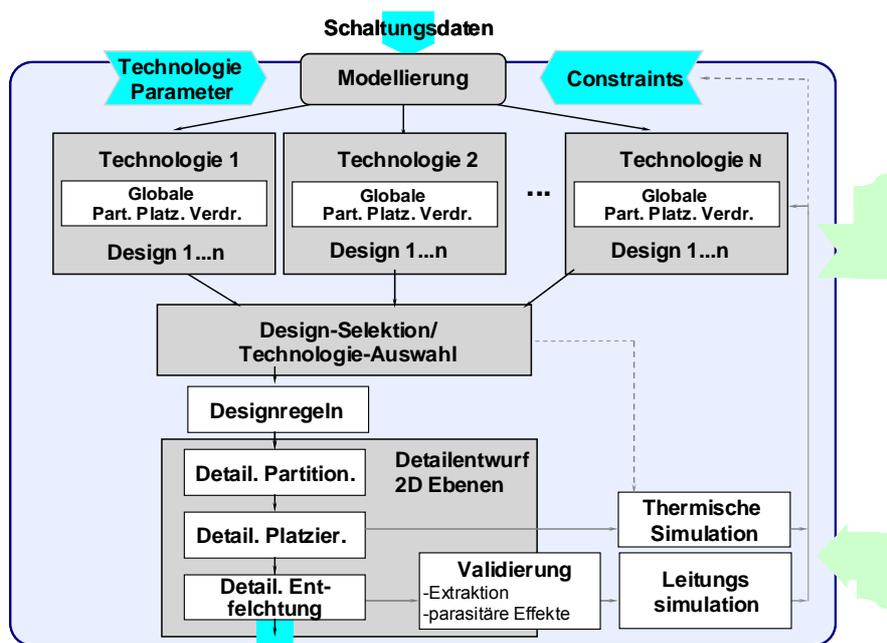


Abb. 3.3-5 Struktur des Physikalischen Designs im mehrkriteriellen Entwurfsansatz

3.3.5. Zusammenfassung: Neue Entwurfsmethode und Notwendigkeit der Modellierung

Die Neuartigkeit der hier dargestellten mehrkriteriellen Entwurfsmethode für den automatisierten globalen physikalischen Entwurf von 2,5D SiP ist gekennzeichnet durch drei wesentliche Merkmale, die sie von den bislang angewendeten Methoden unterscheiden:

1. Parallele Erzeugung und Betrachtung mehrerer Entwürfe gleichzeitig statt iterativer Bearbeitung nur eines Layoutvorschlags
2. Simultane ausgewogene Auswertung mehrerer zum Teil gegenläufiger Entwurfskriterien und gezielte Selektion der Lösung statt sequentieller Optimierung einzelner Kriterien
3. Auswahl der Integrationstechnologie aus einer objektiv vergleichbaren Menge von technologisch verschiedenen Lösungsgruppen statt einer Vorbestimmung der Integrationstechnologie für einen einzigen Entwurf.

Um bereits die erste Voraussetzung – die Erzeugung mehrerer Entwurfsvorschläge aus einem Schaltplan – in einer angemessenen Bearbeitungszeit von einigen Sekunden zu ermöglichen, bedarf es nicht nur der heute verfügbaren Rechentechnik und einer neuen Platzierungssoftware, die momentan entwickelt wird (s. dazu Kapitel 6.3.1 „SiP-Expert – mehrkriterielles Entwurfswerkzeug“), sondern auch einer hinreichend genauen Beschreibung der anzuordnenden Entwurfsobjekte. Während im manuellen Entwurf ein Vergleich einzelner Parameter verschiedener Technologien für die Technologieauswahl ausreichend ist (s. Tab. 2.2-1), erfordert eine effektive automatische Platzierung mehrerer Integrationsvarianten eine komplette geometrische Modellierung der SiP-Bestandteile. Um den globalen Entwurfsschritt durchzuführen, sind das geometrische Modell, das technologische Belange berücksichtigt, und auch ein Regelwerk – sog. Constraintsystem, das die Funktionalitätsaspekte impliziert, – als Randbedingung für die Lösung des Optimierungsproblems zwingend erforderlich (Abb. 3.3-5). In den nachfolgenden Kapiteln 4 und 5 erfolgt die Ausarbeitung des Geometriemodells und der Constraints für die Anwendung in einem mehrkriteriellen Entwurfswerkzeug.

4. Geometriemodell

Die Formulierung und Lösung des mathematischen Layout/Anordnungs-Problems ist bereits im zweidimensionalen (2D) Elektronikentwurf sowohl für PCB als auch für IC eine nicht triviale Aufgabe. In einem mehrdimensional integrierten System wie 2,5D SiP wird sie zu einem Packungsproblem mit sehr komplexen, aus der jeweiligen Integrationstechnologie resultierenden Rahmenbedingungen. In einem 2,5 D SiP ist der geometrische Designraum durchsetzt mit Komponenten der AVT (Bumps, Faltsegmente), die ihre geometrischen Abmessungen dynamisch ändern. Eine adäquate geometrische Modellierung dieser und anderer Komponenten ist eine Grundvoraussetzung für die Lösung einer Platzierungsaufgabe im globalen Entwurf.

Die Bedeutung der geometrischen Modellierung geht über die reine Platzierungsaufgabe hinaus. Eine räumliche geometrische Beschreibung, die mit relevanten Materialdaten (Dielektrizitätszahl, thermische Leitfähigkeit etc.) unterlegt ist, bildet den Ausgangspunkt für elektromagnetische Feld- und Thermosimulationen, die heute die Systementwicklung in nahezu allen Elektronikbereichen begleiten. Wird also eine belastbare Geometriebeschreibung und Model-

lierung für 2,5D SiP geliefert, wird infolgedessen auch eine Verknüpfung des SiP Entwurfs mit den zahlreichen Werkzeugen aus dem Bereich der Feldsimulationen ermöglicht.

4.1. Einführung in die Modellierung

4.1.1. Modellierungsprinzip

Das Ziel der Entwicklung des Geometrie-Modells besteht darin, einem mathematischen Werkzeug aus dem Bereich der kombinatorischen Optimierung eine ausreichend genaue räumliche Beschreibung aller Bestandteile eines 2,5D SiP mit ihren Wechselwirkungen zur Verfügung zu stellen.

Abstraktionsebene

Die geeignete Modellierung muss dabei einerseits möglichst nah an den realen Verhältnissen und Gegebenheiten bleiben. Andererseits ist die Lösung einer komplexen Platzierungsaufgabe im 2,5D Raum nur dann mit einem angemessenen Aufwand an Rechentechnik möglich, wenn in der Modellierung der zu bearbeitenden Komponenten Vereinfachungen gegenüber der Realität zugelassen werden. Als Veranschaulichung kann an dieser Stelle eine Lötverbindung dienen. Eine präzise Betrachtung des Lötmeniskus ist sicherlich aus entwurfstechnologischer Sicht interessant. In vielen Entwurfssfällen – z.B. für die Darstellung der Platzierungsergebnisse aus dem Globalen Entwurfsschritt (s. Kap. 3.3.2-3.3.4) und für deren objektive Bewertung – spielen nur die äußeren Abmessungen der Lötstelle eine Rolle.

Die Form der Lotausbildung kann dafür hinreichend genau durch einen Quader beschrieben werden (Abb. 4.1-1), ohne dass die wesentliche Information – die lateralen Abmessungen der Lötstelle – verloren geht. Bei der Weiterführung dieses Gedankens stellt man fest, dass das gesamte BE inklusive seiner Verbindungsstellen für eine Platzierungsaufgabe hinreichend genau als räumliche Rechtecke – Quader – approximiert werden kann. Das entwickelte Geometriemodell übernimmt also die Aufgabe, die zulässigen Näherungen ohne Beeinträchtigungen der wesentlichen Entwurfsaspekte vorzunehmen. Die im Folgenden gewählte Abstraktionstiefe bzw. -ebene, bei der die anzuordnenden Bestandteile als Quader mit verborgenen Verbindungselementen und Technologieeigenschaften erscheinen, gewährleistet die nötige Datenreduktion bei einem gleichbleibendem Informationsgehalt, der für eine erfolgreiche Entwurfserstellung und technologische Realisierung erforderlich ist.

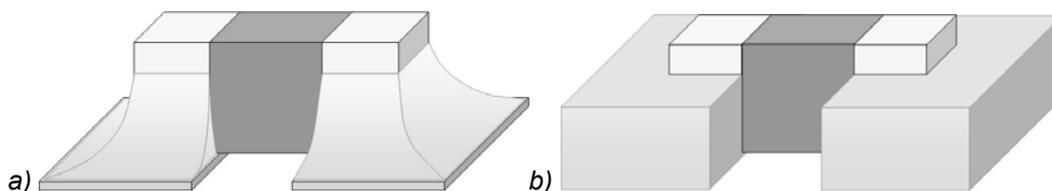


Abb. 4.1-1 Formapproximierung für die Modellierung am Beispiel einer Lötstelle eines passiven SMD-Bauelementes: a) typischer realer Verlauf; b) Darstellung durch einen Quader

Anforderungen der kombinatorischen Optimierung

Neben den Anforderungen an eine hinreichende Abstraktion ist im Vorfeld der Modellerstellung eine Analyse der Anforderungen wichtig, die die Mathematik an das Modell stellt. Nicht nur im Hinblick auf eine prinzipielle Lösbarkeit, sondern vor allem im Hinblick auf eine möglichst effiziente Bewältigung des 2,5D Platzierungsproblems, lassen sich drei wesentliche Punkte als Ergebnis einer Anforderungsanalyse ableiten.

1. Quaderförmige Approximation: Rechteckige Formen lassen sich sowohl softwaretechnisch leicht erfassen als auch algorithmisch gut behandeln. Die Packungsprobleme mit rechteckigen Formen treten in verschiedenen technischen Gebieten auf und wurden nicht nur für eine Anwendung, sondern auch aus Selbstzweck mathematisch bereits vielfach behandelt [76]. Obwohl ein SiP als ein elektrisches System eine zusätzliche Problematik durch die netzwerkartigen Leitungsverbindungen aufweist, liegt der Entschluss nah, die 2,5D SiP-Anordnung in ein 3D Packungsproblem mit rechteckigen Formen zu überführen und auf vorhandenen algorithmischen Ansätzen aufzubauen. Dies führt konsequenterweise zu einer Approximation der Modellbestandteile als Quader.
2. Überlappungsfreiheit: Bereits bei der Betrachtung der gängigen zweidimensionalen Floorplan-Probleme wurde nachgewiesen, dass die Komplexität bzw. Vielfalt der möglichen Lösungen sich durch die Zulassung der Überlappung mindestens exponentiell erhöht [77][78]. Die als „kombinatorische Explosion“ bekannte enorm steigende Anzahl der möglichen Lösungsvariationen ist bei einer 2,5D Platzierungsaufgabe ohnehin vorhanden (Tab. 3-1). Um die Weitersteigerung der Komplexität zu vermeiden, soll 2,5D SiP in überlappungsfreie bzw. geometrisch disjunkte quaderförmige Modellobjekte zerlegt werden.
3. Vermeidung der Kontextsensitivität: Aus Sicht der kombinatorischen Optimierung lassen sich die Probleme um ein Vielfaches einfacher behandeln, wenn die Objekte feste bzw. auf Dauer geltende Eigenschaften aufweisen und nicht „kontextsensitiv“ sind. Abstrakt beschrieben bedeutet Kontextsensitivität, dass die Eigenschaft x eines Objektes $alpha$ von einer Bedingung a oder von einer Kombination mehrerer Bedingungen a, b, \dots usw. abhängt. In Übertragung auf die Modellierung des SiP bedeutet das Vermeiden der Kontextsensitivität z.B., dass alle Objekte des Typs Bauelement stets eine Kontaktierung nach unten aufweisen und nicht in Abhängigkeit von der Designsituation einmal oben, einmal unten und einmal kombiniert kontaktiert werden können. Die vertikale Kontaktierung von oben nach unten zwischen den Modulen ist eine Eigenschaft, die einem anderen Objekt vorbehalten ist, bspw. einem VIC, der andere geometrischen Eigenschaften als BE (kein Grundkörper, dynamisch änderbare Dimensionen) aufweist. Das Bestreben, die ohnehin erhebliche Komplexität der 2,5D Layout-Aufgabe zu vereinfachen, erfordert eine Unterteilung des 2,5D SiP in Modell-Objekttypen mit festen Eigenschaften, die nicht „austauschbar sind“.

Generell lässt sich in der kombinatorischen Optimierung auch ein Modell mit erhöhter Komplexität behandeln. Um ein erstes tragfähiges algorithmisches Automatisierungskonzept für 2,5D SiP Entwurf aufzustellen, bedarf es jedoch eines pragmatischen und robusten Modellansatzes, der die potenziellen Problemfelder zunächst eingrenzt. Eine perspektivische Steigerung der Modellierungskomplexität, die bspw. Objekte hierarchisch ineinander verschachtelt etc., ist sicherlich im Hinblick auf die Algorithmik eine herausfordernde Aufgabe, die sich jedoch leichter lösen lässt, wenn ein verwandtes Problem kleinerer Komplexität bereits erfolgreich gelöst wurde.

Bestandteile

Bei allen 2,5D SiP können drei gemeinsame physikalische Merkmale festgestellt werden, die unter Berücksichtigung der zuvor diskutierten Anforderungen für die Modellierung herausgelöst werden können. Für die Modellierung wird das 2,5D SiP in drei physikalische (Grund-) Bestandteile zerlegt (Abb. 4.1-2a):

1. Bauelemente (BE)
2. Substrate
3. Vertikale Verbinder (VIC - Vertical Interconnects).

Unabhängig von der Realisierungstechnologie lässt sich der Aufbau eines SiP durch die räumliche Anordnung dieser Komponenten beschreiben (Abb. 4.1-2a und c). Diese Bestandteile bilden den Gegenstand der geometrischen Modellierung und sind separat geometrisch beschreibbar.

Um die sprachliche Beschreibung zu vereinfachen, werden die Bauelemente (BE) und das Substrat einer SiP-Ebene zu einer vertikalen Einheit zusammengefasst, die als *Modul* bezeichnet wird (Abb. 4.1-2a). Ferner existieren weitere fertigungstechnisch relevante Komponenten: *Verkapselung* (Encapsulation) und *Außenkontaktierung* (*Interface*), deren Entwurf zunächst der Platzierung der Grundbestandteile nachgelagert werden kann. Topologisch wird ein SiP durch einen Schaltplan bzw. seine semantische Abbildung in Form einer *Netzliste* (z.B. im EDIF Format) beschrieben. Ferner existieren sog. *Constraints*, die sowohl technologische als auch schaltungstechnische Randbedingungen für den Entwurf von SiPs komprimieren und Regeln für die Anordnung der physikalischen Bestandteile aufstellen.

Das geometrische Modell beschäftigt sich mit der Beschreibung der physikalischen Bestandteile – BE, Substrate, VIC. Das Ziel der Modellierung besteht darin, eine für diese Bestandteile vereinfachte dreidimensionale quaderförmige Darstellung zu liefern. Die vom Modell erzeugten dreidimensionalen Objekte werden in Kombination mit Netzlisten und Constraints von einem mathematischen Optimierungswerkzeug als Eingangsdaten für die Platzierung verarbeitet.

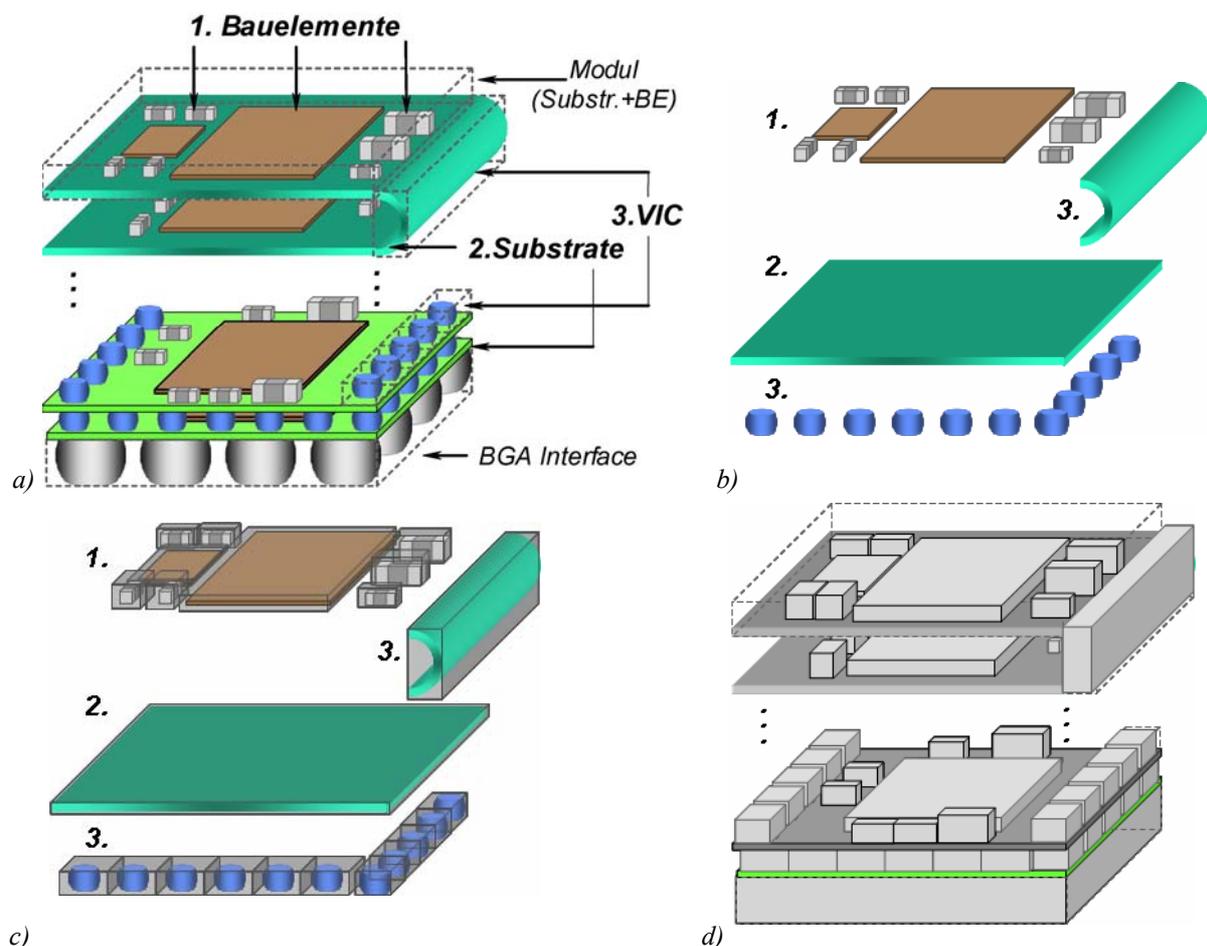


Abb. 4.1-2 Veranschaulichung des Modellierungsprinzips: a)-b) Zerlegung des 2,5D SiP in geometrisch modellierbare physikalische Bestandteile; c)-d) Approximation der Bestandteile durch Quader

Anordnung

Ein reales SiP enthält mehrere Module, deren Substrate prinzipiell beliebig geformt und angeordnet werden können. Für das Geometriemodell sollen jedoch zunächst folgende Annahmen gelten (Abb. 4.1-3):

1. Ein SiP enthält eine Menge von $M_{mod} = \{m_1; \dots; m_n\}$ Modulen, in jedem Modul ist ein Substrat sub_i enthalten, so dass alle Substrate $M_{subst} = \{sub_1; \dots; sub_n\}$ ohne seitliche Verschiebung genau übereinander angeordnet sind.
2. Die Substratfläche ist zunächst stets rechteckig (komplizierte Polygonformen können nachträglich durch Keep-Out-Flächen – siehe Abschn. 5.2 Constraints – modelliert werden. Kreisbögen sind nicht möglich.)
3. Alle Substrate $sub_i \in M_{subst}$ besitzen die gleichen lateralen Abmessungen.

Als Ergebnis der Optimierung wird jedem Substrat sub_i eine Teilmenge M_{BE_i} von BE und eine Teilmenge M_{VIC_i} von VICs zugeordnet. M_{VIC_i} schließt dabei alle VICs, die sub_i mit sub_{i+1} verbinden, also "nach unten zeigen", ein. Dieser Festlegung – Zuordnung der VIC zu einem darüber liegendem Substrat – liegt der Gedanke zu Grunde, dass im Großteil der Anwendungsfälle das oberste Modul keine unkontaktierte VIC in vertikaler Richtung besitzt. Der bspw. als BGA ausgeführte Interface-Layer kann aber als ein VIC Array leicht beschrieben werden. Für die Module $m_i \in M_{mod}$, die ein Verbund aus Substrat, BE und VICs darstellen, gilt damit:

$$m_i = \{sub_i \in M_{subst}; M_{BE_i} \in M_{BE}; M_{VIC_i} \in M_{VIC}\} \quad i \in [0..n_{mod}] \quad (4.1-1)$$

Dabei stellen M_{BE} , M_{VIC} , M_{subst} und M_{mod} jeweils die Mengen der BE, der VIC, der Substrate und der Module im gesamten SiP dar.

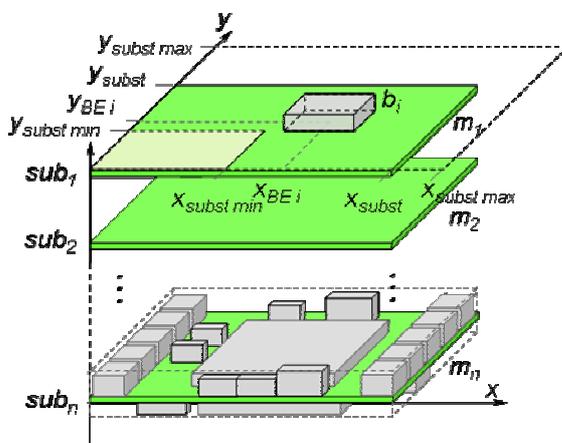


Abb. 4.1-3 Anordnung der Module im SiP Modell

Die Anzahl der Module $n_{mod} = n_{subst}$ wird ebenfalls durch die Optimierung bestimmt. Es können jedoch Schranken $n_{mod\ min}$ und $n_{mod\ max}$ vorgegeben werden, um den Lösungsraum einzuschränken und damit die Rechenzeit zu verringern.

Jedem Substrat sub_i bzw. Modul m_i wird ein zweidimensionales Koordinatensystem zugeordnet. Auf diese Weise lassen sich die Positionen für jedes Bauelement $b_i \in M_{BE_i}$ durch $\{x_{BE_i}; y_{BE_i}\}$ beschreiben. Der Koordinatenursprung ist die (bei Draufsicht) untere, linke Ecke des jeweiligen Substrates. Abb. 4.1-3 zeigt die Anordnung der Substrate und die entsprechenden Koordinatensysteme.

4.1.2. Parameter, Fein- und Grobmodellierung

Für jeden der Bestandteile können technologische *Parameter* (wie z.B. Strukturbreiten eines Substrates, Werkzeugabstände für BE etc.) vorgegeben werden, die die Berechnung des Quaders beeinflussen. Die Berücksichtigung sämtlicher relevanter Parameter für die Berechnung des Technologiequaders wird als *Feinmodellierung* bezeichnet (Abb. 4.1-4).

In der Praxis hat sich gezeigt, dass gerade die Aufbereitung der technologischen Einstellungen zeitlich sehr umfangreich sein kann. Häufig ist es ausreichend, auf die detaillierte Berech-

nung des Technologiequaders eines der Bestandteile zu verzichten, und die entsprechenden xyz -Quaderabmessungen mit einigen weiteren Informationen direkt vorzugeben. Eine derartige Beschreibung wird im Folgenden als *Grobmodellierung* bezeichnet (Abb. 4.1-4). Sie ist nützlich für schnelle Analysen, die auf Erfahrungswerten basieren. Sind z.B. die notwendigen Freiräume um einen Flipchip für eine bestimmte Montagetechnik im Groben bekannt, kann der Designer sie direkt vorgeben und auf die Einstellungen für Werkzeugfaktoren, Fügemitelausbreitung etc. verzichten.

Eng verbunden damit ist auch die sog. *Optimierungstiefe*. Damit wird beschrieben, auf welche Daten das Optimierungswerkzeug zurückgreift und welche Parameter einer Optimierung unterzogen werden. In dem im Rahmen dieser Arbeit verwendeten Optimierungskonzept greift das Optimierungswerkzeug auf die feststehenden Abmessungen der Technologiequader für BE und als Intervall vorgegebene Substratabmessungen zurück (Abb. 4.1-4). Die Berechnungen, aus denen diese Werte resultieren, bleiben für das Platzierungsprogramm „verborgen“. Bei den VIC wird die Formel für die Berechnung der Quader zur Verfügung gestellt, da die Abmessungen des VIC sich je nach Modulspalt dynamisch verändern (s. Kap. 4.4.2). In der Optimierung werden z.B. die BE-Quader platziert, ohne ihre Abmessungen zu verändern.

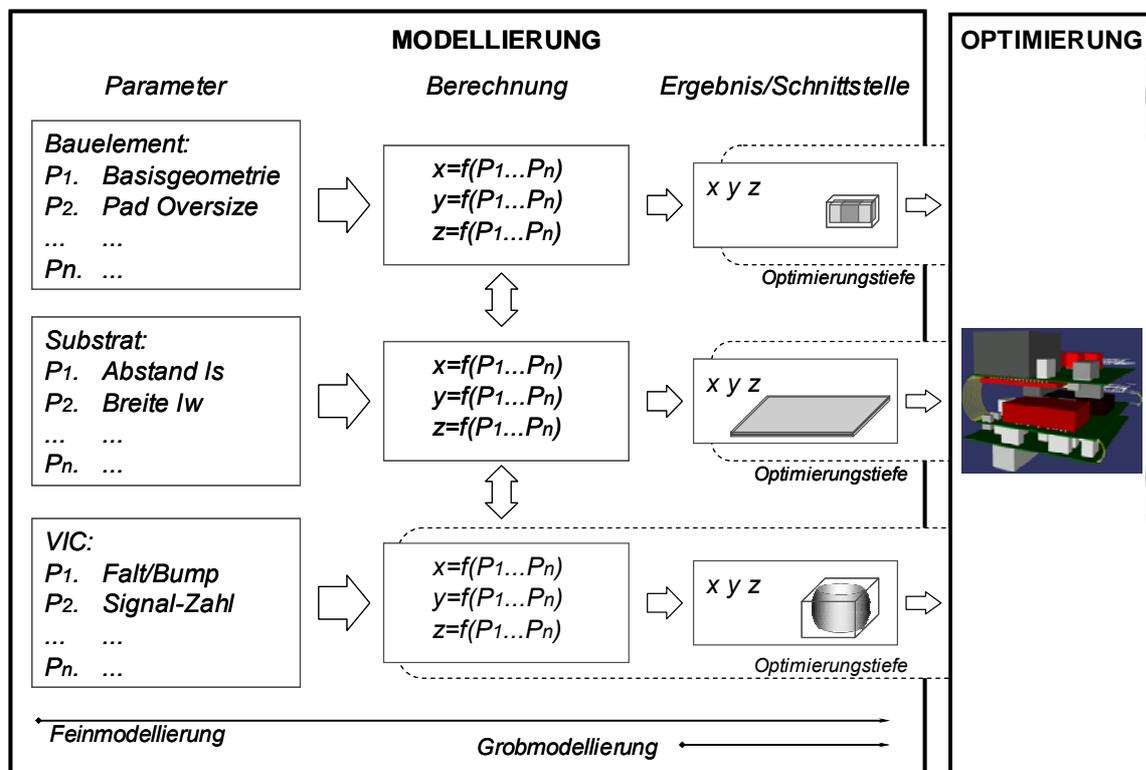


Abb. 4.1-4 Vereinfachte Darstellung der Modellierungsstruktur, Veranschaulichung der Grob-/Feinmodellierung und Optimierungstiefe

4.1.3. Wechselwirkung der Parameter

Auf den ersten Blick scheint es, dass für jeden einzelnen SiP-Bestandteil eine einfache statische Quaderbeschreibung, die sich nur aus den Parametern dieses Bestandteils ergibt, ausreichend ist. Tatsächlich existieren starke Wechselwirkungen bzw. verschachtelte gegenseitige Beeinflussungen zwischen den Parametern einzelner Instanzen (Abb. 4.1-5). Das kann an folgendem Beispiel der Substrate verdeutlicht werden.

Mehrere substratbezogene Parameter sind sowohl für BE- als auch für VIC-Quader relevant. Die Strukturbreiten der Substratmetallisierung (line width l_w , line space l_s) sind stark von der

gewählten Substratechnologie abhängig. Sogar innerhalb einer Substratklasse sind massive Sprünge möglich, wie z.B. bei Laminaten in der Feinstleitetertechnik mit Strukturbreiten und -abständen von bis zu $50\mu\text{m}$ und konventionellen PCB mit Werten über $150\mu\text{m}$. Diese Eigenschaften, die substratspezifisch sind, legen z.B. fest, wie eng zwei BE – unter Vernachlässigung der Bestückungswerkzeuge – aneinander platziert werden können (s. Abb. 4.2-3, S.54). Damit definiert die Substratechnologie die Abmessungen des Technologiequaders für BE. Die Substratdicke ist des Weiteren ausschlaggebend für die Biegebarkeit und damit für den Biegeradius einer vertikalen Faltflexverbindung. Damit beeinflussen die Substratparameter auch die VIC-Abmessungen eines Faltflexes (s. 4.4.4). Werden BE mit einem engen Anschlussrastermaß verwendet (z.B. FlipChip), legen sie die Parameter für die Substrat-Strukturbreiten fest. D.h. die BE-Parameter beeinflussen die Substrat-Parameter usw.

Das Modell muss also so formuliert werden, dass eine dynamische Wechselwirkung zwischen den einzelnen Komponenten und ihren Einflussgrößen berücksichtigt werden kann. Im Folgenden werden Parameter, die die Definition der Quadergeometrien mehrerer Bestandteile beeinflussen, als *Austauschparameter* bezeichnet.

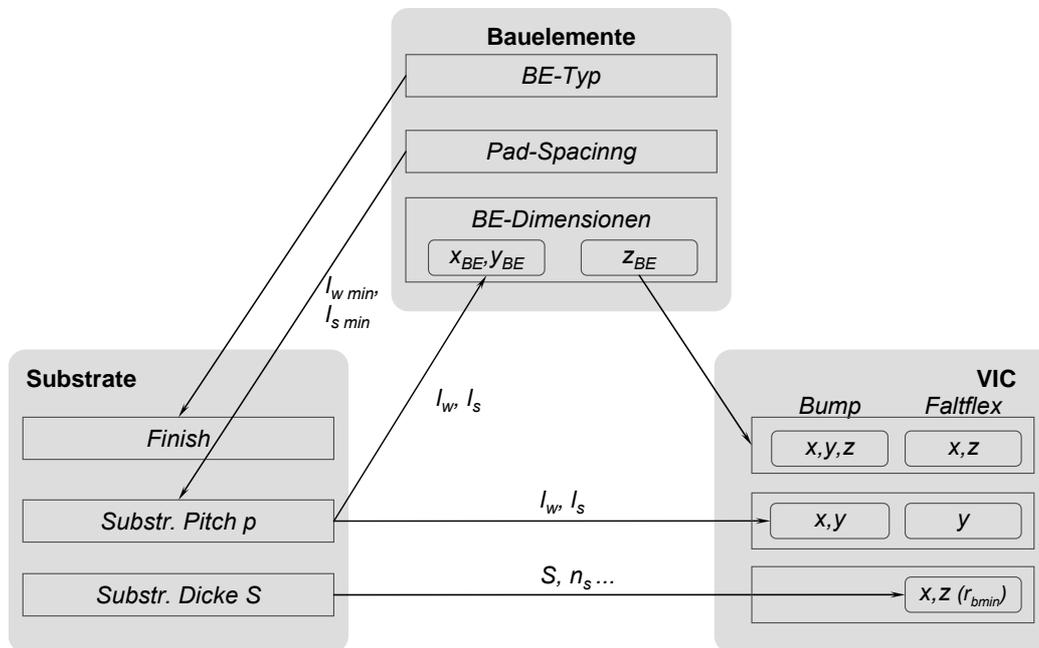


Abb. 4.1-5 Wechselwirkung der Parameter im geometrischen Modell

4.2. Geometrie-Modell für die Integration der Bauelemente in 2,5D SiP

Für die dreidimensionale Abbildung eines Bauelementes (BE), die für eine gültige Platzierung im 2,5D SiP herangezogen werden kann, reicht die alleinige Beschreibung der realen physikalischen Abmessung nicht aus. Im nachfolgenden Kapitel wird ein Modell beschrieben, das durch einen Quader (sog. Technologiequader) die Geometrien von sowohl passiven BE als auch von ICs mit für ihre Montage notwendigen spezifischen Sperrräumen beschreibt.

4.2.1. Eingangsdaten für die BE-Modellierung

Die absolute Mehrzahl der für 2,5D SiP relevanten BE – passive BE und ungehäuste aktive Halbleiter (Bare Dice) – entsprechen in ihren realen Geometrien (im Weiteren *Basisgeometrie*) einem Grundkörper: Zylinder, Quader etc. Sämtliche Basisgeometrieformen werden durch einen umhüllenden Quader – im Folgenden als *Basisquader* (BQ) bezeichnet – erfasst.

Je nach Montagetechnik, die für das jeweilige BE angewendet werden kann, errechnen sich additiv zum Basisquader die Abmessungen des *Technologiequaders* (TQ, s. Abb. 4.2-4).

Basisquader

Der BQ mit Abmessungen x_{BQ}, y_{BQ}, z_{BQ} umschließt den kompletten Grundkörper eines BE (x_{BE}, y_{BE}, z_{BE}) inklusive eventueller Pins oder Anschlüsse (Abb. 4.2-1). Die erst während der Assemblierung entstehenden Verbindungselemente wie Lot- oder Klebeschichten sind im BQ nicht enthalten. Die Lotkugeln eines BGA oder die Bumps eines Flipchips werden ebenfalls erst im Rahmen der TQ-Beschreibung spezifiziert. Der BQ enthält gleichzeitig die eventuell auftretenden Fertigungstoleranzen $\pm\Delta x_{tol}, \pm\Delta y_{tol}$ und $\pm\Delta z_{tol}$, deren maximaler positiver Wert in die Berechnung des BQ eingeht. Die Abmessungen des BQ ergeben sich damit zu (Abb. 4.2-1)

$$\begin{aligned} x_{BQ} &= |x_{\max} - x_{\min}| + \Delta x_{tol} = x_{BE} + \Delta x_{tol}; \\ y_{BQ} &= |y_{\max} - y_{\min}| + \Delta y_{tol} = y_{BE} + \Delta y_{tol}; \\ z_{BQ} &= |z_{\max} - z_{\min}| + \Delta z_{tol} = z_{BE} + \Delta z_{tol} \end{aligned} \quad (4.2-1)$$

x_{BE}, y_{BE}, z_{BE} – *BE-Abmessungen als Projektionslänge auf einer Koordinatenachse*

Auch wenn die Information über Basisgeometrie keine direkte Relevanz für die Platzierung beinhaltet, wird sie im Modell abgelegt, um beispielsweise eine verbesserte visuelle Darstellung der Platzierungsergebnisse zu ermöglichen.

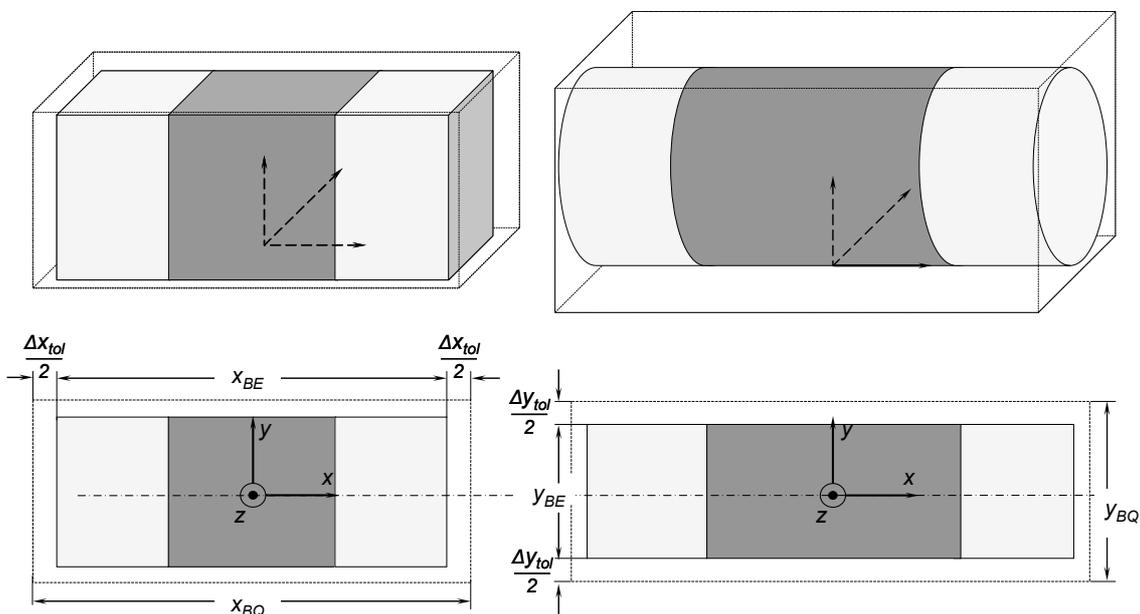


Abb. 4.2-1 Beispiele von Bauelementen mit Basisgeometrien „Box“ und „Zylinder“, Basisquadern

Kontaktierung

Neben den geometrischen Grunddaten für die Berechnung des BQ müssen die Informationen über die elektrischen Anschlüsse aus den technischen Daten des jeweiligen BE (Datenblätter, Bondpläne etc.) im Modell spezifiziert werden. Die im Folgenden als *Bauelemente-Pads* bezeichneten kontaktierbaren Flächen ergeben sich, indem man die für die Kontaktierung vorgesehenen Bereiche des BE auf die Bodenfläche des BQ projiziert und die so entstehende Form durch ein umschließendes Rechteck approximiert. Damit sind die Kontakte des BE beschrie-

ben und nicht die Anschlussflächen auf der Seite der Substratmetallisierung – *Substrat-Pads*. Die Position und die Geometrie der Substrat-Pads leitet sich aus den BE-Paddaten und den technologischen Parametern für die Montagetechnik ab (vgl. *Padvergrößerung* in 4.2.3, S.57).

Ein BE b_j beinhaltet eine Anzahl $n_{pad} > 0$ von Pads $M_{pad} = \{b_{j_p1}; \dots; b_{j_pn_{pad}}\}$. Ihre Position ist durch die Mittelpunkt-Koordinaten x_{padi}, y_{padi} und ihre Geometrie ist durch die Ausdehnung in x - bzw. y -Richtung d_{xi}, d_{yi} vorgegeben (mit $i = \{1 \dots n_{pad}\}$). Für das BE b_j wird ein kartesisches Koordinatensystem, wie in Abb. 4.2-1 und Abb. 4.2-2 gezeigt, definiert, dessen Nullpunkt in der Mitte der Bodenfläche des BQ liegt. Sämtliche elektrische Ankontaktierungen sind damit auf die Unterseite des BQ ($z=0$) projiziert. Damit lassen sich auch ungewöhnliche Strukturen wie z.B. Testpunkte zum Abnehmen von Signalen als ein BE mit $z_{BQ}=0$ und einem Pad b_{j_p1} mit Position $(0;0)$ definieren.

Die topologischen Schaltungsinformationen wie die Länge der Verbindungen zwischen den BE werden bis zu einem gewissen Grad (vgl. Air Wires Kapitel 5.1 Netze) während der algorithmischen Platzierung berücksichtigt. Eine Vereinfachung der entsprechenden Optimierungs-Berechnungen ergibt sich, wenn man anstelle von Padkoordinaten nur die Bereiche des Bauelemente-Umrisses, über die die elektrischen Ankontaktierungen erfolgen, als Bezug für Air Wires benutzt. Jedem Pad wird eine Menge von Intervallen – *Kontaktierungsstrecken* – auf den Kanten des Grundflächenumrisses des BQ zugeordnet (Abb. 4.2-2).

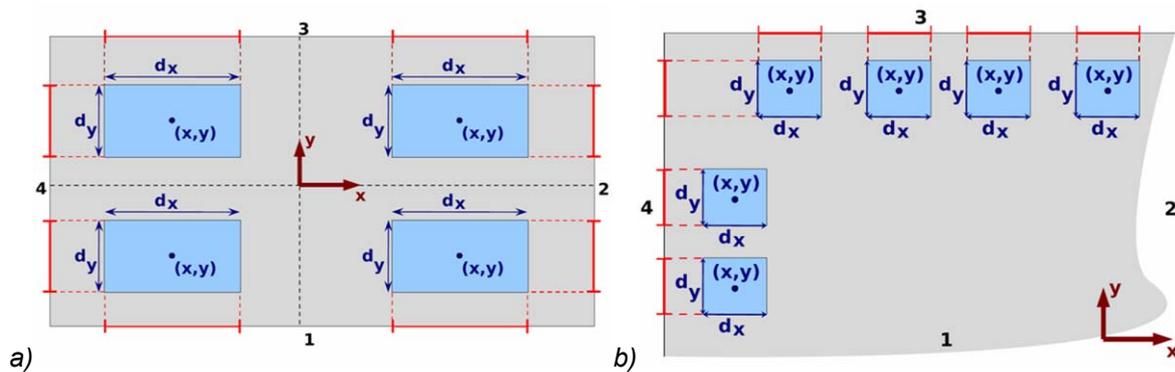


Abb. 4.2-2 Padpositionen und Kontaktierungsstrecken: a) Vierpoliger Quarz; b) FlipChip (Ausschnitt) [42]

Die Kontaktierungsstrecken können entweder explizit bzw. einzeln angegeben oder einfach durch Projektion der Pads auf die Außenkanten der Bodenfläche ermittelt werden. Die Kontaktierungsstrecken entsprechen in diesem Fall den Intervallen mit der Länge d_x oder d_y auf der Projektionskante 1 bis 4 (Abb. 4.2-2).

Aus den Kontaktierungsdaten können weitere modellrelevante Größen ermittelt werden. Das kleinste Anschlussrastermaß – Pad-Pitch $p_{pad\ min}$ – kann wie folgt berechnet werden:

$$p_{pad\ min} = \min_{i \in [1 \dots (n_{pad} - 1)]} \left\{ \left| x_{padi} - x_{padi+1} \right|; \left| y_{padi} - y_{padi+1} \right| \right\} \quad (4.2-2)$$

Aus dem kleinsten Abstand der Pads eines FC resultieren oft die Vorgaben für die minimalste Struktur-Breite $l_{w\ min}$ (line width) und –Abstand $l_{s\ min}$ (line space) als Austauschparameter für das Substrat (vgl. Pitch Abschnitt 4.3.1). Mit einem Padvergrößerungsfaktor $g_x = g_y = 0$ (s. Seite 57) gilt:

$$l_{w\ min} = \min_{i \in [1 \dots n_{pad}]} \left(d_{xi}; d_{yi} \right) \quad (4.2-3)$$

$$l_{s\ min} = \min_{i \in [1 \dots n_{pad}]} \left\{ \left(\left| x_{padi} + \frac{1}{2} d_{xi} \right| - \left| x_{padi+1} + \frac{1}{2} d_{xi+1} \right| \right); \left(\left| y_{padi} + \frac{1}{2} d_{yi} \right| - \left| y_{padi+1} + \frac{1}{2} d_{yi+1} \right| \right) \right\} \quad (4.2-4)$$

Bezeichnung	Beschreibung
<i>cyl, box etc.</i>	Basisgeometrie (Zylinder, Quader)
$\pm\Delta x_{tol}, \pm\Delta y_{tol} \pm\Delta z_{tol}$	Fertigungstoleranzen
x_{BE}, y_{BE}, z_{BE}	Abmessungen des BE-Grundkörpers
$d_{x1}, d_{y1} \dots d_{xi}, d_{yi}$	Abmessungen von den BE-Pads M_{pad}
$x_{pad1}, y_{pad1} \dots x_{padi}, y_{padi}$	Koordinaten von den BE-Pads M_{pad}

Tab. 4.2-1 Eingangsdaten für die Definition des Basisquaders

Einem BE entspricht auf der Schaltungsebene ein Schaltungssymbol, das als eine abstrakte Instanz in der Netzliste in physikalischen Design eingeht. Erst durch die Zuweisung einer Bauform, die durch BQ- und Kontaktierungsdaten beschrieben wird, bekommt ein BE physikalische Abmessungen. Eine mehrfach in einem SiP auftretende Bauform (z.B. ein passiver BE in der Baugröße 0402) kann auch mehrfach zugeordnet werden. Die entsprechenden BQ- und Kontaktierungsdaten, die sich wiederholen, können in Bibliotheken abgelegt werden.

Mit der Spezifikation dieser Daten und ihrer Zuordnung zu den BE werden feste Eingangsdaten (Tab. 4.2-1) formuliert, die sich im Verlauf des Globalen Entwurfes nicht mehr ändern. Ein Technologie-Quader dagegen berechnet sich jedes Mal neu in Abhängigkeit von den technologischen Parametern, die für die Montage des jeweiligen BE spezifisch sind und durch den Designer geändert werden können.

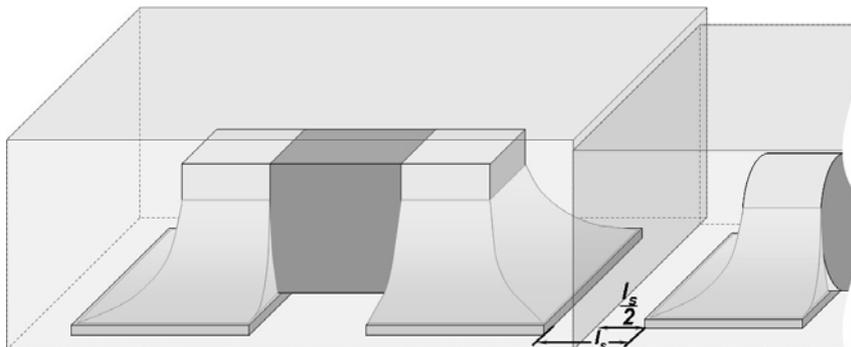


Abb. 4.2-3 Technologiequader um ein SMD Bauelement

4.2.2. Technologiequader und Grobmodellierung

Um ein BE mit dem Substrat zu verbinden, werden Elemente der AVT (Bumps, Lötstellen, Klebeschichten, Underfiller etc.) benötigt. Der dafür notwendige Raum, der für eine realistische Platzierung um das BE freigehalten werden muss (s.Abb. 4.2-3), kann als ein Aufschlag auf die physikalischen Abmessungen bzw. auf das Basisquader in jede Raumrichtung vorgegeben bzw. errechnet werden. Ein TQ enthält alle technologisch bedingten Mindestabstände $\{\Delta x_{1TQ}; \Delta x_{2TQ}; \Delta y_{1TQ}; \Delta y_{2TQ}; \Delta z_{1TQ}; \Delta z_{2TQ}\}$ in allen Raumrichtungen (Abb. 4.2-4):

$$x_{TQ} = x_{BQ} + \Delta x_{1TQ} + \Delta x_{2TQ}; y_{TQ} = y_{BQ} + \Delta y_{1TQ} + \Delta y_{2TQ}; z_{TQ} = z_{BQ} + \Delta z_{1TQ} + \Delta z_{2TQ} \quad (4.2-5)$$

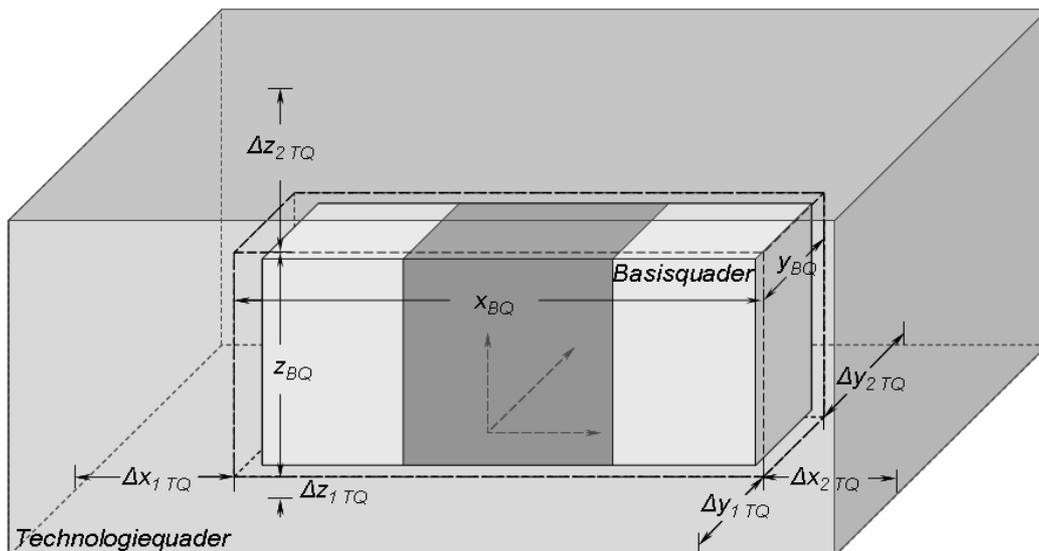


Abb. 4.2-4: Basis- und Technologiequader

Die Formeln (4.2-5) bilden die einfachsten Modellierungsvorschriften. Eine Grobmodellierung für die BE erfordert keine weiteren technologischen Spezifikationen. Zusätzlich zur Definition der geometrischen Eingangsdaten (Tab. 4.2-1) muss der Designer lediglich die Mindestabstände vorgeben. Damit ist es z.B. möglich, neue oder in Entwicklung befindliche Technologien schnell und einfach einzubinden.

4.2.3. Feinmodellierung für die Bauelemente

Technologie-Parameter und allgemeine Gleichungen

Für die Feinmodellierung werden die Mindestabstände $\Delta x/y/z_{1/2 TQ}$ aus den Technologieparametern errechnet. Die dafür notwendigen Gleichungen werden im Folgenden *TQ-Gleichungen* genannt. Die Gleichungen werden zunächst modellhaft allgemein für alle BE aufgestellt. Dafür wird ein BE abstrakt als ein Körper mit den Abmessungen eines BQ und verschiedenen weiteren Elementen, die einen TQ füllen, dargestellt (Abb. 4.2-5). Durch die Anpassung der Gleichungs- bzw. Technologie-Parameter können die TQ-Gleichungen für die Feinmodellierung verschiedener 2,5D SiP relevanter BE und Montage-Techniken (aktive ICs als FlipChip, passive SMDs) angewendet werden.

Für die Feinmodellierung der BE eines 2,5D SiP ist die Deklaration folgender Parameter erforderlich:

- Geometrische Grunddaten bzw. Eingangsdaten (s. Tab. 4.2-1) zu Spezifikation des BQ und der Kontaktierung
- BE-Typ und Verbindungstechnik [SMD-Kleben, SMD-Löten, BGA-Löten, FC-Kleben, FC-Löten, sonstiges]
- g_x, g_y – Padvergrößerungsfaktoren
- d_t – Werkzeugabstand [μm]
- l_s – Strukturabstand auf einem Substrat (line space) [μm] als Austauschparameter aus der Substratdefinition
- a_{SM} – Lotstoppschicht-Faktor. $a_{SM}=1$ gilt für die BE, deren Pads durch die Lotstoppschicht definiert sind, $a_{SM}=0$ bezeichnet die BE, die ohne Lotstoppschicht assembliert werden
- h_{bump} – Höhe eines Bumps (für FlipChip und BGA)

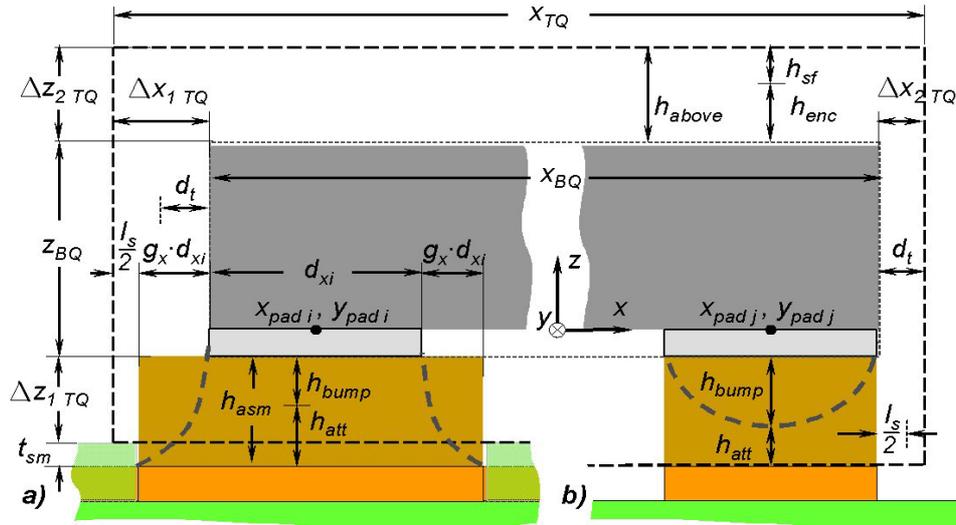


Abb. 4.2-5 Bauelement-Modell für die Bestimmung der Technologiequader-Gleichungen: a) ein durch Lotstoppschicht („solder mask defined“) definierter Pad mit einem Vergrößerungsfaktor $g_x > 0$, b) ein „copper defined“ Pad mit $g_x = 0$

- h_{att} – Dicke des Fügемittels
- h_{enc} – Höhe der Verkapselung
- h_{sf} – vertikaler Sicherheitsabstand.

Wie von *Richter* in [42] aufgezeigt wurde, ist es möglich, universale TQ-Gleichungen für die Berechnung der lateralen Ausdehnungen $\Delta x_{1 TQ}$; $\Delta x_{2 TQ}$; $\Delta y_{1 TQ}$; $\Delta y_{2 TQ}$ aus den BQ und Pad-Daten zu formulieren (s. Abb. 4.2-1):

$$\Delta x_{1 TQ} = \left| \min \left\{ -d_t; \min_{i \in [1 \dots n_{pad}]} \left[x_{pad i} - \left(\frac{1}{2} + g_x \right) d_{x_i} \right] - \frac{1}{2} (l_s - x_{BQ}) \right\} \right| \quad (4.2-6)$$

$$\Delta x_{2 TQ} = \max \left\{ d_t; \max_{i \in [1 \dots n_{pad}]} \left[x_{pad i} + \left(\frac{1}{2} + g_x \right) d_{x_i} \right] + \frac{1}{2} (l_s - x_{BQ}) \right\} \quad (4.2-7)$$

$$\Delta y_{1 TQ} = \left| \min \left\{ -d_t; \min_{i \in [1 \dots n_{pad}]} \left[y_{pad i} - \left(\frac{1}{2} + g_y \right) d_{y_i} \right] - \frac{1}{2} (l_s - y_{BQ}) \right\} \right| \quad (4.2-8)$$

$$\Delta y_{2 TQ} = \min \left\{ d_t; \min_{i \in [1 \dots n_{pad}]} \left[y_{pad i} + \left(\frac{1}{2} + g_y \right) d_{y_i} \right] + \frac{1}{2} (l_s - y_{BQ}) \right\} \quad (4.2-9)$$

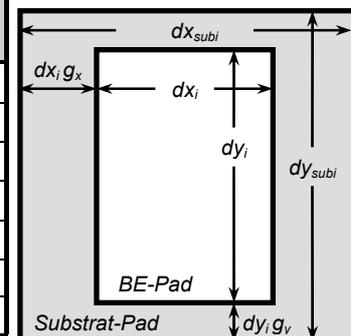
- Mit d_t – Werkzeugabstand [μm]
 n_{pad} – Anzahl der Pads im BE
 x_{pad}, y_{pad} – Padkoordinaten [μm]
 g_x, g_y – Padvergrößerungsfaktoren
 l_s – Strukturabstand auf einem Substrat (line space) [μm]

Die Mindestbreite zwischen zwei Substrat-Pads entspricht dem Leitungsabstand l_s (s. Abb. 4.2-3) des Substrates (s. Kap. 4.3.1). Die minimale Entfernung beispielsweise zwischen zwei passiven SMDs ist damit durch l_s festgelegt. Durch den Term $\pm \frac{1}{2} (l_s - (x/y)_{BQ})$ kommt an jeder Seite der TQ-Grundfläche ein Aufschlag von $l_s/2$ hinzu, sofern sich ein Pad außerhalb der BQ-Fläche befindet. D.h. ein Substratparameter beeinflusst die Abmessungen des TQ eines BE (Austauschparameter). l_s wird bei der Definition der Substrat-Parameter aus den Vorgaben für die kleinstmögliche Strukturweite $l_{s \min}$ festgelegt. (s. *Spezifische Substratparameter* in 4.3.2).

Das Substrat-Pad z.B. für die Montage der SMD-BE muss immer größer sein als das BE-Pad. Mit den Faktoren g_x bzw. g_y (Abb. 4.2-6) wird die Vergrößerung für die Substrat-Pads in die entsprechende Richtung aus den BE-Pads ausgerechnet. Die laterale Ausdehnung der Substrat-Pads berechnet sich dann richtungsabhängig zu $dx_{subi} = dx_i \pm 2dx_i g_x$ bzw. $dy_{subi} = dy_i \pm 2dy_i g_y$. Der Wert $g_x = g_y = 0,1$ bedeutet bspw., dass die BE-Pads an jeder Seite um 10% vergrößert werden. Die g_x und g_y Werte für die Montage der passiven SMD's unterscheiden sich je nach BE-Typ und verwendeter Löttechnologie. Wie auf Basis von IPC 782 [90] für die Chipwiderstände berechnete Werte in der Tab. 4.2-2 zeigen, variieren für die üblichen Reflow-Prozessparameter die mittleren Padvergrößerungsfaktoren richtungsabhängig in den Intervallen $g_x = [1...1,75]$ und $g_y = [0,04...0,15]$. Für die Bauform 2512, die aufgrund ihrer Größe für 2,5D SiP nicht von Belang ist, ergibt sich rein rechnerisch der Wert $g_y = 0$, in der regulären Praxis wird jedoch auf die Padvergrößerung aus Zuverlässigkeitsüberlegungen nicht verzichtet. Der Term $\pm(\frac{1}{2} + g_{x/y})d_{x/y}$ sorgt für die entsprechende Erweiterung der äußeren Padgrenzen. Für die FC- und BGA-Montage, bei der die Pads auf beiden Seiten gleich groß sein können, gilt $g_x = g_y = 0$.

Unabhängig von der auf dem Substrat benötigten Fläche ist es aus verschiedenen technologischen Gründen (Freiraum für Montagewerkzeug, Underfilling, Dum&Fill-Verkapselung etc.) oft erforderlich, dass ein weiterer bestimmter Mindestabstand um das BE bzw. um den BQ herum freigehalten werden muss. Ein für alle derartigen Erweiterungen einsetzbarer und von der Padpositionierung unabhängiger Mindestabstand an jeder Seite des BQ wird mit d_t (tooling distance) definiert.

BE	BE-Pad						Substrat-Pad		g_x	g_y
	d_{xi} [mm]			d_{yi} [mm]			dx_{subi}	dy_{subi}		
	min	max	mittel	min	max	mittel				
0402	0,10	0,30	0,20	0,48	0,60	0,54	0,9	0,7	1,75	0,15
0603	0,15	0,40	0,28	0,70	0,95	0,83	1,1	1,0	1,50	0,11
0805	0,15	0,65	0,40	1,10	1,40	1,25	1,3	1,5	1,13	0,10
1206	0,25	0,75	0,50	1,45	1,75	1,60	1,6	1,8	1,10	0,06
1210	0,25	0,75	0,50	2,34	2,64	2,49	1,6	2,7	1,10	0,04
2010	0,35	0,85	0,60	2,35	2,65	2,50	1,8	2,7	1,00	0,04
2512	0,35	0,85	0,60	3,05	3,35	3,20	1,8	3,2	1,00	0,00
Mittelwert $\overline{g_{x/y}}$									1,23	0,07



Tab. 4.2-2 BE-Pad-Toleranzen und Substratpad-Abmessungen für SMD-Chipwiderstände nach IPC 782[90] und daraus berechnete Padvergrößerungsfaktoren

Abb. 4.2-6 Padvergrößerungsfaktoren

Die Greifwerkzeuge moderner SMD-Bestückungsanlagen – nadelförmige Ansaugdüsen – sind extrem miniaturisiert. Für die SMDs und BGA gilt im Regelfall $d_t = 0$. Da bei der FC-Montage die Werkzeugform (Bond-Stempel) den Abmessungen der Chips angepasst werden kann, definiert der Werkzeugabstand d_t auch weitere verfahrensbedingte Sperrräume. Eine zuverlässige FC-Verbindung mit Underfill ergibt sich, wenn die Seitenkanten des Chips komplett bedeckt sind (Abb. 2.3-11). Als einfache Näherung kann angenommen werden, dass die laterale Underfill-Ausbreitung um den FC der Gesamt-Chiphöhe entspricht:

$$d_t = z_{BQ} + \Delta z_{TQ} \quad (4.2-10)$$

Der gleiche Wert d_t kann als Richtwert für eine konservative Schätzung der Austretungen des Klebers um den Chip bei FC-Klebeverfahren angenommen werden.

Die TQ-Gleichungen (4.2-6)-(4.2-9) liefern bei einer beliebigen Konfiguration der Pads die notwendigen lateralen Mindestabstände für TQ. In Abb. 4.2-7 ist zur Veranschaulichung eine imaginäre Konfiguration mit einer unregelmäßigen Padanordnung dargestellt [42]. Wendet

man die TQ Gleichungen an, werden aus M_{pad} nur die Pads ausgewählt, deren Ränder am weitesten außen liegen. Nur wenn die Padfläche nach dem vorzeichenrichtigen Addieren von $l_s/2$ über die BQ-Grenzen hinausragt, bestimmt sie die Grenze des TQ-Quaders. Der TQ kann damit lateral nicht kleiner als der BQ werden. Ein $d_i > 0$ bewirkt eine Vergrößerung der BQ-Grundfläche in jeder Richtung.

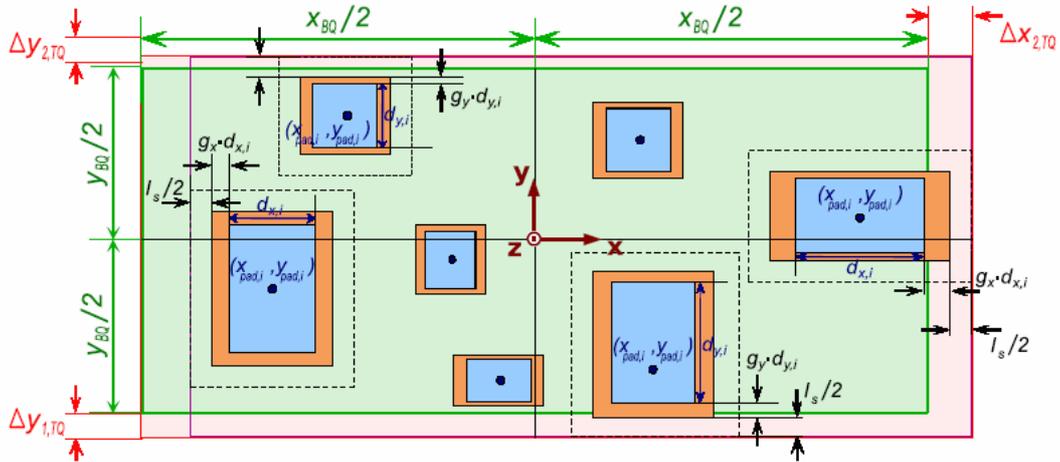


Abb. 4.2-7 Bestimmung der lateralen Abmessungen des Technologiequaders durch die Padflächen [42]

Für die Berechnung der vertikalen Abmessungen $\Delta z_1 TQ$; $\Delta z_2 TQ$ kann man zunächst annehmen, dass die mit der Dicke h_{asm} (assembly) bezeichnete Verbindung zwischen den Substrat- und BE-Pads und der als h_{above} bezeichnete Raum, der oberhalb des BE reserviert ist, sich aus jeweils zwei Komponenten zusammensetzen (Abb. 4.2-5):

$$h_{asm} = h_{bump} + h_{att} \quad (4.2-11)$$

$$h_{above} = h_{enc} + h_{sf} \quad (4.2-12)$$

Mit h_{bump} – Höhe von einem potenziellen Bump [μm]

h_{att} – Dicke des Fügmittels (attach) [μm]

h_{enc} – Höhe einer möglichen Verkapselung (encapsulation) [μm]

h_{sf} – vertikaler Sicherheitsabstand (safety) [μm]

Je nach BE und Verbindungstechnik nehmen diese Parameter verschiedene Werte an. Für die SMD Montage gilt $h_{bump} = 0$, $h_{att} > 0$, $h_{asm} = h_{att}$ (Abb. 4.2-5, Tab. 4.2-3). Der Parameter h_{att} steht dabei für die Dicke der Lotschicht oder der Kleberstärke.

Für die BGA-Montage und für die lötfähigen FCs mit umschmelzbaren Bumps gilt $h_{att} = 0$, $h_{bump} > 0$, $h_{asm} = h_{bump}$. Mit h_{bump} wird dabei die bereits „verformte“ Höhe bezeichnet, die die Bumps nach dem Montagevorgang annehmen. h_{bump} kann explizit vorgegeben werden, falls dieser Wert z.B. aus dem Datenblatt eines BGA bekannt ist. Andernfalls ist es möglich, sowohl für BGA als auch für Löt-FC den maximalen Wert dieses Parameters zu modellieren bzw. aus den Paddaten des BE zu ermitteln. Ausgehend von der Formel (4.4-3) (Kap. 4.4.3 Lotkugeln, vgl. auch Abb. 4.4-5), gilt für BGA unter der Voraussetzung, dass alle Pads gleich groß ($d_{x/y\ i} = d_{x/y\ 1} = \dots = d_{x/y\ npad}$) und rund ($d_{x\ i} = d_{y\ i}$) sind:

$$h_{bump} = G = 0,75d_{xi} \quad (4.2-13)$$

Bei den lötfähigen FC ist h_{bump} stark von der Bumpingtechnik (s. Kapitel 2.3.1, Abb. 2.3-10) abhängig. Näherungsweise gilt die Formel (4.2-13) weiterhin. Die Pads eines FC sind viel dichter als die eines regulären BGA beieinander platziert. Darum gilt als eine Einschränkung, dass die maximal mögliche Bumphöhe nicht größer werden kann als der minimale Pad-Pitch

$p_{pad\ min}$ [101], da zwei sphärische Bumps mit einem größeren Durchmesser als $p_{pad\ min}$ sich sonst berühren würden:

$$h_{bump} = \min_{i \in [1 \dots n_{pad}]} \{ p_{pad\ min} ; 0,75 d_{xi} \} \quad (4.2-14)$$

Für die FC mit nicht umschmelzbaren Bumps, die mit Hilfe der Klebertechniken aufgebracht werden, gilt $h_{att} > 0$, $h_{bump} > 0$, $h_{asm} = h_{bump} + h_{att}$. Dabei ist h_{bump} die Bumphöhe und h_{att} ist die Dicke der adhäsiven Schicht darunter.

Auch für die Bestimmung der vertikalen Abmessungen des TQ eines BE spielen die Substratparameter eine Rolle. Sind die Substrat-Pads für die BE-Montage wie in Abb. 4.2-5a gezeigt durch eine Lotstoppschicht definiert (solder mask defined [89]), muss die Dicke dieser Schicht t_{sm} (s. *Art, Material und äußere Schutzschichten* in 4.3.2) berücksichtigt werden. Für solche BE (in der Regel SMD, BGA, Löt-FC) gilt $a_{SM} = 1$ und:

$$\Delta z_{1TQ} = \max \{ 0 ; (h_{asm} - t_{sm}) \} \quad (4.2-15)$$

Das bedeutet, dass bei einer Lotstopdicke $t_{sm} > h_{asm}$ das BE auf der Lotstoppschicht bzw. auf dem Substrat „aufliegt“ und nicht durch die Verbindung „getragen“ wird. Ist der Montagebereich des BE nicht durch eine Lotstoppschicht definiert ($a_{SM} = 0$, Abb. 4.2-5b), wie beispielsweise beim ACA Kleben von FC, „versinkt“ das BE in der Lotstopöffnung, so dass t_{sm} von der effektiven TQ-Höhe abgezogen werden muss:

$$\Delta z_{1TQ} = h_{asm} - t_{sm} \quad (4.2-16)$$

Unter der Berücksichtigung des Faktors a_{SM} gilt für alle BE allgemein:

$$\Delta z_{1TQ} = (h_{asm} - t_{sm})(1 - a_{SM}) + a_{SM} (\max \{ 0 ; (h_{asm} - t_{sm}) \}) \quad (4.2-17)$$

Für Δz_{2TQ} gilt:

$$\Delta z_{2TQ} = h_{above} = h_{enc} + h_{sf} \quad (4.2-18)$$

h_{enc} stellt die Höhe einer möglichen Verkapselung dar. Prinzipiell lassen sich alle BE auf

BE Typ:	SMD		BGA und FC mit Schmelzbumps		FC mit festen Bumps		
			BGA	FC			
Verbindungstechnik:	Kleben	Löten	Löten		Kleben		
					ACA	ICA	NCA
$h_{asm} =$	h_{att} $h_{bump} = 0$	h_{att} $h_{bump} = 0$	h_{bump} $h_{att} = 0$	h_{bump} $h_{att} = 0$	$h_{bump} + h_{att}$	$h_{bump} + h_{att}$	h_{bump} $h_{att} = 0$
Resultiert aus	Kleberschicht	Lot-schicht	Verformter Ball	Verformter Bump	Bump, Kleberschicht	Bump und Kontakt-höhe	Verformter Bump
Typische Werte h_{asm} [μm]:	10...120	15...150	75-500	20...150	10...150	10...150	10...150
$a_{sm} =$	0	1	1	1	0	0	0
d_i	0	0	0	$z_{BQ} + \Delta z_{2TQ}$	$z_{BQ} + \Delta z_{2TQ}$	$z_{BQ} + \Delta z_{2TQ}$	$z_{BQ} + \Delta z_{2TQ}$
Resultiert aus	Bestückungswerkzeug			Underfill, Verkaps.	Kleber-Auslauf, Verkapselung		
Substrat-finish:	Kein HAL	Alle		Kein HAL	Kein HAL, kein chemisch Zinn		

Tab. 4.2-3 Parameter (Auswahl) und typische Werte für die BE-Modellierung

einem Modul mit einer Vergusstechnik verkapseln, so dass für alle BE-Typen eine $h_{enc} > 0$ angegeben werden kann. Für die SMD und BGA, die zu den bereits gehäuteten BE gehören, ist eine zusätzliche Verkapselung selten erforderlich. Viel häufiger müssen die FC zusätzlich durch ein Globtop o.ä. geschützt werden. Der je nach verwendeter Technik variierende Wert muss vom Designer vorgegeben werden. Ein aus der COB-Verkapselung bekannter Richtwert beträgt beispielsweise $200\mu\text{m}$ [88]. Falls die Berührung des BE mit dem über ihm liegenden Substrat nicht erwünscht ist, um beispielsweise Kurzschlüsse zu vermeiden, kann ein zusätzlicher Sicherheitsabstand h_{sf} in vertikale Richtung für alle BE-Typen vorgegeben werden.

Obwohl die Einzelheiten der BE-Assemblierung durch die bis jetzt dargestellten geometrisch-technologischen Parameter beschrieben werden können, ist die formelle Deklaration des BE-Types erforderlich. Unabhängig von der Verbindungsgeometrie und TQ-Abmessungen bestimmt der BE-Typ, wie in der Tab. 4.2-3 gezeigt, die Auswahl des zulässigen Abschlusses für die äußere Substratmetallisierung (s. *Finish* in Kap. 4.3.2 und Tab. 2.3-6). Damit resultiert aus der Definition der BE ein wichtiger Substratparameter.

In Tab. 4.2-3 sind einige Beispiele für Parameter-Werte, die für die Modellierung der BE erforderlich sind, zusammengefasst.

Modellierungsbeispiele: passive SMDs, FlipChip

Das Spektrum der in 2,5D SiP verwendbaren passiven SMD-BE streckt sich von miniaturen 01005 und 0201 hin zu 0805 und 1206 Bauformen, deren deutlich über 1mm liegende vertikale Abmessungen den obersten Grenzwert der sinnvoll einsetzbaren Bauformen bilden. Die

Parameter		0201 SMD (Kondensator) Reflow-Löten	1206 SMD (Kondensator) Reflow-Löten	FC (CC1000, Funkchip) Kleben ACA
Basisquader	x_{BQ}, y_{BQ}, z_{BQ}	550x300x250 μm	3200x1600x1700 μm	2375x4069x730 μm
Pads	n_{pad}	2 ($x_{pad} y_{pad} (-200;0),(200;0)$)	2	39
	d_x, d_y	200 μm ; 300 μm	500 μm 1600 μm	80 μm ; 80 μm
Padvergröß.	g_x, g_y	1,3; 0,08	1,3; 0,08	0; 0,03
Wrkz.-Abst.	d_t	0	0	300 μm
Substrat	a_{sm}	1	1	0
	t_{sm}	10 μm	10 μm	10 μm
	l_s	75 μm	75 μm	75 μm
$\Delta z_1 TQ$	h_{asm}	$h_{att}=10\mu\text{m}$	$h_{att}=10$	$h_{att} + h_{bump} = 58\mu\text{m}$
	h_{bump}	0	0	50 μm
	h_{att}	10 μm	10 μm	8 μm
$\Delta z_2 TQ$	h_{above}	20 μm	20 μm	12 μm
	h_{enc}	0	0	0
	h_{sf}	20 μm	20 μm	12 μm
Tech.Quader	x_{TQ}, y_{TQ}, z_{TQ}	1145x423x270 μm	4575x1931x1720 μm	2675x4369x800 μm
AVT-Anteil	V_{TQ}/V_{BQ}	3,2	1,7	1,33
	$\%V_{AVT}$	68,5%	42,7%	24,6%

Tab. 4.2-4 Modell-Parameter für reale Bauelemente

0201 BE gehören mittlerweile zum Industriestandard und eignen sich auf Grund ihrer geringen Bauhöhe und –breite gut für den Einsatz in 2,5D SiP. Die Padvergrößerung und der Leiterabstand des Substrates sind die wichtigsten Einflussfaktoren bei der Berechnung des TQ für SMD. Aus einem Basisquader von $550 \times 300 \times 250 \mu\text{m}$ ergibt sich nach den oben diskutierten Gleichungen für $g_x=1,3$ und $g_y=0,08$ sowie $l_s=75 \mu\text{m}$ ein platzierungsgerechter TQ von $1015 \times 423 \times 270 \mu\text{m}$. Da es sich um einen bumploses SMD handelt, beinhaltet die h_{asm} nur die Dicke des Lotes ($h_{att}=10 \mu\text{m}$). In der Tab. 4.2-4 sind weitere Parameter für 0201 und 1206 SMDs zusammengefasst.

Bei dem in Tab. 4.2-4 dargestellten, durch ACA-Technik geklebten FC-Beispiel, sind die Substratpads um Faktor $g_y=0,03$ in die positive und negative y -Richtung gegenüber den BE-Pads vergrößert. Dies beeinflusst aber nicht die Berechnung des TQ, da die Pads immer noch innerhalb der Abmessungen des BQ bleiben. Vielmehr spielt der Faktor d_t eine Rolle, der in diesem Fall mit $300 \mu\text{m}$ die für die Ausbreitung des Klebers reservierte Fläche um den FC abbildet. Die h_{bump} beträgt $50 \mu\text{m}$ – eine typische Bumphöhe – und h_{att} bildet mit $8 \mu\text{m}$ den Durchmesser der leitenden Partikeln ab, die während des ACA-Prozesses zwischen Substrat- und FC-Pads eingeklemmt werden.

Eine interessante Erkenntnis genereller Natur entsteht bei der Volumenanalyse. Die Volumendifferenz zwischen dem TQ und dem BQ repräsentiert das Volumen, das von der für die Montage des jeweiligen BE notwendigen AVT beansprucht wird (V_{AVT}). An dem Volumenverhältnis V_{TQ}/V_{BQ} erkennt man eindeutig, dass für die Montage kleinerer BE ein deutlich höherer Anteil des insgesamt belegten Volumens (bei dem 0201 SMD über die Hälfte mit 68,5%) durch V_{AVT} beansprucht wird.

4.2.4. Weitere modellrelevante Aspekte

Modellierung anderer AVT- und BE-Typen

Der dargestellte Modellierungsansatz kann auf weitere BE- und Montagetechniken angewendet werden. Auch das Drahtbonden der Chips (COB) kann damit modelliert werden. Dazu erfolgt eine Spiegelung der Padkoordinaten, eine Padvergrößerung mittels der Faktoren g_x, g_y gemäß den Vorgaben für die Drahtbondpads und eine Verschiebung der Substratpadkoordinaten

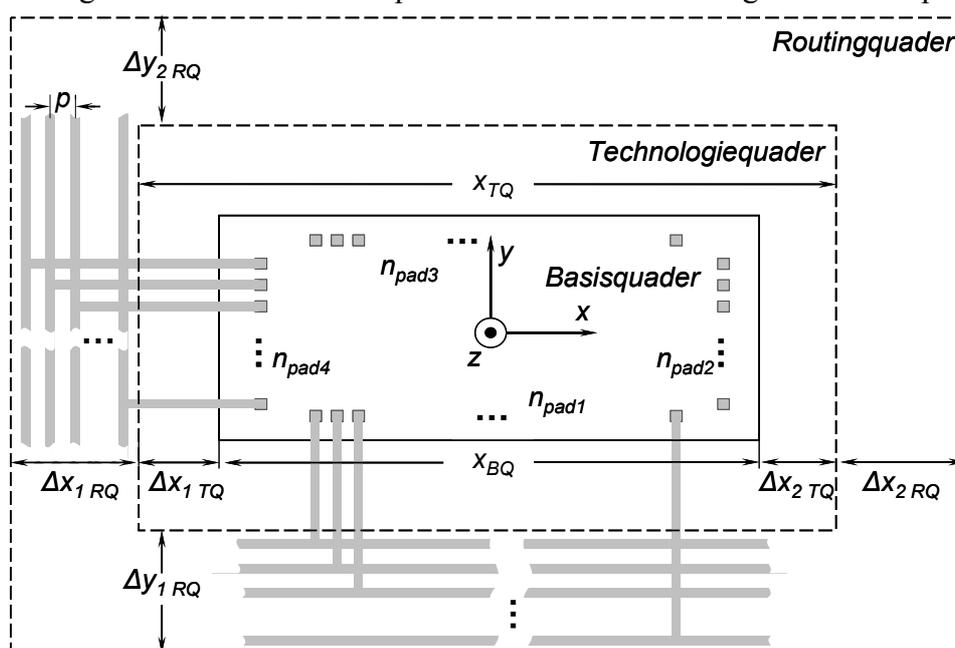


Abb. 4.2-8 Projektion des Routingquaders auf die Grundfläche

ten nach außen mit einem weiteren Faktor, der die Projektion der Drahtlänge auf das Substrat abbildet. Diese Länge kann mit dem in [57] gezeigten Ansatz, bei dem der Pitch eines laminierten Substrates zu Berechnung der Padpositionen herangezogen wird, für die vereinfachte Padreihenform (einreihig, quadratisch) als eine modellierbare Näherung berechnet werden. Die vertikalen Parameter leiten sich im Falle von z.B. Ball-Wedge-Bonden aus Loop- und Ball-Einstellungen ab. Da der Schwerpunkt der diskutierten Modellierung bei den für 2,5D SiP besonders geeigneten BE mit einer geringeren Höhe (SMD, FC) liegt, wird auf die weitere Ausführung der COB-Modellierung verzichtet.

Routingquader

Der TQ berücksichtigt die das BE umgebenden AVT-Elemente. Theoretisch können in einem Modul mehrere BE direkt nebeneinander AVT-gerecht platziert werden, sodass zwischen ihren TQ kein weiterer Freiraum mehr vorhanden ist. Obwohl eine solche Platzierungsvariante technologisch realisierbar wäre, bliebe für die Verlegung der Leiterbahnen auf der Substratoberfläche kein Platz. Eine erfolgreiche Verdrahtung ist unter diesen Umständen so gut wie unmöglich. Um dieser Problematik entgegenzuwirken, kann ein zusätzlicher Freiraum (sog. *Escape*, [14] [94]) durch die Anwendung des sog. Routingquaders, der auf einer Abschätzung des Verdrahtungsplatzbedarfes aufbaut, reserviert werden. Analog zum additiven Aufbau des TQ um den BQ, werden zusätzliche Mindestabstände – allerdings zweidimensional – $\{\Delta x_{1,RQ}; \Delta x_{2,RQ}; \Delta y_{1,RQ}; \Delta y_{2,RQ}\}$ für die Bildung des Routingquaders zum TQ addiert (Abb. 4.2-8).

In der Arbeit von Hirt [14] wurden vielseitige Escape-Berechnungsmodelle für verschiedene Interconnect-Techniken (C&W, TAB, FC etc) mit einer Fülle an Parametern entwickelt. Der

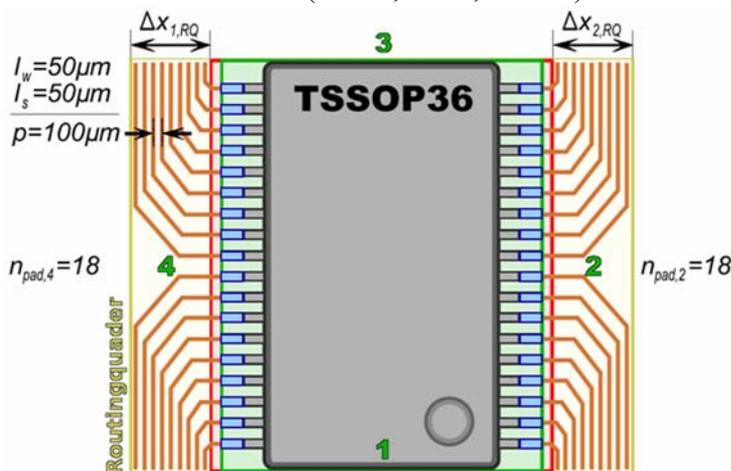


Abb. 4.2-9 Beispiel der Abschätzung des Routingquaders für ein TSSOP36 bei $\chi = 1/2$ [42]

Abschätzung der Mindestabstände im Rahmen der vorliegenden Arbeit liegt die vereinfachende Annahme zu Grunde, dass der Routing-Platzbedarf auf einer Seite des BE sowohl zur Anzahl der Anschlüsse auf dieser Seite als auch zum Platzbedarf einer einzelnen Leitung proportional ist. Die Anzahl der Anschlüsse pro Seite – im Folgenden mit $n_{pad\ k}$ ($k \in \{1, 2, 3, 4\}$) für die Seiten 1 bis 4) bezeichnet – ist mit der Definition der Kontaktierungsstrecken (4.2.1, S.53) festgelegt. Der Wert $n_{pad\ k}$ ergibt sich aus der Zahl der Pads, die der

Seite k zugeordnet wurden. Für die Leitungen, die zu den Pads einer Seite führen, wird angenommen, dass sie parallel zu dieser Seite verlaufen (siehe Abb. 4.2-9). Der Platzbedarf in x bzw. y -Richtung ergibt sich aus der Multiplikation von Leitungsbreite und -abstand (Substratpitch p s. 4.3.1) mit der Anzahl der Leitungen:

$$\Delta x_{1,RQ} = n_{pad1} (l_w + l_s) = n_{pad1} p ; \Delta x_{2,RQ} = n_{pad3} p ; \Delta y_{1,RQ} = n_{pad2} p ; \Delta y_{2,RQ} = n_{pad4} p \quad (4.2-19)$$

Das einfache Beispiel in Abb. 4.2-9 demonstriert, dass bei einer geeigneten Leitungsführung nur ein Teil der Leitungen (in dem Beispiel 50% pro Seite) effektiv zu der Flächenbelegung beitragen, weil die angeführten Abschätzungsregeln auf zahlreichen Vereinfachungen basieren und dementsprechend grob sind [42]. Um die Größe des Routingquaders besser dieser und anderen tatsächlichen Leitungsführungsmöglichkeiten anpassen zu können, wird daher für je-

des BE ein zusätzlicher Korrekturfaktor χ , der im benannten Beispiel 0,5 beträgt, eingeführt [42]:

$$\Delta x_{1/2 RQ} = n_{pad4/2} p \chi \text{ und } \Delta y_{1/2 RQ} = n_{pad1/3} p \chi \quad (4.2-20)$$

Mit χ – Verdrahtungskorrekturfaktor für Routingquader
 p – Substratpitch

Auch wenn der Routingquader auf BE mit geringerer Padanzahl $n_{pad}=2$ eingesetzt werden kann, wie von *Richter* in [42] demonstriert wurde, zwingend erforderlich ist seine Anwendung nur auf hochpoligen BE (FC ICs etc). Die Routingquaderberechnung greift des Weiteren nur auf die wenigen im Modell bereits vorhandenen Parameter zurück. Eine Erweiterung und Implementierung komplexer Modelle der Escape-Berechnungen z.B. nach *Hirt* [14] ist möglich.

4.3. Geometrie-Modell für die Substrate

Für die geometrische Modellierung kann das Substrat – unabhängig vom Typ – grundsätzlich auch als ein Quader angenommen werden (Substratquader), der sich allerdings aus mehreren übereinander liegenden Quadern (Lagenquadern) zusammensetzt. Diese übereinander liegenden Quader bilden die Lagenstruktur eines Substrates ab. Die lateralen Abmessungen xy sind für alle Quader gleich. Die Gesamthöhe S des Substratquaders ergibt sich aus der Summe der Dicken aller Lagen bzw. der einzelnen Lagenquader (Abb. 4.3-1, Gl. (4.3-3)). Für die Bestimmung der Gesamthöhe S ist es jedoch nicht ausreichend, lediglich die Lagenstruktur bzw. die Lagenstärken abzubilden. Ein Substrat ist ein komplexes Gebilde, dessen designrelevante Parameter dem strengen Diktat der Fertigungstechnologie und auch der zu realisierenden Verdrahtung unterliegen. Während die Beschaffenheiten einer Lage (z.B. Materialstärke einer leitenden Signallage) hauptsächlich aus der gewählten Technologie resultieren, leitet sich die Lagenzahl und somit die vertikale Substratabmessung aus der Verdrahtungskomplexität ab. Anders als bei Technologiequadern für Bauelemente (BE) oder Verticale Interconnects (VIC), muss also ein Platzierungsvorschlag vorliegen, um eine Aussage über die Substrathöhe S zu treffen.

Nachfolgend werden die Geometrie-Parameter diskutiert. Mit den allgemeinen *Substrat-Parametern* kann der gesamte Substratquader als ein statisch angenommenes Gebilde, dessen Abmessungen während des Designprozesses nicht änderbar sind, einfach beschrieben werden.

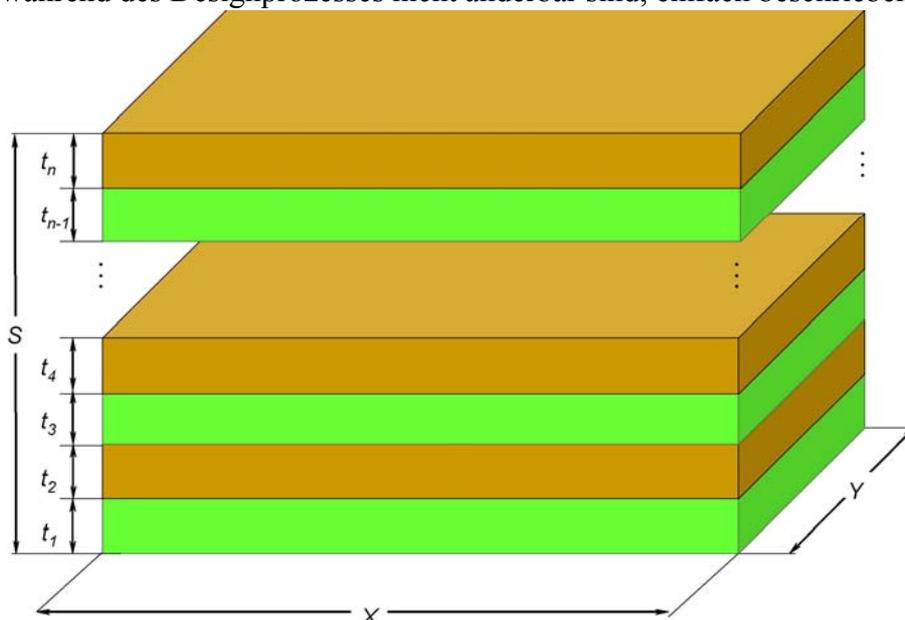


Abb. 4.3-1 Substrat- und Lagen-Quadermodell

Diese Parameter sind für die vereinfachte Grobmodellierung ausreichend. Eine feinere Modellierung des Substrats wird durch die Beschreibung der Lagenquader mit den *spezifischen Lagen-Parametern* erreicht, die die technologischen Einzelheiten des Substrataufbaus beinhalten und sich im Designprozess ändern können. Anschließend wird die vertikale Abmessung des Substrates als eine Funktion der Verdrahtungskomplexität über die Lagenanzahl ermittelt.

4.3.1. Allgemeine Substrat-Parameter – Grobmodellierung und Einstellungen für das gesamte Substrat

In der Grobmodellierung ist es möglich, das Substrat lediglich über die Eigenschaften des Gesamtquaders („statisch“) zu beschreiben. Dafür werden nur die allgemeinen Substrat-Parameter, mit denen ein beliebiges Substrat beschrieben werden kann, benötigt. Dies stellt die erste Abstraktionsebene und die einfachste Modellierungsvariante dar. Eine vertiefte technologische Beschreibung ist über die Lagenquader bzw. spezifische Lagenparameter möglich.

Anders als die BE, die als fest definierte physikalische Gegenstände in den physikalischen Entwurf eingehen, erfolgt die Definition der Substrateigenschaften in den Entscheidungsprozessen während des Designs. Ähnlich wie VIC besitzen die Substrate deshalb keine „Mindestabmessungen“ in Form eines Basisquaders, der während des Designprozesses unverändert bleibt.

Die Eigenschaften des Gesamtquaders (allgemeine Substrat-Parameter) sind durch folgende Einstellungen festgelegt:

- Abmessungen (für die bessere Lesbarkeit wird auf den Index $_{subst}$ verzichtet, im Kapitel 4.3 gilt $x_{subst\ min} = x_{min}$ etc.):

$$x_{min}, x_{max}, y_{min}, y_{max}, h \text{ (oder } S) [\mu\text{m}], S = \sum_{i=1}^{n_l} t_{l_i}$$

- Typ: Starr, Flex (rigid, flexible)
- Bestückung:
 a_s – Bestückungsanzeige (assembly):
 $a_{s\ bot}=1$ Bestückung auf der untersten Metallisierungslage (bottom) erlaubt
 $a_{s\ bot}=0$ Bestückung auf der untersten Metallisierungslage (bottom) nicht erlaubt
 $a_{s\ top}=1$ Bestückung auf der obersten Metallisierungslage (top) erlaubt
 $a_{s\ top}=0$ Bestückung auf der obersten Metallisierungslage (top) nicht erlaubt
- Technologie: Laminat, Keramik, Dünnschicht
- Finish: HAL, Flashgold, Reduktivgold, Galvanisch Gold, Chemisch Zinn, Chemisch Silber etc.
- Embedded: ja/nein
- Pitch $p = (l_w + l_s)$, resultierend aus
 l_w Line Width [μm]
 l_s Line Space [μm]
(s. unten, auch einstellbar über die Lagen), resultierend aus:
- Additional Line, Additional Space
 $l_w = l_{wmin} + l_{w,ad}$, $l_s = l_{smin} + l_{s,ad}$
- Via-Drill d_{drill} [μm] bzw. $d_{drill\ min}$

- Restring l_{rr} [μm]
- Via-Typ [TH, Buried, Blind ...]

Erläuterungen

Abmessungen: Die Bestimmung der lateralen Abmessungen eines Moduls bzw. Substrates gehört zu den grundlegenden Optimierungszielen während des globalen Entwurfsschrittes. Deshalb werden die xy -Werte stets als ein Intervall „quasistatisch“ definiert und können sich innerhalb dieses gegebenen Intervalls bewegen. Wird die einfachste Modellierung angewandt und werden keine Parameter für die Beschreibung von Lagequadern eingeführt, wird S als ein konstanter Wert vorgegeben. Das bedeutet, dass dem Substrat eines SiP-Moduls am Anfang des physikalischen Design eine feste Größe in vertikaler Richtung zugewiesen wird (z.B. $300\mu\text{m}$), die während des globalen Entwurfes konstant bleibt. Andernfalls leitet sich S aus der Summe der Dicken der einzelnen Lagen ab, deren Anzahl von den Routingaspekten abhängt (s. nachfolgende Kapitel).

Typ: Prinzipiell lässt sich sowohl mit starren als auch mit flexiblen Substraten ein gestapelter oder gefalteter SiP Aufbau realisieren: Flexible Substrate können mit Bumps zu einem stackbaren Modul ausgestattet werden (Abb. 2.2-17), und rigide Substrate können in der starr-flexiblen Ausführung gefaltet werden. Für die Vereinfachung der derzeitigen Modellierung legt der Substrattyp die Art der zulässigen VIC, die sich darauf befinden, fest. Bei einem starren Substrat werden Bumps verwendet, ein flexibles Substrat setzt ein Faltsegment als VIC voraus.

Bestückung: Die beidseitige Bestückung stellt z.B. bei den flexiblen Substraten eine fertigungstechnische Herausforderung dar: Eine beidseitige FC-Montage erfordert spezielle Vorrichtungen. Auch aus EMV-Gründen kann ein Verzicht auf unmittelbar übereinander liegende oder sogar ineinander ragende BE in einem vertikalen SiP nötig sein. Mit der Bestückungsanzeige ist es möglich, sowohl eine beidseitige ($a_{s\ top}=1$, $a_{s\ bot}=1$) als auch andere Bestückungsvarianten zu deklarieren (Beispiel: einseitige Top-Bestückung $a_{s\ top}=1$, $a_{s\ bot}=0$). Diese Vorgabe bezieht sich nur auf BE, die VIC unterliegen den Restriktionen aus den VIC Einstellungen (vgl. *Substratbelegung*, in Kap. 4.4.1) und bleiben davon unberührt.

Embedded: In der momentanen Modellierung bilden eingebettete BE (embedded components) eine separate Komponente. Es ist dennoch möglich, im Hinblick auf zukünftige Anpassungen eine Verwendung der eingebetteten Komponenten zu deklarieren (embedded ja/nein).

Technologie: Es erscheint zunächst nahe liegend, die Substrattechnologie (Laminat, Keramik, Dünnfilm) als eine globale Substrateinstellung einzuführen. Diese Einstellung (Technologie) ist zwar möglich, hat jedoch nur informativen Charakter, denn die Einzelheiten dieser Techniken werden durch die einzelnen Lagen und ihren Aufbau (Lagendicke t , Line, Space, Material etc. s.u.) beschrieben.

Pitch: Ähnlich verhält es sich mit der Vorgabe „Pitch“, die sich eigentlich auf minimale Strukturbreite und -abstand auf der obersten und untersten Metallisierungslage bezieht. Die Einstellungen für Strukturbreite (l_w – line width) und -abstand (l_s – line space) werden automatisch aus den Lagen-Einstellungen übernommen, sofern diese Lagen einzeln deklariert werden. Der Fall $n_l=1$, $S=t_l$ stellt die simpelste Modellierung dar, bei der der Substratquader als ein einziger Lagequader dargestellt wird. Sollte diese Modellierung angewandt werden, ist es möglich, die line/space-Daten, die für die Definition des Technologiequaders eines BE erforderlich sind (s. 4.2.1), festzulegen, ohne entsprechende Metallisierungslagen einzuführen. Eine andere Option für eine Vereinfachung der Einstellungen und Bedienung ist, wenn die Pitch-Einstellungen aus dem Substratquader für alle weiteren leitenden Metallisierungslagen bzw. Lagenquader übernommen werden.

Erfahrungsgemäß besitzen die Halbleiter-BE, die als FC eingesetzt werden, das kleinste Anschlussrastermaß. Die daraus resultierenden minimalen Line- und Space-Vorgaben ($l_w \min$, $l_s \min$) werden bei der Erfassung der BE errechnet und gehen in die Bestimmung der Substratparameter ein (s. *Kontaktierung* in 4.2.1.). Zu einer guten Designpraxis gehört die Schonung der Fertigungsressourcen. Es ist aber nicht sinnvoll, für die Platzierung der BE und für das Routing die absolut minimalen Werte zu übernehmen. Die technologisch grenzwertige Realisierung kleinster Strukturen auf einem Substrat soll partiell bzw. lokal im FC-Montagebereich möglich sein, aber nicht als eine durchgehende Regel für das gesamte Substrat verwendet werden. Deshalb wird diesen Werten ein durch den Designer frei wählbarer Sicherheitszuschlag (*additional line width* $l_{w,ad}$, *additional line space* $l_{s,ad}$) zugeordnet. Übliche p Werte der Lamine sind in der Tab. 2.3-5 aufgeführt.

Finish: Die Oberflächenmetallisierung (sog. Finish) der Assemblierungslagen stellt im Grunde auch eine einzelne und durch Lagenquader beschreibbare Lage dar. Die Finishbeschaffheiten wirken sich zum Einen maßgeblich auf applizierbare Verbindungstechniken aus (s. Tab. 2.3-6: *Gebräuchliche Oberflächenbeschichtungen*). Zum Anderen gehört die Oberflächenmetallisierung zu den wichtigen Kostenfaktoren bei der Substratfertigung. Durch die definierten BE-Eigenschaften wird die Auswahl der zulässigen Finishe eingeschränkt. (s. Tab. 4.2-3).

Via-Drill, Via-Typ, Restring: Eine Bohrung für die Durchkontaktierung wird durch die Eingabe des Durchmessers in μm festgelegt. Die konkrete Auswahl der Durchkontaktierungsart ist ein Bestandteil des Detailentwurfsschrittes und als Teil der Entflechtungs-Aufgabe (Fine-Routing) für die globale Modellierung unerheblich. Um die Komplexität des Modells im Rahmen zu halten, sind die in der Feinstleiter- bzw. HDI-Technik verfügbaren Vias (blind, buried etc., Abb. 2.3-15), die den einzelnen Innenlagen individuell zugeordnet werden müssen, zwar deklarierbar, haben aber nur informativen Charakter. Für die nachfolgenden Betrachtungen zur Verdrahtungskomplexität wird stets Through-Hole Via angenommen (durchgehende Bohrung durch alle Lagen, s. Abb. 4.3-2). Für laminierte Substrate wird von den Herstellern ein Aspektverhältnis von 1:8 zwischen dem Bohrungsdurchmesser und der Gesamtsubstratdicke empfohlen [44] ($d_{drill}/S=1/8$). Die Vorgabe für die minimal zulässige Bohrung $d_{drill \min}$ liegt für eine sichere Produktion bei 200 μm und kann bei experimentellen Fertigungen auf 150 μm und kleiner reduziert werden. Für den Restring kann die minimale Strukturweite (l_w) angenommen werden. In weiteren Ausführungen gilt für Lamine als Vorschrift:

$$d_{drill} = \max \left\{ \frac{S}{8}; d_{drill \min} \right\} \text{ mit } d_{drill \min} = 150 \mu\text{m} \text{ und } l_{rr} = l_w \quad (4.3-0)$$

Approximiert man die von der Via belegte Fläche als ein Quadrat, so kann der Flächeninhalt wie folgt berechnet werden:

$$A_v = \left(2l_{rr} + d_{drill} \right)^2 = \left(2l_w + \max \left\{ \frac{S}{8}; d_{drill \min} \right\} \right)^2 \quad (4.3-1)$$

Berücksichtigt man die Tatsache, dass zwischen den leitenden Strukturen auf dem Substrat ein Mindestabstand l_s eingehalten werden muss, so berechnet sich die effektiv von der Durchkontaktierung belegte Fläche als:

$$A_v = \left(2l_{rr} + l_s + d_{drill} \right)^2 = \left(2l_w + l_s + \max \left\{ \frac{S}{8}; d_{drill \min} \right\} \right)^2 \quad (4.3-2)$$

4.3.2. Spezifische Substrat-Parameter – Feinmodellierung und Einstellungen für die Lagen

Durch die spezifischen Parameter kann die gewählte Substrattechnologie beschrieben werden.

- n_l – Anzahl der Lagen (number of layer) , resultierend aus $n_l = s + f$
Anzahl der leitenden Lagen (Matellisierungslagen) s und s_{max}
Anzahl der nicht leitenden Lagen f
- t_l – Lagendicke allgemein (thickness of layer) [μm]
- Art: Leiter, Isolation, Schutzschicht
Leiter kann optional als *Plane* oder *Signal* deklariert werden
- Material: Cu, PI etc. ...ein String + Materialdaten
- Pitch $p = (l_w + l_s)$, resultierend aus
 l_w [μm] und l_s [μm]

Für die Vereinfachung der Beschreibung in weiteren Kapiteln gelten separate Bezeichnungen für die Dicken der leitenden und isolierenden Lagen: $t_{met}=c$ (copper), $t_{iso}=d$ (dielektrikum).

Für die Isolationslagen können auch im Einzelnen technologische Bezeichnungen verwendet werden:

- t_{sm} – Dicke der äußeren Schutzschichten (thickness solder mask) [μm]
 $t_{prepreg}$ – Dicke des Prepregs [μm]
 t_{core} – Core-Dicke [μm].

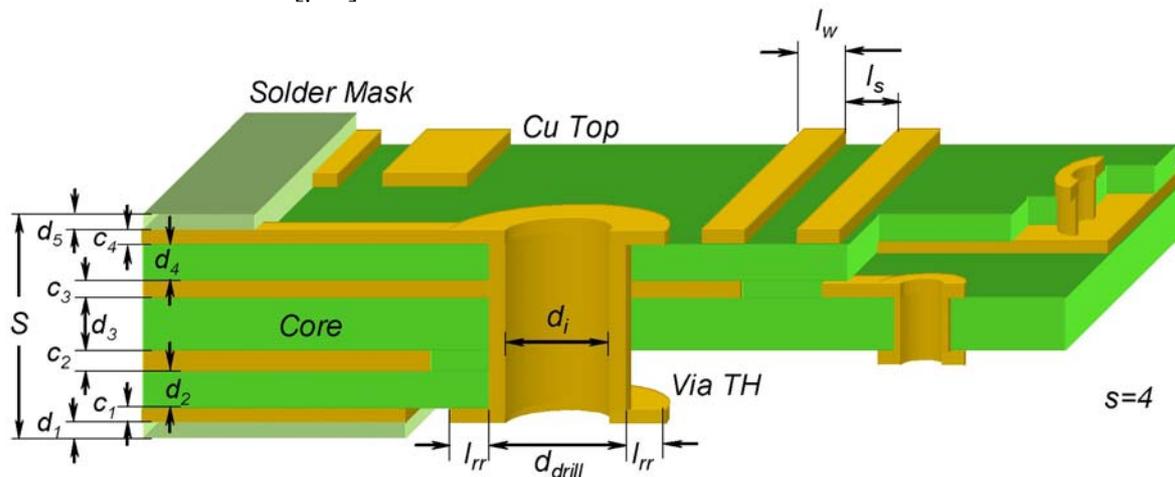


Abb. 4.3-2 Schematische Darstellung der realen Strukturen eines Substrates mit vier Signallagen und wichtigen Größen ($d_3=t_{core}$; $d_2=d_4=t_{prepreg}$, $d_1=d_5=t_{sm}$ etc.)

Erläuterungen

Anzahl der Lagen: Wie nachfolgend gezeigt wird, ist die Anzahl der leitenden (Signal-) Lagen eine Größe, die nicht von Beginn an eindeutig festlegbar ist. Diese Größe ändert sich dynamisch als eine Funktion des erforderlichen Verdrahtungsbedarfs. Sie ist Gegenstand der Berechnungen im Kapitel 4.3.3 *Bestimmung der vertikalen Abmessungen und der Verdrahtbarkeit*. Sollen die Berechnungen, die einen Platzierungsvorschlag erfordern, ausgelassen werden, ist es mit dieser Einstellung möglich, die Lagenzahl willkürlich oder erfahrungsbasiert „statisch“ festzulegen. Andernfalls ist mit der Festlegung einer maximal möglichen Lagenzahl s_{max} die oberste Grenze für die nachfolgenden Betrachtungen anzusetzen.

Lagendicke: Auch wenn in der Praxis häufig symmetrische Lagenaufbauten verwendet werden, sind zunächst die Stärken t der einzelnen Lagen individuell einstellbar. Damit ist es möglich, verschiedene Substratechnologien im gleichen Modell abzubilden: sowohl Laminattechnologien, die ausgehend von einem mittleren Kern (sog. „Core“) in der Regel symmetrisch nach oben und unten aufgebaut werden, als auch beispielsweise Dünnschichtaufbauten, bei denen die Lagen nacheinander additiv in vertikaler Richtung aufwachsen, als auch mögliche Sondersubstratkonstruktionen sind darstellbar. Z.B. werden bei der Fertigung laminiertes Multilayer-Substrate mehrere Dielektrikum-Prepregfolien miteinander kombiniert, um die durch die Leiterbahnimpedanz vorgeschriebene Dielektrikumdicke zu erreichen [2] [43] [44]. Es ist dadurch auch möglich, die oben erwähnte Abschlussmetallisierung (Finish) als eine separate Lage von wenigen μm (und geringer) Dicke zu deklarieren. Im Folgenden soll sie vereinfachend der äußeren Metallisierungslage zugeschlagen werden.

Nummerierung

Hinsichtlich der Lagen-Nummerierung existieren mehrere, sich teilweise ausschließende Konventionen. Es ist z.B. üblich, in der Fertigung laminiertes Substrate die Lagen von den zwei mittleren Lagen ausgehend (vom Core aus) nach außen zu nummerieren. Im ECAD Prozess für die Entflechtung von Leiterplatten deklariert man dagegen explizit die Bestückungslagen mit Top und Bottom und zählt die Innenlagen von oben nach unten, wobei potenzialgebundene flächige Lagen wie z.B. Power oder Ground eine eigene Bezeichnung bekommen (i.d.R. Plane) und nicht mitgezählt werden. In der Fertigung von Dünnschichtsubstraten zählt man wiederum die leitenden Layer stets von unten nach oben (Metall 1, Metall 2 etc.). Die hier vorgeschlagene Nummerierung (s. Abb. 4.3-1) leitet sich nicht aus einem der beschriebenen Bereiche ab und orientiert sich lediglich an der Verständnisvereinfachung für das diskutierte geometrische Modell.

Art, Material und äußere Schutzschichten

Um einen direkten Anschluss an thermische und elektrische Simulationswerkzeuge zu ermöglichen, ist es sinnvoll die Art und Materialcharakteristiken der verwendeten Lagen im Modell abzulegen. Für die nachfolgenden Betrachtungen der Geometrie sind diese Daten nicht relevant.

Dagegen sind die äußeren Schutzschichten und die Definition ihrer Dicke t_{sm} wichtig für mehrere Modellierungsaspekte.

Der Lötstopplack (solder mask) auf einem starren Substrat kann eine Dicke von bis zu 20 μm annehmen. Dadurch, dass die Kontaktierungsflächen (Substrat-Pads) in der Lackbeschichtung ausgespart werden, tragen diese Schichten nicht zur Höhe von z.B. Bumps bei.

Je nachdem wie die Lötstopplackbeschichtung für die Montage eines BE gestaltet ist (solder mask defined pads etc., vgl. Abb. 2.3-16 in Abschn. 2.3.2 und *Lotstoppschicht-Faktor* in 4.2.3), trägt die t_{sm} zur der Definition der BE-Quader in die vertikale Richtung bei (Gl. (4.2-17)). Bei den flexiblen Substraten dient die äußere Schicht nicht nur der Lötstopwirkung, sondern übernimmt auch eine stabilisierende oder schützende Funktion (sog. „Coverlayer“ [87]). Für die Berechnung des Biegeradius' des Faltsegmentes als VIC sind diese Schichten nicht vernachlässigbar (s. Kapitel 4.4.4). Darum muss bei dem Substrattyp „Flex“ die äußere „Coverlayer“-Schicht als eine der isolierenden Schichten $t_{sm}=D$ (vgl. *Minimaler Biegeradius* in Kapitel 4.4.4 und Gl. (4.4-20), S. 91) stets berücksichtigt werden.

Erläuterungsbeispiel

Das in der Abbildung dargestellte Substrat kann mit den eingeführten Parametern beispielsweise so beschrieben werden:

Allgemein:

$x=y=10000\mu\text{m}$, $S=208\mu\text{m}$; Starr; $a_s=1$; Laminat; Flash Gold; $n=7$; Embedded Nein;
 $l_w=l_s=p=150\mu\text{m}$; $d_{\text{drill}}=150\mu\text{m}$; $l_{\text{tr}}=l_w=150\mu\text{m}$; Via TH, Blind, Burried; $t_{\text{sm}}=20\mu\text{m}$

Lagen

$s=4$; $f=5$; $c_{1...4}=17\mu\text{m}$; $c_{1...4}$ Leiter Kupfer; $d_1=d_5=t_{\text{sm}}=20\mu\text{m}$; $d_3=t_{\text{core}}=50\mu\text{m}$; $d_2=d_4=t_{\text{prepreg}}=25\mu\text{m}$; $d_2...d_4$ Isolator Dielektrikum FR4; d_1,d_5 Isolator Dielektrikum Lack, für alle Lagen
 $p=l_w=l_s=150\mu\text{m}$

Austausch-Parameter

Wie bei der Vorstellung des Modells aufgezeigt wurde, beeinflussen die Substratdaten mehrere Parameter in den anderen Instanzen (vgl. Abb. 4.1-5 und Tab. 4.4-1). Zu den Austausch-Parametern gehören:

- $l_{\text{sm}}, l_{\text{wmin}}$ – Die Größen werden aus der Berechnung der BE übernommen (vgl. Gl. (4.2-2) und (4.2-3)) und bei Bedarf als Basis für l_s, l_w Berechnung eingesetzt,
- l_s, l_w – dadurch werden Bump-VIC Abmessungen (Gl. (4.4-13)), Faltsegment-VIC (Gl. (4.4-17)) und Technologiequader von BE (Gl. (4.2-6)-(4.2-9)) beeinflusst,
- Anzahl der Lagen s – ist massgeblich für die Berechnung von minimalem Biegeradius r_{bmin} bzw. x Abmessung eines Faltsegmentes (Gl. (4.4-28)),
- *Finish* – dadurch wird die Assemblierungstechnik für BE und folglich vertikale Abmessung für BE-Quader festgelegt (vgl. Tab. 4.2-3),
- t_{sm} – geht in die Berechnung der vertikalen Abmessung für BE-Quader mit ein (Gl. (4.2-17)).

4.3.3. Bestimmung der vertikalen Abmessungen und der Verdrahtbarkeit

Vorbetrachtungen

Die xy -Abmessungen des Substrates können vom Designer vorgegeben werden. Diese können sich auch in einem Variationsintervall für die mehrkriterielle Platzierungsaufgabe bewegen. Für die einfachste Variante der Modellierung kann die Dicke der einzelnen SiP Substrate (vertikales Beschreibungsmaß für den Substratsquader S) als eine Größe mit einem konstanten Maß angenommen und die genaue Bestimmung der Lagenzahl und der Substratdicke in die nachfolgende Detail-Entflechtung verlagert werden.

Damit können jedoch zu einem nicht verdrahtbare und damit ungültige Platzierungsvorschläge entstehen. Zu anderem kann ein essentieller Fehler in der Vorausschau auf die Systemgesamtabmessungen, die der globale Entwurfsschritt liefert, entstehen. Für Systeme von wenigen mm Höhe, die SiPs darstellen, ist es durchaus wichtig, wie die einzelnen vertikal zu integrierenden Substrate bzw. Module aufgebaut sind: Der Unterschied zwischen einem zweilagigen und einem Multilayersubstrat kann mehrere 100 μm betragen. Die vertikale Abmessung eines Substrates mit Lotstopschicht (Abb. 4.3-2) bildet sich allgemein wie folgt:

$$S = \sum_{i=1}^s c_i + \sum_{i=1}^{s+1} d_i \quad (4.3-3)$$

Geht man von einem für Multilayerlaminat üblichen symmetrischen Prepregaufbau um den Core (stets gerade Zahl der Lagen, s. Abb. 2.3-14c) mit gleicher Prepregdicke $d_2=d_3=\dots=d_{s-1}=t_{\text{prepreg}}$, gleicher Cu-Dicke der Innenlagen $c_2=c_3=\dots=c_{s-1}=c_{\text{inn}}$ sowie mit Aussenlagen c_1

und c_s , kann man bei einer bekannten Signallagenzahl s , die stets größer als 0 ist, mit einer Aufrundungsfunktion (sog. ceiling-Funktion) $\lceil (s-2)/2 \rceil$ die Substratdicke wie folgt ausrechnen:

$$S = 2 t_{sm} + t_{core} + c_1 + c_s + \lceil (s-2)/2 \rceil \cdot 2 \cdot (t_{prepreg} + c_{inn}) ; \quad s > 0 \quad (4.3-4)$$

Während die Werte für die Schichtdicken c_i und d_i aus den Spezifikation der Hersteller (prozessierbare Metallisierungsfolien, übliche Isolations- bzw. Dielektrikumschichten etc.) abgeschätzt werden können, ist die genaue Vorhersage der Anzahl der für eine erfolgreiche Verdrahtungsrealisierung notwendigen leitenden Signallagen s nicht trivial.

Die frühzeitige Vorhersage der Substrat-Komplexität bzw. der Verdrahtbarkeit eines Substrates (sog. Routability-Problem) gehört zu den großen Herausforderungen im Elektronikentwurf. In den heutigen Anwendungen ist es gängige Praxis, den Autorouter sukzessive in iterativen Schleifen einzusetzen und durch begleitende mehrfache Änderung der Verdrahtungsparameter – l_w , l_s , der Anzahl der Signallagen und der Via-Typen – sowie durch Platzierungsanpassung zu einem Ergebnis zu gelangen (s. Kapitel 3.2 Einführung in den physikalischen Entwurf der 2D Multichip-Systeme). Obwohl die Geschwindigkeit heutiger Routing-Algorithmen in Kombination mit schnellen Prozessoren in den letzten Jahren massive Fortschritte gemacht hat, ist diese Vorgehensweise immer noch mit einem zeitintensiven personellen Einsatz in einem Designer-Team verbunden. Es handelt sich hierbei um einen Fall der Optimierung, bei dem man immer wieder nur einen Layoutvorschlag behandelt (s. dazu *Mehrkriterielle Optimierung* in Kap. 3.3.4). Eine Anwendung des Autorouters auf mehrere 100 Entwürfe in einem mehrkriteriellen Entwurf erscheint kritisch.

Auf der anderen Seite stehen weniger präzise, dafür aber wesentlich schnellere analytische Methoden zur Vorhersage der Verdrahtungskomplexität, die eine Abschätzung der notwendigen Verdrahtungsparameter und eine Aussage über eine erfolgreiche Verdrahtung in der Pre-layout-Phase anstreben. Insbesondere im IC-Entwurf, bei dem die Anzahl der zu verbindenden Komponenten und damit die Anzahl von Netzen in Größenordnungen von 10^3 auftritt, ist es von besonderer Bedeutung. Die Verdrahtungsparameter schlagen sich in der Anzahl der Waferprozessierungen nieder, die mit erheblichen Kosten einhergehen. Aber auch im PCB- und MCM-Entwurf wirken sich die routing-relevanten Parameter, die durch den Designer einstellbar sind, unmittelbar auf die Substratkosten aus ([11], S. 9.20).

Für die Vorhersage der Höhe eines vertikalen SiP im globalen Entwurfsschritt ist eine prinzipielle Aussage über die erfolgreiche Verdrahtbarkeit und über die dafür notwendige Anzahl der Signal-Lagen in den einzelnen Substraten erforderlich. Eine genaue Bestimmung der Routing-Parameter (Via Typ, line, space, powerplanes etc.), bei denen ein 100%iger Routingenerfolg möglich ist, erfolgt während der Entflechtung im nachgelagerten Detailentwurfsschritt. Für eine vorhandene Platzierung, die durch ein algorithmisches Optimierungswerkzeug für die einzelnen SiP Module berechnet wird, kann eine begründete Vorhersage zur Signallagenzahl basierend auf analytischen Methoden abgeleitet werden.

Vorhandene Methoden

Grundsätzlich ist es möglich, die beschriebene Problematik abstrakt mit graphentheoretischen

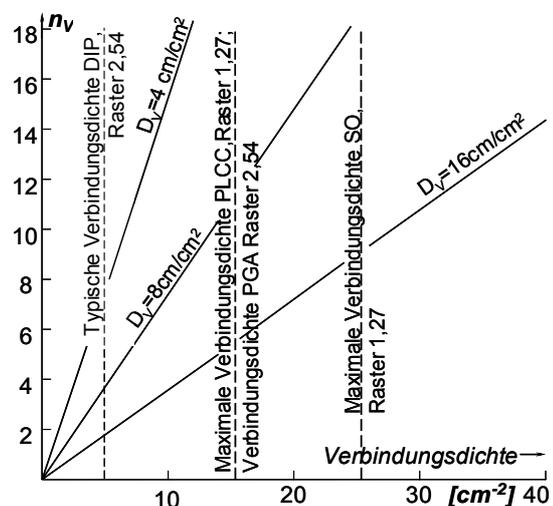


Abb. 4.3-3 Anzahl der Verdrahtungsebenen in Abhängigkeit von der Verbindungsichte nach [2]

schen Methoden aus dem entsprechenden Mathematik-Bereich zu behandeln. Es existiert aber eine Reihe von Ansätzen, die empirisch aus der Praxis abgeleitet wurden. In der Literatur findet man bspw. einfache Vorgaben für die Lagenzahl einer Leiterplatte, die allerdings auf Erfahrungswerten für BE mit dem Anschluss-Rastermass von 0,635 bis 1,27 mm (PLCC Gehäuse) aus den 80er Jahre basieren und nicht mehr zeitgemäß sind (Abb. 4.3-3, [2]).

Es sind aber auch auf Erfahrungswerten basierende Berechnungen bekannt, die skalierbar und daher vom technologischen Fortschritt unabhängig sind. Besteht das alleinige Untersuchungsziel in der Abschätzung der Lagenzahl und der daraus resultierenden Substratdicke, so können grundsätzlich zwei aus der Praxis abgeleitete empirische Methoden effektiv angewandt werden [59]:

1. Gegenüberstellung der zur Verfügung stehenden Verdrahtungsressourcen und des erforderlichen Verdrahtungsbedarfs,
2. Lokale Bestimmung der Verdrahtbarkeit durch willkürlich gesetzte Schnittebenen.

Methode 1: Verdrahtungsressourcen

Als Verdrahtungskapazität (W_c) wird die Gesamtlänge aller Leitungen definiert, die in einer gegebenen Struktur pro Flächeneinheit zu Verfügung stehen [48][94]. In der englischsprachigen Literatur wird diese Größe unterschiedlich bezeichnet: Wiring Capacity, Interconnect Capacity, Interconnectivity [59],[96]. Sie stellt einen theoretischen Maximalwert dar. Mit den in Abb. 4.3-4 dargestellten Größen definiert sich W_c wie folgt:

$$W_c = \frac{(x/p)y s}{A} = \frac{(x/p) y s}{x y} = \frac{s}{p} \quad (4.3-5)$$

Dabei stellt x/p die Anzahl der Leitungen pro Lage dar, deren Produkt mit y die Gesamtleitungslänge pro einzelner Lage ergibt. Die Multiplikation mit der Anzahl der Lagen s liefert die Gesamtleitungslänge in dem Substratstück mit den Abmessungen $x y$. W_c wird in $[\text{cm}/\text{cm}^2]$ oder $[\text{m}/\text{cm}^2]$ angegeben. Die Größe ist charakteristisch für verschiedene Substrattechnologien (Abb. 4.3-5).

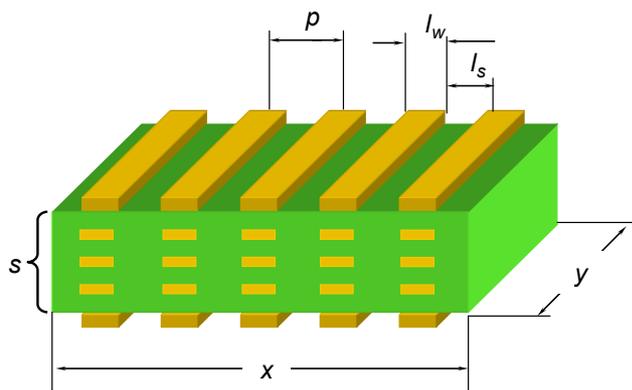


Abb. 4.3-4 Größen für die Bestimmung der Verdrahtungskapazität

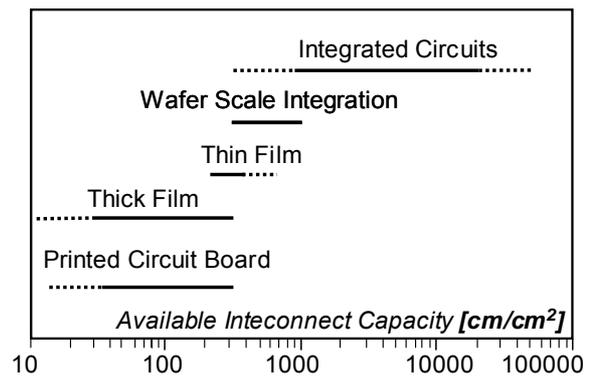


Abb. 4.3-5 Verdrahtungskapazität für verschiedene Substrattechnologien nach [59]

Eine Untersuchung nach Methode 1. läuft darauf hinaus, dass die theoretisch verfügbare Leitungslänge über einen Koeffizienten – Verdrahtungseffizienz ε – in Relation zu der erforderlichen Leitungslänge gesetzt wird. Die verfügbare Leitungslänge wird als das Produkt aus der Verdrahtungskapazität und der für die Verdrahtung zur Verfügung stehenden Fläche berechnet.

$$\text{Mit } l_p = A W_c \quad (4.3-6)$$

$$\text{gilt } l_r = \varepsilon l_p = \varepsilon A W_c \quad (4.3-7)$$

- Mit l_r – benötigte Verdrahtungslänge (length required)
 l_p – maximal mögliche Gesamtverdrahtungslänge (length possible)
 $\varepsilon A W_c$ – zu Verfügung stehende Verdrahtungslänge
 A – für die Verdrahtung zu Verfügung stehende Fläche
 ε – Verdrahtungseffizienz

Die Verdrahtungseffizienz für eine erfolgreiche Verdrahtung hat einen maximalen (Erfahrungswert) von 0,3 bis 0,4 [59] oder nach anderen Quellen 0,4 bis 0,5 [48][94].¹

Für die Bestimmung der benötigten Verdrahtungslänge wird zunächst der Mittelwert der Länge aller Netze – mittlere Leitungslänge – über empirische Modelle wie z.B. Seraphims Regel, Feuerische Approximation, die auf der Rentschen Regel zur Vorhersage der Anschlusszahl eines elektrischen Schaltkreises basieren, ermittelt [48] [94]. Aus der mittleren Verdrahtungslänge, einem Netzfaktor und dem Abstand zwischen den BE wird schließlich die benötigte Verdrahtungslänge bestimmt. Da die benötigte Verdrahtungslänge für das unten diskutierte SiP Problem anders ermittelt werden kann, wird auf die Darstellung der Berechnungen zur Bestimmung der mittleren Verdrahtungslänge verzichtet. Für eine vertiefte Betrachtung stehen folgende Literaturquellen zu Verfügung [48] [59] [96].

Anpassung der Verdrahtungsressourcen-Methode auf ein vorplatziertes Problem im globalen SiP-Entwurf

In diesem Abschnitt wird die Verdrahtungsressourcenmethode schrittweise den realen Gegebenheiten im SiP-Entwurf in komplexer werdenden Stufen angenähert.

Einfache Anwendung (Stufe 0)

Das SiP-Routing-Problem in einem Modul ist, gemessen an der Komplexität eines IC oder eines hochkomplexen Bords mit über 100 zu verdrahtenden Komponenten, überschaubar. Hinzu kommt, dass bei einem Platzierungsvorschlag die BE eines Moduls und damit auch die in einem Modul zu verlegenden Netze bekannt sind. Damit entfällt die Notwendigkeit, über empirische Gesetze und statistische Annahmen die mittlere Verdrahtungslänge zu ermitteln. Existiert ein Platzierungsvorschlag, den ein algorithmisches Tool ermittelt hat, so kann die Gesamtnetzlänge in Manhattan-Metrik vergleichsweise einfach ermittelt werden (s. Abb. 4.3-7). Damit steht die theoretisch erforderliche Verdrahtungslänge als ein viel genauerer Wert als in den oben beschriebenen Annäherungen fest.

$$l_r = N_l = N_{l_1} + N_{l_2} + \dots = \sum_{i=1}^{n_n} N_{l_i} \quad (4.3-8)$$

- N_l – Summe aller Netzlängen im Modul in der Manhattan-Metrik
 n_n – Anzahl der Netze im Modul
 N_{l_i} – Länge des einzelnen Netzes in Manhattan-Metrik

Zieht man für die Berechnung der zur Verfügung stehenden Verdrahtungslänge die Formel (4.3-7) heran, erhält man für die Anzahl der Lagen in erster Näherung

¹ In [95] wird für die PCB-Realisierungen mit komplexen Via-Konstruktionen sogar ein maximaler Wert von 0,75...0,8 genannt, allerdings handelt es sich um eine Einzelpublikation, in der keine Berechnung oder experimenteller Nachweis geführt werden.

$$s = \frac{N_l p}{\varepsilon A} \quad (4.3-9)$$

s – rechnerisch ermittelte Anzahl der Verdrahtungslagen.

Nimmt man an, dass die gesamte Modulfläche A für die Verdrahtung verfügbar und zugänglich ist, kann man für die Fläche A die gesamte Modulfläche (xy) und für den Pitch typische Substrattechnologiedaten einsetzen und damit bereits erste Aussage für s berechnen.

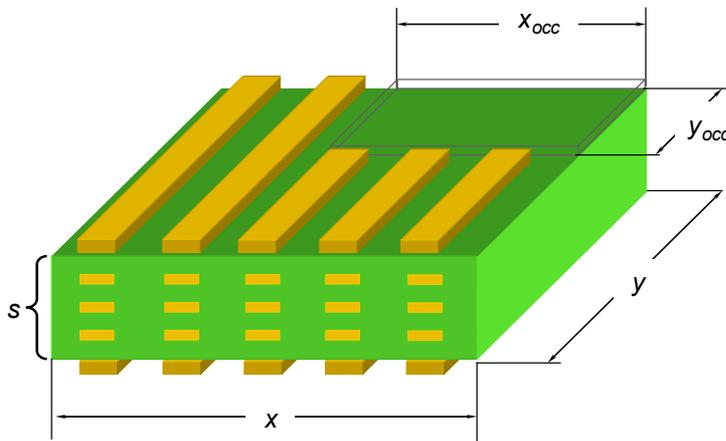


Abb. 4.3-6 Schematische Darstellung der für die Verdrahtung nicht zu Verfügung stehenden Flächen

Ein SiP-spezifisches Phänomen besteht im Gegensatz z.B. zum IC-Entwurf darin, dass die Netzanschlüsse (Terminals) sowohl von den BE als auch von den VIC eine nicht zu vernachlässigbare Größe besitzen (s. Abb. 4.3-7). Damit entstehen für die Verdrahtung nicht verwertbare Sperrgebiete (s. Abb. 4.3-6). Auf den bestückbaren Ober- und Unterseiten des Substrats sind es die BE- und VIC-Flächen, die von der effektiv verdrahtbaren Fläche abgezogen werden müssen. Führt man Vias in die Betrachtung ein,

muss die von ihnen belegte Fläche sowohl auf den äußeren als auch auf den inneren Lagen berücksichtigt werden.

Um die Aussage über s zu präzisieren, muss die insgesamt belegte Fläche als eine Korrektur in die Betrachtung der Verdrahtungskapazität eingeführt werden. Als effektive Verdrahtungsfläche A_{eff} wird die Summe der auf allen Lagen verbleibenden und somit für die Verdrahtung effektiv zu Verfügung stehenden Fläche bezeichnet:

$$A_{eff} = s(A - A_{occ}) = s(xy - x_{occ}y_{occ}) \quad (4.3-10)$$

$A = x \cdot y$ – Modulfläche

A_{occ} – belegte (occupied) und für das Routing nicht verfügbare Fläche in einer Lage

Die Formel gilt, solange auf allen s Lagen der gleiche Bereich mit den Abmessungen $x_{occ}y_{occ}$ belegt und für das Routing nicht zugänglich ist. Sollten jeweils verschiedene Flächen auf verschiedenen Lagen belegt sein, gilt:

$$A_{eff} = \sum_{i=1}^s (xy - x_{occ_i}y_{occ_i}) = \sum_{n=1}^s (A - A_{occ_i}) \quad (4.3-11)$$

Damit gilt für die als die Anzahl der verfügbaren Leitungen pro Modulfläche definierte Verdrahtungskapazität in der Anwendung auf ein Modul mit den Abmessungen xy aus (4.3-5):

$$W_c = \frac{\left(\frac{xy}{p}\right)^s}{A} = \frac{l_l s}{xy} = \frac{\left(\frac{A_{eff}}{p}\right)}{A} = \frac{xy - x_{occ}y_{occ}}{xy} \frac{s}{A} = \frac{1}{xy} \frac{\sum_{i=1}^s (xy - x_{occ_i}y_{occ_i})}{p} \quad (4.3-12)$$

Mit l_l – verfügbare Leitungslänge in einer Lage

Die damit modifizierte Formel für die Gegenüberstellung von Verdrahtungsressourcen und Verdrahtungsbedarf lautet:

$$N_l = \varepsilon W_c A = \varepsilon \frac{A_{eff}}{p} A = \frac{\varepsilon A_{eff}}{p} \quad (4.3-13)$$

Durch die Verfeinerung der Beschreibung von A_{eff} bzw. der belegten Fläche A_{occ} kann man die Formel weiter präzisieren und den realen Verhältnissen immer näher bringen. Mit jeder weiteren Verfeinerungsstufe erhält man eine genauere Aussage, aber der Aufwand für die Verarbeitung der dafür notwendigen Daten erhöht sich dadurch.

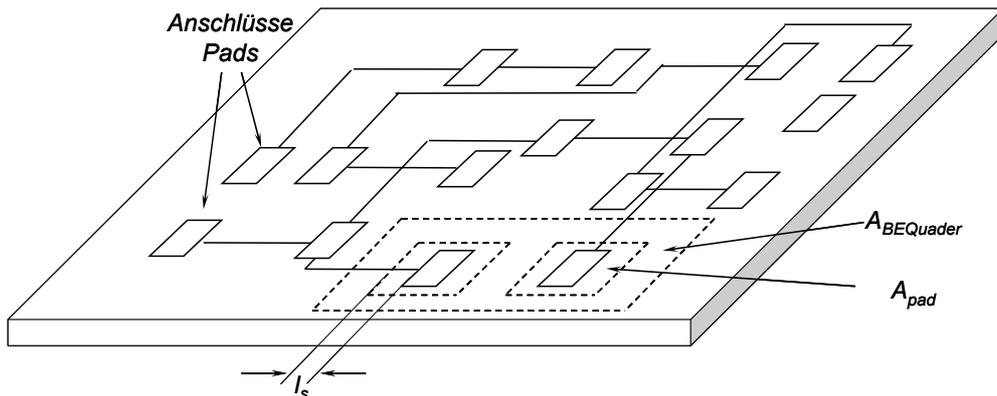


Abb. 4.3-7 Schematische Darstellung von Manhattan-Metrik, Anschlüsse (Pads, Terminals), durch BE-Quader und Pad belegten Flächen in einem SiP Modul

1. Stufe: Berücksichtigung von Technologiequadern

Die durch die BE und VIC belegten einzelnen Flächen sind durch die Technologiequader beschrieben und bekannt. Für eine einfache Berechnung kann die belegte Fläche A_{occ} als Summe der einzelnen xy Flächen der entsprechenden Quader gebildet werden. Dabei müssen auch die VIC berücksichtigt werden. Davon sind nur die unterste (1.Lage) und die oberste (s. Lage) als Bestückungslagen (Top, Bottom) betroffen:

$$\begin{aligned} A_{occ} &= A_{occ}(top, bottom) = A_{occ1} + A_{occs} = \\ &= \sum_{i=1}^{n_{BE}} A_{BEi} + \sum_{i=1}^{n_{VIC}} A_{VICi} = A_{BE} + A_{VIC} \end{aligned} \quad (4.3-14)$$

- Mit n_{BE} – Anzahl der BE auf dem Modul
- n_{VIC} – Anzahl der VIC auf dem Modul
- A_{occ1} – belegte Fläche auf der Unterseite (Lage 1, bottom)
- A_{occs} – belegte Fläche auf der Oberseite (Lage s, top)
- A_{BE} – durch die Technologie Quader der BE belegte Fläche
- A_{VIC} – durch die VIC-Quader belegte Fläche

Da die inneren Lagen von den auf der Oberfläche liegenden VIC und BE nicht betroffen sind, gilt für die verfügbare Fläche auf den Lagen innerhalb des Substrats A_{inn}

$$A_{inn} = A(s-2) \quad (4.3-15)$$

Damit gilt für A_{eff}

$$\begin{aligned} A_{eff} &= 2A - A_{occ} + A_{inn} = 2A - (A_{BE} + A_{VIC}) + A(s-2) = \\ &= sA - (A_{BE} + A_{VIC}) = sA - A_{occ} \end{aligned} \quad (4.3-16)$$

Damit erhält man aus (4.3-13) für s

$$N_l = \frac{\varepsilon (sA - A_{occ})}{p} \Rightarrow s = \frac{N_l p}{\varepsilon} + \frac{A_{occ}}{A} \quad (4.3-17)$$

2. Stufe: Berücksichtigung von Pads

Nicht bei allen BE ist die gesamte Grundfläche des Technologiequaders für das Routing gesperrt. Z.B. ist es möglich, bei größeren zweipoligen SMD's eine Leiterbahn zwischen den Pads zu verlegen. Die Fläche unter einem FlipChip ist auch nicht grundsätzlich für das Routing verboten. Eine genauere Aussage über die verfügbare Fläche erhält man, indem nur die Summe der Anschlussflächen – Substrat-Pads – als A_{occ} statt der Summe der BE-Quaderflächen für die Bestimmung der effektiven Fläche eingesetzt wird. Da die Paddaten der BE auf der Substratseite (Substrat-Pads) im Modell des Basisquaders (s.4.2.1) vorhanden sind, lässt sich die entsprechende Summe ermitteln. Approximiert man die Pads stets als eine rechteckige Fläche, kann durch die Addition von l_s der nötige Abstand zwischen den Pads und der nächstgelegenen Verdrahtungsstruktur berücksichtigt werden (s. Abb. 4.3-7).

$$A_{occ} = \sum_{i=1}^{n_{pad}} (d_{xi} + l_s)(d_{yi} + l_s) + \sum_{i=1}^{n_{VIC}} A_{VICi} = A_{pad} + A_{VIC} \quad (4.3-18)$$

d_{xi}, d_{yi} – laterale Ausdehnung von einem Pad
 n_{pad} – Anzahl der Substrat-Pads von den BE im Modul

Die durch VIC belegte Fläche ist ausreichend durch die Summe der Quaderflächen charakterisiert, da innerhalb der VIC Quader keine Leiterzüge verlegt werden können. Da die Anpassung der A_{eff} wieder nur die unterste und die oberste Lage betrifft, kann die Anzahl der Lagen s durch das Einsetzen von A_{occ} in die Gleichung (4.3-17) aus der Stufe 1 errechnet werden.

3. Stufe: Berücksichtigung von Vias

Bei allen bisherigen Betrachtungen besteht die Gefahr, dass die Abschätzung für s „zu optimistisch“, d.h. zu gering ausfällt, weil die Durchkontaktierungen und Lagenwechsel nicht berücksichtigt werden. Nimmt man an, dass jedes Netz mindestens einmal die Lage wechselt und ein Via passiert, kann von einem Via-Faktor $V_f=1$ ausgegangen werden:

$$V_f = \frac{n_V}{n_n} \quad (4.3-19)$$

Mit V_f – Via-Faktor als Anzahl der Vias pro Netz
 n_n – Anzahl der Netze
 n_V – Anzahl der Vias

Betrachtet man eine TH-Via als einzige Möglichkeit, die Signallage zu wechseln, um die Abschätzung nicht „zu optimistisch“ zu gestalten, verringert sich die A_{eff} um die Fläche, welche durch Vias in allen Lagen belegt wird:

$$\begin{aligned} A_{eff} &= 2A - A_{occ} + A_{inn} - A_{via} = 2A - A_{occ} + A(s-2) - sV_f n_n A_v = \\ &= sA - A_{occ} - sV_f n_n A_v = s \left(A - V_f n_n A_v \right) - A_{occ} \end{aligned} \quad (4.3-20)$$

Mit A_{via} – von den Durchkontaktierungen auf allen Lagen belegte Fläche
 A_v – Fläche eines einzelnen Via pro Lage aus (4.3-2)

Aus der (4.3-13) und (4.3-2) erhält man

$$N_l = \frac{\varepsilon s A_{eff}}{p} \Rightarrow s = \frac{N_l p + A_{occ}}{\varepsilon \left(A - V_f^n A_v \right)} = \frac{N_l p + A_{occ}}{\varepsilon \left(A - V_f^n \left(2l_w + l_s + \max \left\{ \frac{S}{8}; d_{drill_{min}} \right\} \right)^2 \right)} \quad (4.3-21)$$

Für eine einfache Betrachtung kann angenommen werden, dass jedes Netz mindestens ein Mal von der untersten auf die oberste Lage wechselt. Damit wird jedem Netz ein Via (TH-Via – s. oben) zugeordnet und V_f nimmt den Wert 1 an. Für A_{occ} sollte ein möglichst genauer Wert eingesetzt werden, folgerichtig aus der Stufe 2 mit der Betrachtung von BE-Pads.

Nun tritt das Problem auf, dass für die Berechnung der einzelnen Via-Flächen A_v die Substratdicke S erforderlich ist, die eigentlich über die gesuchte Anzahl der Signallagen s bestimmt wird. Als eine mögliche Vorgehensweise zur Lösung kann die Anzahl der Lagen mit den Formeln aus der ersten oder zweiten Stufe als ein vorläufiges Ergebnis und daraus die Substratdicke als ein „Erwartungswert“ berechnet werden. Sollte der resultierende Via-Durchmesser kleiner als $d_{drill_{min}}$ ausfallen, so ist die Berechnung von A_v nicht von der Substratdicke abhängig. Andernfalls wird der „Erwartungswert“ für den Term $S/8$ verwendet. Diese Vorgehensweise beinhaltet nur auf den ersten Blick einen Widerspruch: Eigentlich kann für die Via-Fläche ein pauschaler konstanter Wert angenommen werden, der nicht von S abhängt. Letztendlich wird damit versucht, die Aussage über die von Vias belegte Fläche möglichst dynamisch zu gestalten.

Eine Plausibilitätsprüfung für die Anwendung ist möglich. Die A_{eff} muss generell größer als 0 sein und der Term $(A - V_f^n A_v)$ darf nicht negativ werden. Das bedeutet im Einzelnen, dass von den Vias nicht die gesamte Fläche belegt werden darf. Tritt dieser Fall auf, bedeutet es nicht automatisch eine „Nicht-Verdrahtbarkeit“ des Moduls. In dieser Betrachtung wurden sehr flächenintensive TH-Vias zugelassen. In der manuellen Entflechtung können weitere kleinere Typen von Vias, die nicht alle Lagen und weniger Platz beanspruchen, geschickt verwendet werden, um das Routing zu bewältigen.

4. Stufe: Ground- und Power-Planes

Bisher wurden alle Netze im Modul pauschal als eine Netzlängensumme behandelt. Eine weitere Verfeinerung der Berechnung erfordert eine Herauslösung von zumindest zwei Netztypen – die für die Spannungs-Versorgung zuständigen Netze GND und Power (auch manchmal VCC genannt). Der „Multi voltage supply“ Fall, bei dem mehrere Versorgungsnetze (z.B. analoge und digitale Stromversorgung) vorhanden sind, wird zunächst ausgeschlossen.

In den heutigen Applikationen reserviert man häufig für die VCC- und GND-Netze separate Lagen in der Substratmitte (Core-Layer). Für einen besseren Potenzialausgleich sind sie als durchgehende Metallisierungsebene gestaltet (sog. Planes). Aus dem gleichen Grund wird versucht, die Versorgungen aus den äußeren Lagen über ein Via so schnell wie möglich auf diese Lagen zu führen. Auch eine Impedanz-Anpassung einer Leitung lässt sich leichter als Microstrip realisieren, wenn eine durchgehende Massefläche vorhanden ist. Geht man von der idealisierten Annahme aus, dass die Versorgungsnetze keine nennenswerte Leitungslänge auf den Signallagen zurücklegen, sondern sofort über die Vias auf die Planes geführt werden, kann die Formel aus der Stufe 3, die Via-Flächen berücksichtigt, angepasst und verwendet werden. Wendet man die beschriebenen Sachverhalte auf die Berechnungen von s an, müssen die beiden Plane-Lagen als ein fester Wert in die Formel von s eingehen und die Gesamt-netzlänge N_l um den Anteil von VCC und GND Netzen gekürzt werden:

$$s = s_{plane} + \frac{(N_l - N_{vcc} - N_{gnd})p + A_{occ}}{\varepsilon(A - V_f^n A_v)} \quad (4.3-22)$$

- $s_{plane}=2$ – Anzahl der Plane-Lagen
 N_{vcc} – Gesamtlänge des VCC Netzes
 N_{gnd} – Gesamtlänge des GND Netzes

Methode 2: Schnittebenen

Bereits 1973 wurde von *Sutherland* und *Oestreicher* in [97] eine Methode für die Vorhersage der verdrahtungsbedingten lateralen Substratabmessungen mit Schnittebenen präsentiert. Den Ausgangspunkt bildet die aus der Wahrscheinlichkeitsrechnung bestimmte Anzahl der Signale/Netze, die eine imaginäre, an einer willkürlichen Stelle parallel zu den Modulkanten gesetzte Schnittebene passieren [59] [97]. Bei einer gegebenen Platzierung und einem bekannten Netzverlauf kann die Idee der Schnittebene für die Plausibilitätsprüfung der nach Methode 1 bestimmten Signallagenzahl herangezogen werden. Die maximale Anzahl der Signale, die z.B. die zur x -Kante parallele Schnittebene kreuzen, $N_{crossX_{max}}$ beträgt für ein Substrat mit der Anzahl der Lagen s (Abb. 4.3-4, Abb.4.3-8):

$$N_{crossX_{max}} = \frac{x}{p} s \quad (4.3-23)$$

Berücksichtigt man die Verdrahtungseffizienz erhält man für die Zahl der Verbindungen N_{crossX} :

$$N_{crossX} = \varepsilon N_{crossX_{max}} \quad (4.3-24)$$

Damit ergibt sich aus der Zahl der Verbindungen für die Anzahl der Lagen s_{cross} :

$$s_{cross} = \frac{N_{crossX} p}{\varepsilon x} \quad (4.3-25)$$

Um zu einer repräsentativen Aussage zu gelangen, sollen mindestens zwei Schnitte erfolgen –

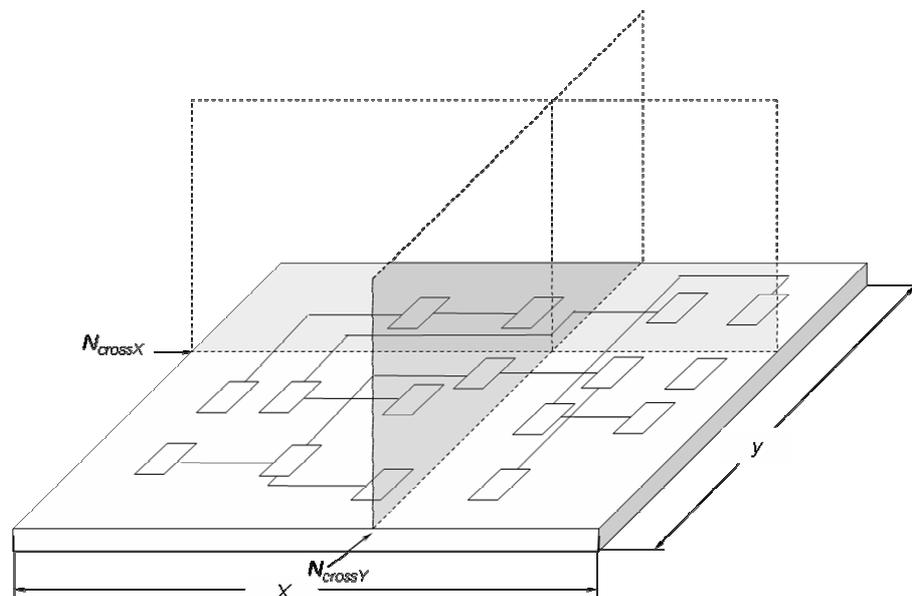


Abb.4.3-8 Illustration der Anwendung der Schnittebenen-Methode

einmal parallel zur x - und ein zweites Mal parallel zur y -Kante des Moduls (Abb.4.3-8). Damit erhält man:

$$s_{cross} = \max \left\{ \frac{N_{crossX} \cdot p}{\varepsilon \cdot x}; \frac{N_{crossY} \cdot p}{\varepsilon \cdot y} \right\} \quad (4.3-26)$$

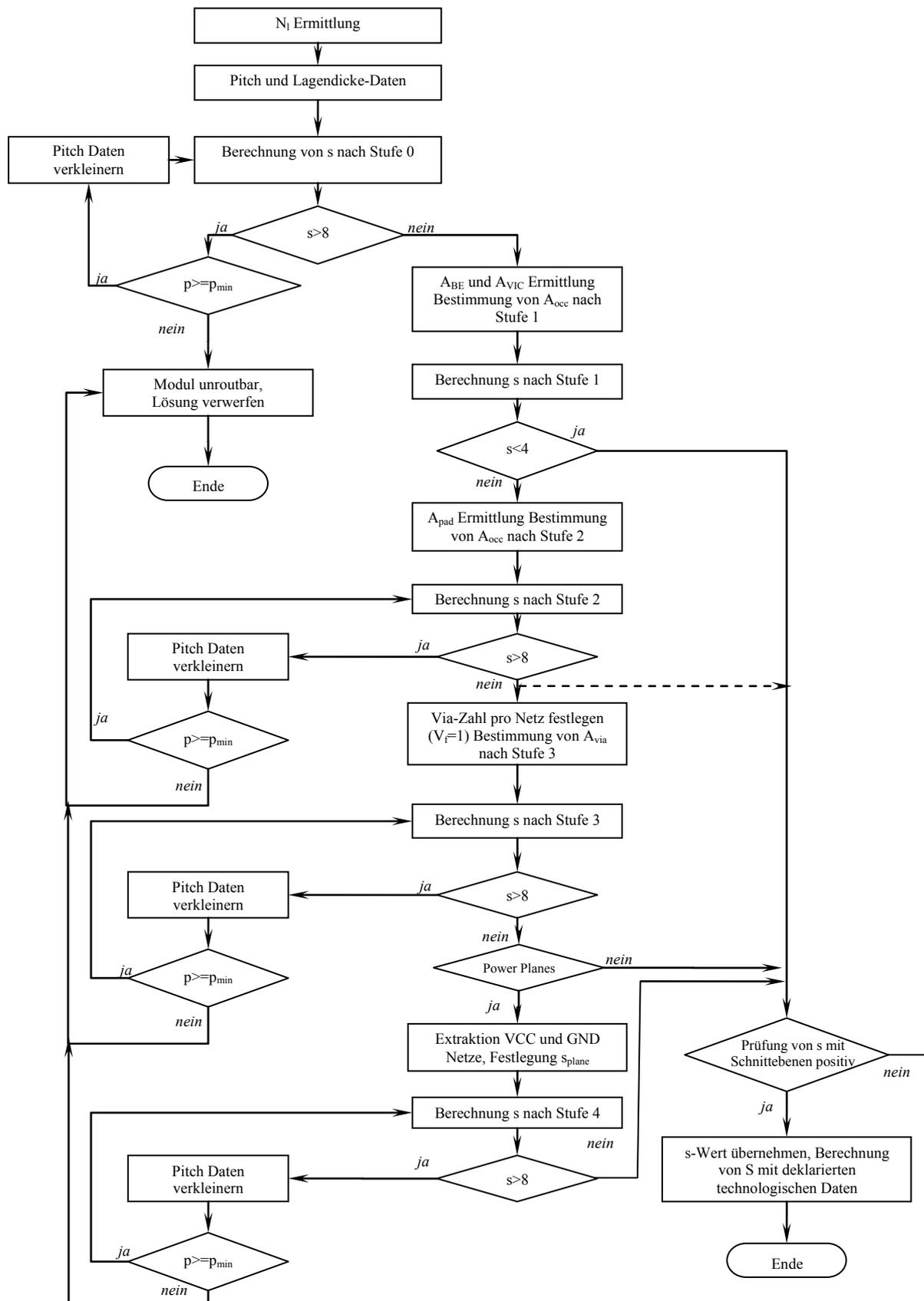
In einer theoretischen Weiterführung dieses Gedankens nähert man sich einer möglichst genauen Aussage, indem man eine unendlich große Anzahl von unendlich dünnen Schnittebenen über die gesamte Modullänge und –breite einsetzt. Damit kann ausgeschlossen werden, dass eine mögliche lokale Häufung der Netze von der Methode übergangen würde.

4.3.4. Anwendung und Vorgehensweise

Während die Methode 1 stufenweise für die Annäherung an die Aussage über die Anzahl der Signallagen eingesetzt werden kann, eignet sich Methode 2 als Prüfung oder Stichprobe der gemachten Aussagen. Dabei soll die Anzahl der Lagen durchaus eher höher als niedriger abgeschätzt werden. Eine Korrektur nach unten kann im nachfolgenden Detail-Entwurfsschritt erfolgen. Die Schätzung darf dennoch das technologisch Mögliche nicht überschreiten. Eine mögliche Vorgehensweise für den praktischen Einsatz kann folgendermaßen erfolgen (Abb. 4.3-9):

Bei einer gegebenen Platzierung werden die Module einzeln betrachtet. Die minimale Information, die zu Beginn aus dem Platzierungsvorschlag extrahiert werden muss, ist die Gesamtnetzlänge in einem Modul N_l . Es werden nicht herausfordernde und dem Stand der Technik innerhalb einer Technologie (bspws. Lamine) entsprechende Substratparameter für die Dicke der Lagen und für den Pitch als Startparameter (wie z.B. in dem Erläuterungsbeispiel im Kap. 4.3.2, S. 68) angenommen. Eine mittlere Verdrahtungseffizienz von 0,4 ist ein weiterer Ausgangswert. Für die Anzahl der möglichen Signallagen kann ein technologisches „Vertrauensintervall“ aufgestellt werden: Eine in der Praxis realisierbare und wirtschaftlich vertretbare Anzahl der Lagen soll $s_{max}=8$ im Falle von laminierten Substraten nicht überschreiten. Eine zweilagige Substratgestaltung ist zwar technologisch die einfachste Variante, vier Lagen können aber als immer realisierbar angenommen werden.

Als Eingangsprüfung für die Startparameter wird die Berechnung nach Methode 1 Stufe 0 durchgeführt. Liefert die Berechnung, die eigentlich unter „entschärften“ Bedingungen (ohne Berücksichtigung von A_{occ}) rechnet, eine Anzahl der Lagen, die größer als 8 sind, müssen die technologischen Startparameter hin zu höherer Verdrahtungskapazität durch Pitch-Reduktion geändert werden. Dies geschieht so lange, bis technologisch realisierbare Grenzen erreicht sind. Übersteigt die Anzahl immer noch 8, wird die Platzierungslösung als unroutbar und damit ungültig verworfen. Die gültigen Lösungen werden der Berechnung nach Stufe 1 unterzogen. Liefert die Berechnung eine Anzahl der Lagen, die kleiner als 4 ist, werden diese Lösungen als triviale und leicht verdrahtbare Module ausselektiert. Für alle weiteren Lösungen werden Berechnungen von s nach Stufe 2 mit Berücksichtigung von Pads durchgeführt. Übersteigt die Anzahl der Lagen die Grenze von 8, werden die Pitchdaten verkleinert und die Berechnung wird wiederholt. Sind die technologischen Grenzen für die Strukturbreite und den Abstand erreicht und die Anzahl der Lagen ist immer noch größer als 8, werden die Module als unverdrahtbar verworfen.

Abb.4.3-9 Vorgehensweise zu Abschätzung der Lagenzahl s .

Falls die Annahme „Ein Via pro Netz“ als unzureichend erscheint und keine zuverlässige Vorhersage für die Via-Zahl getroffen werden kann, kann die Berechnung an dieser Stelle beendet werden (Ausstieg über Strichlinie in der Abb. 4.3-9). Ansonsten werden die Module

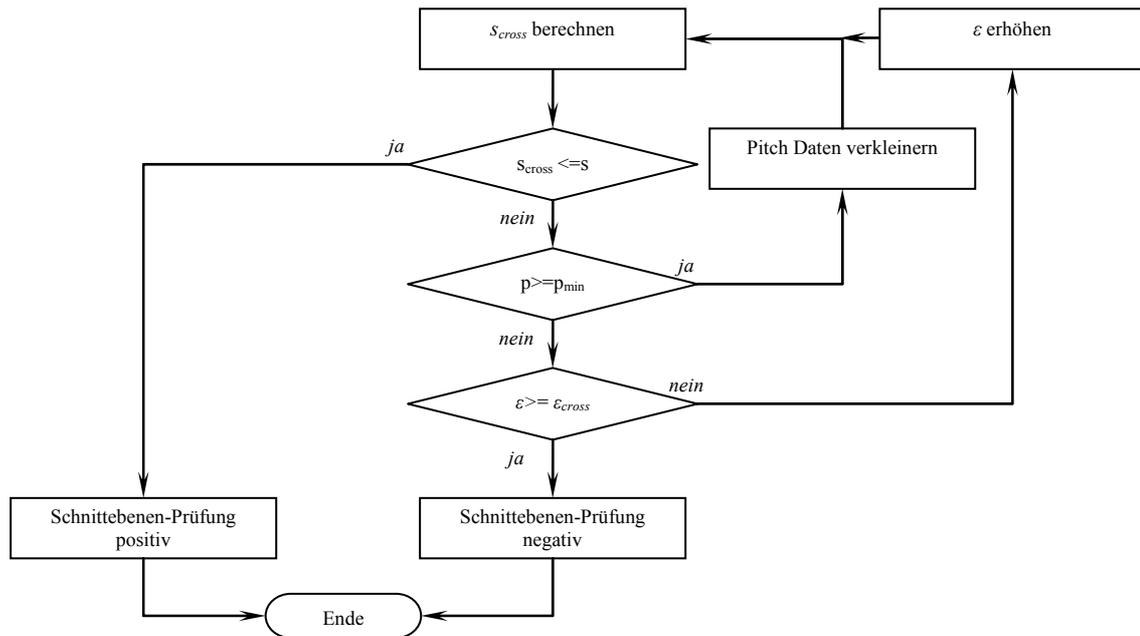


Abb.4.3-10 Prüfung von Signallagenzahl s nach der Methode mit Schnittebenen

nach dem gleichen Muster wie bei der Stufe 2 einer Berechnung nach Stufe 3 unterzogen: ist die Anzahl der Lagen größer als 8, werden die Pitch-Daten reduziert, bis sie die minimale Grenze erreicht haben.

Die Lösungen, die bisher in dem Berechnungs-Fluss geblieben sind, sind mit hoher Wahrscheinlichkeit nicht trivial. Bei den komplexen Substraten kann die Einführung von Power-Planes nicht nur die elektrotechnische Performance steigern, sondern auch die Komplexität der Verdrahtung in den Signallagen erheblich reduzieren. Wird die Benutzung von Planes beabsichtigt (ein Grund dafür können auch Netze im Modul sein, die durch Constraint-Vorgaben als Impedanz-angepasst deklariert sind), erfolgt eine Lagenberechnung nach Stufe 4. Schließlich kann durch die Schnittebenen-Methode (Methode 2) die berechnete Anzahl s optional überprüft werden (Abb.4.3-10). Die beiden Schnittebenen können willkürlich gesetzt werden. Effektiver ist es jedoch, eine Stelle auszuwählen, an der man eine Häufung der Netze vermutet, sofern die Kenntnis der Platzierung eine solche Vermutung erlaubt. Falls Power-Planes eingeführt wurden, müssen die VCC- und GND-Netz-Überkreuzungen mit den Schnittebenen ignoriert und die resultierte Anzahl s_{cross} stets um die Anzahl s_{plane} erweitert werden. Liefert die Berechnung nach Methode 2 eine Anzahl s_{cross} , die größer ist als die nach Methode 1 ermittelte s , ist das ein Indiz dafür, dass lokal eine schwer zu verdrahtende Stelle vorhanden ist. Die Erfahrung zeigt, dass gerade lokale Schwierigkeiten in der Verdrahtung durch die manuelle Entflechtung sehr oft behoben werden können. Dem soll die lokale Verringerung der Substratparameter auf minimalen Pitch und die Ausnutzung der maximalen zulässigen Verdrahtungseffizienz, deren lokaler Wert ϵ_{cross} auch das theoretische Maximum $\epsilon_{cross}=1$ annehmen kann, Rechnung tragen (Abb.4.3-10).

Eine gewisse Vereinfachung ist in diesen Überlegungen enthalten: die BE und VIC Quader bleiben während der gesamten Betrachtungen konstant. In der Tat gehen die zulässigen Pitch-Daten in die Berechnungen der Technologie-Quader (s. Gl. (4.2-6)-(4.2-9), S.56) ein, damit ändern sie sich in dem Moment, in dem die Pitch-Einstellungen verändert werden. Sollte man auch dieses Phänomen berücksichtigen wollen, müssen die jeweiligen Daten für A_{occ} nach jeder Pitchänderung angepasst bzw. neu berechnet werden. Auch die Verdrahtungseffizienz bleibt während der Berechnungen nach Methode 1 konstant und wird nur während der Prüfung geändert. Sie kann aber zeitgleich mit den Pitch-Anpassungen innerhalb des Berechnungsflusses geändert werden.

4.4. Geometrie-Modell für vertikale AVT

Die Approximation durch einen Quader mit einer rechteckigen Grundfläche xy (für die bessere Lesbarkeit wird auf Index vic bei den Abmessungsvariablen verzichtet, im Kapitel 4.4 gilt $x_{VIC\ min} = x_{min}$ etc.) und einer Höhe h (Abb. 4.4-1) erlaubt nicht nur die Modellierung der Lotkugeln (Bumps) und Fal flexsegmente als vertikale Verbindungselemente eines 2,5D SiP. Neben diesen primären Typen können beliebige vertikale Verbindungsstrukturen (z.B. Steckverbinder) ebenfalls durch einen umhüllenden VIC-Quader beschrieben werden (s. *Modellierung sonstiger VIC-Typen*, Kapitel 4.4.5). Eine statische *Grobmodellierung* ist durch die Vorgabe von drei Abmessungen möglich.

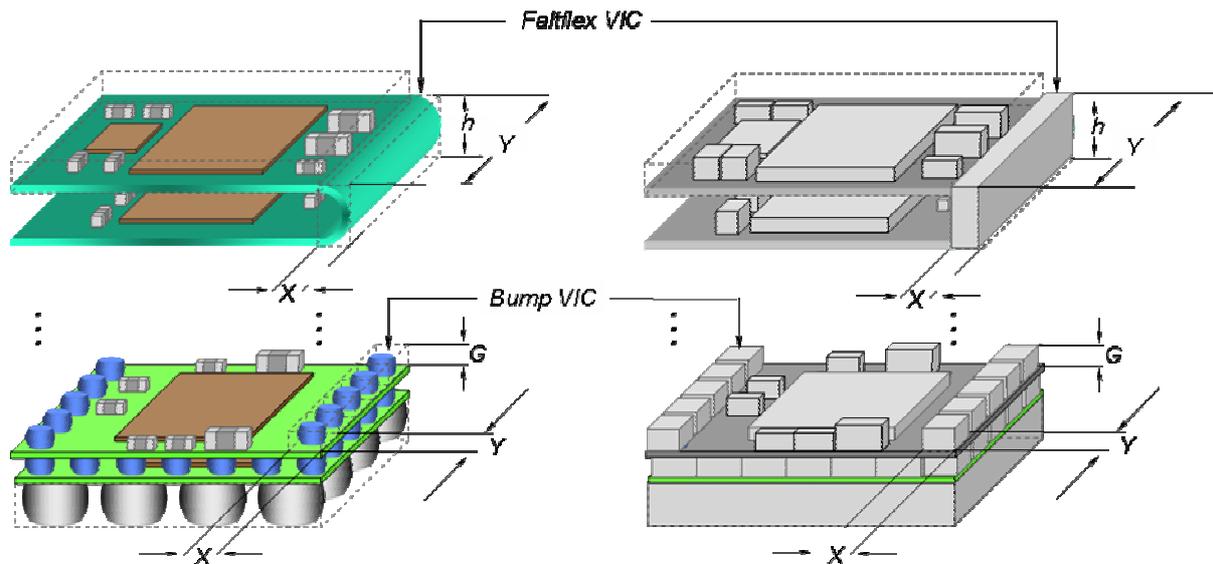


Abb. 4.4-1 Als ein Quader approximierte Fal flex und Bump ViC

In der Realität stehen alle drei Abmessungen in einer dynamischen Beziehung zueinander, die von VIC-Typ abhängig ist. Sowohl bei den gestackten Modulen als auch bei den gefalteten Flexen stellt diese Abhängigkeit eine Funktion dar, die von mehreren Variablen sowohl geometrischer als auch technologischer Natur beeinflusst wird. Die lateralen Abmessungen einer Lotkugel (Löt bump) vergrößern sich mit steigender zu überbrückender Spalthöhe zwischen den Modulen bzw. den Substraten (Abb. 4.4-2). Die minimale Höhe eines Fal flexsegmentes ist abhängig vom minimalen Biegeradius, der wiederum aus der Lagenzahl und -stärke resultiert. Aus der Höhe des Fal flexsegmentes resultiert auch seine laterale Ausdehnung (Abb. 4.4-2).

Die Spalthöhe ändert sich je nach Höhe der BE, die zwischen den Substraten platziert werden. Die VIC ändern entsprechend ihre Geometrie während der Platzierung dynamisch. Eine

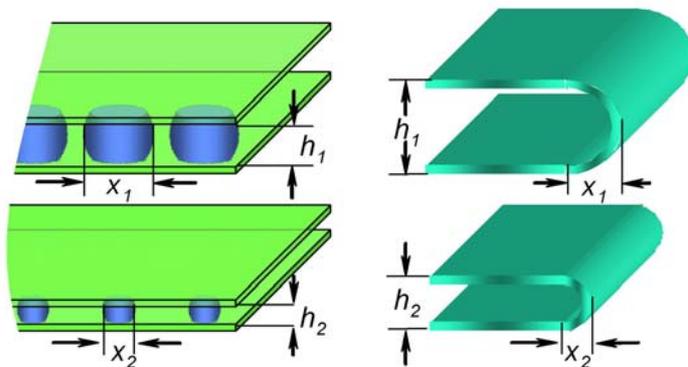


Abb. 4.4-2 Änderung der VIC Abmessungen in Abhängigkeit von Höhe

statische Quaderbeschreibung des VIC durch die Grobmodellierung schränkt die Effizienz der algorithmischen Platzierung massiv ein. Deshalb werden im Falle von VIC keine festen Werte, sondern Funktionen, die eine dynamische Bestimmung der VIC-Abmessungen ermöglichen, an die Optimierung übergeben. Anders als z.B. bei den BE greift die Optimierungstiefe bis in die Berechnungen hinein (s. Abb. 4.1-4, S.50). Die *Feinmodellierung*

bezieht für die Berechnungen notwendige technologische Parameter mit ein und stellt als Ergebnis eine Funktion zur Verfügung.

Im nachfolgenden Kapitel wird eine Modellbeschreibung entwickelt, die sowohl eine statische (Grobmodellierung mit allgemeinen VIC Parametern) auf als auch eine dynamische (Feinmodellierung mit spezifischen VIC Parameter) Betrachtung für die VIC erlaubt.

4.4.1. Grobmodellierung aller vertikalen AVT-Typen

Allgemeine VIC Parameter

Die Eigenschaften des VIC, die für alle Typen gelten – allgemeine VIC Parameter –, sind durch folgende Einstellungen festgelegt:

- $x_{\min}, y_{\min}, h_{\min}, x_{\max}, y_{\max}, h_{\max}$ [μm] – minimale und maximale Außenabmessungen des VIC-Quaders

- Typ/Bezeichnung [Flex, Bump, Sonstiges]

- Substratbelegung

a_{vic} – Belegungsanzeige (obere und untere Anzeige $a_{\text{vic upper}}$ und $a_{\text{vic lower}}$, Abb. 4.4-3):

$a_{\text{vic up}}=0; a_{\text{vic lo}}=0$: VIC belegt nur die Fläche zwischen den Substraten, über und unter dem VIC dürfen BE und weitere VIC positioniert werden

$a_{\text{vic up}}=1$: die obere Metallisierungslage (top) des über den VIC positionierten Moduls ist durch VIC belegt

$a_{\text{vic lo}}=1$: die untere Metallisierungslage (bottom) des Moduls unter dem VIC ist durch VIC belegt

- n_s – Anzahl der Signale.

Erläuterungen

Die Abmessungen beschreiben die Außenabmessungen des umhüllenden VIC Quaders. Sie können vom Designer fest vorgegeben werden und beinhalten notwendige Spacing-Vorgaben. Die Werte können innerhalb der vorgegebenen min-max-Intervalle frei gewählt werden und berücksichtigen nur sehr entfernt die technologischen Zusammenhänge. Beispiel: bei der Bump-VIC-Erzeugung durch Ballplating (Bestückung mit vorgefertigten einzelnen Lotkugeln) legen die auf dem Markt verfügbaren Solder-Ball-Größen die h_{\min} und h_{\max} (bspw. 200 μm und 1000 μm) fest. Eine weitere Vereinfachung kann durch die Einschränkung auf einen Wert erreicht werden: $h_{\max}=h_{\min}=h, x_{\max}=x_{\min}=x, y_{\max}=y_{\min}=y$. Damit werden die VIC als Objekte fester Größe im Platzierungsschritt verwendet.

Typ/Bezeichnung

Die Definition eines bestimmten VIC Typs durch die Einstellung „Typ/Bezeichnung“ hat im Falle der Grobmodellierung nur einen informativen Charakter. Die Deklaration des VIC-Typen ist erst für die Feinmodellierung relevant, wenn die dynamische Beziehung zwischen x, y und h in den spezifischen Einstellungen durch die Formeln für die deklarierte Technik beschrieben wird (s. nachfolgendes Kapitel).

Substratbelegung

Ein VIC ist in der gegebenen Modellierung stets dem darüber liegenden Substrat zugeordnet: ein VIC des Moduls m_i verbindet die Substrate sub_i und sub_{i+1} (s. Abb. 4.1-3 S.49).

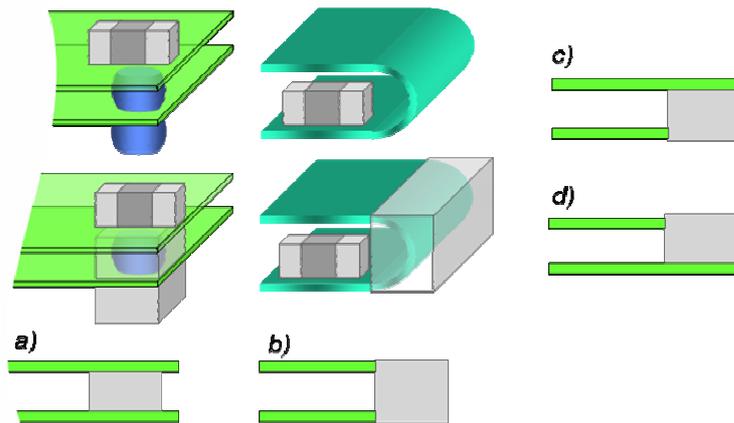


Abb. 4.4-3 Substratbelegung durch VIC: a) Beispiel Solder Bump $a_{vic\ up}=0$ $a_{vic\ lo}=0$; b) Beispiel Flex $a_{vic\ up}=1$ $a_{vic\ lo}=1$; c) $a_{vic\ up}=0$ $a_{vic\ lo}=1$; d) $a_{vic\ up}=1$ $a_{vic\ lo}=0$;

Die genaue Anordnung des VIC kann in Bezug auf die Substrate und Module jedoch unterschiedlich erfolgen. Ein Solder Bump belegt beispielsweise nur den Innenraum zwischen zwei Substraten und erlaubt sowohl oberhalb als unterhalb des VIC eine freie Positionierung der BE und weiterer VIC (Abb. 4.4-3a). Ein als VIC verwendetes Faltflexsegment schließt die Positionierung sowohl oberhalb als auch unterhalb der Substrate aus (Abb. 4.4-3b). Mit der Belegungsanzeige a_{vic} kann die Anordnung vorgegeben werden (Abb.

4.4-3). Damit ist es möglich, nicht nur um Bump und Flex gültige Sperrräume zu definieren (Abb. 4.4-3 a und b), sondern auch Eigenschaften weiterer Konstrukte, wie beispielsweise Steckverbinder o.ä. (Abb. 4.4-3 a und b), für die Modellierung zu beschreiben.

Anzahl der Signale

Während eine als VIC eingesetzte Lotkugel nur eine einzige elektrische Verbindung gewährleisten kann, ist es bei einem Flex-VIC möglich, durch eine mehrlagige Struktur mehr als ein elektrisches Signal zwischen den vertikalen Modulen zu verbinden. Um die Modellierung allgemein gültig zu halten, kann einem VIC die Anzahl der durchführbaren Signale, die größer als Eins ist, zugewiesen werden. Auf der anderen Seite ist es möglich, durch das Setzen von $n_s=0$ einen VIC ohne elektrische Funktion zu definieren, der z.B. als ein Abstandshalter eingesetzt werden soll.

4.4.2. Feinmodellierung der vertikalen AVT

Die statische Grobmodellierung erlaubt eine zwar sehr einfache und schnell zu formulierende Beschreibung von verschiedenen VIC-Typen, sie kann aber nicht die durch die jeweilige Technologie gegebene dynamische Beziehung zwischen den Abmessungen eines VIC beschreiben. In einem vertikalen SiP beansprucht gerade die vertikale AVT einen erheblichen Volumenanteil und beeinflusst mit ihrem dynamischen Verhalten signifikant die Platzierungsergebnisse.

Eine zunächst als naheliegend erscheinende Behandlung des VIC als einen besonderer BE-Typ ist nicht tragfähig. Anders als bei einem BE besitzt eine VIC-Beschreibung keinen festen Basisquader. Ein BE stellt einen physikalischen Gegenstand mit feststehenden Abmessungen dar, der während des Designprozesses durch die zugewiesenen AVT-Eigenschaften zusätzliche Abmessungen bekommt. Ein VIC kann dagegen als ein ausschließlich durch die AVT realisiertes Gebilde gesehen werden, das unter Umständen auf eine physikalische Größe, die gegen Null gehen kann, reduziert werden kann (Bump zwischen aufeinander liegenden Substraten). Die notwendigen Sicherheitsabstände und Sperrräume ergeben sich nicht durch Addition zu einem Basisquader, sondern bilden einen integrativen Bestandteil bei der Berechnung des VIC-Quaders.

Die durch das Optimierungsprogramm in den Modulen platzierten BE bestimmen durch ihre Höhe den resultierenden Modulspalt G (Abb. 4.4-2). Diese Größe, die während der Optimierung bestimmt wird, geht zusammen mit technologischen Parametern in die Berechnungen

der VIC-Geometrie ein. Als Ergebnis stellt die Feinmodellierung dem Optimierungswerkzeug die Berechnungsformeln (*Modellierungsvorschriften*) für die Außenabmessungen von VIC-Quader, die für die jeweilige VIC Technik spezifisch sind, zur Verfügung.

Die technologischen Parameter, die Geometrien von Faltflex- und Lotkugel-VIC bestimmen, resultieren großteils aus der Substratechnologie. In der Tab. 4.4-1 sind die wichtigsten Abhängigkeiten für Lotkugeln und Faltflexe zusammengefasst. Nachfolgend wird die Herleitung der Funktionen für beide VIC Typen diskutiert.

VIC Typ	Funktion	Einflussgröße	Resultiert aus
Lotkugel	$x=y=f(G,p)$	G – Spalt, vertikaler Modulabstand	Platzierungsergebnis, Höhe der BE
	$h=G$	p – Substratpitch	Substrateigenschaften: l_s, l_w
Faltflex	$x=f(r_{bmin}(n_s))$	r_{bmin} – minimaler Biegeradius	Substrateigenschaften: Lagendicken c, d ; Anzahl der Signalleitungen n_s
	$y=f(p)$	p – Substratpitch	Substrateigenschaften: l_s, l_w
	$h=f(G, r_{bmin}(n_s))$	G – Spalt, vertikaler Modulabstand	Platzierungsergebnis, Höhe der BE

Tab. 4.4-1 Einflussgrößen bei der Berechnung von VIC-Quadern

4.4.3. Lotkugeln

Für gestackte SiPs bieten sich Lötverbindungen (*Solder Bumps* oder *Balls*) als vertikale Verbindungen für die Überbrückung des Spaltes an. Durch die Verbreitung von Ball Grid Arrays (BGAs, Abb. 2.3-5) in konventionellen 2D Baugruppen ist in der Industrie ein breiter Erfahrungsschatz im Umgang mit dieser Technik vorhanden, so dass eine Verwendung für VIC sehr naheliegend ist (Abb. 2.2-7).

Eine genaue Formvorhersage (sog. shape prediction) für eine Lötverbindung ist eine komplexe Thematik, die in der Literatur eine große Resonanz findet. Dabei werden Modelle und Berechnungen angewendet, die sich aus mehreren Material- und Umgebungsparametern ableiten – Innendruck der Lotschmelze, Außendruck, Oberflächenspannung des flüssigen Lotes etc. [98], [99], [100], [101], [102]. Für eine platzierungsgerechte Modellierung sind jedoch lediglich die Außenabmessungen des zu approximierenden Quaders erforderlich. Eine vereinfachte

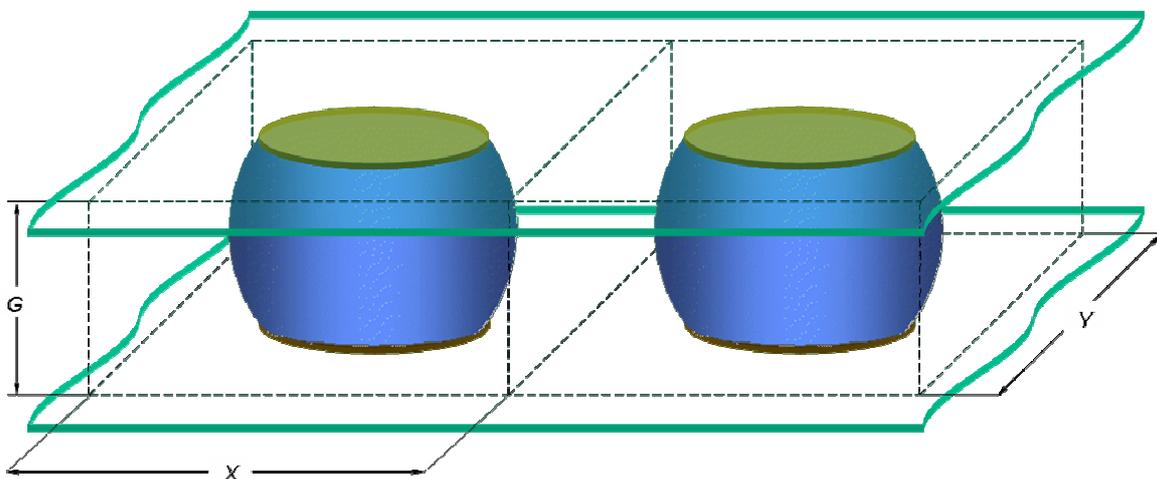


Abb. 4.4-4 Veranschaulichung von VIC-Quadern für Solder Bumps

Berechnung, die sowohl die Lotkugelabmessungen als auch die Sicherheitsabstände dazwischen liefert, ist möglich. Die Fragestellung der Lotkugeldimensionierung ist nicht neu. In der IPC Norm IPC-7095A [89] sind Vorschriften für die Dimensionierung von BGA Lötkegeln enthalten. Aus diesen Erfahrungswerten kann eine hinreichende dynamische Beschreibung für die Abmessungen und Sicherheitsabstände abgeleitet werden.

Die lateralen Abmessungen des Bumps aus einem schmelzenden Fügemitel nehmen mit steigender Bumphöhe zu (Abb. 4.4-2). Als Modellierungsvorschrift wird die Abhängigkeit der lateralen Abmessungen x und y in Bezug auf die Spalthöhe G $x=y=f(G)$ gesucht.

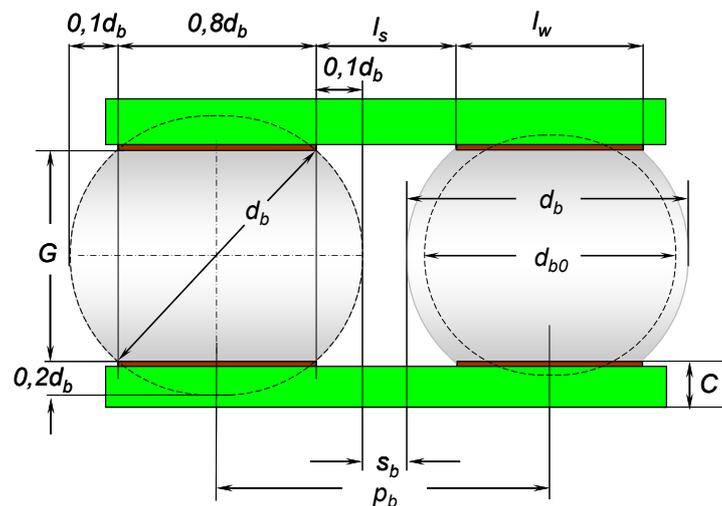


Abb. 4.4-5 Notwendige Daten für die Berechnung der Geometrie von Solder Bump

Lotkugelmodell für große Spaltwerte $G > p$

IPC-7095A empfiehlt für eine Gestaltung der Ball-Pads sowohl auf der Substrat- als auch auf der BGA-Seite eine möglichst gleiche geometrische Form [89]. Des Weiteren schreibt die Norm für die Pads einen Durchmesser d_x vor, der mindestens 80% des Durchmessers d_b (diameter of ball) der BGA Balls beträgt. Lässt man die Vereinfachung zu, dass nach dem Lötprozess der Ball eine annähernd sphärische Form beibehält und die Substratpads auf beiden Seiten (unten und oben) vollständig benetzt, kann aus der Pythagoras-Beziehung für die Spalthöhe G und den Paddurchmesser d_x festgestellt werden (Abb. 4.4-5):

$$d_b^2 = d_x^2 + G^2 = (0,8d_b)^2 + G^2 \text{ bzw. } G = \sqrt{d_b^2 - (0,8d_b)^2} = 0,6d_b \quad (4.4-1)$$

Mit G – Spalt bzw. vertikaler Abstand zwischen zwei Modulen (Layer Gap)
 d_b – Durchmesser einer Lotkugel (diameter of ball)
 $d_x = 0,8d_b$ – Durchmesser des Substratpads

$$\text{Und entsprechend gilt: } d_b = \frac{10}{6}G = 1,6\bar{6}G \approx 1,7G \quad (4.4-2)$$

$$\text{Und } \frac{G}{d_x} = \frac{0,6d_b}{0,8d_b} = 0,75 \text{ bzw. } G = 0,75d_x \quad (4.4-3)$$

IPC Werte			Berechnete Werte		
Ball durchm. d_b [mm]	Min. Pitch p_{min} [mm]	Max. Pitch p_{max} [mm]	Gap	Space	
			$G=0,6d_b$ [mm]	Min. $s_{bmin}=d_b-p_{bmin}$ [mm]	Max. $s_{bmax}=d_b-p_{bmax}$ [mm]
0,75	1,27	1,5	0,45	0,52	0,75
0,6	1	1	0,36	0,4	0,4
0,5	0,8	1	0,3	0,3	0,5
0,45	0,75	1	0,27	0,3	0,55
0,4	0,65	0,8	0,24	0,25	0,4
0,3	0,5	0,8	0,18	0,2	0,5
0,25	0,4	0,4	0,15	0,15	0,15
0,2	0,3	0,3	0,12	0,1	0,1
0,15	0,25	0,25	0,09	0,1	0,1

Tab. 4.4-2 Von IPC empfohlene Bump-Durchmesser sowie maximale und minimale Pitch-Werte, berechnete Werte für die Spalthöhe G und minimalen und maximalen Spacing s_b

Desweiteren schreibt die IPC Norm auch die zulässigen Mitte-zu-Mitte Abstände (Ball-Pitch p_{bmin}, p_{bmax}) zwischen den Balls verschiedener Durchmesser vor (Vgl. Tab. 4.4-2) und beantwortet damit nur indirekt die Frage, wie groß bzw. klein der zulässige Sicherheitsabstand (Ball Spacing s_b) zwischen den Kugeln sein darf. Der Pitch p_b ergibt sich als Mitte-zu-Mitte Abstand aus der Summe von Spacing und Balldurchmesser (vgl. Abb. 4.4-5):

$$p_b = s_b + d_b \quad (4.4-4)$$

Mit p_b – Pitch für die Lotkugeln als Mitte-zu-Mitte Abstand (Ball-Pitch)

s_b – zulässiger Abstand zwischen den Lotkugeln (Ball Spacing)

Für Spacing ergibt sich folgerichtig

$$s_b = p_b - d_b \quad (4.4-5)$$

Ball Spacing s_b stellt keine konstante Größe dar, sondern nimmt mit steigendem Balldurchmesser und auch mit wachsender Größe des Spaltes G zu (Tab. 4.4-2). Trägt man die diskreten Werte für maximalen und minimalen Spacing graphisch auf, so kann die Beziehung zwischen G und s_b als eine lineare Funktion approximiert werden (vgl. Abb. 4.4-6):

$$s_b(G) = 1,3 G \quad (4.4-6)$$

Damit ergibt sich aus (4.4-2) und (4.4-4) für den Pitch als Funktion von G (s. Abb. 4.4-6):

$$p_b(G) = s_b(G) + d_b(G) = 1,3 G + 1,7 G = 3 G \quad (4.4-7)$$

Mit $b(G)$ – Ball Durchmesser als Funktion von G nach (4.4-2)

$s(G)$ – Ball Spacing nach (4.4-6)

Mit der resultierenden Funktion $p_b=3G$ erreicht man eine akzeptable Annäherung an die von IPC vorgeschriebenen Pitch-Werte (Abb. 4.4-6), die stets oberhalb von p_{bmin} liegt. Da der VIC-Quader genau die zulässigen Ball-Spacing und -Durchmesser beinhaltet, gilt unter der gemachten Annahme $x=y$ (Abb. 4.4-4) als Modellierungsvorschrift für $G>p$:

$$x(G) = y(G) = 0,5s_b(G) + d_b(G) + 0,5s_b(G) = s_b(G) + d_b(G) = p_b = 3G \quad (4.4-8)$$

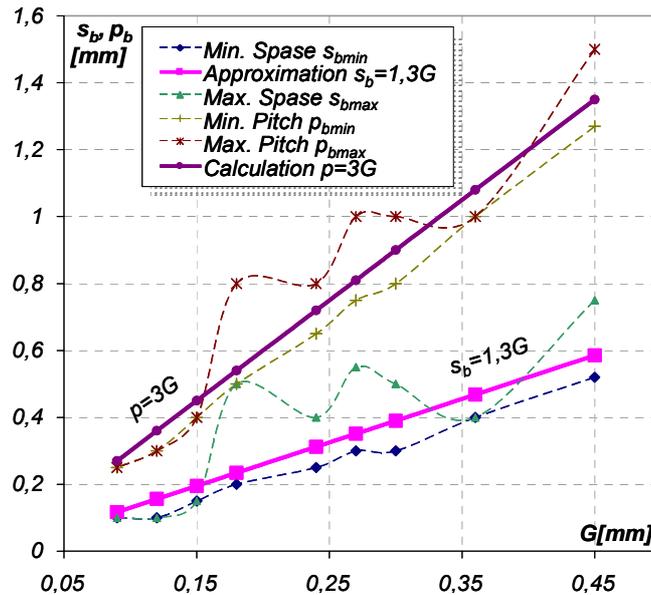


Abb. 4.4-6 Graphische Darstellung der Approximation der von Ball Spacing und Pitch

Damit ist das Verhalten von x und y für den am häufigsten auftretenden Fall beschrieben, bei dem der zu überbrückende Spalt zwischen den Modulen größer ist als die minimale Strukturweite der Außen-Metallisierung des verwendeten Substrates $G > p$ (Substratpitch $p = l_w + l_s$), (vgl. 4.3 Geometrie-Modell für die Substrate).

Lotkugelmodell für $G \approx p$

Die minimal möglichen lateralen Abmessungen bzw. das Verhalten im unteren Wertebereich, bei dem sich der Spaltwert dem Substratpitch nähert ($G \approx p$), werden im Wesentlichen durch die Substratparameter bestimmt. Die minimalen Padabmessungen $d_{x \min}$ sind durch den minimalen Line-Wert l_w festgelegt (Abb. 4.4-5). Dieser legt wiederum die Ball-Abmessungen fest:

$$d_{x \min} = l_w = 0,8d_b \quad (4.4-9)$$

Verkleinert man den Spalt weiter ($G < p$), kann der theoretisch vorstellbare Minimalfall beschrieben werden, wenn zwei gegenüberliegende Pads einfach aufeinander liegen ($G=0$, $p_b \approx p = l_w + l_s$). Faktisch befindet sich jedoch immer ein Fügemitel zwischen den Pads. Die Austretungen von Lot in x - und y -Richtung wurden bislang als sphärische Segmente mit der Breite von $0,1d_b$ angenommen und der Bump als eine geschnittene Sphäre mit den Schnitten bei $0,8d_b$ modelliert (Abb. 4.4-5). Diese Annahmen gelten nur im BGA-typischen Bereich mit $G \geq p$. Durch die zunehmende Verbreitung der ultradünnen ICs mit Dicken von weniger als $100 \mu\text{m}$ [93] [92] ist die Betrachtung von ähnlich kleinen Spaltwerten für die 2,5D SiP Realisierung nicht mehr abwegig. Mit $G < p$ betritt man einen Bereich, in dem andere Bumpingtechniken für die Modulverbindung angewendet werden, die weniger für BGA, sondern vielmehr für die Flipchipmontage üblich sind (wie Bumpabscheidung als Lotdepot durch Schablonendruck, aus flüssiger oder gasförmiger Phase etc. [3], vgl. *Bumping* in Abschnitt *FlipChip*, Abb. 2.3-10, S.24). Für die Modellanwendung ist vorrangig, nicht die genaueste Formvorhersage, sondern eine möglichst hohe Sicherheit in Bezug auf Kurzschlüsse zu gewährleisten. Darum wird in der Modellierung im Wertebereich $G < p$ die kleinste mögliche Ball-Abmessung nach Gl. (4.4-9) als

$$d_b = 1,25 l_w \quad (4.4-10)$$

für $G < p$ beibehalten. Folgt man der Formel (4.4-6), kann der Spacing s_b mit sinkendem G -Wert beliebig klein werden. Wenn der Spalt unendlich klein wird und der Balldurchmesser

sich dem Wert von l_w nähert, kann der Spacing nicht kleiner als die minimale Strukturbreite des Substrates l_s werden:

$$s_b = l_s \text{ für } 1,3G < l_s \quad (4.4-11)$$

Setzt man (4.4-10) und (4.4-11) in (4.4-8) ein, erhält man für die minimalen Lotkugel-Abmessungen:

$$p_{b \min} = x_{\min} = y_{\min} = 1,25l_w + l_s \quad (4.4-12)$$

Damit existiert in der Modellierung der kleinsten Solder-Bumps-Abmessungen ein Sicherheitszuschlag, der $0,25l_w$ beträgt. Er gewährleistet, dass der VIC-Pitch stets größer als der Substrat-Pitch p ist.

Insgesamt erhält man als Modellierungsvorschrift für die Lotkugeln folgende Funktion (Abb. 4.4-7):

$$x(G) = y(G) = \max \{3G; (1,25l_w + \max \{1,3G; l_s\})\} \quad (4.4-13)$$

Sonstige modellrelevante Aspekte

Lotkugeldurchmesser für Bestückung

Werden für die Herstellung der Solder-Bump-VIC vorgefertigte Lotkugeln verwendet (sog. Balling), stellt sich die Frage, welche Kugeln bzw. welcher Durchmesser für den jeweiligen Spalt eingesetzt werden können. Die unverformte Lotkugel mit dem Durchmesser d_{b0} wird zu einem Bump (geschnittene Sphäre) mit dem Durchmesser d_b verformt und steht in einer Beziehung mit dem Spalt G . Da man vom gleichen Lot-Volumen vor und nach der Verflüssigung ausgehen kann [101], lässt sich über eine Volumenberechnung auch der ursprüngliche Durchmesser d_{b0} der vorgefertigten Lotkugeln für den Ballingprozess berechnen (vgl. Abb. 4.4-5):

$$V_{db0} = V_{bump} = V_{db} - 2V_{ss} = \frac{4}{3}\pi \left(\frac{d_b}{2}\right)^3 - 2\frac{\pi}{3}(0,2d_b)^3 \left(3\frac{d_b}{2} - 0,2d_b\right) \quad (4.4-14)$$

- Mit V_{db0} – Volumen einer Sphäre mit dem Durchmesser d_{b0}
 V_{bump} – Bump-Volumen
 V_{db} – Volumen einer Sphäre mit dem Durchmesser d_b
 V_{ss} – Volumen eines sphärischen Segmentes mit der Höhe $0,2d_b$

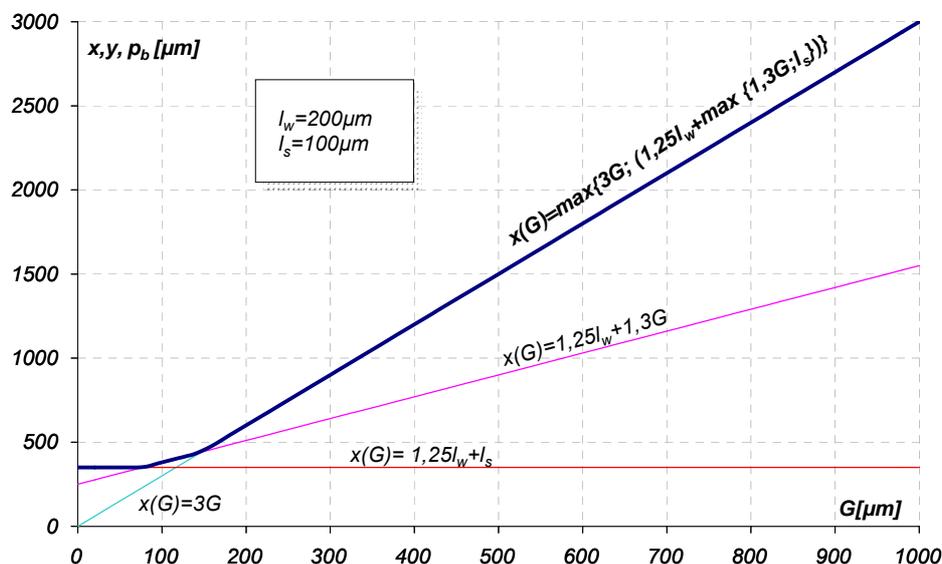


Abb. 4.4-7 Verlauf der lateralen VIC Abmessungen als Funktion von Spalt G für $l_s=200\mu\text{m}$, $l_w=100\mu\text{m}$

Nach der Umformung und dem Einsetzen von Gl. (4.4-2) in (4.4-14) für d_b erhält man zunächst in einem Zwischenschritt

$$V_{db0} = 0,132 \pi d_b^3 = \frac{33}{54} \pi G^3 \text{ bzw. } \frac{4}{3} \pi \left(\frac{d_{b0}}{2} \right)^3 = \frac{33}{54} \pi G^3 \quad (4.4-15)$$

und schließlich eine Beziehung zwischen G und d_{b0} :

$$d_{b0} = 1,54202G \approx 1,54G \quad (4.4-16)$$

Damit kann der Durchmesser der vorgefertigten Lotkugeln, die als Ausgangsmaterial für die VIC Erzeugung eingesetzt werden können, direkt aus der Größe des zu überbrückenden Spaltes bestimmt werden. Resultiert beispielsweise aus der Platzierung ein Spalt von $200\mu\text{m}$, müssen demnach Lotkugeln mit dem Durchmesser von ca. $310\mu\text{m}$ eingesetzt werden.

Tragfähigkeit

Ein zwar für die Geometrie-Modellierung untergeordneter, aber nicht zu vernachlässigender Aspekt ist die endliche Tragfähigkeit der Bumps, die unter einer gewissen Massebelastung kollabieren. In der Literatur finden sich einige Berechnungen zu diesem Thema wie z.B. in [17], [98], [100], [102]. Durch den gewählten Integrationsansatz, bei dem die einzelnen Ebenen im Wesentlichen durch die BE getragen werden, entschärft sich diese Fragestellung.

4.4.4. Faltflex

Ein Segment des Flexsubstrates, das zwei übereinander liegende Module in einem SiP verbindet, kann als ein umhüllender Quader mit den Abmessungen x, y (lateral) und h (vertikal) beschrieben werden. Obwohl das Segment eine Fortsetzung des im lateralen Modul verwendeten Substrates darstellt, wird ein derartiger VIC als ein separater Bestandteil des SiP für die Modellierung herausgelöst. Für die Flexibilität der Modellierung wird als einzelne VIC ein Segment mit der Breite einer Leiterbahn l_w zuzüglich des Leiterbahnabstandes l_s betrachtet ($y=l_w+l_s=p$) (Abb. 4.4-8). Für ein Faltflex-VIC besteht die Rahmenbedingung, dass es stets am Modulrand und im Verbund mit anderen VICs zu betrachten ist. In der Abb. 4.4-8 ist ein solcher Verbund bestehend aus zwei Faltflex-VIC dargestellt.

Im Unterschied zu einem Lotkugel-VIC gilt für Faltflexe $x \neq y$. Das Maß x resultiert im Wesentlichen aus dem Modulspalt G . Der minimal zulässige Biegeradius r_{bmin} eines Faltflexes bestimmt den minimal möglichen Abstand zwischen den Modulen (Abb. 4.4-8 und Abb. 4.4-9). Der Biegeradius wird von mehreren Einflussgrößen bestimmt, die ein Faltflex-VIC von dem verwendeten Substrat übernimmt: Material, Anzahl und Stärke sowohl der leitenden als auch der isolierenden Lagen (s. Kapitel 4.3.2).

Eine genaue Vorhersage der Verformung und der mechanischen Eigenschaften eines solchen komplexen Gebildes wie eines mehrlagigen flexiblen Substrates gehört zu den Aufgaben, die bedingt durch eine Vielfalt der Eingangsparameter (wie z.B. anisotroper Elastizitäts-Modul der Verbundmaterialien, der sich stark von Hersteller zu Hersteller unterscheidet) nicht trivial sind. Eine z.B. durch *Seraphim et al.* ([96], S. 171ff.) skizzierte modellhafte Erfassung der Mechanik von flexiblen Schichten umfasst mehrere differentiale Gleichungen. Die Formbestimmung kann durch eine mechanische Simulation z.B. nach der Finite-Elemente-Methode in jedem einzelnen Anwendungsfall mit einer großen Präzision ermittelt werden.

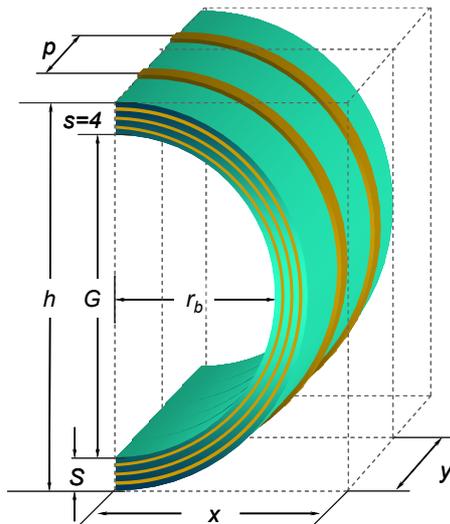


Abb. 4.4-8 Technologiequader eines Flexsegmentes und relevante Größen

Für eine Geometriemodellierung, die mit einer moderaten Rechenleistung eine hinreichend genaue Aussage über die Außenabmessungen des VIC liefert, ist ein Simulationsschritt deutlich überdimensioniert. Stattdessen ist es möglich, mit den auf ingenieur-technischen Erfahrungswerten basierenden Berechnungen eine Vorhersage für die Abmessungen eines Flexsegmentes als Funktion von wenigen aus der Substratspezifikation bekannten Parameter – Lagendicke und Anzahl – abzuleiten. Im Normwerk IPC2223A [87] sind Biegevorschriften und modellhafte Berechnung für die zulässigen Biegeradien von ein- und zweiseitigen kupferkaschierten flexiblen Laminaten definiert. Im folgenden Abschnitt wird darauf basierend eine Formel abgeleitet, die auch auf ein Multilayersubstrat anwendbar ist und den Biegeradius r_{bmin} berechnet.

Spezifische Faltflex-VIC Parameter

Der Designer ist im Stande, durch die Variation mehrerer technologischer Parameter die Geometrie eines Faltflexes zu beeinflussen. Da ein Faltflexsegment ein verformtes Substrat darstellt, entsprechen viele der Parameter den Substratparametern (s. Abschn. Kapitel 4.3.1):

- Pitch $p = (l_w + l_s)$, resultierend aus
 - l_w [μm]
 - l_s [μm]
- S – Substratdicke [μm]
- r_{bmin} – minimaler Biegeradius [μm]

Im einfachsten Fall können die Faltflexparameter für Pitch und Substratdicke S identisch mit den Parametern des darüber liegenden Substrats gesetzt und der minimale Biegeradius fest vorgegeben werden. In der Praxis ist r_{bmin} dem Designer selten bekannt. Oft wird der biegbare Bereich konstruktiv anders gestaltet als die restliche Substratfläche (z.B. durch eine Reduktion der Metall- und Isolationslagen, Verzicht auf Lötstoppschicht etc.). So erreicht man eine Flexibilitätserhöhung bzw. eine Reduktion des Biegeradius, und eine bessere Definition des Biegebereiches, damit die Verformung des Flexes sich möglichst auf das Faltsegment beschränkt. Um r_{bmin} zu berechnen sind folgende Parameter notwendig:

- s – Anzahl der leitenden Lagen (Metallisierungslagen). Für die als allgemeine VIC Parameter definierte Anzahl der Signale pro VIC n_s gilt damit $n_s \leq s$
- f – Anzahl der nicht leitenden Lagen
- c – Dicke der leitenden Lagen [μm] (copper)
- d – Dicke der isolierenden Lagen [μm] (dielektrikum)
- E_B – Deformationsfaktor für Kupfer

Minimaler Biegeradius

Ein Faltflexsegment kann unterschiedliche Formen annehmen. Unter der idealisierten Annahme, dass die Biegung und Verformung sich nicht über die Grenze des VIC im lateralen Modulbereich fortsetzt, ist die kleinste mögliche Abmessung des VIC gegeben, wenn der Faltbereich zu einem Halbkreissegment mit minimal zulässigem Biegeradius r_{bmin} geformt wurde (Abb. 4.4-9a). Setzt man eine adäquate Planung beim VIC-Design voraus, kann man ein keulenförmiges Gebilde (Abb. 4.4-9e) ausschließen. Wird bei der Montage der Module Zugkraft auf das Faltsegment ausgeübt, ist eine ellipsoide Formung (Abb. 4.4-9c) und theoretisch auch ein waagerechter Verlauf des Flexes (Abb. 4.4-9b) möglich. Für die angestrebte Modellierung wird vereinfacht stets von der halbkreisförmigen Segmentformation ausgegangen (Abb. 4.4-9d).

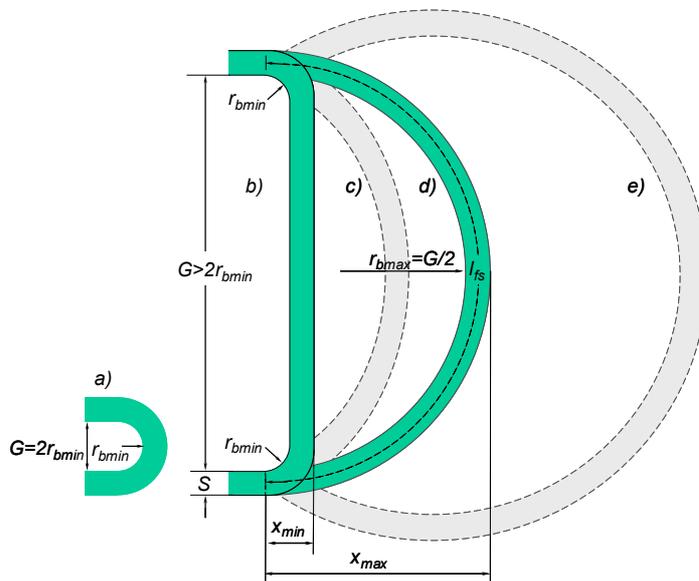


Abb. 4.4-9 Mögliche Ausprägungen des Faltflexsegmentes im Querschnitt: a) kleinste Form; b) kleinste Ausdehnung mit $G > 2r_{bmin}$; c) ellipsoide Formung; d) kreisförmige Segmentformation e) „keulenförmige“ Segmentformation in Folge einer überdimensionierten Segmentlänge

Das Diagramm zeigt fünf Varianten (a-e) eines U-förmigen Segments. (a) zeigt die kleinste Form mit einem Biegeradius r_{bmin} und einer Gesamtlänge $G=2r_{bmin}$. (b) zeigt die kleinste Ausdehnung mit $G > 2r_{bmin}$, wobei die vertikale Ausdehnung $G > 2r_{bmin}$ ist. (c) zeigt eine ellipsoide Formung mit einem Biegeradius r_{bmin} und einer Gesamtlänge G . (d) zeigt eine kreisförmige Segmentformation mit einem Biegeradius $r_{bmax} = G/2$ und einer Segmentlänge l_s . (e) zeigt eine keulenförmige Segmentformation in Folge einer überdimensionierten Segmentlänge. Die Diagramme sind mit r_{bmin} , G , S , x_{min} , x_{max} , l_s und $r_{bmax} = G/2$ beschriftet.

Damit gilt als Modellierungsvorschrift:

$$y = p = l_w + l_s \quad (4.4-17)$$

$$x = \max \left\{ (r_{bmin} + S); \left(\frac{G}{2} + S \right) \right\} \quad (4.4-18)$$

$$h = \max \left\{ 2(r_{bmin} + S); (G + 2S) \right\} \quad (4.4-19)$$

Diese Formeln können erst dann als eine gültige Modellierungsvorschrift eingesetzt werden, wenn eine dynamische Beschreibung des minimalen Biegeradius vorhanden ist. Gesucht wird also der minimal zulässige Biegeradius r_{bmin} als Funktion der Substratparameter des Flexsegmentes (Anzahl und Stärke der isolierenden und leitenden Lagen).

Eine vielfältige Sammlung praktischer Erfahrungen in der Konstruktion und Fertigung flexibler Substrate stellt die IPC Norm IPC 2223A „Sectional Design Standard for Flexible Printed Boards“ [87] dar. Dort sind auch die Formeln für die Bestimmung des Biegeradius für laminierte Flexe mit einer oder zwei Metalllagen (Abb. 4.4-10) enthalten, die adhäsive Schichten zwischen den leitenden und isolierenden Schichten berücksichtigen. Schlägt man als eine Vereinfachung die adhäsiven Schichten dem Dielektrikum zu, kann der minimale Radius eines doppelseitigen Flexes (Abb. 4.4-10c) im Einklang mit den Vorschriften aus [87] wie folgt berechnet werden:

$$r_{bmin} = \left(\frac{d}{2} + c \right) \cdot \left(\frac{100 - E_B}{E_B} \right) - D \quad (4.4-20)$$

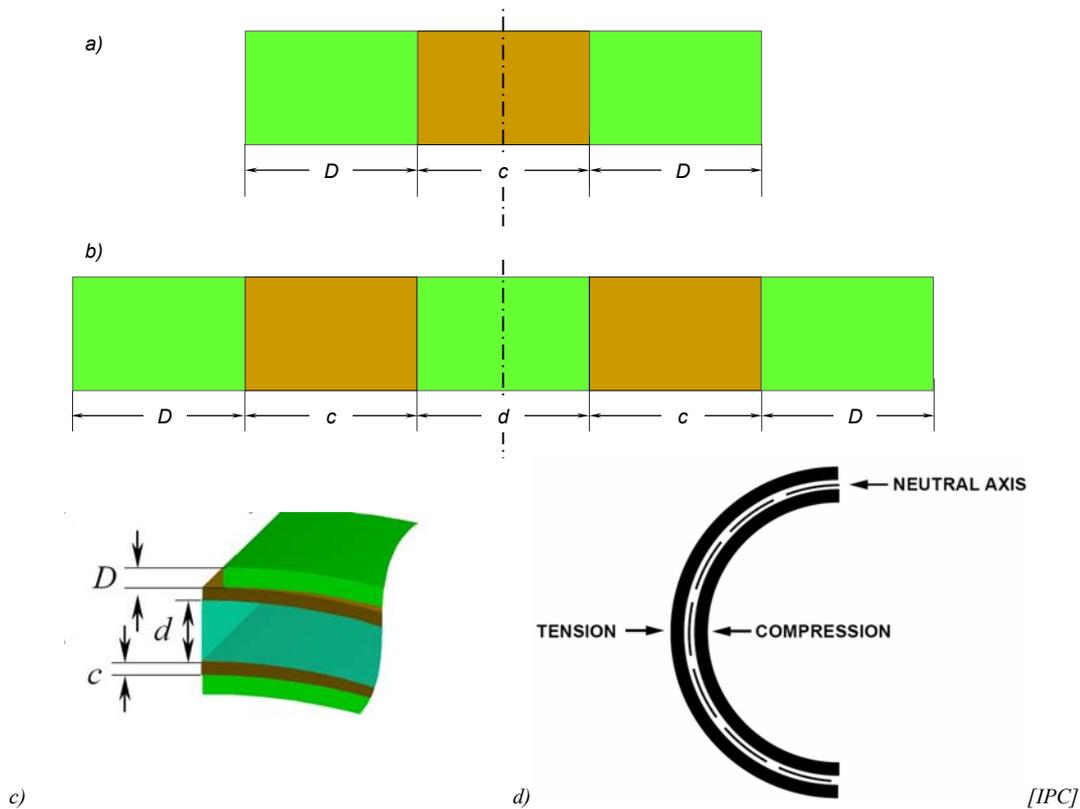


Abb. 4.4-10 Vereinfachte Darstellung der in IPC 2223A beschriebenen Flexstrukturen mit der neutralen Verformungsachse in der Mitte des Substrates: a) Ausschnitt aus einem Flex mit einer leitenden Lage; b) Ausschnitt aus einem Flex mit zwei leitenden Lagen; c) zweiseitiges Flex; d) durch Stauchung und Dehnung belastete Bereiche und idealisierte Position der neutralen Verformungsachse in einem Faltflex ([87], mit freundlicher Erlaubnis von John Perry/IPC)

d	–	Dicke des Basismaterials [μm]
c	–	Dicke des leitenden Materials bzw. Kupferdicke [μm]
D	–	Dicke der äußeren Schutzschicht (coverlayer/solder mask) [μm]
E_B	–	Deformationsfaktor für Kupfer (copper deformation factor) [%]

Der Deformationsfaktor – auch „copper elongation factor“ genannt – beschreibt dabei die zulässige Verformung durch Zugbelastung für das leitende Material als Prozentangabe in Bezug auf die Länge vor der Verformung. Je nach Verwendungszweck werden verschiedene Werte für die Kupferdeformation zugelassen: Für den Einsatz des Flexes als flexibler Verbinder mit einer mehrfachen Biegung während der Anwendung (Dynamic Flex) sind es z.B. 0,3%; für eine einmalige Biegung, wie sie bei der Herstellung eines vertikalen SiP angestrebt wird, sind es 16% [87].

Eine Beispielrechnung für einen Flex mit den heute üblichen Fertigungsdaten $d=50\mu\text{m}$ (PI, Espanex), $c=18\mu\text{m}$, $D=20\mu\text{m}$ und $E_B=16\%$, liefert annähernd $r_{bmin}=200\mu\text{m}$ und damit einen minimalen Spaltwert $G=2r_{bmin}=400\mu\text{m}$ [56].

Den Berechnungen nach IPC liegen zwei grundsätzliche Annahmen zu Grunde:

- mittlere Position der neutralen Verformungsachse,
- Betrachtung der Dehnung nur in der äußeren Kupferschicht.

Bei einem Biegevorgang werden die äußeren Schichten durch Dehnung und die inneren Schichten durch Stauchung belastet (Abb. 4.4-10d). Es existiert zumindest theoretisch eine Achse zwischen den beiden Bereichen, bei der die Verformungskräfte gleich null sind [87], [96]. Bei den in IPC2223A aufgeführten Berechnungen wird angenommen, dass die neutrale Verformungsachse stets exakt in der Substratmitte liegt.

Des Weiteren basieren die IPC Formeln zu Einem auf der Tatsache, dass das Dielektrikum grundsätzlich flexibler ist als ein Metall. Zum Anderen geht man davon aus, dass strukturierte Kupferschichten, die maximal durch Dehnung beansprucht werden, die schwächste Stelle in der Schichtanordnung darstellen und schneller ein Bruch erleiden, als durch Stauchung beanspruchtes Kupfer.

Auch wenn IPC2223 grundsätzlich eine Biegung von Substraten empfiehlt, die maximal vier Metalllagen beinhalten, kann unter Berücksichtigung beider Annahmen eine Formel entwickelt werden, die prinzipiell auf ein flexibles Substrat mit einer beliebigen Zahl der Signallagen anwendbar ist.

Als Ausgangsbasis kann ein Flexsubstrat mit zwei Signallagen dienen (Abb. 4.4-11).

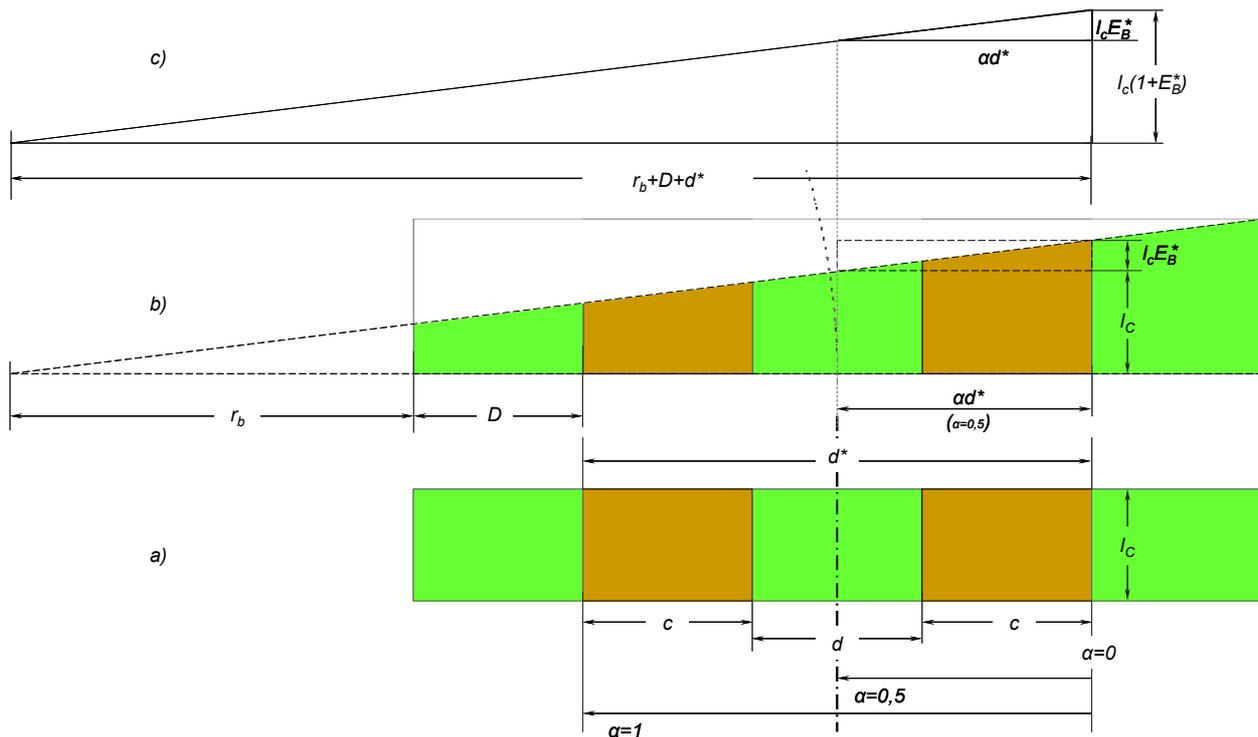


Abb. 4.4-11 Notwendige Größen für die Berechnung des Biegeradiuses in einem Flexsubstrat mit zwei und mehr Signallagen: a) Ausschnitt vor der Biegung, verformungsfrei; b) durch Stauchung und Dehnung beanspruchte Bereiche nach der Biegung mit der neutralen Verformungsachse in der Mitte des Substrates; c) Projektion der geometrischen Größen für die Herleitung

Betrachtet man einen endlich dünnen Ausschnitt aus dem Flex der Dicke l_c vor der Biegung, besitzt die äußere Kupferschicht auch eine Länge l_c (length of copper) (Abb. 4.4-11 a). Der Abstand zwischen den äußeren leitenden Schichten d^* , der die Dicke des Substrates ohne äußere Schutzschichten beschreibt, setzt sich aus den Dicken der Kupferlagen und der dazwischen liegenden Dielektrikumsschichten (Abb. 4.4-11 a) zusammen. Für einen symmetrischen Aufbau, bei dem alle Kupferlagen und Dielektrikumsschichten jeweils gleiche Dicken $c_1=c_2=\dots=c_s$ und $d_1=D=d_2=\dots=d_f$, aufweisen, gilt:

$$d^* = s \cdot c + (s - 1) \cdot d \quad (4.4-21)$$

Mit d^* – Abstand zwischen zwei äußeren Metallisierungslagen [μm]

s – Anzahl der Signallagen mit $s=n_s$

d – Dicke des Dielektrikums [μm]

c – Dicke des leitenden Materials bzw. Kupferdicke [μm]

Die Position der neutralen Verformungsachse kann bei einem symmetrischen Aufbau in der Substratmitte angenommen werden. Sollte die neutrale Verformungsachse anders positioniert

werden, kann ihre relative Position mit der Einführung des Positionsfaktors α korrigiert werden. Der Faktor α nimmt die Werte von 0 bis 1 ($\alpha \in [0...1]$) an und kann durch das Produkt αd^* die Position der neutralen Achse innerhalb des Intervalls d^* festlegen (Abb. 4.4-11a). $\alpha=0$ entspricht dabei der rechten äußeren Position (am äußeren Rand der äußeren Kupferschicht) und $\alpha=1$ bewegt die neutrale Achse an die linke äußere Position. Die Position in der Mitte des Substrates entspricht dem Wert $\alpha=0,5$.

Wird das Flexsubstrat gebogen, erfahren die Schichten links von der neutralen Achse eine Stauchung und rechts davon eine Dehnung wie Abb. 4.4-11b zeigt. Drückt man den Deformationsfaktor E_B nicht in Prozent, sondern absolut aus als

$$E_b^* = \frac{E_b}{100} \quad (4.4-22)$$

verformt sich die äußere durch Dehnung belastete Kupferschicht des betrachteten Abschnittes um $l_c E_b^*$. Die Länge nach der Deformation beträgt:

$$l_{cdef} = l_c + l_c E_b^* = l_c (1 + E_b^*) \quad (4.4-23)$$

- Mit l_c – Kupferlänge vor der Deformation (length of copper)
 l_{cdef} – Kupferlänge nach der Deformation
 E_b^* – Deformationsfaktor als absoluter Wert

Wie die Abb. 4.4-11c zeigt, kann – unter Vernachlässigung der Querkontraktion – aus dem Verhältnis zweier Dreiecke ausgedrückt werden:

$$\frac{\alpha d^*}{l_c E_b^*} = \frac{r_{bmin} + D + d^*}{l_{cdef}} = \frac{r_{bmin} + D + d^*}{l_c (1 + E_b^*)} \quad (4.4-24)$$

- Mit D – Dicke der äußeren Schutzschicht (coverlayer/solder mask) [μm]
 α – Positionsfaktor für die neutrale Deformationsachse $\alpha \in [0...1]$
 r_{bmin} – Biegeradius

Für den Biegeradius ergibt sich entsprechend

$$r_{bmin} = d^* \left[\frac{E_b^* (\alpha - 1) + \alpha}{E_b^*} \right] - D \quad (4.4-25)$$

Um die Formel verallgemeinert auf ein Substrat mit der Anzahl der Kupferschichten s und mit der Anzahl Dielektrikumschichten f (wie in der Abb. 4.4-12 gezeigt) anwenden zu können, muss d^* aus Gl. (4.4-21) wie folgt korrigiert werden:

$$d^* = \sum_{i=1}^s c_i + \sum_{i=2}^s d_i = \sum_{i=1}^s c_i + \sum_{i=2}^{f-1} d_i \quad (4.4-26)$$

- Mit s – Anzahl der Signallagen
 f – Anzahl der nicht leitenden Lagen

Betrachtet man die Schutzschicht als erste Dielektrikumslage $D=d_1$, kann der Biegeradius r_{bmin} in einer allgemeinen Form wie folgt berechnet werden:

$$r_{bmin} = d^* \left[\frac{E_b^* (\alpha - 1) + \alpha}{E_b^*} \right] - d_1 = \left(\sum_{i=1}^s c_i + \sum_{i=2}^s d_i \right) \left[\frac{E_b^* (\alpha - 1) + \alpha}{E_b^*} \right] - d_1 \quad (4.4-27)$$

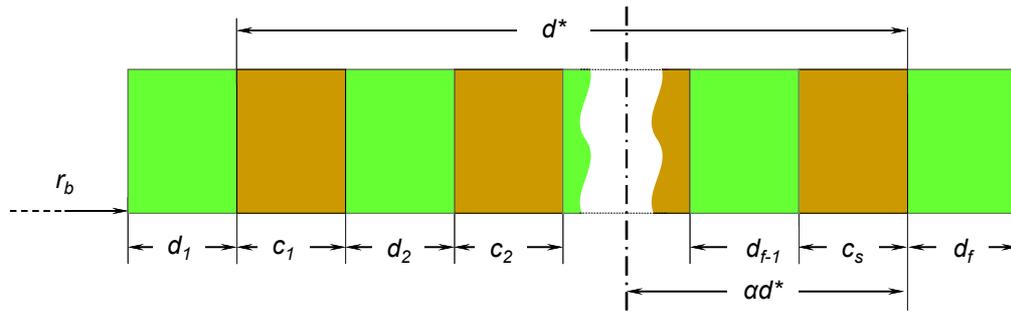


Abb. 4.4-12 Schematische Darstellung der Struktur eines Multilayer-Substrates

Da im Regelfall eine mittlere Position der Deformationsachse angenommen wird, erhält man für $\alpha = 0,5$ als Berechnungsvorschrift für r_{bmin}

$$r_{bmin} = \frac{1}{2} \left(\sum_{i=1}^s c_i + \sum_{i=2}^s d_i \right) \left[\frac{1 - E_b^*}{E_b^*} \right] - d_1 \quad (4.4-28)$$

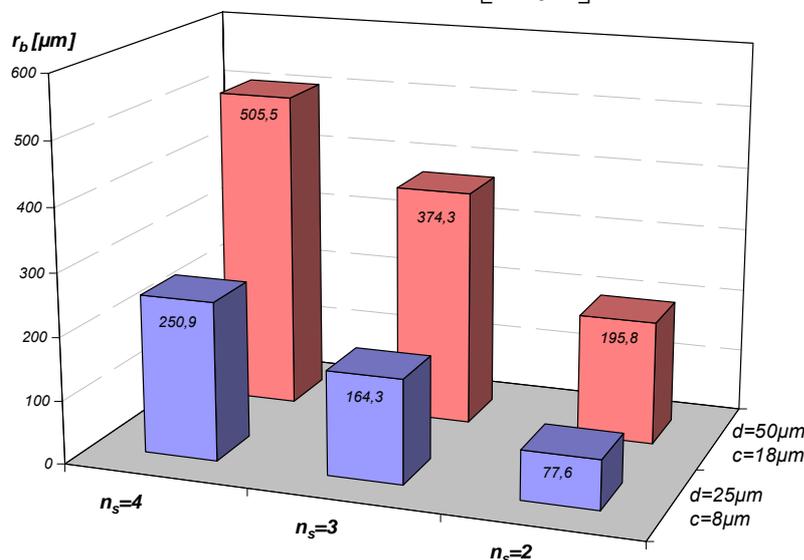


Abb. 4.4-13 Werte von Biegeradien für zwei laminierte Substrate mit verschiedenen Fertigungsdaten

dien für zwei reale laminierte Substrate mit verschiedenen Substratdaten in Abhängigkeit von der Anzahl der Signallagen aufgeführt.

Sonstige modellrelevante Aspekte

Für den Entwurf eines Faltflex-SiP, der meist im Zweidimensionalen stattfindet, ist es nötig, die Länge der Faltsegmente l_{fs} (Abb. 4.4-9) zu bestimmen:

$$l_{fs} = \pi \left(r_{bmin} + d_1 + d^* (1 - \alpha) \right) \quad (4.4-29)$$

Für den Regelfall mit $\alpha = 0,5$ vereinfacht sich die Formel zu:

$$l_{fs} = \pi \left(r_{bmin} + d_1 + 0,5d^* \right) \quad (4.4-30)$$

Bemerkenswert ist die Tatsache, dass die Reduktion der äußeren Schutzschichten nicht zur Verkleinerung des Radius' führt, da die Deformationslänge l_{cdef} nur vom Deformationsfaktor abhängt (4.4-23). Lässt man die Schichten komplett weg ($d_i=0$), hat das keinen Einfluss auf die Deformation der äußeren Kupferschicht: Die Reduktion des Betrages von d_i ruft eine Verlängerung des Radius' r_{bmin} um den gleichen Betrag hervor.

In der Abb. 4.4-13 ist der Verlauf der berechneten Biegeradien

4.4.5. Weitere Anwendungsmöglichkeiten

Vergleich der VIC-Techniken

Neben einer Implementierung in einem Entwurfsprogramm kann die dargestellte Modellierung der VIC, wie in [56] und [57] in einem Berechnungsbeispiel demonstriert wurde, auch

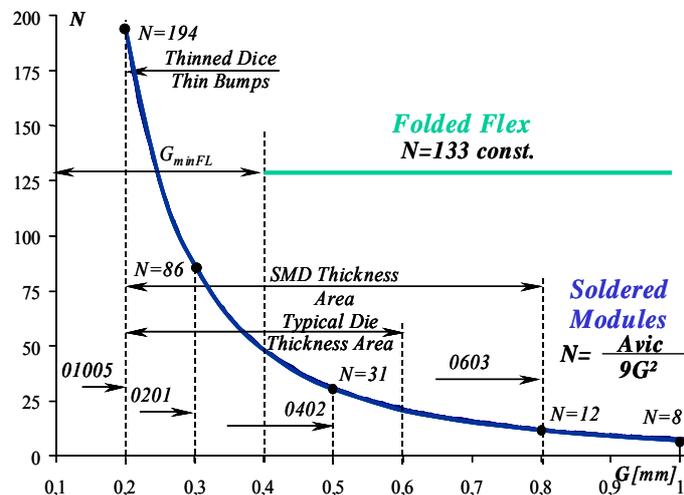


Abb. 4.4-14 Vergleich der realisierbaren Anschlusszahl von Faltflex und Solderbump-VIC in einer exemplarischen Anwendung [56]

für einen analytischen Vergleich der VIC-Techniken herangezogen werden. Abb. 4.4-14 demonstriert den Verlauf der VIC-Anzahl in Abhängigkeit vom Spalt G . Für beide Techniken wurde die gleiche Modulgröße von $(10 \times 10) \text{ mm}^2$ mit einer durch BE belegten konstanten Fläche von 10 mm^2 angenommen. Während ein Faltflex mit Fertigungsdaten wie im Beispiel auf S.92 und einem r_{bmin} von $200 \mu\text{m}$ effektiv erst oberhalb einer Spalthöhe von $400 \mu\text{m}$ angewendet werden kann, erlauben die Bump VICs eine hohe Anschlussdichte unterhalb von $300 \mu\text{m}$. Anders als bei einem Flex mit einer konstanten Zahl N von Anschlüssen, verläuft die Zahl

der Bump-VIC – bedingt durch den dynamischen Charakter der Bumpabmessungen – umgekehrt proportional zum Quadrat der Spaltgröße.

Modellierung sonstiger VIC-Typen

Die Modellierung ist nicht auf die Faltsegmente und Lotkugeln beschränkt. Die Betrachtung des VIC als Quader erlaubt grundsätzlich die Interpretation vieler weiterer vertikaler Verbindungen. Betrachtet man bspw. einen mechanischen Steckverbinder, so kann man ihn durch die Eingabe der äußeren Abmessungen x, y und der statischen Höhe G sowie der Anzahl der durchführbaren Signale n_s hinreichend beschreiben.

Die eingebetteten Komponenten können als ein Modul im SIP-Stack dargestellt werden, bei dem die BE von einer Substrat-Masse umgeben sind. Die Komponenten besitzen dann eine Höhe G , die gegen Null geht, aber endlich bleibt. Die Vias zur nächsthöheren Ebene übernehmen die Rolle der VICs. Da der Durchmesser des Via von der zu durchdringenden Substratdicke abhängt, kann ein Via-Quader ähnlich wie ein Bump-Quader dynamisch beschrieben werden.

5. Funktionelle Randbedingungen für den optimierten 2,5D SiP Entwurf

Der Entwurf eines SiP ist eine elektrotechnische Entwicklungsaufgabe. Nicht nur eine DAVT-gerechte Modellierung, sondern auch die Berücksichtigung der schaltungstechnischen Aspekte ist für einen erfolgreichen 2,5D SiP-Entwurf erforderlich. Deshalb gehen neben der geometrischen Modellierung sowohl die Topologie der elektrischen Verbindungen – die Netze – als auch die Platzierungsregeln, die das Knowhow des Schaltungsentwicklers beinhalten, – die Constraints – in die automatische Platzierung ein.

5.1. Netze

Die elektrischen Verbindungen zwischen den Anschlüssen einzelner BE gehen aus dem Schaltplan des SiP hervor und sind üblicherweise in Form von Netzlisten (z.B. im bereits erwähnten EDIF-Format, Kap. 3.2.1) abgelegt. Dafür werden alle Ports aller BE in disjunkte Gruppen – Netze – aufgeteilt. Alle Ports eines Netzes liegen auf dem gleichen elektrischen Potential und müssen verbunden werden. Die Reihenfolge der Verbindungen ist in der Regel nicht durch die Netzliste vorgegeben. Während der Platzierung wird die Verdrahtung zwischen den BE als ein sog. minimal spannender Baum berücksichtigt. Die Verbindungen zwischen den Anschlüssen werden dabei als imaginäre Luftlinien (*Air Wires*) auf dem kürzesten Wege in Manhattan-Metrik betrachtet.

Ein üblicher Optimierungsansatz von 2D Autoplacern ist, bei der Platzierung die Leitungslänge zu minimieren. Da im globalen Entwurf noch keine physikalischen Leitungen vorhanden sind, bezieht sich der Begriff „Leitungslänge“ im Folgenden generell auf die Länge der direkten Verbindungen zwischen zwei verschiedenen Pads – Luftlinie oder Airwires genannt. Sie kann auf unterschiedliche Art abgeschätzt werden. Im Moment verwendet der Platzierungsalgorithmus die Manhattan-Metrik.

Der Ansatz, alle Pads innerhalb eines Netzes beliebig zu verbinden, reicht jedoch nicht für jede Schaltung aus. Insbesondere für den 2,5D Entwurf, bei dem verschiedene Subsysteme auf verschiedenen räumlichen Ebenen aufgeteilt sind, ist eine Anpassung der Netzbeschreibung für eine effiziente Signal- und Stromversorgungsführung erforderlich. Vor allem bei Netzen mit Spannungsversorgung (VCC) oder Masse (GND) ist oft die Reihenfolge entscheidend, mit der die Pads untereinander verbunden werden. So ist es z.B. in der Praxis meist erforderlich, den Stromversorgungspfad zunächst mit dem Pad eines Pufferkondensators zu verbinden, bevor von diesem Pad alle anderen Verbindungen abgezweigt werden (Abb. 5.1-1).

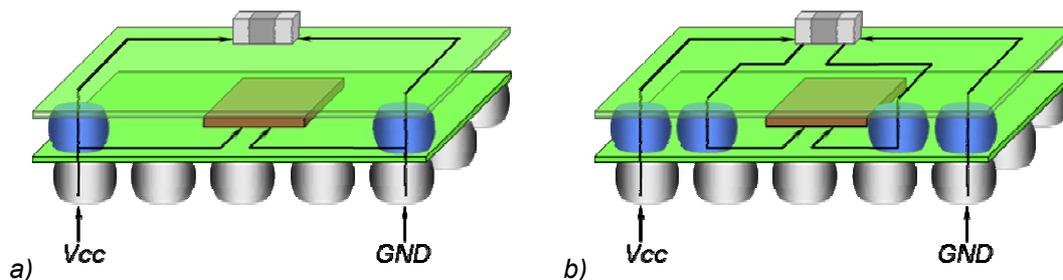


Abb. 5.1-1 Beispiel der Stromversorgung eines 2,5D SiP, der Netzverlegung zwischen einem Pufferkondensator und einem IC: a) fehlerhafte Verbindungsabzweigung b) richtige Verbindungsführung

Sind analoge und digitale Komponenten im System vorhanden, ist es zudem üblich, das Versorgungsnetz in einen analogen und einen digitalen Teil (A_VCC und D_VCC bzw. A_GND und D_GND) aufzuteilen, um Störungen zwischen den beiden BE-Gruppen zu minimieren. Im obigen Beispiel würde also vom GND Pad des Pufferkondensators ein analoges und ein digitales GND-Netz abzweigen. Der analoge Teil ist mit den Pads der Analog-Funktionsgruppen und der digitale mit denen der Digital-Funktionsgruppen verbunden. Nach dieser Verzweigung berühren sich das analoge und das digitale Teilnetz nicht mehr (Abb. 5.1-2).

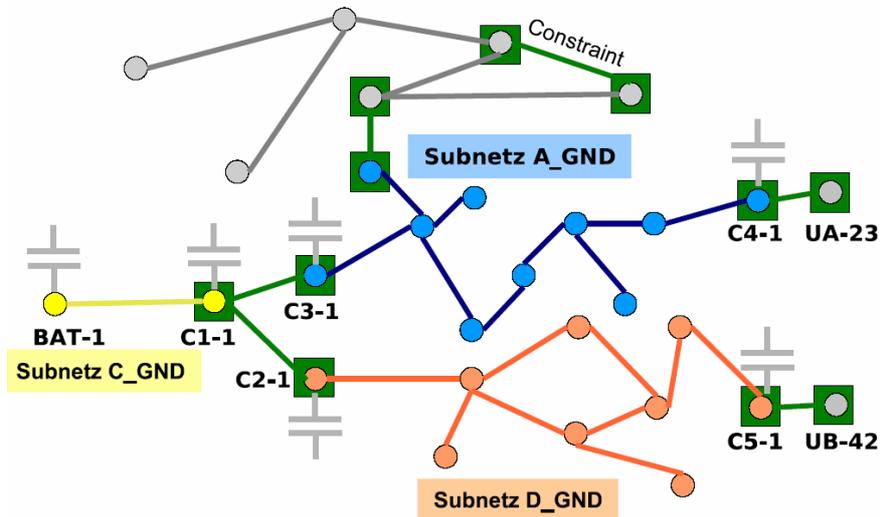


Abb. 5.1-2 Beispiel eines Netzes mit Subnetzen und expliziten Verbindern [42]

Aus diesen Überlegungen lassen sich drei zusätzliche Vorgaben ableiten, die bei der Verbindung der Pads innerhalb eines Netzes berücksichtigt werden müssen [42]:

1. Es muss möglich sein, bestimmte Verbindungen explizit vorzugeben (z.B. Pluspol mit Kondensatorpad).
2. Es muss möglich sein zu verhindern, dass während der algorithmischen Platzierung von bestimmten Pads (z.B. Pluspol) weitere Verbindungen abgezweigt werden.
3. Es muss möglich sein zu verhindern, dass bestimmte Pads direkt miteinander verbunden werden, obwohl sie zum gleichen Netz gehören.

Neben diesen drei Zusatzbedingungen ist noch ein weiterer Aspekt zu berücksichtigen. Einige der wichtigen Platzierungsvorgaben (s. 5.2 Constraints) beziehen sich auf einzelne Verbindungen. Um die verbindungsbezogene Constraints definieren zu können, muss zunächst sichergestellt sein, dass zwischen den angegebenen Pads eine direkte Verbindung besteht. Bei einer freien Wahl der Verbindungswege innerhalb eines Netzes ist das nicht zwingend der Fall.

Um die genannten Aspekte modellieren zu können, werden zusätzlich zum einfachen Netz zwei weitere Konstrukte definiert: Subnetze und explizite Verbinder.

5.1.1. Explizite Verbinder (EC)

Explizite Verbinder (*EC*, engl. *explicit connectors*) haben genau wie Netze einen eindeutigen Namen. Sie besitzen aber im Gegensatz zu diesen lediglich zwei Pads: Ein Start- und ein Endpad. Sie schreiben zwischen diesen beiden Pads – die natürlich beide zum gleichen Netz gehören – eine Verbindung vor, die während der Platzierung vom Optimierungsalgorithmus nicht verändert werden darf. Für die EC können Constraints definiert werden, die zwischen diesen beiden Pads gelten (s. Abschn. 5.2.5, Tab. 5.2-4 Netz-Constraints).

Über die Angabe mehrerer ECs ist es möglich, eine Beschaltung der Pads in einer bestimmten Reihenfolge zu erzwingen. Abb. 5.1-2 zeigt exemplarisch eine solche Definition für das oben angegebene Kondensator-Beispiel: Pad BA-1 muss zunächst mit C1-1 verbunden werden, bevor eine Aufspaltung zu C2-1 und C3-1 stattfinden kann.

5.1.2. Subnetze

Um die oben angesprochene Trennung einzelner Bereiche eines Netzes umsetzen zu können, wird das Konzept der Subnetze eingeführt [42]. Subnetze können bei Bedarf als Untergruppen normaler Netze definiert werden. Sie sind genau wie diese jeweils durch eine Menge von Pads gegeben. Dabei gelten die folgenden Regeln:

- Die Untergruppen müssen disjunkt sein. Kein Pad darf zu mehreren Gruppen (Subnetzen) gehören.
- Alle Pads eines Subnetzes dürfen während der Platzierung beliebig verbunden werden.
- Auch innerhalb der Subnetze bzw. im Hauptnetz kann es explizite Verbinder (ECs) geben, um bestimmte Verbindungen zu erzwingen und bspw. ein Constraint zuzuweisen.
- Es dürfen keinesfalls Verbindungen zwischen Pads verschiedener Subnetze hergestellt werden. Diese können nur vom Designer durch vorgegebene ECs miteinander verbunden werden.

Alle Subnetze sind miteinander verbunden, so dass keine isolierten „Inseln“ entstehen. Daher muss für jedes Subnetz mindestens eine explizite Verbindung zu einem anderen Subnetz oder zum Hauptnetz angegeben werden. Der Zusammenhang des Netzes muss also vom Designer sichergestellt werden. Die Netzbehandlung ist extrem fehlerintolerant: eine kleine Inkonsistenz, z.B. in einem Versorgungsnetz, führt zur Funktionsunfähigkeit des SiP. Es ist jedoch zumindest prinzipiell möglich mit Hilfe einer Konsistenzprüfung (Graphen-Zusammenhangstest) die Tatsache sicherzustellen, dass alle Pads eines Netzes miteinander verbunden sind.

Ein Beispiel für das Zusammenspiel von Subnetzen und Expliziten Verbindern ist in Abb. 5.1-2 dargestellt. Alle gezeigten Pads gehören zum Ground-Netz (GND). Innerhalb des Netzes GND existieren drei Subnetze, D_GND, A_GND und C_GND. Sie werden durch die blauen, gelben bzw. orangen Pads definiert. Die Verbindungen zwischen Pads eines Subnetzes können vom Optimierungsalgorithmus frei gewählt werden.

Die Brücken zwischen den Subnetzen werden durch die expliziten Verbindungen geschlagen. Definiert sind diese durch Padpaare, in diesem Fall:

$$\{C1-1:C2-1\}, \{C1-1:C3-1\}, \{C5-1:UB-42\}, \{C4-1:UA-23\}$$

usw. Das verhindert zum Einen Berührungen von A_GND und D_GND nach der Abzweigung an C1-1. Zum Anderen zweigen keine weiteren Verbindungen direkt von BAT-1 ab, ohne zunächst C1-1 zu passieren.

Für die grauen Pads ist nichts definiert. Sie gehören keinem Subnetz an und können untereinander beliebig verbunden werden. Verbindungen mit einem der anderen Subnetze sind jedoch nicht gestattet. Eine solche Verbindung muss durch einen EC explizit angegeben werden.

5.2. Constraints

Nicht jede theoretisch mögliche Anordnung der Bauelemente und Elemente der AVT ist in der Praxis elektrotechnisch sinnvoll. Für jede Schaltung existieren gewisse Nebenbedingungen, die bei der Platzierung der Elemente berücksichtigt werden müssen, um die Funktion

sicherzustellen. Das Modell muss also die Möglichkeit bieten, diese zusätzlichen Nebenbedingungen mit Hilfe eines endlichen Satzes von Regeln zu formulieren. Diese Regeln – im Folgenden als *Constraints* bezeichnet – werden dem Optimierungsprogramm zusammen mit der bisher erarbeiteten geometrischen Schaltungsbeschreibung übergeben und gelten als Randbedingungen für den Platzierungsalgorithmus.

Die geometrische Modellbeschreibung komprimiert technologisches Wissen und stellt sicher, dass keine groben Verletzungen der technologischen Zusammenhänge im Entwurf auftreten können. Das Wissen eines Schaltungsentwicklers kann nicht vollständig abgebildet werden. Mit den nachfolgend diskutierten Constraints erhält der Entwickler jedoch die Möglichkeit, Regeln und Verbote für seine Schaltung festzulegen, mit denen nicht nur grobe Verletzungen der elektrotechnischen Zusammenhänge verhindert werden, sondern auch die Entwurfsqualität gesteigert wird.

5.2.1. Vorgaben und Ursachen

Globale Vorgaben für ein SiP wie beispielsweise maximale Abmessungen, maximale Anzahl der Module etc. sind im weitesten Sinne auch Constraints. Primär sind jedoch verschiedene schaltungstechnische Aspekte und Effekte durch die Constraints bei der Platzierung zu berücksichtigen [42]:

Elektrische und thermische Überkopplungen

Der SiP Ansatz erfordert die Integration vieler elektronischer Komponenten auf engstem Raum. Elektromagnetische (kapazitive und induktive), thermische und teilweise auch optische Kopplungseffekte rücken dabei besonders ins Blickfeld.

Um elektromagnetischen Kopplungen, wie z.B. Störeinstrahlungen eines getakteten BE (Microcontroller, DSP, etc.) auf analoge Schaltkreise (Verstärkerschaltungen, Sensoren etc.), entgegen zu wirken, gibt es mehrere Möglichkeiten. Zunächst ist es sinnvoll, analoge und digitale Teile möglichst zu separieren. Zusätzlich sollten störempfindliche BE einen gewissen Mindestabstand zu solchen mit hoher Störausstrahlung einhalten. Durch eine relative Ausrichtung der BE zueinander können induktive Überkopplungen minimiert werden, wie z.B. zwischen Spulen, die nicht parallel liegen sollten.

Um thermische Kopplungen zwischen wärmeintensiven (hochgetaktete Microcontroller) und wärmesensitiven (Quarz, Sensor) BE zu minimieren, muss es möglich sein, einen gewissen Mindestabstand für die Platzierung der einzelnen BE vorzugeben. In anderen Fällen kann eine geometrische Annäherung durchaus erwünscht sein, beispielsweise wenn eine Temperaturüberwachung eines Bauteils realisiert werden soll. Falls optische BE in einem SiP zum Einsatz kommen, müssen aus ähnlichen Gründen (Signalisierungs-LED scheint auf Lichtsensor) Kontrollmöglichkeiten für den Mindestabstand dieser Elemente geboten werden.

Signalintegrität und -laufzeit

Eng verwandt mit der elektromagnetischen Störeinkopplung ist das Thema Signalintegrität. Um hier genaue Aussagen treffen zu können, ist prinzipiell die Betrachtung des exakten Verlaufes der Leiterbahnen (Feinverdrahtung) im SiP notwendig. Deren exakte Geometrie ist mitbestimmend für die Verzerrungen, die das Signal auf dem Weg erfährt, und ihre exakte Länge bestimmt kritische Parameter wie die Signallaufzeit. Auch wenn die eigentliche Entflechtung mit der exakten Leitungsdefinition erst im Detailentwurfsschritt erfolgt, ist es möglich, bei den Vorgaben für die Platzierung eine Vorausschau auf die Leitungsführung, z.B. auf Basis des netzeabbildenden Airwire-Modells zu halten. So lässt sich die Länge der Verbindungen zwischen zwei Pads sehr einfach über die Manhattan-Metrik abschätzen. Damit sind zwar keine präzisen Vorgaben für maximal zulässige Signallaufzeiten umsetzbar, es lassen sich jedoch grobe Vorgaben über die maximal erlaubte Länge kritischer Verbindungen oder über die Län-

geneinhaltung der parallel zu führenden Leitungen (Busse, differentielle Signale) realisieren. Des Weiteren ist eine Vorgabe für die Anzahl der VIC, die als Diskontinuitäten im Leitungsverlauf wirken, pro Leitung erforderlich.

Produktionstechnik

Technologische Rahmenbedingungen auf Bauelementeebene werden durch die Technologiequader erfasst. Einige Vorgaben, die aus der Fertigungstechnik resultieren, müssen jedoch auf Modul- bzw. Substratebene definierbar sein. Ein Substrat kann u.U. nicht komplett bestückbar sein, so dass bestimmte Bereiche freigehalten werden müssen. Der gegensätzliche Fall, bei dem auf Grund der Beschaffenheiten der Bestückvorrichtungen oder wegen der partiellen Verkapselung BE innerhalb bestimmter Bereiche oder sogar an bestimmten Positionen liegen müssen, tritt in der Praxis ebenso auf. Die Forderung, dass einige BE oder VIC entlang einer Linie ausgerichtet sein müssen, entstammt nicht ausschließlich ästhetischen Überlegungen, sondern resultiert aus dem Bestreben, die Fahrwege eines Pick&Place-Apparates zu optimieren.

Testbarkeit

Die Testbarkeit einer Schaltung ist ein wichtiger Aspekt für die 2,5D Integration. Bestimmte BE oder Testpads müssen für Mess- und Testvorrichtungen zugänglich bleiben. Die Platzierungsvorgaben von VICs und BE, an denen beispielsweise Testsignale abgenommen werden, müssen für bestimmte Module (z.B. Toplayer vom oberstem Modul), für bestimmte zugängliche Bereiche eines Moduls (am Rand) oder sogar für bestimmte Punkte gelten.

Weitere funktionelle Aspekte und allgemeine Platzierungsvorgaben

Letztlich muss es dem Designer ermöglicht werden, möglichst viele Schaltungsanforderungen umzusetzen und die algorithmischen Freiheitsgrade bei der Platzierung bestimmter BE einzuschränken oder BE ganz gezielt in einem SiP zu positionieren. Sofern z.B. sensorielle Elemente verwendet werden, müssen sie an den Außenseiten des SiP platziert werden, um eine ordnungsgemäße Medienankopplung zu gewährleisten. Auch falls ein SiP nicht verkapselt wird und optische Signalisierungselemente wie LEDs eingesetzt werden, müssen diese außen (d.h. auf dem Top-Layer des obersten Moduls) liegen.

5.2.2. Strukturierung

Priorität und Zuordnung

Die Zahl der unterschiedlichen Constraints muss so gering wie möglich gehalten werden. Jeder weitere Constraint-Typ erhöht die Komplexität des Optimierungsalgorithmus, was dessen Implementierung erschwert und den Aufwand bei der Berechnung erhöht. Die Constraints können nicht alle in gleichem Maße von einem Optimierungswerkzeug berücksichtigt werden. Jedem Constraint wird daher eine Priorität $p_{con} = [0, 1, 2 \dots 5]$ zugeordnet werden. $p_{con}=0$ steht dabei für die höchste und $p_{con}=5$ für die niedrigste Priorität. $p_{con}=0$ bedeutet, dass dieses Constraint unbedingt erfüllt werden muss und eine Nichterfüllung zu einer ungültigen Lösung führt.

Die Constraints können auf die physikalischen Bestandteile des 2,5D SiPs – BE, VIC, Substrate – aber auch auf die topologische Komponente – Netze – angewendet werden. Es ist sinnvoll, die verschiedenen Constraints zunächst nach den Elementen zu ordnen, auf die sie sich beziehen. Es gibt BE-basierte, VIC-basierte und verbindungsorientierte (Netz-) Constraints. Die Constraints können sich sowohl auf einzelne Elemente als auch auf die Gruppen beziehen.

Gruppierung

Bauelemente-Gruppen

Bei der Modellierung ist es immer wieder nötig, auf die einzelnen BE Bezug zu nehmen, um für sie Constraints zu formulieren, aber auch um ihnen eine bestimmte Eigenschaft zuzuweisen [42]. Dies kann z.B. über den individuellen BE-Namen geschehen. Ein Beispiel für eine derartige Referenzierung im Rahmen eines (hier verbal formulierten) Constraints könnte lauten:

”Das Bauelement D1 muss unbedingt auf dem obersten Modul platziert werden”, oder
 ”U3 und X1 müssen sich auf dem gleichen Modul befinden”.

Die bauelementeweise Referenzierung bei mehr als einem oder zwei Elementen wird unpraktisch. Sollen z.B. mehrere Regeln auf immer wiederkehrende BE-Mengen angewendet werden, bietet es sich an, diese zu BE-Gruppen zusammenzufassen und über einen gemeinsamen Gruppenbezeichner darauf zuzugreifen. Einige dieser Gruppen ergeben sich ganz natürlich aus den in jeder praktischen Schaltung enthaltenen funktionellen Blöcken, zu denen die einzelnen BE gehören. Sie können auch zusätzlich definiert werden, wenn es die Formulierung der Constraints vereinfacht.

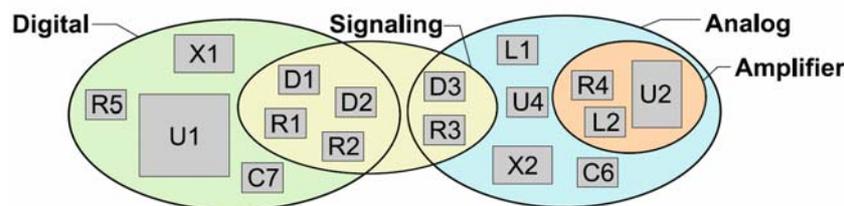


Abb. 5.2-1 Beispiel für die Gruppierung von Bauelementen [42]

Abb. 5.2-1 zeigt ein fiktives Beispiel: Die BE einer Schaltung werden zunächst in zwei Gruppen eingeteilt, den analogen Teil (*Analog*) und den digitalen Teil (*Digital*). Für jede dieser Gruppen können nun unterschiedliche Regeln definiert werden. Beispielsweise ist es möglich festzulegen, dass der komplette Analogteil auf einer Ebene (in einem Modul) liegt und der Digitalteil auf einer anderen – eine in der Praxis durchaus übliche Vorgehensweise.

BE-Gruppen müssen nicht notwendigerweise disjunkt sein. Teilmengen von Gruppen können wiederum zu weiteren Gruppen zusammengefasst werden. So lassen sich im gezeigten Beispiel besonders kritische Teile des Analogteils zu einer Untergruppe *Amplifier* zusammenfassen, um diese gesondert zu behandeln. Auch das Zusammenfassen von Teilmengen unterschiedlicher Gruppen zu einer neuen Gruppe ist möglich. Im Beispiel fasst die Gruppe *Signaling* Teile aus den Gruppen *Analog* und *Digital* zusammen.

5.2.3. Bauelementbasierte Constraints

Bauelementbasierte Constraints können die Freiheit bei der Platzierung auf zwei verschiedene Arten einschränken [42]. Sie beziehen sich entweder auf die Positionen der BE relativ zur Umgebung (also zum gesamten SiP bzw. einem einzelnen Modul) oder relativ zu anderen BE. Beispiele sind:

- Bauelement C5 muss auf der Oberseite des 2. Moduls sitzen: Einschränkung relativ zum gesamten SiP.
- Die Bauelemente R1, R2 und R3 müssen am Rand des Moduls sitzen: Einschränkung relativ zu einem – beliebigen – Modul.

Typ	Name	Parameter	Beschreibung
3D	keepIn	$M_{BE,sub}$, x, y, m_i , d_x, d_y, d_z	Alle $M_{BE,sub}$ müssen im Quader der Größe d_x, d_y, d_z liegen, der sich an der Position x, y, m_i befindet.
3D	keepOut	x, y, m_i , d_x, d_y, d_z	Im Quader der Größe d_x, d_y, d_z an x, y, m_i dürfen keinerlei BE liegen.
2D	boundary	$M_{BE,sub}, M_k$	Alle $M_{BE,sub}$ müssen an einer der Kanten aus M_k anliegen.
V	fixedMod	$M_{BE,sub}, m_i$, <i>top/bot</i>	Alle $M_{BE,sub}$ müssen im Modul m_i liegen (auf <i>top</i> bzw. auf <i>bottom</i> von m_i).

Tab. 5.2-1 BE-Constraints für die Vorgaben, die relativ zur Umgebung wirken

- Die Bauelemente L1, L2 müssen im Winkel von 90° zueinander liegen: Einschränkung relativ zu anderen BE

Die Constraints können sich entweder auf die Menge aller BE M_{BE} oder auf beliebige Untermengen $M_{BE,sub} \subseteq M_{BE}$ beziehen. Sind die Elemente bereits in einer Gruppe zusammengefasst, kann auch der Gruppenbezeichner zur Identifikation herangezogen werden.

Die Tab. 5.2-1 und Tab. 5.2-2 liefern eine Übersicht der in der Modellierung vorgesehenen BE-Constraints, die im Folgenden näher beschrieben werden sollen.

KeepIn / KeepOut:

Mit Hilfe von keepIn- bzw. keepOut-Constraints kann ein quaderförmiger Bereich der Ausdehnung d_x, d_y, d_z definiert werden. In diesem Quader, der sich auch über mehrere Module erstrecken kann, dürfen dann entweder gar keine BE platziert werden (keepOut) oder bestimmte Mengen $M_{BE,sub}$ von BE sollen ausschließlich in diesem Bereich platziert werden (keepIn).

Die Position des Quaders ist bezogen auf dessen Mittelpunkt. Sie wird in lateraler Richtung

Typ	Name	Parameter	Beschreibung
3D	group	$M_{BE,sub}$, d_x, d_y, d_z	Alle $M_{BE,sub}$ müssen im Quader der Größe d_x, d_y, d_z liegen.
3D	antigroup	b_i, b_j , d_x, d_y, d_z	b_i, b_j müssen so platziert werden, dass ein Quader der Größe d_x, d_y, d_z dazwischen passt.
2D	rotation	b_i, b_j, β	b_i und b_j müssen im Winkel $\beta = n \cdot 90^\circ$ zueinander platziert werden ($n = [1, 2, 3, 4]$).
2D	alignment	$M_{BE,sub}, \Delta x, \Delta y$	Alle $M_{BE,sub}$ müssen mit weniger als Δx und Δy Abweichung aneinander ausgerichtet sein.
2D	abutment	b_i, b_j , k_{BQ_u}, k_{BQ_v}	b_i muss sich mit Kante k_{BQ_u} an Kante k_{BQ_v} von b_j schmiegen.
V	maxModDist	$M_{BE,sub}, n$	Alle $M_{BE,sub}$ dürfen nicht mehr als n Module voneinander entfernt sein.
V	minModDist	b_i, b_j, n	b_i und b_j müssen mindestens n Module voneinander entfernt liegen.

Tab. 5.2-2 BE-Constraints für die Vorgaben, die relativ zu BE wirken

durch (x,y) festgelegt. In vertikaler Richtung ist entweder die Angabe eines Moduls m_i oder eine absolute Angabe (bezogen auf das oberste Substrat sub_1 bzw. Modul m_1 des SiP) möglich. Die Angabe eines Substrates sub_i als Quaderursprung ist in der Regel vorzuziehen, da die konkrete Höhe der einzelnen Module normalerweise erst nach der Platzierung bekannt ist. Für besondere Anwendungen (wie z.B. von außen vorgegebene Aussparungen) kann jedoch auch eine konkrete Maßangabe für z hilfreich sein.

Ein Sonderfall ist ein keepIn-Constraint mit $M_{BE\ sub}=b_i$ und $d_x=d_y=d_z=0$. Durch einen solchen, zum einem Punkt degenerierten keepIn-Quader, ist es möglich, das BE an eine bestimmte Position (x,y) im Modul m_i zu zwingen.

Boundary:

Einfacher ist das *boundary*-Constraint, das im Gegensatz zu keepIn/-Out nur im 2D-Raum wirkt. Es gibt vor, dass bestimmte BE $M_{BE\ sub}$ am Rand der Substrate liegen sollen: Eine Menge $M_k \subseteq \{k_{sub1}; k_{sub2}; k_{sub3}; k_{sub4}\}$ von Substrat-Kanten wird übergeben. Jedes BE $b_i \in M_{BE\ sub}$ muss sich an mindestens eine der in M_k definierten Kanten anschmiegen.

FixedMod:

Dieses Constraint schreibt vor, alle BE der übergebenen Menge $M_{BE\ sub}$ im Modul m_i zu platzieren. Ob sie auf der Ober- oder auf der Unterseite von sub_i liegen sollen, wird durch die Angabe *top/bottom* festgelegt. Auf diese Weise können z.B. die oben beschriebenen Vorgaben für Sensoren, Signalisierungselemente und für die Testbarkeit umgesetzt werden.

Group / Antigroup:

Das *group*-Constraint gibt vor, dass sich alle in $M_{BE\ sub}$ enthaltenen BE innerhalb eines Quaders der Größe d_x, d_y, d_z befinden müssen. Ist der Quader kleiner als das von den Bauteilen minimal benötigte Volumen (im Extremfall Null), werden diese einfach so dicht wie möglich zusammengeschoben.

Umgekehrt müssen beim *antigroup*-Constraint die beiden BE b_i und b_j so platziert werden, dass der beschriebene Quader dazwischen passt. Hier wird ein gewisser Mindestabstand im dreidimensionalen Raum vorgegeben. Im Unterschied zum keepIn- bzw. keepOut-Constraint ist hier keine absolute Position des Quaders vorgegeben. Er darf sich in beliebigen Modulen des SiP befinden.

Rotation:

Durch *antigroup* lassen sich bereits Mindestabstände von BE vorgeben. Besteht z.B. das Problem induktiver Kopplung, sollte zusätzlich noch die Ausrichtung der Elemente zueinander vorgegeben werden können. Das *rotation*-Constraint erlaubt es, für zwei BE b_i und b_j einen Winkel β vorzugeben, den diese zueinander einnehmen müssen. Um die Komplexität nicht unnötig zu erhöhen, sind lediglich ganzzahlige Vielfache von 90° gestattet.

Als Ausgangspunkt für die Orientierung werden die Basisquader der BE mit ihren jeweiligen Koordinatensystemen verwendet. Bei der Formulierung der Constraints ist jedoch ggf. der innere Aufbau der konkreten BE zu berücksichtigen.

Abutment:

Dieses Constraint schreibt das „Anschmiegen“ zweier BE b_i und b_j aneinander vor. Es werden zwei Basisquader-Kanten $k_{BQ\ u}$ $k_{BQ\ v}$ gegeben. Die BE müssen so orientiert sein, dass diese zueinander zeigen.

Alignment:

Es legt fest, dass bei der Platzierung mehrerer BE $M_{BE\ sub}$ deren x -, bzw. y -Koordinaten nur um einen gewissen Betrag Δx bzw. Δy voneinander abweichen dürfen. Eine *alignment*-Vorgabe mit $\Delta x=0$ und $\Delta y=\infty$ bewirkt z.B., dass die BE exakt auf einer parallel zur y -Achse des

Substrates liegenden Linie ausgerichtet werden müssen, in der anderen Richtung besteht keine Beschränkung.

Max-/ MinModDist, FixMod:

Bei kritischen Netzen spielt die Anzahl der VIC, die als Diskontinuitäten auf ein kritisches Signal wirken, eine wichtige Rolle. Die dazugehörigen BE dürfen nicht zu viele Ebenen voneinander entfernt platziert werden. Diese Vorgabe kann durch Angabe einer maximalen Modulentfernung mit *maxModDist* umgesetzt werden. Eine Entfernung von $n=0$ bedeutet dabei, dass sich alle BE in $M_{BE\ sub}$ auf dem gleichen Modul befinden müssen. Bei bspw. $n=1$ sind auch die benachbarten Module m_{i-1} und m_{i+1} erlaubt.

Ein *maxModDist(0)* wird auch durch ein *fixedMod*-Constraint impliziert. Auch dort müssen alle BE auf einer Ebene bzw. in einem Modul liegen. Die Modulnummer ist jedoch fest vorgegeben. Im Unterschied dazu erlaubt *maxModDist(0)* die Platzierung auf einer beliebigen Ebene, solange alle geforderten BE zusammen dort liegen.

Genau umgekehrt wirkt *minModDist*. Es gibt an, wie viele Module zwei BE b_i und b_j mindestens voneinander entfernt platziert werden müssen. Dies kann in den Fällen hilfreich sein, bei denen eine gegenseitige Beeinflussung minimiert werden soll, die Präzision eines *antigroup*-Constraints aber nicht benötigt wird.

5.2.4. VIC-Constraints

VIC entstehen dynamisch erst während der Platzierung und zwar immer dann, wenn BE so angeordnet werden, dass ein oder mehrere Netze über mehrere Ebenen hinweg verbunden werden müssen. Auch für die Platzierung der VIC sollen Einschränkungen definierbar sein. Anders als bei BE müssen die VIC nicht explizit benannt werden, da sie zum Zeitpunkt der Constraint-Formulierung noch nicht existieren. Stattdessen werden die Constraints für ein bestimmtes Modul m_i definiert und gelten dann für alle VICs, die sich in diesem Modul befinden bzw. Substrate sub_i und sub_{i+1} miteinander (nach unten, s. *Anordnung* in Abschn. 4.1.1) verbinden. In der Tab 5.2-3 sind die VIC-orientierten Constraints zusammengefasst.

KeepIn/KeepOut

Anders als die entsprechenden BE-Constraints sind *keepIn* und *-Out* für VICs rein zweidimensional. Es werden lediglich Rechtecke der Größe d_x und d_y auf dem jeweiligen Modul m_i vorgegeben, in denen sämtliche VIC liegen müssen bzw. in denen sich gar keine VIC befinden dürfen. Bezugspunkt für die Positionierung der Rechteckflächen ist wieder dessen Mittelpunkt.

Boundary:

Aus fertigungstechnischen Gründen und zu Testzwecken müssen auch VICs oft am Rand des Substrates platziert werden. Beim *boundary*-Constraint wird – analog zum entsprechenden Constraint für BE – eine Menge von Substratkanten $M_k \subseteq \{k_{sub1}; k_{sub2}; k_{sub3}; k_{sub4}\}$ übergeben.

Typ	Name	Parameter	Beschreibung
2D	keepIn	m_i, x, y, d_x, d_y	Alle VIC von m_i müssen in einem Rechteck der Größe d_x, d_y liegen, das sich an der Position x, y befindet.
2D	keepOut	x, y, d_x, d_y, d_z	In einem Rechteck der Größe d_x, d_y , an x, y auf dem Modul m_i dürfen keinerlei VIC liegen.
2D	boundary	m_i, M_k	Alle VIC des Moduls m_i müssen an einer der Kanten aus M_k anliegen.

Tab 5.2-3 VIC-Constraints

Alle VIC des Moduls m_i müssen daraufhin so platziert werden, dass sie mindestens eine der angegebenen Kanten berühren.

5.2.5. Verbindungs-Constraints

Verbindungs- oder Netz-Constraints (Tab. 5.2-4) beziehen sich auf einzelne explizite Verbindungen (EC) eines Netzes (s. 5.1.1). Eine solche Verbindung besteht jeweils aus einem Startpad p_{start} und einem Endpad p_{end} des gleichen Netzes, die zu zwei unterschiedlichen BE b_i und b_j gehören.

maxAirwireLength:

Bereits mit *group* ist es möglich, die maximal erlaubte Entfernung für zusammengehörige BE anzugeben. Dabei wird der Abstand der BE und nicht der tatsächliche Abstand der Pads vorgegeben. Für BE mit kritischen Leitungen, wie beispielsweise ein Quarz, dessen Taktleitungen nur eine sehr geringe Leiterbahnkapazität tragen können und deshalb nur eine beschränkte Länge besitzen dürfen, kann man mit dem Constraint *maxAirwireLength* eine entsprechende Vorgabe formulieren. Damit lässt sich die maximal erlaubte Länge der expliziten Verbindungen (EC) als „Airwire“ – d.h. die maximale Distanz m_d zwischen dem Startpad p_{start} eines BE b_i und dem Endpad p_{end} eines BE b_j einzeln vorgeben. Der Constraint kann auch gleichermaßen auf eine Menge der Verbindungen $M_{con} \subseteq \{b_{1_p_{start}}, b_{2_p_{end}}; \dots b_{i_p_{start}}, b_{j_p_{end}}\}$ angewendet werden.

Der für diesen Constraint nötige Aufwand ist jedoch nur dort gerechtfertigt, wo der Abstand der Pads sich sehr von dem der BE unterscheiden kann und wo die BE-Abstände durch verhältnismäßig wenige kritische Verbindungen bestimmt werden. Für die dichte Platzierung z.B. einer Gruppe von 30 SMDs ist die Verwendung des *group*-Constraints zweckmäßiger.

SameAirwireLength

Oft ist eine einfache Maximalvorgabe für die Leitungslänge nicht ausreichend. Die Verbindungen müssen zusätzlich noch die gleiche oder annähernd gleiche Länge besitzen. Eine solche symmetrische Verdrahtung ist z.B. bei Schwingkreisen oder Abstimm-Netzwerken gefordert. Mit dem Constraint *SameAirwireLength* kann vorgegeben werden, dass sich die Längenunterschiede der Padpaare $M_{con} \subseteq \{b_{1_p_{start}}, b_{2_p_{end}}; \dots b_{i_p_{start}}, b_{j_p_{end}}\}$ gemessen als der „AirWire“-Entfernung maximal um den Betrag der Distanztoleranz d_t unterscheiden dürfen.

Differential

Eine differentielle Signalführung ist oft sowohl in digitalen und als auch in analogen Schaltungen erforderlich. Im Gegensatz zu den Vorgaben für die gleiche Leitungslänge müssen in diesem Fall die Signalleitungen stets nebeneinander sowohl horizontal – im Modul – als auch vertikal – über die zwei benachbarten VIC – geführt werden. Das dafür anwendbare Constraint *differential* kann in verbaler Form so formuliert werden: Für die Leitungen, die zu den Pads $b_{i_p_i}$ und $b_{j_p_j}$ der BE b_i und b_j verlaufen, soll auf allen Modulen *SameAirwireLength* gelten; falls die Leitungen das Modul verlassen, sollen die zugehörigen VIC nebeneinander positioniert werden.

Bus2:

Signal-Busse, die in der Digitalelektronik beispielsweise für Adressleitungen eines Speicher-BE üblich sind, erfordern sowohl aus Signallaufzeitüberlegungen als auch für Test- und Inbetriebnahmezwecke eine möglichst parallele Führung. Befinden sich mehrere BE zwischen den Padreihen zweier BE, die durch einen Bus verbunden sind, führt das zu Problemen während der Entflechtung, wenn man bedenkt, dass die Busbreite heute mehr als 16 Leitungen umfassen kann. Der Vorbeugung dieser Problematik dient der Constraint *Bus2*. Er sorgt dafür, dass die BE b_i und b_j , deren Pads über einen Bus mit mehreren Leitungen $M_{con} \subseteq \{b_{i_p_1}, b_{j_p_1}; \dots b_{i_p_n}, b_{j_p_n}\}$ verbunden sind, bei der Platzierung auf dem selben Modul so ausgerichtet sind,

dass die zu verbindenden Pad-Reihen einander parallel gegenüber liegen. Sollen die BE auf unterschiedlichen Modulen platziert werden, dann steht die Padreihe von b_i und die Padreihe von b_j nebeneinanderstehenden VIC gegenüber, so dass die Bus-Leitungen auf dem direkten Wege zwischen den BE verlaufen können.

Typ	Name	Parameter	Beschreibung
Net	maxAirwireLength	M_{con}, m_d	Die Airwires aller Verbindungen aus M_{con} dürfen maximal m_d lang werden.
Net	SameAirwireLength	M_{con}, d_t	Die Airwires aller Verbindungen aus M_{con} müssen bis auf einen Faktor d_t gleich lang sein.
Net	differential	$b_i_p_i, b_j_p_j$	Die Leitungen zu den Pads $b_i_p_i$ und $b_j_p_j$ der BE b_i und b_j verlaufen differentiell.
Net	Bus2	b_i, b_j, M_{con}	Alle Leitungen aus M_{con} zwischen den BE b_i und b_j werden als Bus geführt.

Tab. 5.2-4 Netz-Constraints

6. Verifikation und Anwendung

Nach einer kurzen Vorstellung der Schaltungsarchitektur eines autarken Sensorknotens aus der sog. eGrain-Roadmap, deren Prototypen für die Auswertung der entwickelten Arbeitsergebnisse herangezogen werden, werden alle Bestandteile der in Kapitel 4 entwickelten Modellierung untersucht und verifiziert. Anschließend wird die Anwendung des Modells auf den Entwurf der Elektronik des autarken Sensorknotens im mehrkriteriellen Entwurfswerkzeug *3D SiP Expert*, das die in Kapitel 3 entwickelte Entwurfsmethodik umsetzt, dargestellt.

6.1. Funktion und Schaltung der eGrain Prototypen

Die eGrain-Roadmap (Abb. 2.2-18, S.18) wurde im Rahmen des wissenschaftlichen BMBF-Vorprojekts AVM (Autarke verteilte Mikrosysteme) vom Fraunhofer IZM und der TU-Berlin entwickelt [93] (<http://www.eGrain.org/>). eGrains sind miniaturisierte Sensornetzwerkknoten. Sie sind in der Lage, Messwerte aus ihrer Umgebung aufzunehmen und diese drahtlos an andere eGrains oder an eine Basisstation weiterzugeben. Im Unterschied zu einfachen unidirektionalen Drahtlos-Sensoren können die Netzwerkknoten sowohl senden als auch empfangen und sind somit in der Lage, Nachrichten weiterzuleiten oder komplexere Kommunikationsprotokolle zu realisieren. Ziel der Roadmapentwicklung bestand darin, anhand praktisch realisierter funktionsfähiger Prototypen, die annähernd gleiche Funktionalität besitzen, das technologische Miniatrisierungspotenzial für die Elektronik eines Sensorknotens in Schritten auszureizen. Die Integrationsanforderungen eines eGrains stellen einen interessanten Sonderfall der SiP-Integration dar. Das System ist sehr heterogen aufgebaut und muss zum Erreichen geringer Kantenlängen vertikal integriert werden. In der vorletzten Miniaturisierungsstufe (Kantenlänge 10mm) entstanden so zwei Prototypen mit fast identischer Schaltungs-Funktionalität und Dimensionen als Faltflex- und Stack-Aufbau (Abb. 6.1-1a-b, Abb. 6.2-2), an denen die

Entwurfsergebnisse der in der Arbeit entwickelten mehrkriteriellen Entwurfsmethode gut demonstrierbar sind.

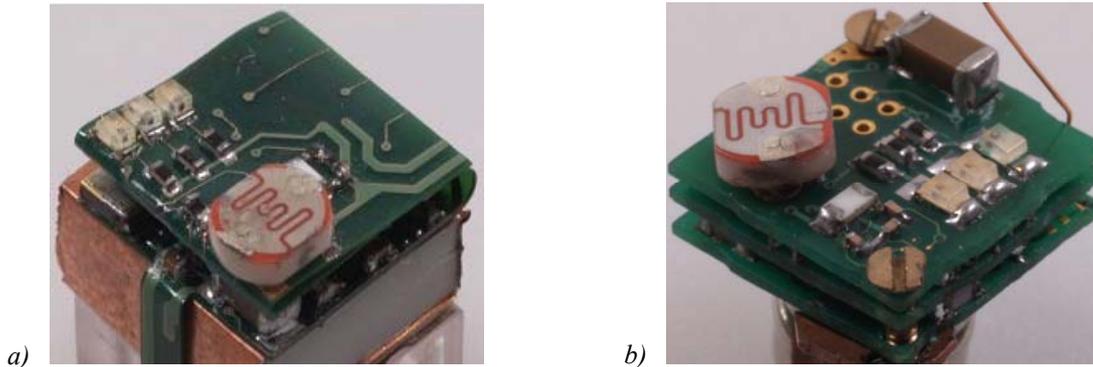


Abb. 6.1-1 Gefalteter (a) und mittels Solderballs verbundener gestapelter (b) eGrain 10mm Prototyp

Abb. 6.1-2 zeigt den Schaltplan der eGrain-Version, die als Fold-Flex- und Stack-2,5D-SiP mit 10mm Kantenlänge aufgebaut wurde. Die 10mm-Ausführung ist mit einem NSL19- Photowiderstand (R6) als Lichtsensor, einem PT1000-Platinwiderstand (R1000) als Temperatursensor sowie drei LED's (D1, D3, D5) zu Signalisierungszwecken ausgestattet. Als RF-Transceiver dient ein CC1000-Baustein der Firma ChipCon (U8). Die Ansteuerung der einzelnen Komponenten übernimmt ein ATmega128- μ C (U7) von Atmel. Der über einen einfachen Spannungsteiler an einem der AD-Umsetzer des Controllers angeschlossene Photowiderstand erfasst die Helligkeitsschwankungen. Genauer arbeitet der PT1000, der in eine Brücke (R283, R285, R286) beschaltet ist, was eine differentielle Temperaturmessung ermöglicht. Für eine eindeutige Identifizierung der im Netzwerkverbund funkenden Knoten kann ein DS2401-ID-Baustein (U3) von Dallas Semiconductor angeschlossen werden.

Viele Netzwerkprotokolle erfordern eine präzise Zeitbasis [106]. Dem ATmega128 steht daher ein 32,7268MHz-Uhrenquarz (X2) zur Verfügung, der auch für die Rückkehr des Controllers aus tiefen Schlafmodi auf einen asynchron zum CPU-Takt laufenden Timer notwendig ist. Ein Quarz zum Erzeugen der Taktfrequenz selbst wird nicht gebraucht. Der ATmega128 generiert seinen 8MHz-Takt selbst über einen internen RC-Oszillator. Der Digitalteil des CC1000-Transceivers benötigt jedoch einen externen Takt von 9-16MHz, der mit Hilfe des 14,7456MHz-Quarzes X1 und den beiden Kapazitäten C171 und C181 erzeugt wird.

Die Energieversorgung wird durch eine oder mehrere Batterie-Zellen sichergestellt, die an Anschluss pads TP1 (+) und TP2 (-) angeschlossen werden. Durchgeführte Messungen zeigen jedoch, dass kurzzeitig Ströme von bis zu 38mA benötigt werden. Da die in diesem Knoten verwendeten Knopfzellen nur wenige μ A liefern können, ist ein möglichst großer Pufferkondensator unabdingbar, um die Lastspitzen abzufangen. Diese Aufgabe übernimmt der parallel zur Batterie geschaltete C1.

Für die drahtlose Funkkommunikation wird das frei zugängliche ISM-Band auf einer Frequenz von 868,3MHz verwendet. Die Antenne wird an der Anschlussfläche TP3 angeschlossen. Empfehlenswert ist ein $\lambda/4$ -Strahler von insgesamt

$$\frac{1}{4}\lambda = \frac{c}{4f} = \frac{3 \cdot 10^8 \frac{m}{s}}{4 \cdot 868 \cdot 10^6 s^{-1}} \approx 86mm \quad (6.1-1)$$

wirksamer Antennenlänge. Zur Antennenanpassung dient das aus C31, C41, C42, L41 und L32 bestehende Matching-Netzwerk an den RF-Ein und -Ausgangsleitungen (AntTrakt1/AntTrakt2). Zwischen Anpassungsnetzwerk und Antennenanschluss ist zusätzlich noch ein LC-

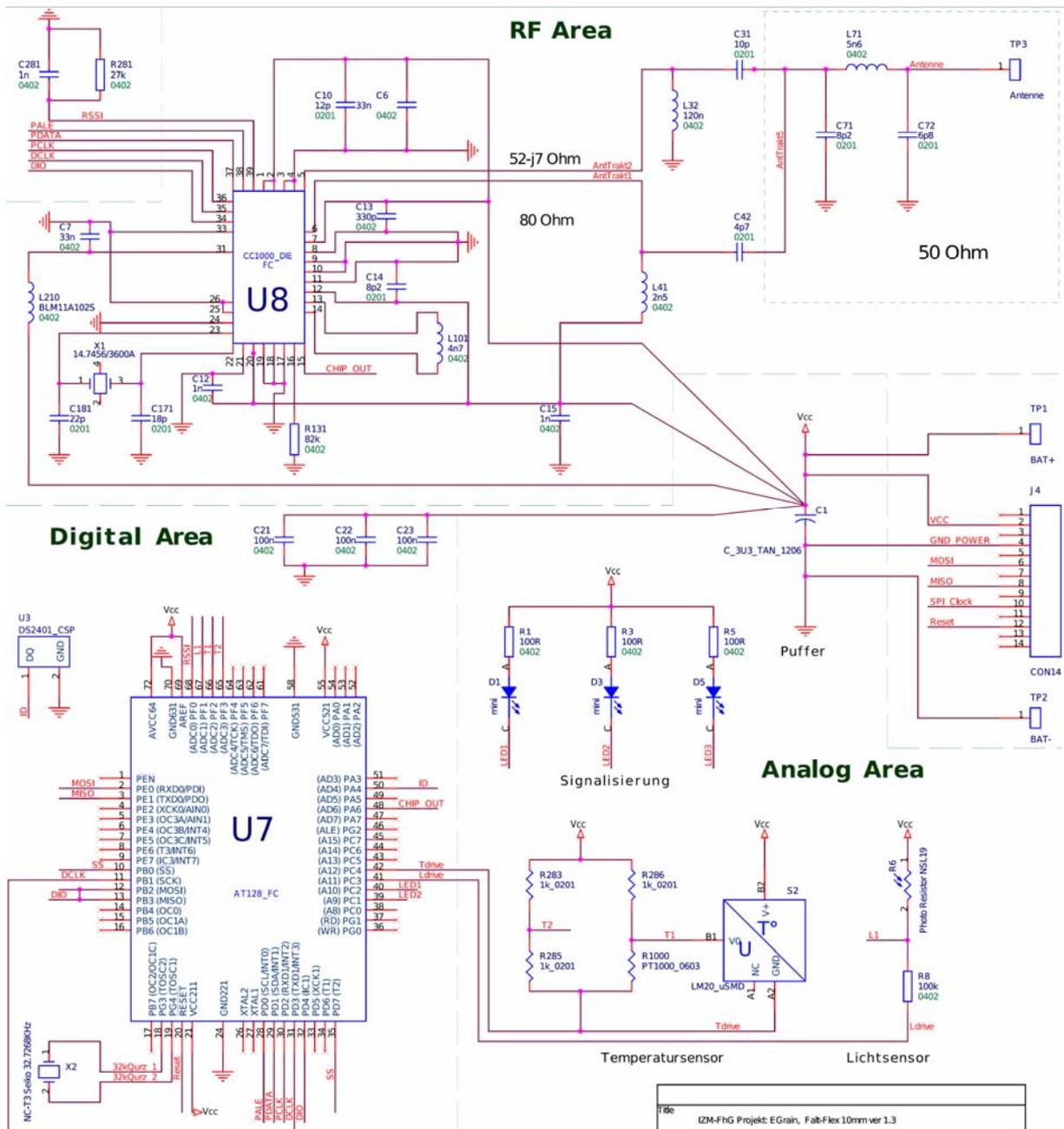


Abb. 6.1-2 Schaltplan vom 10mm eGrain

Filter (C71, C72, L71) geschaltet. Er reduziert die Abstrahlung von harmonischen Oberwellen und erhöht die Trennschärfe des Empfängers.

Beide Halbleiter-BE (U7 und U8) wurden mittels ACA als FC montiert, während die restlichen SMD-BE reflow-gelötet wurden. Die rigiden Substrate sind aus dem herkömmlichen FR4 Material mit der Gesamtdicke von ca. 450 μm angefertigt. Die Substratdaten des Flexprototypen entsprechen den Daten der Faltflex-Probe 4 mit der Gesamtdicke von ca. 100 μm in der Tab. 6.2-1. Beide Prototypen wurden manuell entworfen und als ein Aufbau aus drei vertikalen Modulen realisiert, in den Großteil der analogen Sensor- und Signalgebung-Elektronik auf der obersten, der digitalen Elektronik auf der mittleren, und Kommunikation- (HF) Elektronik auf der untersten Ebene sich befinden. Genauere Spezifikationen der einzelnen Bauteile befinden sich in der Tab. A-1 und in der Tab. A-2 im Anhang, Detailinformationen können den entsprechenden Datenblättern der Einzel-BE entnommen werden. Eine komplette Stückliste der Schaltung ist im Anhang in Tab. A-3 zu finden.

6.2. Verifikation

6.2.1. Untersuchung der Bauelemente-Modellierung

Das Ziel der entwickelten Modellierung besteht in einer Beschreibung der BE und der technologiebedingten Freiräume, die eine technologische Realisierbarkeit garantieren. Während die Routing-Quader je nach Verdrahtungssituation sehr variabel gestaltet werden können (vgl. *Routingquader* in Kapitel 4.2.4), müssen die Berechnungen der Technologie-Quader (TQ) aus den Substratparametern bei der dichtesten Platzierung stets eine einwandfreie Bestückung und Montage ermöglichen. Eine bereits erfolgreich realisierte Anordnung der BE in einer Schaltung kann als ein Prüfstein für die Gültigkeit des Modells herangezogen werden.

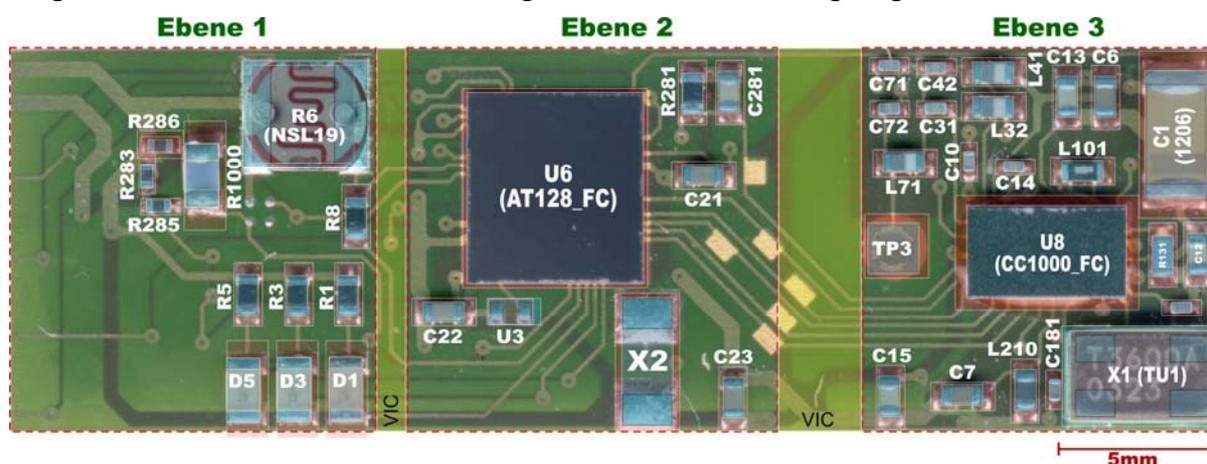


Abb. 6.2-2 Projektion der TQ auf die 10mm eGrain Flexschaltung

Die Bestimmung der vertikalen TQ-Abmessungen Δz_{1TQ} ; Δz_{2TQ} wird als eine triviale Summe (Abb. 6.2-1) der bereits im Vorfeld des Entwurfes einstellbaren technologischen Parameter berechnet (s. Kap. 4.2.3). Die lateralen Abmessungen des TQ dagegen können während des Entwurfes variieren, weil sie nicht nur aus feststehenden Pad-Positionen und Assemblierungsfaktoren, sondern auch aus von Modul zu Modul änderbaren Substratparametern berechnet werden. In diesem Kapitel wird basierend auf den Voruntersuchungen von Richter in [42] die Gültigkeit der lateralen Abmessungen von TQ für SMD- und FC-BE anhand einer bestehenden Schaltung ausgewertet.

Abb. 6.2-2 zeigt die drei Ebenen einer auf einem flexiblen, laminierten Substrat aufgebauten Schaltung eines eGrain-Prototyps mit einer Kantenlänge von 10mm. Die modellierten Basis- und Technologiequader (siehe Abschnitt 4.2.3, Tab. 4.2-4) sind maßstabsgetreu auf die realen BE projiziert. Die halbtransparente Überlagerung eröffnet die Möglichkeit, die Theorie mit der Wirklichkeit zu vergleichen.

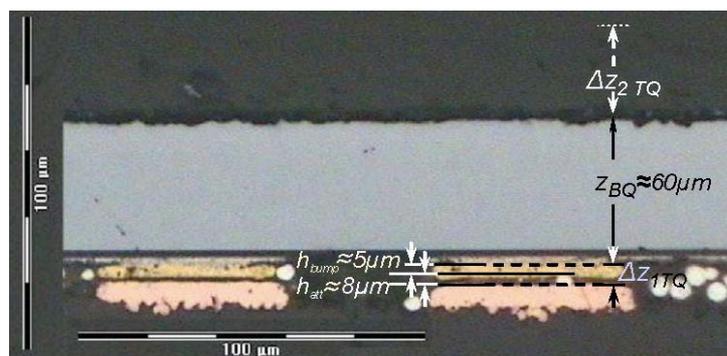


Abb. 6.2-1 Vertikale Abmessungen eines ACA FC mit dünnen Bumps

Sowohl die BE als auch die für ihre Montage benötigten AVT-Komponenten sind komplett von den berechneten TQ-Grundflächen überdeckt: Als Beispiele für zwei-polige Passive können C1 in 1206-Bauform, L101 in 0402-Bauform und C10 in 0201-Package auf Ebene 3 genannt werden.

Die in der Sonderbauform HSMXS690 ausgeführten LED's D1, D3 und D5 und der PT1000 in 0603-Bauform (R1000) auf Ebene 1 besitzen eine in x-Richtung der BE optisch als etwas zu ausgedehnt wirkende TQ-Fläche. Grund hierfür ist die als proportional zum BE-Pad angenommene (Substrat-)Pad-Vergrößerung. Bei der Footprint-Planung ging man von den BE-Pads aus, die größer als die tatsächlichen sind. Sehr breite Pads führen so zu leicht überdimensionierten TQ-Abständen. Dies kann in Zukunft durch eine feinere Modellierung der SMT-Verbindungstechnik verhindert werden. Die Konsequenz der zu großen TQ ist jedoch nicht eine falsche bzw. nicht realisierbare Platzierung, sondern lediglich eine großzügige Beanspruchung der Substratfläche.

Die Pads vom Quarz X1 (Ebene 3) in TU1-Package liegen weit genug unter dem BE, so dass die zugehörigen Substrat-Pads ebenfalls von dem BE abgedeckt sind. Zusätzliche Abstände wie bspw. Werkzeugabstand d_i zu den TQ der benachbarten BE, wie man z.B. an der unmittelbar daneben liegenden 0201-Kapazität C181 erkennt, sind im Design nicht vorgesehen. Dieser Fall wird durch die modellierten Grundflächen korrekt erfasst: Der Basisquader ist hier größer als der Technologiequader und überdeckt X1 komplett, so dass keine zusätzlichen Technologieabstände entstehen. Bei den beiden Flip-Chips U6 und U8, die mittels ACA montiert sind, liegen die Substrat-Pads ebenfalls komplett unter den Bauelementen. Der korrespondierende TQ des U8 sorgt mit einem d_i von $300\mu\text{m}$ für ausreichende periphere Abstände, die für einen möglichen Kleberaustritt reserviert sind.

Nur beim Lichtsensor R6 ragen die AVT-Elemente etwas über die berechneten Flächen hinaus. Ursache hierfür ist, dass es sich beim NSL19 eigentlich um ein THT-Element (TO8) handelt, der so konstruktiv verändert wurde, dass eine Oberflächenmontage ermöglicht wird. Die für angewinkelte Drahtanschlüsse ausgelegten Footprint-Pads wurden bei der Designerstellung abweichend von üblichen SMD-Konventionen sehr großzügig dimensioniert. Ein zusätzlicher Werkzeugabstand kann hier Abhilfe schaffen.

Zusammenfassend lassen sich zwei Erkenntnisse ableiten. Zum Einem gewährleisten die berechneten TQ eindeutig die nötigen Freiräume um die BE und bestätigen insgesamt die Modellierungsergebnisse. Da bei der Platzierung die Überschneidungsfreiheit der TQ garantiert wird, sollten bei der Montage keinerlei platzierungsbedingte Probleme auftreten. Mit den in der Abb. 6.2-2 bzw. in der Tab. 4.2-4 gezeigten TQ-Flächen lassen sich die BE zu einer nahezu beliebigen Anordnung platzieren, die stets assemblierbar bleibt. Einzige Ausnahme ist hier der Lichtsensor, was jedoch lediglich auf eine ursprünglich nicht SMT-kompatible Bauform zurückzuführen ist. Zum Anderen belegen die hier verwendeten Parameter für die TQ-Planung der passiven BE, dass aus der Normliteratur bekannte Werte für die kleinen SMD Bauformen (von 0603 abwärts) mit einer erhöhten Sicherheit und einer deutlichen Überdimensionierung

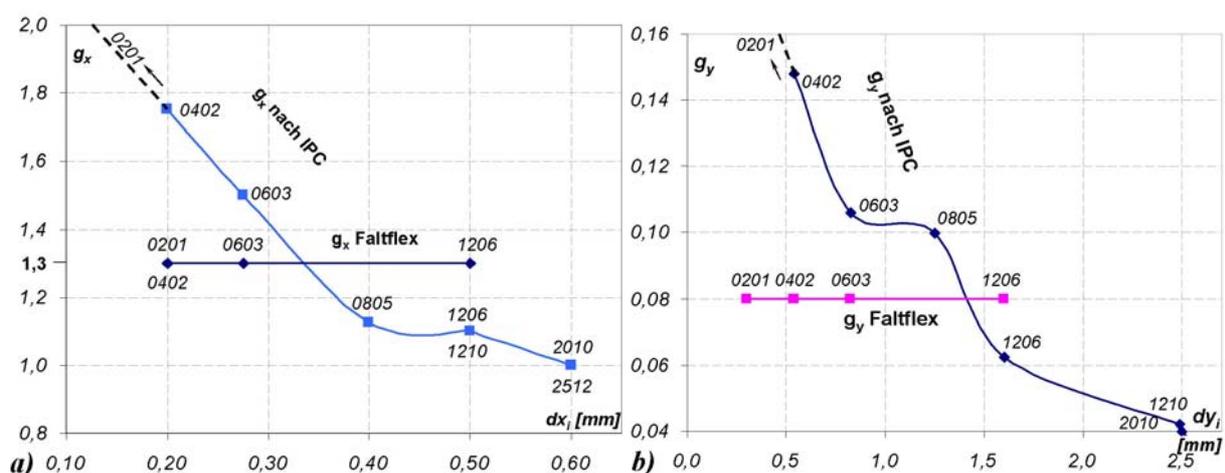


Abb. 6.2-3 Verlauf der Pad-Vergrößerung nach IPC und in der Faltpflexschaltung benutzte Faktoren: a) g_x ; b) g_y

Probe		6	7	1	4	9,10	11	12
Flex		eGrain 10mm	eGrain 6mm	eGrain 6mm	eGrain 10mm	Testanfer- tigung	Testanfer- tigung	Testanfer- tigung
Daten								
Cu-Lagenzahl	n_s	1	1	2	2	2	3	
SM	d_1 [μm]	11	17	27	11	35	-	
Cu	s_1 [μm]	-	12	12	18	25	29	
PI	d_2 [μm]	50	50	50	50	50	20	
Cu	s_2 [μm]	18	-	12	18	25	32	
PI	d_3 [μm]	-	-	-	-	-	122 ($\approx 50+22+50$)	
Cu	s_3 [μm]	-	-	-	-	-	26	
SM	d_4 [μm]	11	27	17	11	35	45	
r_{bmin} berechnet [μm]		167,5	145,8	167,3	214,8	227	601,1	
r_{bmin} gemessen [μm]		101	99,5	91,4	109,15	156	314,1	218,35

Tab. 6.2-1 Daten der vermessenen Testfaltflexsubstrate und Gegenüberstellung der berechneten und gemessenen Radien

nierung der Padvergrößerungsfaktoren behaftet sind. Folgt man den Werten aus [90] in der Tab. 4.2-2 so müssten die Padvergrößerungsfaktoren für 0201 BE in den Bereichen $g_x > 1,75$ und $g_y > 0,16$ liegen (Abb. 6.2-3), während bei den gezeigten TQ der vorliegenden Realisierung mit $g_x = 1,3$ und $g_y = 0,08$ eine erfolgreiche Umsetzbarkeit nicht von der Hand zu weisen ist. In der Abb. 6.2-3 ist der Verlauf der Werte, die aus der IPC782 [90] (Tab. 4.2-2) bestimmt sind, den real verwendeten g_x und g_y gegenübergestellt worden.

6.2.2. Untersuchung der VIC Modellierung

Der Ableitung des Modells der Lotkugeln-VIC liegen Werte zugrunde, die als Ergebnis mehrfacher praktischer Untersuchungen mit BGA Lotkugeln ermittelt, hinsichtlich ihrer Stichhaltigkeit und Gültigkeit von Experten geprüft und in einer Norm publiziert sind (vgl. Tab. 4.4-2 und [89]). Die Aufstellung des Modells kann als Auswertung eines Experimentes bzw. der Ergebnisse eines gültigen Experimentes gesehen werden. Damit erübrigt sich die experimentelle Prüfung des Modells für Lotkugeln-VIC. Das Modell für Faltflex-VIC dagegen bedarf einer Verifikation.

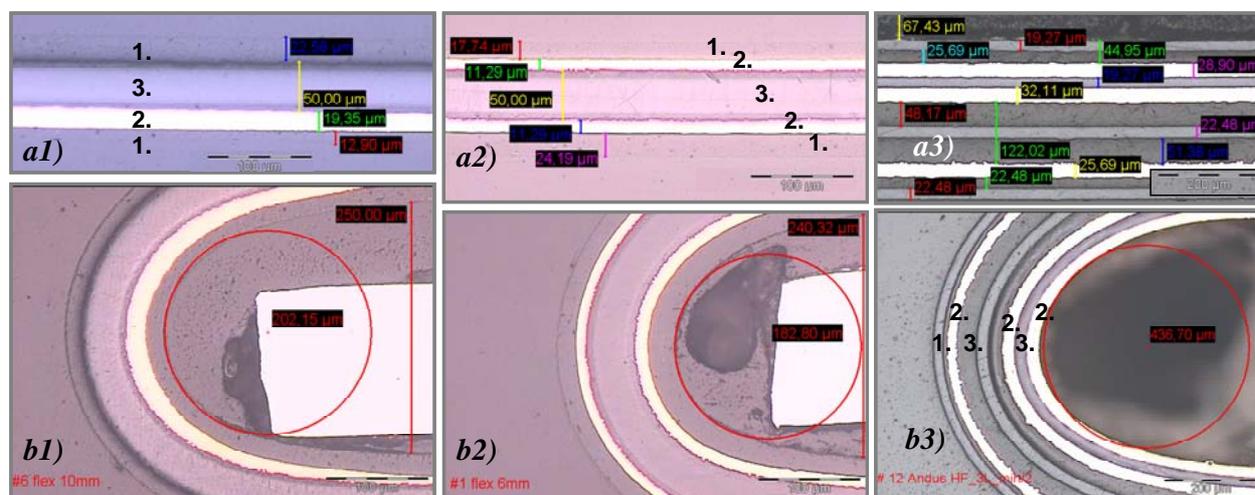


Abb. 6.2-4 Beispiele der Testfaltflexe (a) vor und (b) nach der Biegung: a1-b1) Probe 6 mit einer Cu-Lage; a2-b2) Probe 1 mit zwei Cu-Lagen; a3-b3) Probe 12 mit drei Cu-Lagen; die drei oberen Schichten in der Darstellung a3 sind im Biegebereich nicht vorhanden; (1. Solder Mask; 2. Cu; 3. PI).

Für die Überprüfung der Vorhersagen für den minimalen Biegeradius r_{bmin} wurde eine Reihe von laminierten PI basierten kleberlosen Testflexsubstraten mit 1, 2 und 3 leitenden Lagen sowie verschiedenen Lagendicken angefertigt (Tab. 6.2-1). Die Testsubstrate wurden einer einmaligen Faltung mit dem anhand des Modells ausgerechneten minimalen Biegeradius r_{bmin} unterzogen, in Epoxydharz eingebettet, geschliffen und unter dem Mikroskop vermessen (Abb. 6.2-4 und Anhang B). Proben 1, 4, 6 und 7 entstammen den für die Realisierung der 10mm und 6mm (Abb. 2.2-18) eGrain-Prototypen verwendeten Substraten.

Insgesamt belegen die in der Tab. 6.2-1 dargestellten Gegenüberstellungen der Mess- und Berechnungs-Ergebnisse die Gültigkeit der Modellierung. Mit den gegebenen Berechnungsvorschriften für r_{bmin} (Gl. (4.4-28), S.95) ist auf jeden Fall eine zerstörungsfreie Faltung mit einer gewissen Sicherheitsreserve realisierbar: Bereits während der Durchführung war feststellbar, dass die Proben die Biegung problemlos ohne Schaden überstehen, so dass sämtliche Proben auf einen sogar geringeren Radius gebogen werden könnten. Dies ist ein deutliches Indiz dafür, dass der aus der [87] übernommene Wert für den Cu-Deformationsfaktor E_B von 16% für eine einmalige Biegung sehr konservativ angesetzt ist. Eine Verfeinerung bzw. Präzisierung des E_B kann durch weitere Experimente erreicht werden. Die für die Gestaltung der Flatflexe aus der Praxis bekannte Empfehlung, den Schichtaufbau im Faltsegment möglichst homogen zu halten, wurde während der Untersuchungen bestätigt: In der Abb. 6.2-5 ist eine Probe dargestellt, bei der die innere Cu-Leiterbahn mit einer Unterbrechung im Faltbereich verlegt wurde, was zu einer Zerstörung der Außenlage beim Biegen führte.

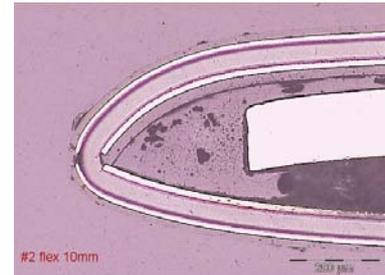


Abb. 6.2-5 Bruch im Faltsegment

6.2.3. Untersuchung der Substrat-Modellierung

Zur Verifikation des Modells zur Bestimmung der Anzahl der Verdrahtungslagen bei einer bestehenden Platzierung (Kapitel 4.3.3) wurde eine Reihe realer Entwürfe bzw. existierender Platinen verschiedener Komplexität (2,4, 6 und 10 Lagen) herangezogen. Die wichtigsten Daten sind in der Tab. 6.2-2 zusammengefasst, weitere Daten befinden sich in der Tab. A-4 im Anhang. Aus den vorliegenden Entwurfsunterlagen wurden die notwendigen Modelldaten extrahiert (Netzlängen, Substratparameter, belegte Flächen etc.) und für die Berechnung nach dem Modell aus Kapitel 4.3.3 in den Stufen 0 bis 4 verwendet. Die Netzlängen wurden als Manhattan-Distanz planar – ohne vertikalen Anteil – gemessen. Eine Gegenüberstellung der real für die Verdrahtung benötigten und durch Modellrechnung ermittelten Lagenzahl befindet sich in der Tab. 6.2-2 sowie in den Abb. 6.2-6 und Abb. 6.2-7.

Die erste Erkenntnis betraf die Verdrahtungseffizienz. Die rechnerisch ermittelte Verdrahtungseffizienz der fertigen Schaltungen bewegte sich zwischen 0,12 und 0,29 während in der Literatur vorgeschriebene Werte zwischen 0,3 und 0,5 liegen (vgl. S. 72). Eine mögliche Erklärung hierfür ist, dass aus der Literatur bekannte Maximalwerte zum großen Teil auf die Erfahrungen aus dem Entwurf der herkömmlichen Leiterplatten zurückzuführen sind und bei den vorliegenden Schaltungen es sich überwiegend um hochdichten MCM handelt, bei den die BE und Elemente der AVT den großen Teil der Substratfläche belegen und die Freiräume dazwischen sehr sparsam geplant sind. Damit ergibt sich rechnerisch eine vergleichsweise geringe Anzahl der gelegten Verbindungen pro Fläche. Während der Untersuchungen war darum deutlich zu erkennen, dass mit dem geringsten Wert für die Verdrahtungseffizienz von 0,3 die beste Annäherung an die realen Verhältnisse erreichbar ist. Da die Verdrahtungseffizienz als ein variabler Faktor im Modell erfasst ist, lässt es sich auch nach unten korrigieren.

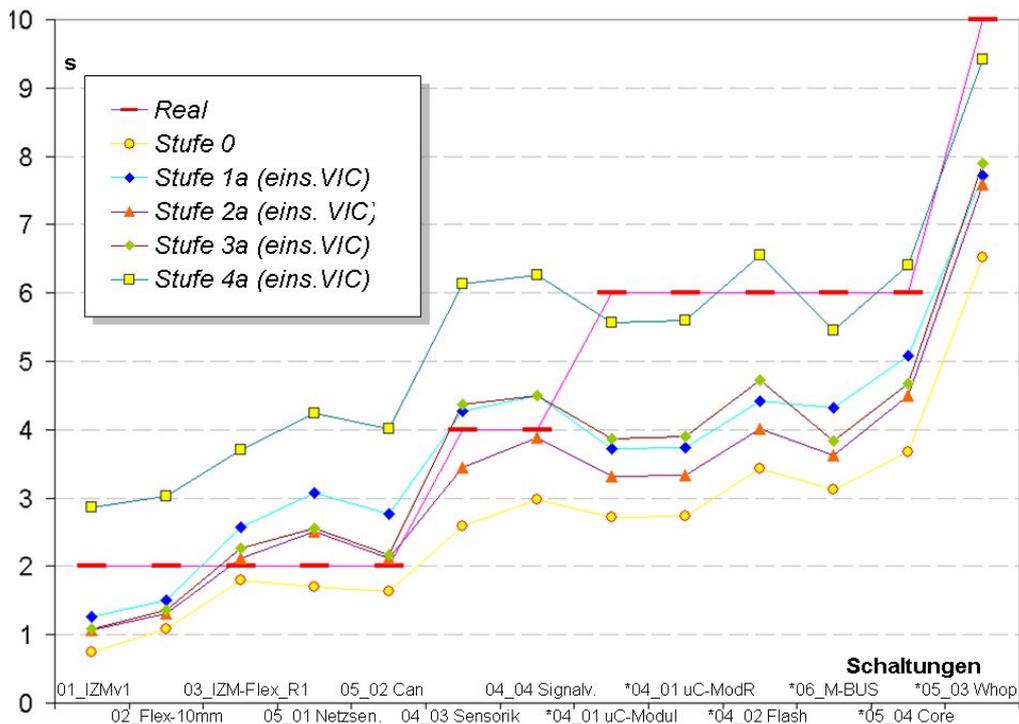


Abb. 6.2-6 Untersuchungsergebnisse zum Verdrahtungsabschätzungsmodell mit $\varepsilon=0,3$

Für die zweilagigen Platinen liefert die Methode rechnerisch zwar eine Zahl auch für die Stufen 3 und 4 für die Berücksichtigung der Planes, aufgrund der geringen Komplexität ist eine Einführung der Planes aber unnötig. Nach dem skizzierten Algorithmus (Vgl. Flussdiagramm in der Abb. 4.3-9) würden derartige Module nach der Berechnung nach Stufe 1 bereits als prinzipiell verdrahtbare Lösungen ausselektiert werden. Das rechnerische Ergebnis für diese Platinen ist nach der Stufe 1 stets größer als 1, so dass bei einer vorgeschriebenen Aufrundung die Abschätzung die tatsächliche Anzahl der Lagen sehr genau trifft.

Ähnlich verhält es sich auch bei allen anderen Probanden – die vorhergesagten Ergebnisse entsprechen entweder bei der Aufrundung der tatsächlichen Lagenzahl oder liegen oberhalb davon, was bei der angestrebten „pessimistischen“ Abschätzung dem Zweck der Modellierung entspricht.

Die Prüfung mit Schnittebenen-Methode liefert stets eine Anzahl der Lagen $s_{cross} < s$.

Für die Designs ohne Planes würde man die Berechnungen nach Stufe 3, die für die Berücksichtigung von BE-, VIC- und Vias-Sperrflächen ausgelegt ist, für die genaueste Vorhersage anwenden. Für die Substrate mit Planes ist die Stufe 4 geeignet. Die in der Abb. 6.2-7 explizit dargestellte Gegenüberstellung der entsprechenden Ergebnisse demonstriert die gute Übereinstimmung der Vorhersagen nach Stufe 3 und 4 mit der realen Lagenzahl. Die Einführung von dem Via-Faktor $V_f=1$ bzw. die Annahme „Ein Via pro Netz“ für die Berechnungen nach Stufe 3 und 4 erweist sich in diesem Zusammenhang als durchaus zulässig.

Platine	Typ	Verdrahtungseff. ε	Abmessungen [mm]	Anzahl der BE	Netze		Parameter		Planes	Reale Lagenzahl	Ermittelte Lagenzahl, Stufe				
					Anzahl	Länge [μm]	l_w [μm]	l_s [μm]			0	1	2	3	4
01_IZMv1	FR4	0,12	20x20	41	38	48516	100	100	-	2	0,74	1,43	1,06	1,09	2,86
02_Flex-10mm	Flex	0,19	15x54	53	44	56190	100	155	-	2	1,08	1,50	1,31	1,35	3,03
03_IZM-Flex_R1	Flex	0,31	15x54	36	29	27893	100	155	-	2	1,8	2,57	2,12	2,27	3,71
05_01 Netzsen.	FR4	0,29	50,5x25	74	35	100709	400	305	-	2	1,7	3,07	2,51	2,55	4,24
05_02 Can	FR4	0,27	50,5x25	61	57	139712	178	305	-	2	1,63	2,77	2,12	2,17	4,01
04_03_Sensorik	FR4	0,2	17,5x17,5	15	81	59394	200	200	-	4	2,59	4,05	3,22	4,1	5,86
04_04_Signal.	FR4	0,23	17,5x17,5	18	86	68209	200	200	-	4	2,97	4,49	3,89	4,51	6,26
04_01uC-Modul	FR4	0,15	17,5x17,5	15	79	99717	125	125	+	6	2,71	3,72	3,17	3,70	5,4
04_01_uC-Mod-R	FR4	0,16	17,5x17,5	15	80	100234	125	125	+	6	2,73	3,74	3,19	3,72	5,42
04_02 Flash	FR4	0,18	17,5x17,5	6	77	105113	150	150	+	6	3,43	4,41	3,87	4,56	6,4
06_M-BUS	FR4	0,2	48,5x55,5	315	242	429486	150	150	+	6	3,12	4,31	3,63	3,64	5,29
05_03-Whopper	FR4	0,2	50,5x25	125	105	299921	200	305	+	6	3,67	5,08	4,5	4,68	6,41
05_04 Core	FR4	0,29	50,5x25	96	176	679572	100	305	+	10	6,61	7,81	7,68	7,99	9,51

Tab. 6.2-2 Daten der Schaltungen, die für die Untersuchung der Substratmodellierung herangezogen wurden, und Berechnungsergebnisse

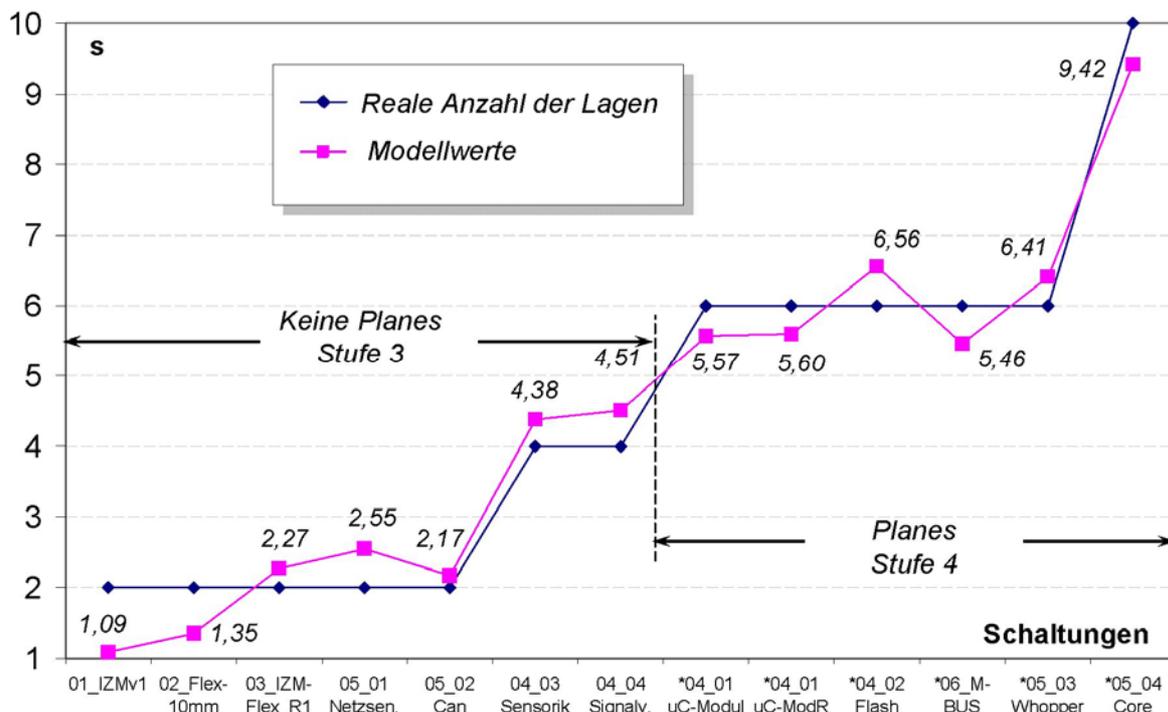


Abb. 6.2-7 Gegenüberstellung der realen Lagenzahl und der Modellergebnisse für Stufen 3 und 4

Zusammenfassend lässt sich sagen, dass die durchgeführten Untersuchungen die Ergebnisse der Modellierung bestätigen. Dennoch bleiben die dargestellten Anwendungsmöglichkeiten der Methoden zur Signallagenzahl-Abschätzung theoretische Näherungen. Als eine Alternative dazu kann man eine einfache Deklaration der Substratdicke ohne Berücksichtigung der Substrat- bzw. Netzkomplexität betrachten. Die Wahrscheinlichkeit, einen potenziellen Fehler zu machen, indem ein nicht verdrahtbares Modul in den Detailentwurf überführt wird oder die Layer-Zahl zu hoch oder zu niedrig deklariert wird, ist hoch. Die diskutierte Methoden-Anwendung leistet ohne großen Aufwand:

- eine Prüfung hinsichtlich verdrahtungstechnisch nicht realisierbarer Platzierungsvorschläge
- eine möglichst realitätsnahe Abschätzung für vertikale Substrat-Abmessungen.

Die Verwaltung der dafür notwendigen Daten – wie z.B. Padgrößen, Netzlängen – erscheint angemessen, wenn man als eine weitere Alternative den beschriebenen Autoroutereinsatz (s. *Vorbetrachtungen* S. 69 in Kap. 4.3.3) in Betracht zieht. Im Falle eines mehrkriteriellen Entwurfes, bei dem mehrere Lösungen (evtl. einige hunderte) behandelt werden, wächst die damit verbundene Rechenzeit auf einen nicht vertretbaren Wert. Als ein Nebenprodukt können die Richtlinien für Routing-Parameter (Pitch, Aussage über Planes) für die Verwendung in der Entflechtung während des nachfolgenden Detailentwurfsschrittes übergeben werden.

6.3. Anwendung

Im Kapitel 6.3 wird die Anwendung des Modells in einem Entwurfsprogramm anhand der realen Schaltung eines autarken Sensorknotens durchgeführt.

6.3.1. SiP-Expert – mehrkriterielles Entwurfswerkzeug

In einer Kooperation zwischen der TU Berlin, dem Fraunhofer IZM und dem Fraunhofer ITWM ist eine prototypische Entwurfsumgebung – *3D SiP-Expert* – für den globalen mehrkriteriellen 2,5D SiP-Entwurf entstanden. Sie besteht aus drei Programm-Komponenten: *TechComposer*, *MultiPlacer*, *LayoutFinder* (Abb. 6.3-1). In ihrer Gesamtheit implementieren diese Tools die in der Abb. 3.3-5, Kapitel 3.3.4 dargestellte neue mehrkriterielle Entwurfsmethode.

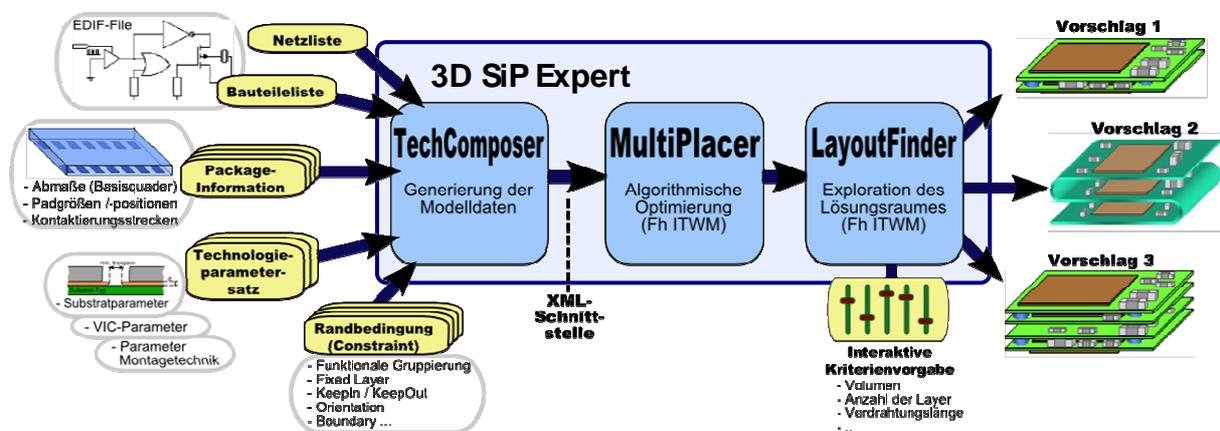


Abb. 6.3-1 Struktur des Arbeitsflusses im Programm 3D SiP-Expert

Das in der Arbeit vorgestellte Modell wurde im Programm *TechComposer* (Technology Composer) implementiert. Der *TechComposer* bildet eine Schnittstelle zu den Eingangsdaten:

seine Aufgabe besteht darin, den Schaltplan eines SiP einzulesen, die technologischen Parameter aufzunehmen und im Einklang mit der entwickelten Modellierung approximierte räumliche Abbildungen für alle Bestandteile – BE, VIC und Substrate – des 2,5D SiP zu berechnen. Des Weiteren werden schaltungstechnische Vorgaben – die Constraints – im *TechComposer* definiert. Damit übernimmt er eine Vorverarbeitungsfunktion, indem er sämtliche für die Optimierung benötigten technologischen und schaltungstechnischen Daten in einem Datensatz vereint und für die weiteren Programmkomponenten zugänglich macht.

Die im *TechComposer* als Quader abgebildeten Objekte werden im *MultiPlacer* einer Platzierung unterzogen. Der *MultiPlacer* ist ein Optimierungs-Programm, das basierend auf den am Fraunhofer ITWM entwickelten kombinatorischen Optimierungsalgorithmen als mehrkriterieller Solver agiert und eine Lösungsmenge von Platzierungsvorschlägen berechnet. Die algorithmischen Grundlagen hierfür sind von *Berger* in [70] dargestellt worden. Das in Kapitel 3.3.4 *Automatisierter Entwurf* beschriebene Auswahlverfahren wird im *LayoutFinder* vorgenommen, der ebenfalls am Fraunhofer ITWM entwickelt wurde. Als Ausgangsdaten werden am Ende die Positionsdaten sowohl für BE als auch für VIC und die Abmessungen von Modulen bzw. Substraten für die Feinverdrahtung an die ECAD Tools übergeben. Insgesamt handelt es sich bei den Ausgangsdaten um einen fertig vorpositionierten Entwurf (Placement), an dem nur noch – falls erforderlich – eine Feinjustage der BE vorgenommen werden soll und die Leiterbahnen verlegt werden müssen. Wie bereits erwähnt, können prinzipiell mehrere weitere nützliche Daten wie Routingparameter, Geometrien für mögliche Thermo- und HF-Simulationen etc. herausgegeben werden. Als nachgelagerte E-CAD Bearbeitungstools sind momentan *Nextra* und *Allegro* vorgesehen, prinzipiell lassen sich die Entwurfs- bzw. Positionierungs-Daten für verschiedene ECAD-Tools konvertieren.

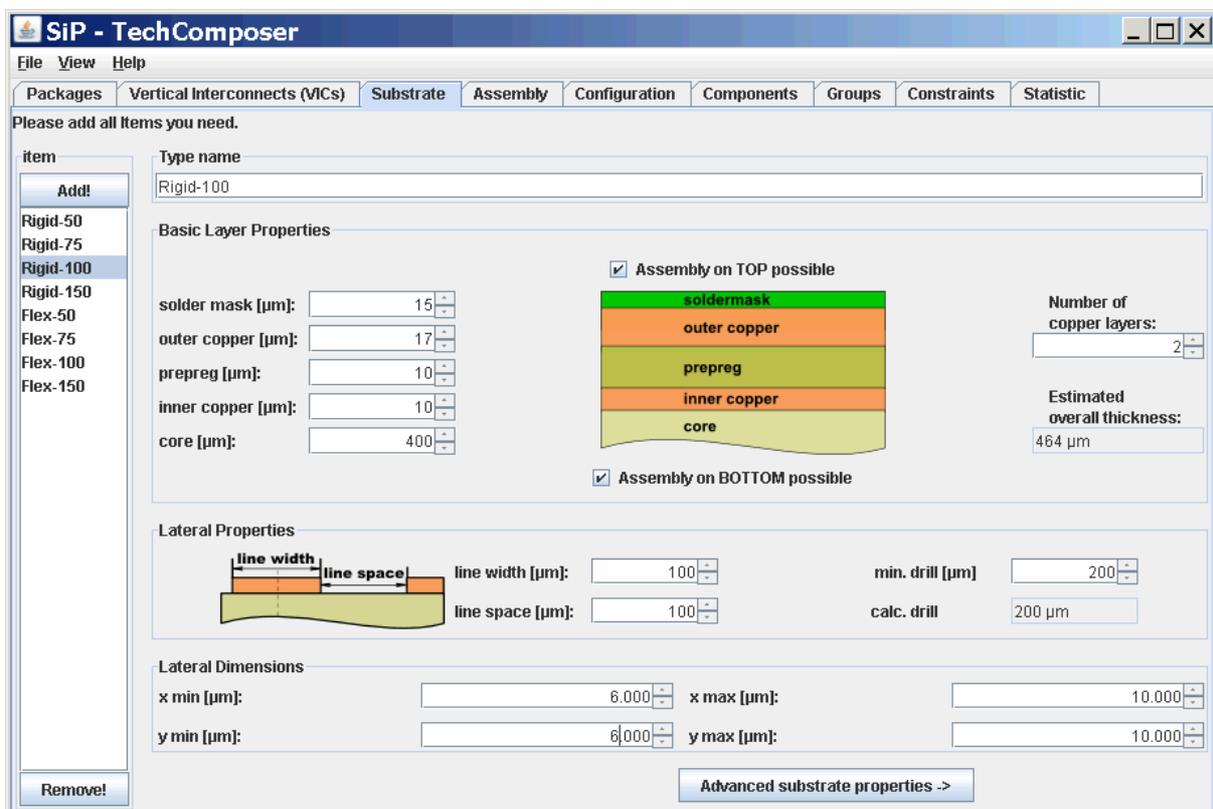


Abb. 6.3-2 Graphische Oberfläche des TechComposers mit ausgewählter Registerkarte für Substrateinstellungen

6.3.2. Physikalischer Entwurf der 2,5D SiP-Schaltung für einen autarken Sensorknoten

Erfassung im TechComposer

Die grafische Oberfläche des Programms TechComposer (Abb. 6.3-2) ist für eine interaktive Bearbeitung ausgelegt. Alle ausgeführten Einstellungen wirken sich sofort aus und ihr Einfluss auf die Modelldaten kann unmittelbar abgelesen werden. Die als Registerkarten angeordneten Bedienfelder bilden die Schritte der Bearbeitung einer Schaltung ab. Im ersten Schritt werden die 3D-Informationen und die Anschlusskonfiguration sämtlicher verwendeter BE erfasst (Abb. 6.3-3). Dies ist – bedingt durch die umfangreichen Recherchen in den Datenblättern der Bauteile – einer der aufwändigsten Teile der Schaltungserfassung. Wie in ECAD-Programmen üblich, kann auch hier ein Package von mehreren BE des aktuellen Entwurfsprojekts in anderen Projekten mehrfach genutzt werden. Programmintern wird dabei auf eine Datei mit der Endung *.pac zurückgegriffen, die Informationen im festgelegten XML-Format über Basisgeometrie, Basisquader, sowie Pads und Kontaktierungsstrecken enthält (Abb. 6.3-3a).

Anschließend erfolgt die Definition der Technologieparameter: Alle benötigten Substrat- und VIC-Typen (Faltflex und Lotkugeln) sowie die zu verwendenden Montagetechniken werden ausgewählt und parametrisiert. In Abb. 6.3-2 ist ein Bedienfeld für die Einstellung der Substratparameter zu sehen. In diesem Dialog werden bspw. auch die Vorgaben für die lateralen SiP Abmessungen eingestellt.

Die Substratdicke für die Platzierungsberechnung der Stack-SiPs auf den rigiden Substraten wurde auf ca. 450µm und für die flexiblen Substrate der Falt-SiP auf ca. 100µm eingestellt, was den Daten der in Kapitel 6.1 beschriebenen Prototypen entspricht. Für die VIC Beschreibung erfolgt definitionsgemäß die Übergabe einer Formel (vgl. Abb. 4.1-4). Die dort verwendeten Technologievariablen werden vom Programm durch die tatsächlich verwendeten ersetzt, sodass lediglich eine Abhängigkeit von der Spalthöhe G verbleibt. Nach dem Import der konkreten Schaltung aus einer EDIF Netzliste wird jedem einzelnen BE sein Package und Typ (vgl. Tab. 4.2-3) bzw. die Montagetechnik, mit der es auf dem Substrat kontaktiert werden soll, zugewiesen. In Abb. 6.3-4 ist die entsprechende Registerkarte zu sehen, in der die

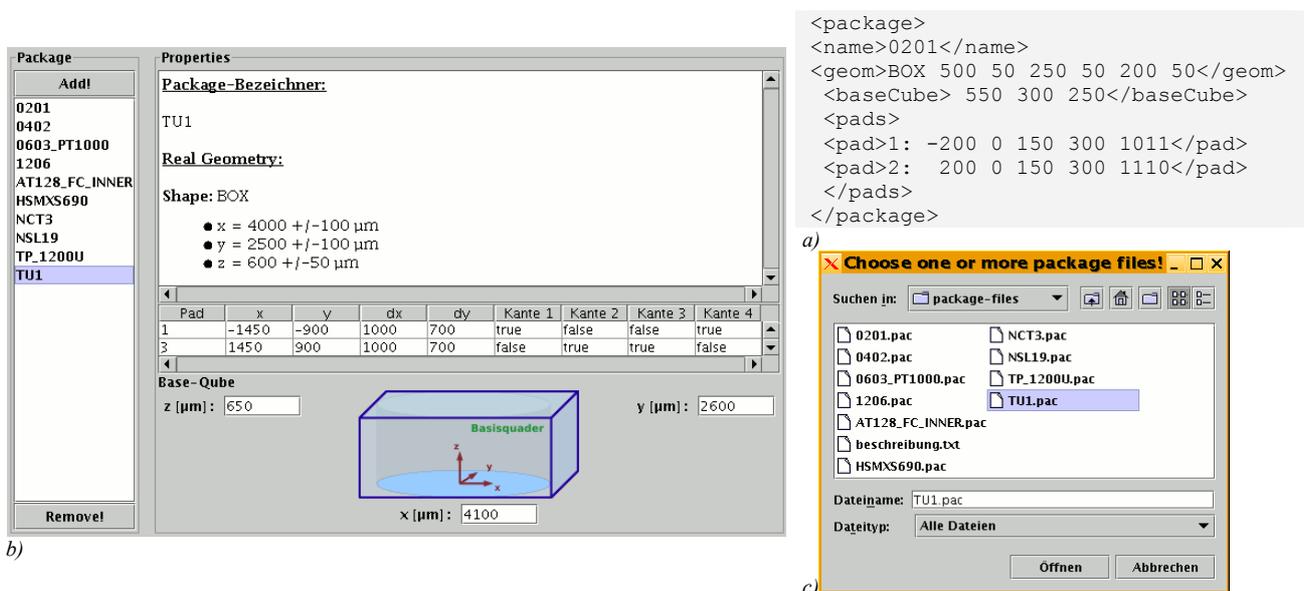


Abb. 6.3-3 a) Syntaxbeispiel einer pac-Datei mit den Daten eines Zweipoligen 0201 SMD, b)-c) Dialog zum Einlesen der Packagedaten

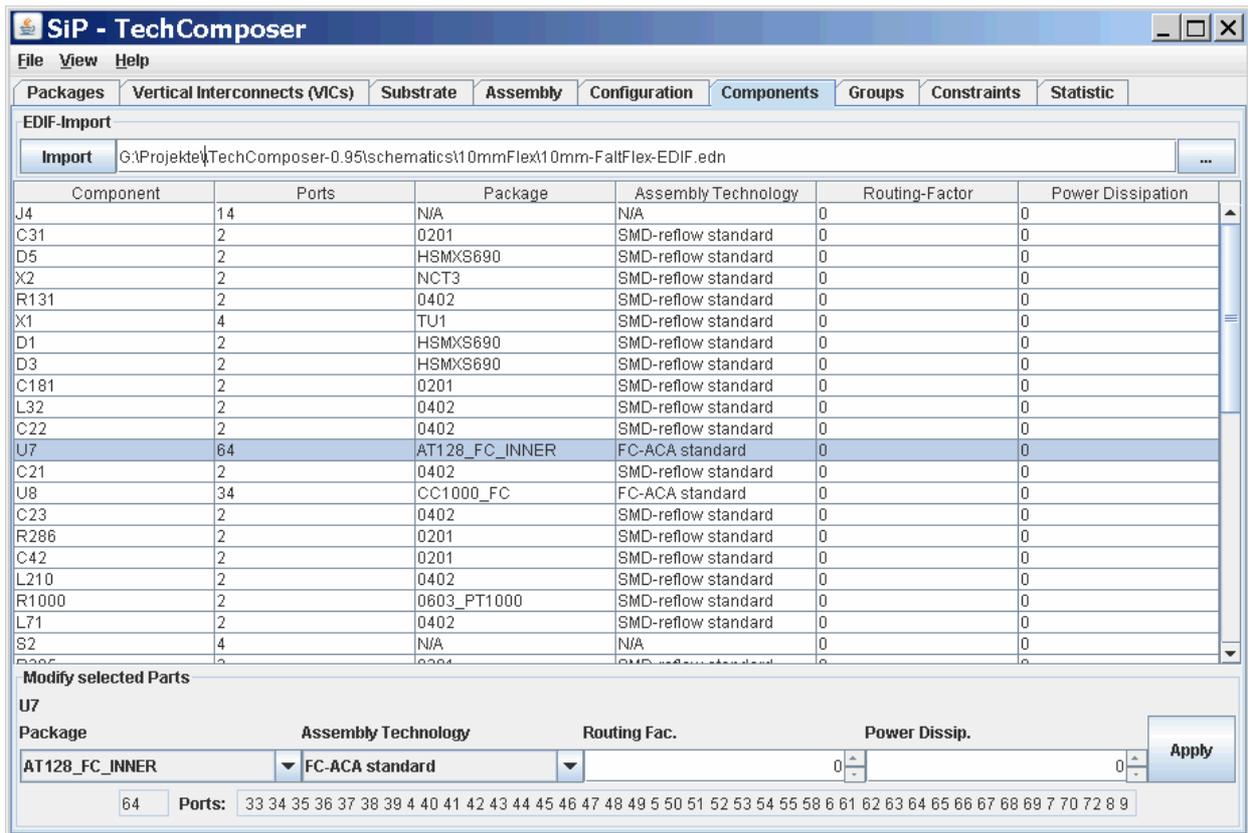


Abb. 6.3-4 Dialog zum Einlesen der Netzliste und Zuweisung der Packagedaten

Netzliste des 10mm eGrain bereits eingelesen ist und dem BE U7, das bislang nur als ein Schaltplansymbol existierte, das Bare Die Package AT_128FC (μ C-Chip) und die FC-ACA Montage zugewiesen werden. Die übrigen technologischen Parameter für beide ICs (ACA-FC) sowie für die passiven BE (SMT-Reflow) entsprechen denen, die in Kap. 6.2.1 diskutiert bzw. in Tab. 4.2-4 zusammengefasst wurden.

Aus diesen Daten errechnet der *TechComposer* für jedes verwendete BE mehrere Technologiequader – jeweils einen für jede Technologie-Variante, die in der Registerkarte *Configuration* festgelegt werden. Für die vorliegende Schaltung wurden bspw. sowohl für Faltflex- als auch für Stack-SiP vier Varianten der Substrattechnik jeweils mit einem Pitch von 50, 75, 100 und 150 μ m eingestellt. Das bedeutet, dass durch den *MultiPlacer* für beide Integrationstechniken jeweils vier Lösungskonfigurationen berechnet werden, die sich hinsichtlich eines Technologieparameters – in diesem Fall der Substratstrukturbreite bzw. des Substratstrukturabstandes – unterscheiden (Abb. 6.3-12-e). Der Einfluss dieser Größe auf die Gesamtgeometrie des 2,5D SiP wird im *LayoutFinder* ausgewertet.

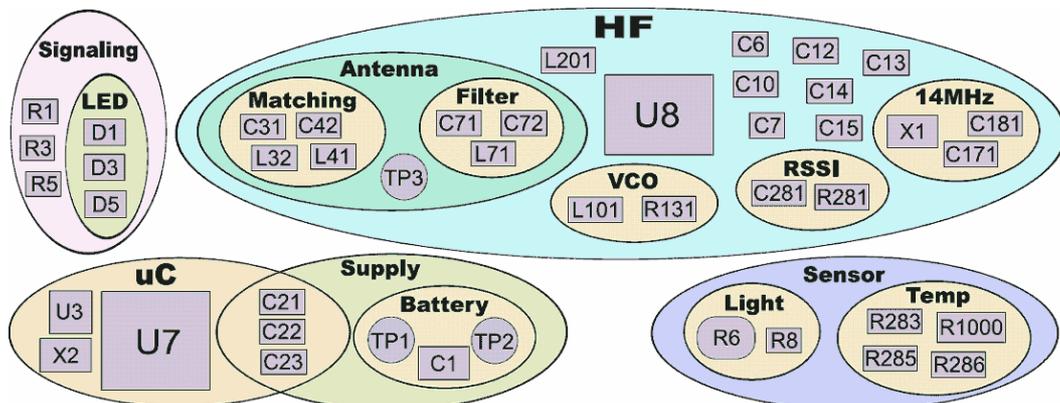


Abb. 6.3-5 Gruppierung der Bauteile beim 10mm-eGrain [42]

BE/Gruppe	Constraint	Intension, Erläuterung
[1] LED	fixedModule(upper, top)	LEDs (D1, D3, D5) müssen auf dem obersten Modul/Top-Seite liegen
[2] LED	Boundary	LEDs (D1, D3, D5) müssen in einer Reihe am Rande des Moduls liegen
[3] R6	fixedModule(upper, top)	Lichtsensoren R6 muss auf dem obersten Modul/ Top-Seite liegen
[4] R1000	fixedModule(upper, top)	T°-Sensor R1000 muss auf dem obersten Modul/Top-Seite liegen
[5] TEMP Bridge	group(3000, 3500)	Widerstände der Messbrücke (R283, R285, 286) müssen in der Nähe von R1000 (in einem 3000x3500µm-Rechteck) liegen
[6] BAT_CON	fixedModule (lower, bottom)	Die Batterie-Anschlüsse (TP1, TP2) müssen auf dem untersten Modul/-Bottom-Seite liegen
[7] Quarz 14MHZ	group(4800, 3600)	Der 14MHz-Quarz (X1) und die beiden Schwing-Kapazitäten (C171, C181) müssen möglichst dicht beieinander liegen
[8] Matching, Filter	group(4500, 3500)	Alle BE des Antennen-Filters (L71, C71, C72) und des Matching-Netzwerkes (C31, C42, L32, L41) müssen möglichst dicht beieinander liegen.
[9] U8, VCO	group(6200, 4400)	Die BE der VCO-Gruppe (L101, R131) müssen möglichst dicht an den entsprechenden Transceiver (U8)-Anschlüssen liegen.
[10] U8, C15	maxModuleDistance(0)	Der Block-Kondensator C15 muss zwar nicht unmittelbar in der Nähe des Transceivers (U8), aber zumindest auf der gleichen Ebene liegen.
[11] U7,C21,C22	group(8000, 8000)	Die Abblock-Kondensatoren C21, C22, C23 müssen möglichst dicht an den entsprechenden Microcontroller-Anschlüssen liegen.
[12] U7, C23	maxModuleDistance(0)	Der Block-Kondensator C23 muss zwar nicht unmittelbar in der Nähe des Microcontrollers, aber zumindest auf der gleichen Ebene liegen.

Tab. 6.3-1 Constraints für 10mm eGrain Schaltung

Die so entstandene Schaltungsbeschreibung ist geometrisch und topologisch vollständig, enthält jedoch noch keine elektrotechnischen Nebenbedingungen und Platzierungsvorgaben. Den einzelnen BE oder BE-Gruppen (vgl. Kap. 5.2.2) werden ein oder mehrere Constraints zugeordnet. Außerdem können einzelne Netze in Subnetze unterteilt, explizite Verbindungen definiert und mit Constraints versehen werden.

Die Implementierung der Constraints für die Lösung einer Optimierungsaufgabe gehört zu den Hauptherausforderungen bei der Entwicklung der algorithmischen Software. Die aus der Kenntnis der eGrain-Schaltung resultierenden wichtigsten Platzierungsvorgaben sind durch die in Tab. 6.3-1 dargestellten Constraints, die momentan vom MultiPlacer unterstützt werden, erfasst. In der Abb. 6.3-5 ist ebenso die aus der Funktionalität der Schaltung abgeleitete Gruppierung der BE dargestellt. Die modellierte Schaltung wird als XML-Datei exportiert und zur Weiterverarbeitung an den *MultiPlacer* und *LayoutFinder* übergeben. Die Spezifikationen der Schnittstelle, der Datenstrukturen, sowie Aspekte der programmtechnischen Umsetzung des TechComposers in der ersten Version (*Versionsbezeichnung Modeller*) sind in [42] enthalten.

Platzierung und Lösungsauswahl: MultiPlacer und LayoutFinder

Während im *MultiPlacer* vor allem Berechnungsverfahren ohne Eingriff des Benutzers ablaufen, bildet der *LayoutFinder* mit der Darstellung des Lösungsraumes im Navigationsbereich und den Platzierungsergebnissen im physikalischen Bereich eine in hohem Maße interaktive Schnittstelle für den Designer.

Aus den vom *TechComposer* übergebenen Daten wird im *MultiPlacer* eine Fülle von verschiedenen Platzierungsvorschlägen für die beiden eingestellten Integrationstechnologien – Falt- und Stack-2,5D SiP – als paretooptimale Lösungen berechnet und in einer Datenbank abgelegt. In der Abb. 6.3-6 greift der *LayoutFinder* auf die Datenbank mit 835 Vorschlägen für gefaltete und 831 Vorschlägen für gestapelte SiPs zurück, die basierend auf den im *TechComposer* spezifizierten Daten der 10mm eGrain-Schaltung berechnet wurden.

befindet, bestehen viele Optionen (Teildarstellung 3, Abb. 6.3-6) für verschiedene im ECAD-Entwurf übliche visuelle Einstellungen der Voransicht (Gitterdarstellung, Komponentenbeschriftung, Netzvisualisierung etc.).

Legt man wie in der Abb. 6.3-7 gezeigt eine laterale Kantenlänge von ca. 10mm und SiP-Höhe von ca. 5mm als Entwurfsziele fest, kann die Lösungsmenge schnell und effizient auf wenige Platzierungsvorschläge eingeschränkt werden. Die Gesamtnetzlänge der manuell entworfenen eGrain beträgt für den Stack-SiP ca. 15,6 mm und für den Falt-SiP ca. 56 mm. Schränkt

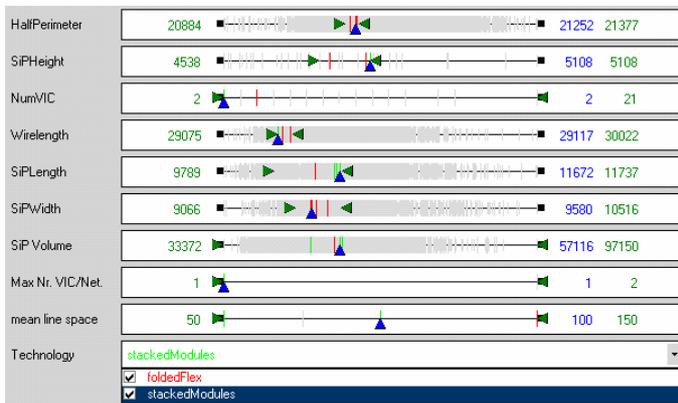


Abb. 6.3-7 *Einschränkung und Selektionsmechanismen¹*: Auswahl einer Lösung mit 10mm Kantenlänge, die Begrenzung für den Halbumfang (HalfPerimeter) ist auf den Bereich um 20mm und für Länge und Breite (SiP-Length/Width) auf einen Bereich um 10 mm eingestellt, rechts erscheinen die Werte in μm für die durch den Zeiger gewählte Lösung

man die zulässige Netzlänge im *Lay-outFinder* auf einen realistischen Wert von ca. 30 mm ein, verbleiben insgesamt 3 Lösungen – ein Falt-SiP (Num.1 in der Abb. 6.3-8-a) und zwei Stack-SiPs (Num. 2 und 3 in der Abb. 6.3-8-a) –, die hinsichtlich verschiedener Kriterien gegenseitig bewertet werden können.

Verglichen mit den herkömmlich entworfenen eGrain Prototypen, die über drei vertikal integrierte Module verfügen, fällt bei der allgemeinen Betrachtung aller Lösungen auf, dass die überwiegende Anzahl der Platzierungen mit nur zwei Modulen auskommt. Nur ca. 50 Lösungen für Falt-SiP der insgesamt über 1600 Lösungen beanspruchen drei Module für die Platzierung der BE, während sämtliche Stack-Varianten die Schaltung auf zwei Modulen unterbringen. Bei der Platzierung der BE in den eGrain Prototypen nahm man durchaus eine vergleichsweise lockere Positionierung der BE in Kauf, da es sich um eine Zwischenstufe der Miniaturisierung handelte. Das vorhandene Einsparungspotenzial wird durch die Ergebnisse der algorithmischen Platzierung, die eine Volumenminimierung als ein hochpriorisiertes Optimierungsziel anstrebt, bestätigt. Ein zusätzlicher Beleg dafür ist auch die erfolgreiche Realisierung der eGrain Schaltung als Faldflexprototyp mit 6 mm Kantenlänge (Abb. 2.2-18-d), bei dem allerdings auch ein Teil der BE-Geometrien verkleinert wurde.

Beide verbliebene Stack-Lösungen – sowohl der in der Verdrahtungslänge scheinbar bessere Entwurf Nummer 2 (Abb. 6.3-8-a und -d) als auch der Entwurf Nummer 3 – erweisen sich bei der Betrachtung von Höhe und Volumen als ungünstigere Lösungen gegenüber der Falt-SiP Nummer 1 (Abb. 6.3-8-b und -c). Auch wenn die Lösung 1 eine vermeintlich höhere Anzahl der VIC aufweist (vier vs. zwei, Abb. 6.3-8-e), fällt spätestens bei der Betrachtung der eingeplanten minimalen Substratstrukturparameter l_w und l_s (Abb. 6.3-8-f) die Entscheidung zu Gunsten der Faldflex-Realisierung aus, die mit 150 μm eine preiswerte Substratfertigung verspricht.

¹ Die Darstellung in der Abb. 6.3-7 ist Teil eines angemeldeten deutschen Patents mit dem amtlichen Aktenzeichen 10 2007 021 561.6-53

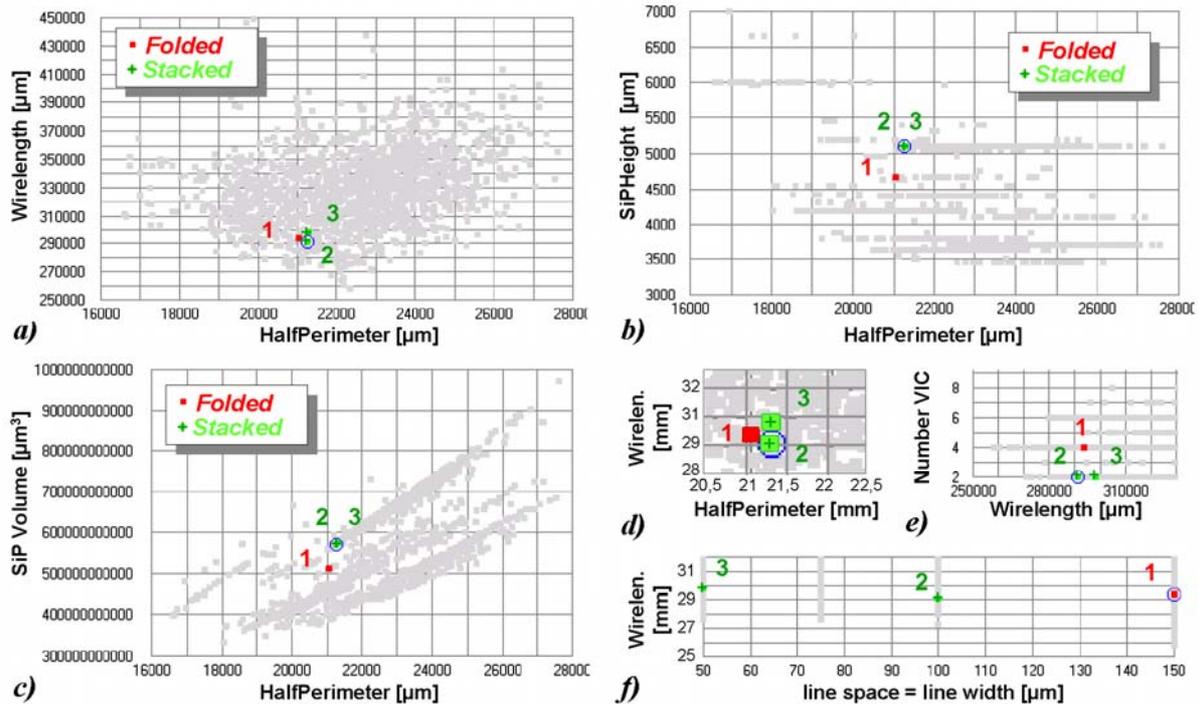


Abb. 6.3-8 Bewertung der Entwurfskriterien für die selektierten Lösungen: a) Verdrahtungslänge vs. Halbumfang des Moduls; b) SiP-Höhe vs. laterale Abmessungen; c) SiP-Volumen vs. Halbumfang; d) Verdrahtungslänge vs. Halbumfang (vergrößerter Auszug); e) Anzahl der VIC vs. Verdrahtungslänge; f) l_w und l_s vs. Verdrahtungslänge (1. 2,5D Falt-SiP, 2. und 3. 2,5D Stack-SiPs)

In Abb. 6.3-11 befindet sich die 3D Voransicht der ausgewählten Faltflex 2,5D SiP Lösung, mit der Kollisionsfreiheit und räumliche Positionierung der BE überprüft werden können. Die Platzierung der Komponenten in der zweidimensionalen Perspektive ist in Abb. 6.3-9 dargestellt. Auffällig im Vergleich mit manuell entworfenen Modulen nicht nur bei der ausgewählten Lösung ist bspw. die Konzentration der BE in einem Modulbereich und die scheinbar schlechte Ausnutzung der Modulfläche (vgl. unteres Modul in der Abb. 6.3-9-c und -d). Grund hierfür ist das Bestreben des Algorithmus, bei der Platzierung nicht nur das Volumen sondern auch die Verdrahtungslänge zu minimieren. In Folge dominieren bei der Berechnung die Lösungen mit im Schnitt kürzeren Netzlängen, bei denen die BE möglichst nah aneinander positioniert sind. Generell entsteht dadurch kein Fehler, die nachfolgende Feinverdrahtung gestaltet sich jedoch einfacher, wenn die BE auf der Modulfläche homogener verteilt sind. Mit einer Verfeinerung der Optimierungsziele im Laufe der Weiterentwicklung des *3D SiP-Experts* kann dieser Sachverhalt verbessert werden.

Von den vorgegeben Constraints wurde bei der Platzierung lediglich die Vorgabe 7 (Tab. 6.3-1) für die Quarzgruppe nicht eingehalten (Abb. 6.3-10). Der erfahrungsgemäß schwer umzusetzende Group-Constraint ist bei allen weiteren definierten Gruppen erfüllt, sodass die entsprechenden BE zusammenhängend in den jeweiligen Bereichen positioniert sind (Abb. 6.3-9-c, -d). Allerdings platzierte der Algorithmus die Gruppenmitglieder der Antennen/Matching Gruppe sowohl auf der Ober- als auch auf der Unterseite des Substrates, obwohl das explizit nicht erwünscht war.

Obwohl die vorliegende Platzierung mit einem reduzierten Satz der bislang implementierten Constraints versehen wurde, entstand hierbei eine realisierbare initiale Platzierung, die die wichtigsten schaltungstechnischen Vorgaben beinhaltet und keine funktionsgefährdenden Fehler aufweist. Mit einer anschließenden manuellen Feinjustage ist die errechnete Platzierung für die Verdrahtung und für die weiteren Arbeitsschritte im nachfolgenden Detailentwurf (Simulationen, Fertigungsdatenextraktion etc.) bereitgestellt.

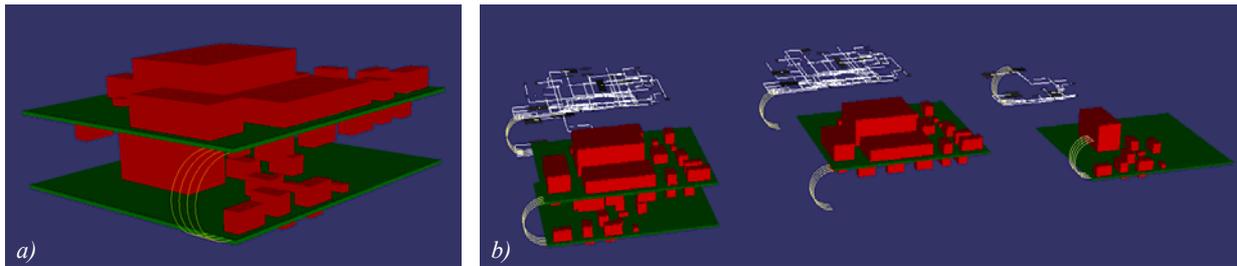


Abb. 6.3-11 Dreidimensionale Darstellung der ausgewählten Lösung: a) Gesamtansicht; b) einzelne Module und Netze in der Manhattan-Metrik

6.3.3. Auswertung

Entwurf

Die Anwendung der entwickelten Modellierung der SiP Bestandteile sorgt für die Überlappungs- und Kollisionsfreiheit bei ausnahmslos allen Lösungsvorschlägen, die im *3D SiP-Expert* entstehen. Mit der voranschreitenden Weiterentwicklung und der Verfeinerung der mathematischen Optimierungsmodelle für den *MultiPlacer* wird die Qualität des Entwurfes bzw. der Platzierungsergebnisse weiter gesteigert. Die Implementierung weiterer Constraints und insbesondere leitungsorientierter Vorgaben gibt dem Designer die Möglichkeit, seine Schaltungskennnisse noch genauer in der Platzierung abzubilden. Aber auch im jetzigen relativ frühen Entwicklungsstadium entstehen wie oben demonstriert im *3D SiP-Expert* gültige Anordnungen, die nur wenige manuelle Eingriffe erfordern.

Der größte zeitliche Aufwand entsteht für den Designer bei der Erfassung der Geometrien der verwendeten BE. Dies ist auch aus der Erfahrung mit der Footprintdefinition bei konventionellen 2D ECAD Tools bekannt. Der Umfang der dafür notwendigen Arbeiten im *TechComposer* (Definition der *pac*-Dateien etc.) steht jedoch in einem günstigen Verhältnis zum Ergebnis. Am Ende des Entwurfsprozesses steht eine konstruktive Detailvorausschau nicht nur auf ein Design, sondern auch auf die Entwürfe, die mit einer anderen Technologie realisiert

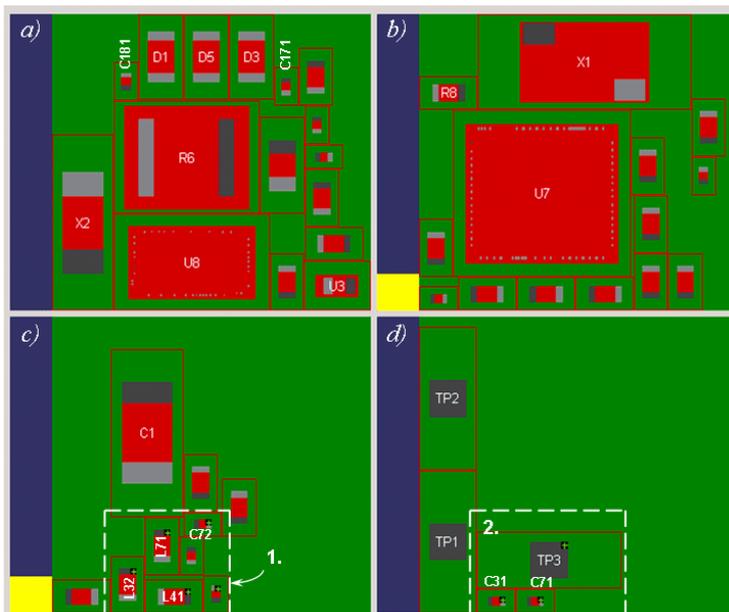


Abb. 6.3-9 Platzierung der BE in den Modulen der ausgewählten Lösung: Ober- (a) und Unterseite (b) des oberen Moduls; Ober- (c) und Unterseite (d) des unteren Moduls; Elemente der Antennen/Matching Gruppe auf Ober- (1.) und Unterseite (2.) des Moduls

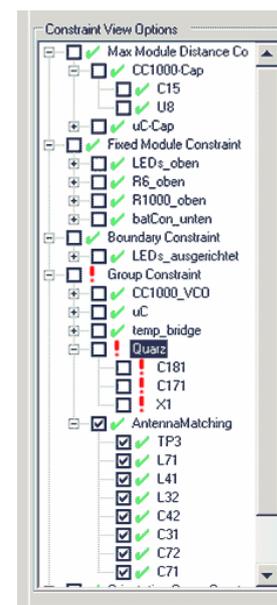


Abb. 6.3-10 Status der Constrainteinhaltung bei der ausgewählten Lösung

werden können. Auch wenn ein direkter Vergleich der Bearbeitungszeiten schwierig ist, entsteht dabei insgesamt definitiv ein Entwicklungszeitvorteil, der aus den beiden wichtigsten Eigenschaften des *3D SiP-Experts* und der ihm zugrunde liegenden Methodik resultiert:

- Automatisierung der 2,5D Platzierung: Die Anordnung der BE über mehrere Ebenen bei gleichzeitiger Berücksichtigung der AVT beansprucht einen Großteil der Entwicklungszeit beim physikalischen Entwurf der als 2,5D SiP manuell realisierten eGrain-Prototypen, während im *SiP-Expert* die Platzierung automatisch entsteht.
- Assistenz bei der Technologiewahl: Der Vergleich von nur zwei verschiedenen Entwurfsalternativen in konventionellen Tools erfordert die Abarbeitung der kompletten Entwurfsabfolge bis zur Platzierung für beide Technologien, während bei der vorgestellten Entwurfsmethode mehrere Alternativen bereits im frühen Entwurfstadium miteinander vergleichbar sind.

Insgesamt wurde mit dem oben dargestellten Entwurfsablauf und den Ergebnissen nicht nur eine effiziente Entwurfsbearbeitung demonstriert, sondern auch belegt, dass die Beschreibung des technologischen Wissens in Form eines Modells in einer Entwurfsumgebung eingebunden und im Entwurf erfolgreich angewendet werden kann.

Stack vs. Faltflex

Ausgerüstet mit einem Auswertungswerkzeug wie dem *LayoutFinder* ist ein Designer im Stande, nicht nur eine Selektion der geeigneten Lösung vorzunehmen, sondern auch generelle Tendenzen, die für Stack- und Falt-Geometrie charakteristisch sind, zu analysieren.

Wie man aus der in der Abb. 6.3-12-a dargestellten Gesamtlösungsmenge erkennt, fällt der Unterschied in der mittleren Verdrahtungslänge zwischen beiden SiP-Typen wider Erwarten marginal aus. Dies ist auch eine Folge der in diesem Fall vorliegenden Dominanz der Lösungen mit 2 Modulen. Ein großer Unterschied entsteht erst mit einer höheren Zahl vertikaler Module, bei denen die Signalleitungen der Flex-SiPs „gezwungen“ sind, eine komplette Ebene zu überqueren, um zum nächsten VIC zu gelangen. Bspw. ist bei den realisierten 10mm eGrain Prototypen mit drei Modulen ein Verhältnis der Gesamtnetzlänge von ca. 1:3 zu Gunsten der Stack SiP feststellbar.

Die vom *MultiPlacer* berechneten Faltflex-SiP's besitzen insgesamt geringere laterale Modulabmessungen und fallen tendenziell höher aus als die Stack-SiP's (Abb. 6.3-12-b). Dies wirkt sich jedoch in der Volumenbilanz nicht aus, wie man aus der Abb. 6.3-12-c erkennt: die gestackten Lösungen beanspruchen trotz geringerer Höhe mehr Volumen. Eine charakteristische Erscheinung ist auch eine höhere Gesamtanzahl der VIC bei Faltflex SIP (Abb. 6.3-12-d). Die Faltflex VIC können jedoch leichter hinsichtlich der Impedanz durch eine geeignete Leiterbahngestaltung im Faltsegment angepasst werden [105], während ein Solderbump stets eine starke Diskontinuität für die Signalführung darstellt.

Eine wichtige Erkenntnis entsteht bei der Betrachtung der Lösungen mit den verschiedenen Substratpitchparametern Strukturweite und -abstand l_s , l_w . In Abb. 6.3-12-e ist erkennbar, dass sowohl bei den gefalteten als auch bei den gestackten Lösungen keine massiven Sprünge in der Volumenentwicklung entstehen, wenn man die für die Platzierungsberechnung benutzten l_w und l_s Werte von 150µm auf 100, 75 und schließlich auf 50 µm verkleinert. Dies bestätigt bereits die in [93] angedeutete These, dass bei Systemen mit BE, deren Abmessungen mehrheitlich in einer Größenordnung von über 100µm liegen, eine massive und in der Produktion sehr teure Reduktion der Line/Space auf ein substrattechnologisches Minimum nur unwesentlich zur Volumenreduktion beiträgt. Noch plakativer ist dieser Zusammenhang in Abb. 6.3-12-f dargestellt, in der ausschließlich die Lösungen mit einem Substratpitch von

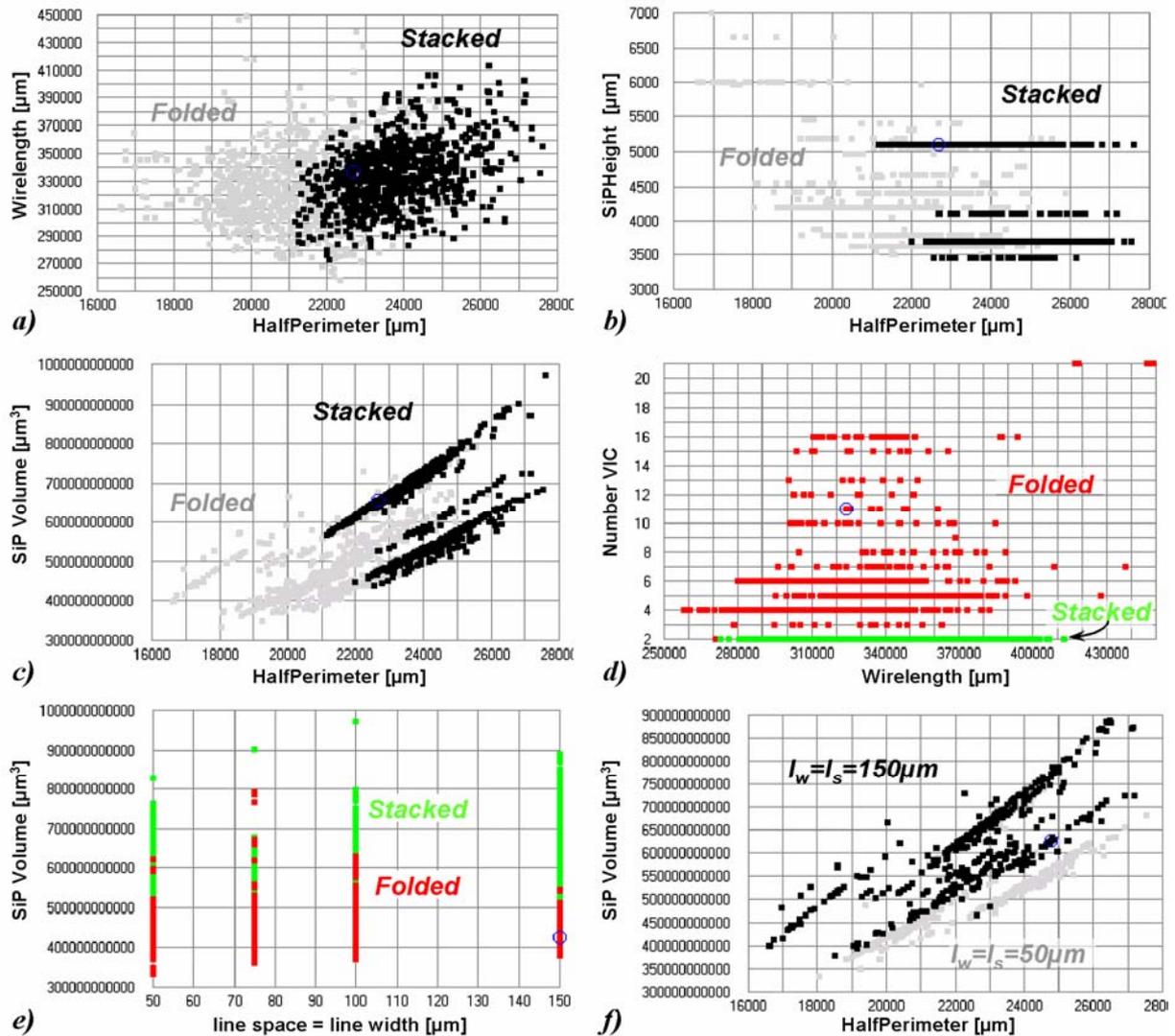


Abb. 6.3-12 Betrachtung der Gesamtlösungsmenge und Auswertung der allgemeinen Tendenzen der technologischen Stack- und Falt-Architektur für 2,5D SiP: a) Verdrahtungslänge vs. Halbumfang; b) SiP-Höhe vs. laterale Abmessungen; c) SiP-Volumen vs. Halbumfang; d) Anzahl der VIC vs. Verdrahtungslänge; e) Volumen und Substratparameter l_w und l_s der Gesamtlösungsmenge; f) Volumen und Substratparameter l_w und l_s der Lösungen mit minimalen und maximalen Substratparameter l_w und l_s .

150 μm (Stand der Technik in der Substratfertigung) gegenüber denen mit 50 μm Strukturbreite (Sonderanfertigungen) gegenübergestellt sind: Eine dreifache Reduktion des Substratpitches, die in der Fertigung eine mehrfache Steigerung der Kosten mit sich bringt, verursacht in etwa eine 1,5-fache Reduktion des Volumens. Mit einer Netzanzahl von 44 gehört allerdings die hier diskutierte eGrain-Schaltung nicht zu den verdrahtungsintensiven Systemen. Dagegen ist bei den SiP-Schaltungen mit einer höheren Verdrahtungskomplexität, die bspw. nur aus wenigen Speicher-Bausteinen, die durch eine hohe Anzahl an Signalbussen miteinander verbunden sind, eine Reduktion der Substratparameter für eine erfolgreiche Verdrahtung durchaus sinnvoll und gerechtfertigt.

7. Ausblick

Die in der Arbeit dargestellte Modellierung und ihre Umsetzung in einer Entwurfsoftware bilden eine Grundlage, die weiter ausgebaut werden kann. Die Vertiefung, Präzisierung und Erweiterung des Modells sowie der Entwurfsumgebung sind Gegenstand weiterführender Forschungsaktivitäten. Nachfolgend sind einige technologische und entwurfsmethodische Aspekte, die für die Steigerung der Effizienz des physikalischen Entwurfes für 2,5 D SiP mittelfristig bearbeitet werden, exemplarisch genannt und eine langfristige Perspektive für die Ausweitung der entwickelten Entwurfsmethodik über SiP-Grenze hinaus skizziert.

Modellierung-Verfeinerung

VIC – Risiko/Aufwand-Wechselwirkung: Mit den entwickelten Modellierungsvorschriften ist eine Beziehung beschrieben, die das höchste Maß an technologischer Sicherheit beinhaltet. Bspw. im Falle von Lotkugel-VICs gewährleistet der aus Normwerten für die BGA Montage abgeleitete Abstand zwischen den Balls (Spacing $s_b = 1,3G$ Gl. (4.4-6)) eine Reduktion des Kurzschluss-Risikos auf ein Minimum. Je nach Montageprozessbeschaffenheiten ist es möglich, den Spacing und den Pitch weiter zu verkleinern. Mögliche Prozessanpassungen (Auswahl der vorfertigten Lotkugeln mit einer engeren Toleranz, Variation der Löttemperatur und des Lötgases im Reflowprozess etc.), die kleinere Abmessungen des VIC-Quaders erlauben, können z.B. mit einem Spacing reduzierenden Sicherheitsfaktor μ berücksichtigt werden ($s_b = \mu 1,3G$; $\mu = [0...1]$). Die Miniaturisierung bedeutet jedoch eine Steigerung des Aufwandes für komplexere Prozessführung, der mit Sicherheit eine nichtlineare Funktion darstellt: eine Halbierung des Lotkugelabstandes bedeutet mehr als eine Verdoppelung des dafür nötigen Aufwandes bei einer gleichzeitig steigenden Kurzschlusswahrscheinlichkeit. Auch für die Faltflex-VIC ist die Unterschreitung der gegebenen, auf die Sicherheit ausgelegten Deformationswerte (E_b) möglich, wenn man das Bruchrisiko nachweisbar gering halten kann. Die Erfassung dieser Beziehungen in einer Funktion, deren Werte als Bewertungskriterien für verschiedene technologische Konfigurationen bei der Lösungsauswahl eingesetzt werden können, wird in der nächsten Entwicklungsstufe der VIC-Modellierung angestrebt.

BE – Padvergrößerungsfaktoren, Direktmontage: Für die SMD-Montage soll die – bislang nicht als Funktion abgebildete – Beziehung zwischen den Geometrien der Substrat- und der BE-Pads in Verbindung mit Montageprozessparametern untersucht und dynamisch im Modell erfasst werden. Auch eine Modell-Vertiefung für FC-Montage der Halbleiter und die Einbindung der Drahtbondtechnik sind geplant.

Substrat – Routingquader: Eine Einbindung und Erweiterung der Escape-Bestimmungen würde zu einer genaueren verdrahtungsgerechten BE-Abstandsplanung beitragen. Diese Fragestellung steht in Verbindung mit der Verdrahtbarkeit des Substrates, die vertieft untersucht werden soll.

Gesamt-SiP: Die Einflüsse der Gehäusung/Verkapselung der Gesamtanordnung auf die Platzierung, Modellierung des elektrischen Interfaces (z.B. eines BGA-Feldes), dessen Entwurf i.d.R. dem Schaltungslayout im SiP nachgelagert ist, sollen untersucht und im globalen Entwurf berücksichtigt werden.

Zuverlässigkeit: Durch die modellhafte Erfassung der Geometrie lassen sich Modelle zur analytischen Ermittlung der Zuverlässigkeit anwenden. Die im mehrkriteriellen Entwurfswerkzeug berechneten Lösungen bzw. Platzierungsvarianten können damit auch objektiv hinsichtlich der vorhersagbaren Zuverlässigkeitsfaktoren miteinander verglichen werden. Greift man die Substrate als ein Beispiel heraus, findet man in der Literatur einige Rech-

nungen zur Bestimmung der Ausfallrate und Lebensdauervorhersage der Substrate in einer 2D Baugruppe. In dem Ausfallmodell für bestückte Leiterplatten nach IEC 62380 [103] beispielsweise werden Substratparameter verwendet, die im Modell, das im Kapitel 4.3.2 dargestellt ist, enthalten sind oder als Ergebnis ermittelt werden. In der Berechnungsvorschrift nach IEC ist jedoch keine Differenzierung der Via-Dimensionen (Durchmesser, Höhe etc) enthalten. Wie aber von *Halser* in [104] gezeigt wurde, ist der Frühausfall der laminierten Substrate maßgeblich durch die Fehlermechanismen der Durchkontaktierungen dominiert. Der hierfür in [104] aufgestellte Modellentwurf greift auch auf die Größen zurück, die aus der Substratmodellierung bekannt sind. Die Geometrieparameter des Modells können auch hinsichtlich der Zuverlässigkeitsbetrachtung für BE und VIC ausgebaut werden, sofern belastbare geometriebezogene Zuverlässigkeitsmodelle verfügbar sind.

Erweiterung des Modells: HF- und Thermokennzahlen

Eine Betrachtung der thermischen und HF-Aspekte in einem SiP wird bei der heute üblichen Bearbeitung erst nachdem ein Platzierungsvorschlag existiert mit Hilfe der Simulations-Tools vorgenommen. Die entwickelte Modellierung beschreibt die Geometrien eines SiP, sodass eine Simulation der ausgewählten Lösung mit den Modelldaten für die Initialgeometrie ein naheliegender Schritt ist. Die Philosophie der dafür heute verfügbaren mächtigen Werkzeuge (z.B. ANSYS, FLUENT, FEMLAB für thermische und HFSS, Sigrity für elektromagnetische Berechnungen) ist eine sehr genaue Feinsimulation der physikalischen Eigenschaften, einhergehend mit Rechenzeiten im Stundenbereich. Probleme mit dem Entwurf, die durch diese Werkzeuge ermittelt werden, führen dann zur Notwendigkeit eines zeitaufwändigen Redesigns des SiP. Der mehrkriterielle Entwurf bietet die Möglichkeit, viele Kriterien bereits in einer früheren Entwurfsphase zu berücksichtigen. Ein in der momentanen Forschung verfolgter und vielversprechender Ansatz sieht statt der nachgelagerten Simulation die Einbindung der Signalintegritäts- und Thermik-Aspekte bereits während der Erzeugung der Platzierungsvorschläge in einem Optimierungsprogramm vor. Bei der sog. *integrierten Entwurfsoptimierung* können – ähnlich wie momentan überwiegend die Geometrie-Daten (Verdrahtungslänge, Abmessungen etc.) – die thermische und elektromagnetische Integrität als Optimierungsziele in die Platzierungsberechnungen eingehen. Das setzt statt einer Feinsimulation die Erarbeitung reduzierter Modelle, die mit einer hinreichenden Präzision für die Optimierung erfassbare Kennzahlen in einer adäquaten Rechenzeit für einige Hunderte Anordnungen liefern, als mittelfristiges Entwicklungsziel voraus.

Ausweitung des Entwurfsansatzes

Die in der Arbeit für 2,5D SiP entwickelte Entwurfsmethodik, die durch die erfolgreiche Anwendung der mehrkriteriellen Optimierung vom Fraunhofer ITWM in verschiedenen ingenieurtechnischen Disziplinen angeregt wurde, ist prinzipiell auch auf den physikalischen Entwurf anderer elektronischer Systeme anwendbar. Sowohl beim IC- als auch beim PCB-Design ist es grundsätzlich möglich, statt der heute üblichen sequentiellen Bearbeitung eines einzelnen Entwurfsvorschlages, mehrere Alternativen zu berechnen, gegenüberzustellen, hinsichtlich mehrerer Entwurfsziele zu bewerten und anschließend die optimale Lösung auszuwählen. Verschiedene Platzierungsvarianten der Blöcke und Gatter im IC-Entwurf, bei dem die Siliziumfläche zu den besonderen Kostenfaktoren zählt, zu vergleichen und hinsichtlich der Kennzahlen (z.B. RC-bedingte Leistungsverluste in den Leitungen) abzuwägen, erscheint ebenso wie die Bewertung der komplexen Motherboards mit größeren Abmessungen mit z.B. 6 Verdrahtungslagen gegenüber kleineren Alternativen mit 10 Lagen im PCB-Entwurf umsetzbar. Insbesondere die Möglichkeit, verschiedene Integrationstechnologien miteinander zu vergleichen, verspricht eine deutliche Verbesserung sowohl in der Entwicklungszeit als auch in der Qualität des physikalischen Entwurfs. Ein Vergleich mehrerer Chiprealisierungen in

verschiedenen Halbleitertechnologien mit unterschiedlichen Strukturbreiten in der Prelayoutphase erscheint heute vielleicht schwer realisierbar, aber nicht utopisch. Obwohl die wettbewerbsgetriebene ECAD-Branche durch großen Personal- und Investitionseinsatz permanent nach Möglichkeiten sucht, die Performance der Tools zu verbessern, ist in der Entwicklung der heutigen Entwurfswerkzeuge eine gewisse Sättigung zu beobachten: Bei den in immer kürzeren Zeitabständen erscheinenden neuen Versionen der ECAD Software höherer Preisklasse wird versucht, die kleinsten Details zu verbessern und möglichst viele Zusatzoptionen gegenüber der Vorversion zu integrieren, während sich die Kernfunktionalität nicht mehr grundlegend ändert. Auch wenn die erarbeiteten Methoden sich auf den 2,5D SiP Entwurf konzentrieren, können durch ihre erfolgreiche Umsetzung und Weiterentwicklung eine Übertragung auf andere Bereiche angeregt, entsprechende Forschungsaktivitäten angestoßen und in der Perspektive ein langfristiger Beitrag zur Entstehung neuer ECAD Entwurfsprogramme geleistet werden.

Literatur

- [1] Scheel, W.: „*Baugruppentechologie der Elektronik – Montage*“. Verlag Technik, Berlin, 1999
- [2] Hanke, H.: „*Baugruppentechologie der Elektronik – Leiterplatten*“. Verlag Technik Berlin, 1. Auflage, 1994
- [3] Reichl, H.: „*Direktmontage – Handbuch über die Verarbeitung ungehäuster ICs*“. Springer Verlag, Berlin, Heidelberg, 1998
- [4] Winkler, S.: „*Advanced IC Packaging, 2006 Edition*“. Electronic Trend Publications, Inc., San Jose, USA, 2006
- [5] Vardama, E.; Carpenter, K.; Matthew, L.: „*System-in-Package – The new Wave in 3D-Packaging*“. Technical Report, TechSearch International, 2005
- [6] Deng, Y.; Maly, W.: „*2.5-dimensional VLSI System Integration*“. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 13, pp. 668-677, 2005
- [7] Deng, Y. & Maly, W.: „*2.5D System Integration: a Design driven System Implementation Schema*“. Proceedings of the Asia and South Pacific Design Automation Conference ASP-DAC 2004, pp. 450-455, 2004
- [8] Deng, Y.; Maly, W.: „*A feasibility Study of 2.5D System Integration*“. Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 667-670, 2003
- [9] Deng, Y.; Maly, W.: „*Physical Design of the "2.5D" stacked System*“. 21st International Conference on Computer Design, 2003, Proceedings, pp. 211-217, 2003
- [10] Bird, J.M.; Pfahl, B.: „*System in Package: Identified Technology Needs from the 2004 iNEMI Roadmap*“. IPC Printed Circuits Expo / APEX / Designers Summit, February 22-24 2005, Anaheim, California, USA, 2005
- [11] Harper, C.A.: „*Electronic Packaging and Interconnection Handbook*“. McGraw-Hill Professional, New York, 2005
- [12] Scheffler, M.: „*Cost vs. Quality Trade-off for High-Density Packaging of Electronic Systems*“. Dissertation, Swiss Federal Institute of Technology, FTH Zürich, Nr.14210, 2001
- [13] JEDEC (publisher): „*Design Requirements for Outlines of Solid State and related Products. Design Guide 4.22. Fine-pitch, Square Ball Grid Array Package (FBGA) Package-on-Package (PoP)*“. JEDEC Publication 95, 2005
- [14] Hirt-Schnurrenberger, E.R.: „*System Design Using High Density Packaging and Multi Chip Modules*“. Dissertation, Swiss Federal Institute of Technology, ETH Zürich, Hartung-Gorre Verlag, Konstanz, 2000
- [15] ITRS (publisher): „*International Technology Roadmap for Semiconductors*“, ITRS, Edition 2004 & Edition 2005, <http://public.itrs.net/>
- [16] Smith, L.; Tessier, T.: „*Stacked Chip-Scale Packages: They are not just for Cell Phones Anymore!*“. Chip Scale Review, The International Magazine for Chip-Scale Electronics, Flip-Chip Technology, Wafer-Level Packaging and Optoelectronics Interconnection, July 2001
http://www.chipsalereview.com/issues/0701/f4_01.html

- [17] Souri, S.; Banerjee, K.; Mehrotra, A.; Saraswat, K.: „*Multiple Si layer ICs: Motivation, Performance Analysis, and Design Implications*”. 37th IEEE Design Automation Conference 2000, Proceedings, pp. 213-220, 2000
- [18] Banerjee, K.; Souri, S.; Kapur, P.; Saraswat, K.: „*3-D ICs: a Novel Chip Design for Improving Deep-Submicrometer Interconnect Performance and Systems-on-Chip Integration*”. Proceedings of the IEEE, Vol. 89, Iss. 5, pp. 602-633, 2001
- [19] Kaya, I.: „*Ein kraftgesteuerter Platzierer für 3D-ICs mit Berücksichtigung vertikaler Durchkontaktierungen*“. Dissertation, Universität Hannover, 2004
- [20] Ramm, P.; Bonfert, D.; Gieser, H.; J.Haufe; Iberl, F.; Klumpp, A.; Kux, A.; Wieland, R.: „*InterChip via Technology for Vertical System Integration*”. Proceedings of the IEEE 2001 International Interconnect Technology Conference, pp. 160-162, 2001
- [21] FSA (publisher): „*FSA SiP Market and Patent Analysis*”. Fabless Semiconductor Association, Technical Report, Executive Summary, 2006
- [22] Charles E. Bauer (TechLead Corporation): „*IP Landscape for 3D Semiconductor Assembly*”, oral Presentation on *International Workshop 3D System Integration*, October 1-2, 2007, Fraunhofer IZM & IEEE CPMT (Organizer), Munich, 2007
- [23] Al-Sarawi, S.; Abbott, D.; Franzon, P.: „*A Review of 3-D Packaging Technology*”. IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging, Vol. 21, No. 1, pp. 2-14, 1998
- [24] Johnson, R.W.; Strickland, M.; Gerke, D.: „*3-D Packaging: A Technology Review*”. Auburn University, NASA Jet Propulsion Laboratory, Marshall Space Flight Center, NASA Technical Report, Document ID 20050215652, June 2005
<http://ntrs.nasa.gov/>
- [25] Frost & Sullivan (publisher): „*World Electronic Packaging Technologies – Analysis of technological Trends*”. Technical Insights – Frost & Sullivan, Technical Report D303, San Antonio, TX, USA, 2004
- [26] Kamgaing, T.; Ichikawa, K.; Zeng, X.Y.; Hwang, K.; Yongki Min Jiro Kubota: „*Future Package Technologies for Wireless Communication Systems*”. Intel Technology Journal, Vol. 9, Issue 4, pp. 353-364, November 2005
http://developer.intel.com/technology/itj/2005/volume09issue04/art08_futurepackagetech/p01_abstract.htm
- [27] Rausch, M.: „*Packaging Technology Challenges*”. Intel Corporation, April 2004 press briefing, 2004
<http://www.intel.com/technology/silicon/packaging.htm>
- [28] Yoshida, A.; Ishibashi, K.: „*Design and Stacking of an extremely thin Chip-Scale Package*”. 53rd IEEE Electronic Components and Technology Conference, May 27-30, 2003, Proceedings, pp. 1095-1100, 2003
- [29] Yoshida, A.; Taniguchi, J.; Murata, K.; Kada, M.; Yamamoto, Y.; Takagi, Y.; Notomi, T.; Fujita, A.: „*A Study on Package Stacking Process for Package-on-Package (PoP)*”. 56th IEEE Electronic Components and Technology Conference, 30 May - 2 June 2006, Proceedings, pp. 825- 830, 2006
- [30] Kim, Y.G.: „*Folded stacked Package Development*”. 52nd IEEE Electronic Components and Technology Conference 2002, Proceedings, pp. 1341-1346, 2002

- [31] Krishnan, S.; Kim, Y.; Bang, K.: „*A 3-D stacked Package Solution for DDR-SDRAM Applications*”. Semiconductor Thermal Measurement and Management Symposium 2004, Twentieth Annual IEEE, pp. 64-69, 2004
- [32] Amkor (publisher): „*Package on Package (P0P) Family, PSyFBGA*”. Amkor Technology Inc., Datasheet, Inc. DS586B, 2006
- [33] Tummala, R.: „*The SOP Technology for Convergent Electronic Bio-electronic Systems electronic Systems*”. First International Workshop on SOP, SIP, SOP Electronics Technologies, Presentation, Georgia Institute of Technology, Packaging Research Center, Atlanta, Georgia, USA, September 22-23, 2005
<http://www.prc.gatech.edu/3s/1st/3S-RaoTummala.pdf>
- [34] Tummala, R.: „*Moore's law Meets its Match (System-on-Package)*”. Spectrum IEEE, 2006, vol. 43, pp. 44-49, 2006
- [35] Tummala, R.: „*SOP: what is it and why? A new Microsystem-Integration Technology Paradigm-Moore's law for System Integration of miniaturized Convergent Systems of the next Decade*”, IEEE Transactions on Advanced Packaging, vol. 27, pp. 241-249, 2004
- [36] Beyne, E.: „*3D System Integration Technologies*”. International Symposium on VLSI Technology, Systems, and Applications, pp. 1-9, April 2006
- [37] Stoukatch, S.; Winters, C.; Beyne, E.; Raedt, W.D.; Hoof, C.V.: „*3D-SIP Integration for Autonomous Sensor Nodes*”. 56th IEEE Electronic Components and Technology Conference, 30 May-2 June 2006, Proceedings, pp. 404-408, 2006
- [38] Stoukatch, S.; Meng, H.H.; Vaesen, K.; Webers, T.; Carchon, G.; Raedt, W.D.; Baets, J.D.; Beyne, E.: „*High Density 3-D stack Structure for SIP Solutions*”, SUSS MicroTec Device Bonder Insights, July 2003
<http://www.suss.com/devicebonder/newsletter/past/5/article42.htm>
- [39] Pienimaa, S.K.; Miettinen, J.; Ristolainen, E.: „*Stacked Modular Package*”. IEEE Transactions on Advanced Packaging, vol. 27, pp. 461-466, 2006
- [40] Miettinen, J.; Mantysalo, M.; Kaija, K.; Ristolainen, E.O.: „*System Design Issues for 3D System-in-Package (SiP)*”. 54th IEEE Electronic Components and Technology Conference, Proceedings, vol. 1, pp. 610-615, 2004
- [41] Mäntysalo, M.; Ristolainen, E.O.: „*Modeling and Analyzing vertical Interconnections*”. IEEE Transactions on Advanced Packaging, volume 29, pp. 335-342, 2006
- [42] Richter, C.: „*Entwicklung eines Geometriemodells für eine AVT-gerechte 2,5D-Platzierung unter Berücksichtigung schaltungstechnischer Entwurfsvorgaben*”. Diplomarbeit, Technische Universität Berlin, Fakultät IV, 2006
- [43] Andus Electronic (Hrsg.): „*Die Andus Technologie-CD, Version 5.0*”. Firmenschrift CD-ROM, Hrsg. ANDUS Electronic GmbH, Berlin, 2006
- [44] Wiemers, A.; Bürkle, O. & et. al.: „*Leiterplattenhandbuch, Ausgabe 7.3*”. Firmenschrift CD-ROM, Hrsg. ILFA Feinstleitertechnik GmbH, Hannover/Kleve/Dresden, 2006
- [46] Abadir, M. B.; Sandborn, P.A.: „*Multichip Module Design*”. In Licari, James J. (editor): „*Multichip Module Design, Fabrication, and Testing, Electronic Packaging and Interconnection*”. Pp 21–79, Mcgraw-Hill, New York, 1995
- [47] Chandler, Nick, et al.: „*Multichip Module Design Handbook*“. Europractice MCM Service, 2 Edition, 1999

- [48] Kasper, M.: „*Mikrosystementwurf. Entwurf und Simulation von Mikrosystemen*“. Springer Verlag, Berlin, 1999
- [49] IEEE Computer Society/Software & Systems Engineering Standards Committee (publisher): „*IEEE Standard Glossary of Software Engineering Terminology*“. IEEE Standard 610.12-1990, USA, 2002
- [50] Pahl, G.: „*Grundlagen der Konstruktionstechnik – Fundamentals of engineering design*“. In Grote, K.-H.; Feldhusen, J. (Herausg.): „*Taschenbuch für den Maschinenbau / Dubbel*“. Springer Verlag, Berlin, Heidelberg, New York, London, Paris, Tokyo, Hong Kong, Barcelona, 1990
- [51] VDI (Herausg.): „*VDI 2223, Methodisches Entwerfen technischer Produkte, Technische Regel*“, Verein Deutscher Ingenieure, Gesellschaft Entwicklung-Konstruktion-Vertrieb, Ausschuss Methodisches Gestalten, Beuth Verlag, Düsseldorf, 2004
- [52] McCaffrey, B.: „*Exploring the Challenges in creating a high-quality Mainstream Design Solution for System-in-Package (SiP) Design*“. In ISQED 2005, Sixth International Symposium on Quality of Electronic Design, pp. 556–561, 21-23 March 2005
- [53] Goering, R.: „*Tool-needy SiP Spurs push to recast Flow*“. Electronic Engineering (EE) Times Europe, European Business Press SA, Brussel, pp. 28-32, February 19 – March 4, 2007
- [54] Ndip, I.; Sommer, Gr.; John, W.; Reichl, H.: „*Characterization of Bump Arrays at RF/Microwave Frequencies*“. Elsevier Journal of Microelectronics Reliability, vol. 45, Issue 3-4, March-April 2005, pp. 551-558, 2005
- [55] Pecht, M.: „*Integrated Circuit, Hybrid, and Multichip Module Package Design Guidelines: A Focus on Reliability*“. A Wiley-Interscience Publication, Wiley & Sons, New York, 1993
- [56] Polityko, D. D.; Guttowski, St.; John, W.; Reichl, H.: „*Physical Design and Technology Parameters for vertical System-in-Package Integration*“. IEEE ISSE'05: 28th International Spring Seminar on Electronics Technology, Mai 2005, Proceedings, pp. 399–405, 2005
- [57] Polityko, D.D.; Guttowski, S.; Reichl, H.: „*Integration technology Parameters for physical Design of vertical System-in-Package*“. In IEEE 56th Electronic Components and Technology Conference, May 30 - June 2 2006, Proceedings, pp. 1392–1400, 2006
- [58] Recke, C.: „*Ein Platzierungsverfahren für den Entwurf von Multi-Chip-Modulen unter Performanceaspekten und Integration des Anordnungsproblems*“. Dissertation, Technische Universität Berlin, Oktober 1997
- [59] Sandborn, P. A.; Moreno, H.: „*Conceptual Design of Multichip Modules and Systems*“. Kluwer International Series in Engineering and Computer Science. Kluwer Academic Publisher, Boston, January 1994
- [60] Mysore Sriram; Sung-Mo (Steve) Kang: „*Physical Design for MultiChip Modules*“. Volume 267 of the International Series in Engineering and Computer Science, p. 220, Kluwer Academics Publishers, Norwell, USA, 1994
- [61] Chattopadhyay, S.; Bouldin, D. W.; Dehkordi, P.H.: „*An Overview of Placement and Routing Algorithms for Multi-Chip Modules*“. The Pennsylvania State University, 1999

- [62] James R. Trent: „*MCM Design*”. In Philip E. Garrou, Iwona Turlik, and IMAPS (Editors): „*Multichip Module Technology Handbook*”, McGraw-Hill Book Company, New York, 1997
- [63] Willmer, H.: “*EDIF-Electronic Design Interchange Format Version 2 0 0*”. Sept. 1994, www.thkukuk.de/pg/Seminar/edif-holger.ps
- [64] Fister, M. J. (Editor): „*Beyond the Chip. Cadence Annual Report 2005*”. Cadence Design Systems inc., 2005
- [65] Schwark, R.; Weldon, D.: „*Mentor Graphics Reports. Third Quarter Results, Raises Guidance on Record Bookings and Revenue*”, Mentor Graphics Report, 2005
- [66] Krebs, T.; Franke, J.: „*Konstruktionswerkzeuge für elektronisch/mechanisch integrierte Produkte*“. Elektronik 18/2005, WEKA Fachzeitschriften-Verlag, Poing, 2005
- [67] Larcombe, S.; Prendergast, D.; Thacker, N.; Ivey, P.: „*Initial Development of a genetic Algorithm to automate System implementation in a novel electronic Packaging Technology*”. Second International Conference on genetic Algorithms in Engineering Systems: Innovations and Applications, GALESIA 97, pp. 486-491, 1997
- [68] Larcombe, S.; Prendergast, D.; Thacker, N.; Ivey, P.: „*Using genetic Algorithms to automate System Implementation in a novel three-dimensional Packaging Technology*”. IEEE International Conference on Computer Design: VLSI in Computers and Processors, ICCAD '96, Proceedings, pp. 274-279, 1996
- [69] Niedermayer, M.: „*Methodik zum Entwurf von miniaturisierten, energieautarken, verteilten Funksensorknoten*“. Dissertation, Technische Universität Berlin, 2008
- [70] Berger, M.: „*Module Placement in 2.5D System-in-Package Design Automation: A Model and Approaches to solve a Combinatorial Multicriteria Optimization Problem*”. Diploma Thesis, Hochschule Mittweida (FH), 2006
- [71] Ravichandran, R.; Minz, J.; Pathak, M.; Easwar, S. ; Lim, S.K.: „*Physical Layout automation for System-on-Packages*”. 54th IEEE Electronic Components and Technology Conference, Proceedings, vol. 1, pp. 41-48, 2004
- [72] Balakrishnan, K.; Nanda, V.; Easwar, S.; Lim, S.K.: „*Wire Congestion and thermal Aware 3D global Placement*”. Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC 2005, Vol.2, pp. 1131-1134, 2005
- [73] Minz, J.; Lim, S.K.; Choi, J.; Swaminathan, M.: „*Module Placement for Power Supply Noise and Wire Congestion Avoidance in 3D Packaging*”. IEEE 13th Topical Meeting on Electrical Performance of Electronic Packaging, pp. 123-126, 2004
- [74] Minz, J.; Lim, S.K.: „*A global Router for System-on-Package Targeting Layer and Crosstalk Minimization*”. IEEE 13th Topical Meeting on Electrical Performance of Electronic Packaging, pp. 99-102, 2004
- [75] Minz, J.; Pathak, M.; Lim, S.K.: „*Net and Pin Distribution for 3D Package global Routing*”. Design, Automation and Test in Europe, Conference and Exhibition, Proceedings, vol. 2, pp. 1410-1411, 2004
- [76] Dyckhoff, H.: „*A typology of cutting and packing problems*”. European Journal of Operational Research, Inprint by North-Holland, vol. 44, pp.145-159, 1990
- [77] Yao, B.; Chen, H.; Cheng, Ch.-K.; Graham, R.: „*Floorplan Representations: Complexity and Connections*”. ACM Transactions on Design Automation of Electronic Systems, Vol. 8, No. 1, pp. 55–80, January 2003

- [78] Zion Cien Shen and Chris C. N. Chu: „*Bounds on the Number of Slicing, Mosaic, and General Floorplans*”. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 22, No. 10, October 2003
- [79] Polyteda (publisher): „*Strategic Partnership Initiative for Solving Multi-Physics Problems in System-in-Package EDA Tool*”. POLYTEDA Software Corporation Press Release, 2006
- [80] Cadence (publisher): „*Allegro Package Designer L, XL*”. Product Datasheet, Cadence Design Systems Inc., 2006
- [81] Cadence (publisher): „*Cadence SIP Digital Architect*”. Product Datasheet, Cadence Design Systems Inc., 2006
- [82] Cadence (publisher): „*Cadence 3D Design Viewer*”. Product Datasheet, Cadence Design Systems Inc., 2006
- [83] Kuhn, S.; Kleiner, M.; Ramm, P.; Weber, W.: „*Interconnect Capacitances, Crosstalk, and Signal Delay in vertically integrated Circuits*”. International Electron Devices Meeting, IEDM95, pp. 249-252, 1995
- [84] Guttowski, S.; Polityko, D.D.; Reichl, H.: „*Interaction of Technology and Design in the third Dimension*”. In Reichl, H. (Hrsg.): „*Systemintegration in der Mikroelektronik - SMT /HYBRID / PACKAGING 2006, Technologien für die 3. Dimension (Heterointegration) in der Leiterplattenfertigung - Messe & Kongress*“, Nürnberg 30. Mai - 1. Juni 2006, VDE Verlag, S.11-28, 2006
- [85] Ehrgott, M.: „*Multicriteria Optimization*”. University of Kaiserslautern, Department of Mathematics, Lecture Notes, 1999
<http://www.studiendienst.de/fachbereiche/mathe/skripte/optimierung01.html>
- [86] Ehrgott, M.: „*Multicriteria Optimization*”. 2nd Edition, Springer Verlag, Berlin, 2005
- [87] IPC (publisher): „*Sectional Design Standard for Flexible Printed Boards (IPC2223A)*”. IPC Standard, IPC Association Connecting Electronics Industries, 2215 Sanders Road Northbrook, Illinois, USA, June 2004
- [88] IPC (publisher): „*Sectional Design Standard for Organic Multichip Modules (MCM-L) and MCM-L Assemblies (IPC-2225)*”. IPC Standard, IPC Association Connecting Electronics Industries, 2215 Sanders Road Northbrook, Illinois, USA, May 1998
- [89] IPC (publisher): „*Design and Assembly Process Implementation for BGAs (IPC-7095A)*”. IPC Standard, IPC Association Connecting Electronics Industries, 2215 Sanders Road Northbrook, Illinois, USA, Oct. 2004
- [90] IPC (publisher): „*Surface Mount Design and Land Pattern Standard (IPC-SM-782A)*”. IPC Standard, IPC Association Connecting Electronics Industries, 2215 Sanders Road Northbrook, Illinois, USA, 1999
- [91] IPC; EIA; MCNC; Sematech (publisher): „*Implementation of Flip Chip and Chip Scale Technology*”. Joint Industry Standard J-STD-012, JEDEC, USA, 1996
- [92] Haberland, J.; Kallmayer, C.: „*Ultra Thin Flip Chip Interconnects*“. Frequenz – Zeitschrift für Telekommunikation, Fachverlag Schiele & Schön, 3-4/2004, Band 58, Seiten 65-69, 2004

- [93] Fraunhofer IZM; TU Berlin ; Ferdinand-Braun-Institut: „*Autarke verteilte Mikrosysteme (AVM)*“. Verbundprojekt 2002 - 2005, Abschlussbericht, Reihe „*Innovationen in der Mikrosystemtechnik*“, Band 107, VDI-VDE Innovation und Technik GmbH, Teltow (Hrsg.), ISBN 978-3-89750-15-4, 2005
- [94] Fotheringham, G.; Reichl, H.: „*Technologien der Mikrosystemtechnik*“, Teil 2: „*Systemintegrationstechnologien*“. Skript zur Vorlesung, TU Berlin, Fachbereich Elektrotechnik, Berlin, 1998
- [95] Holden, H.: „*Planning PCB Design: For Fun and Profit!*“. TechLead Corp., Technical Paper, 2002,
http://www.westwoodpcb.com/6_tech_svcs_consult.htm
- [96] Seraphim, D. P.; Lasky, R.; Li, C.-Y.: „*Principles of electronic Packaging*“. McGraw-Hill series in electrical engineering, McGraw-Hill Book Company, New York, 1989
- [97] Sutherland, I.; Oestreicher, D.: „*How Big Should a Printed Circuit Board Be?*“. IEEE Transactions on Computers, vol. C-22, issue 5, pp. 537 – 542, May 1973
- [98] Heinrich S.M.: „*Prediction of Solder Joint Geometry*“. Chapter 5. In: Frear, D.R.; Lau J.H.; Morgan H. (editors): „*Mechanics of Solder Alloy Interconnects*“, pp. 158–198. Springer, 1994
- [99] Lin W.; Patra S.K.; Lee Y.C.: „*Design of Solder Joints for Self-Aligned Optoelectronic Assemblies*“. IEEE Transactions on Components, Hybrids, and Manufacturing Technology, Part B: Advanced Packaging, vol. 18(3), pp. 543–551, Aug. 1995
- [100] Peng, C.-T.; Liu, C.-M.; Lin, J.-C.; Cheng, H.-C.; Chiang, K.-N.: „*Reliability Analysis and Design for the fine-pitch Flip Chip BGA Packaging*“. IEEE Transactions on Components, Packaging and Manufacturing Technology, Part A, vol. 27(4), pp. 684–693, Dec. 2004
- [101] Pfeifer, M.J.: „*Solder Bump Size and Shape Modeling and experimental Validation*“. IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging, vol. 20(4), pp. 452–457, Nov. 1997
- [102] Yamada, H.; Togasaki T.; Kimura, M.; Sudo, H.: „*High-density 3-D Packaging Technology based on the Sidewall Interconnection Method and its Application for CCD Micro-camera visual Inspection System*“. IEEE Transactions on Components, Packaging and Manufacturing Technology, Part B: Advanced Packaging, vol. 26(2), pp. 113–121, May 2003
- [103] IEC (publisher): „*Reliability Data Handbook – universal Model for Reliability Prediction of electronics Components, PCBs and Equipment Reference*“. IEC Technical Report Ref. Number IEC/TR 62380:2004(E), International Electrotechnical Commission, Geneva, Switzerland, 2004
- [104] Halser, K.: „*Einfluss der Leiterplatte auf die Baugruppenzuverlässigkeit*“. In Reichl, H. (Hrsg.): „*Workshop Zuverlässigkeit mikroelektronischer Systeme*“. Teilnehmerband, Fraunhofer IZM / TU Berlin (Veranst.), Berlin, September 2005
- [105] Maass, U.; Polityko, D. D.; Richter, Ch.; Ndip, I.; Hefer, J.; Guttowski, S.; Reichl, H.: „*Linking Geometrical and Electrical Parameters of Flex Substrate Vertical Interconnects for 2.5D System-in-Package Design*“. In 57th Electronic Components and Technology Conference, May-June 2007, Proceedings, pp. 1861 – 1865, 2007

- [106] Kubisch, M.; Karl, H.; Wolisz, A.: „*A MAC Protocol for Wireless Sensor Networks with Multiple Selectable, Fixed-Orientation Antennas*”. Frequenz - Zeitschrift für Telekommunikation, Fachverlag Schiele & Schön, 3-4/2004, Band 58, Seiten 92-97, 2004
- [107] Robert Darveaux (Amkor Technology Inc.): „*Developments in 3D Packaging*”, oral Presentation on International Workshop 3D System Integration, October 1-2, 2007, Fraunhofer IZM & IEEE CPMT (Organizer), Munich, 2007

Anhang A

Technische Daten und Spezifikationen

Funktionsblock/ Bauelement	Beschreibung	Package/ Geometrie
Sensor/LED-Block		
PT-1000 (Heraeus)	Temperatursensor, Platin-Metallwiderstand	0603 (1,7x0,9mm)
NSL-19M51 (Silonex)	CdS Photowiderstand/ Lichtdetektor , R(darkness)=20M Ω , R(100Lux)=5K Ω , beschaltet als Spannungsteiler mit einem Vorwiderstand 100K Ω $I_{max}<3\mu A$	Für SMT angepasstes TO18 (ca.Ø=4mm)
μC Block:		
ATMega128L (Atmel)	8-Bit Microcontroller , CPU: RISC, 16 MIPS@ $f_{CPUmax}=16$ MHz, Applikation $f_{clock}=1$ MHz interner Oscillator. <u>Speicher</u> : 128 KBytes Flash, 4 KBytes EEPROM, 4 KBytes SRAM. <u>On-Chip Komponenten</u> : 2 UARTs, 10bit ADC, RTC, JTAG, SPI, Timer/Counter, PWM, I2C Bus etc. geringster Ruhestromverbrauch: $I_{min}<10\mu A@3V$	Bare Die/FC (4,9x4,5mm)
RF Blok:		
CC1000 (ChipCon)	Single-chip UHF Transceiver mit einem 14,7MHz Quartz <u>Frequenzbänder</u> : ISM und SRD 300...1000MHz, Applikationsfrequenz 868,8MHz, <u>Datenrate</u> 0,6...76,8kBaud (Applikationsrate 19,2kBaud), RSSI output, <u>Output Power</u> (progr.): -20...10dBm@868MHz, $I_{transm}=8,6...25mA$ <u>Receiver Sensitivity</u> : -104...-107dBm@868MHz, $I_{rec}=9,6...11.8mA$ geringster Ruhestromverbrauch: $I_{min}<1\mu A@3V$	Bare Die/FC (2,4x4,1mm)
Systemspannung $U=3V$, Min. Systemstrom $I_{min}=3\mu A$, Max. Systemstrom $I_{max}=30mA$		

Tab. A-1 Funktionsblöcke, wichtigste Systemkomponenten und technische Eigenschaften der eGrain-Schaltung

Package	BE	Form	Montage	Basisquader [μm]		
				x	y	z
0201	Pass. BE	Box	SMD Refl.	550	300	250
0402	Pass. BE	Box	SMD Refl.	1050	550	650
1206	Pass. BE	Box	SMD Refl.	3200	1600	1700
HSMXS690	LED	Box	SMD Refl.	1650	850	750
AT128_FC	IC	Box	FC ACA	4900	4500	170
CC1000_FC	IC	Box	FC ACA	2375	4069	730
NCT3	Quarz	Box	SMD Refl.	3300	1300	1000
TU1	Quarz	Box	SMD Refl.	4100	2600	650
NSL19	Sensor	Box	SMD Refl.	4000	3350	1650
0603_PT1000	Sensor	Box	SMD Refl.	1650	850	570
DS2401_CSP	IC	Box	SMD Refl.	1371	711	696
TP_1200U	Verb. Struktur	Cyl (d, h)	SMD Refl.	1300	1300	-

Tab. A-2 Daten der in der eGrain 10mm Schaltung verwendeten Package-Geometrien

BE	Package	BE	Package	BE	Package
C1	1206	L32	0402	R1000	0603_PT1000
C6	0402	L41	0402	TP3	TP_1200U
C7	0402	L71	0402	U3	DS2401_CSP
C10	0201	L101	0402	U7	AT128_FC
C12	0402	L210	0402	U8	CC1000_FC
C13	0402	R1	0402	X1	TU1
C14	0201	R3	0402	X2	NCT3
C15	0402	R5	0402	D1	HSMXS690
C21	0402	R6	NSL19	D3	HSMXS690
C22	0402	R8	0402	D5	HSMXS690
C23	0402	R131	0402	C71	0201
C31	0201	R281	0402	C72	0201
C42	0201	R283	0201	C171	0201
TP1	TP_1200U	R285	0201	C181	0201
TP2	TP_1200U	R286	0201	C281	0402

Tab. A-3 Komplette Stückliste der eGrain 10mm Schaltung

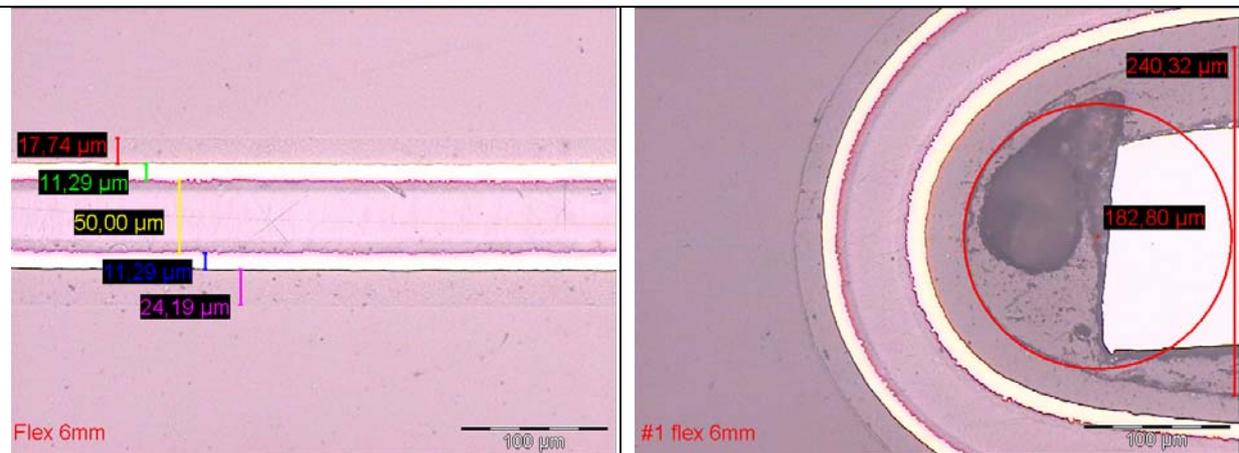
Platine	Funktion	BE-Typ	Netzlänge [µm]	Anteil der Versorgungsnetze		Via-Parameter	
				VCC [%]	GND [%]	d _{drill} [µm]	l _{rr} [µm]
01_IZMv1	MCM eGrain Schaltung, Kantenlänge 20mm (Abb. 2.2-18b)	SMD, FC	48516	16,19	19,91	200	100
02_Flex10mm	10 mm Faltflex eGrain Schaltung, Variante 1	SMD, FC	56190	22,17	17,41	100	150
03_IZMFlex_R1	10 mm Faltflex eGrain Schaltung, Variante 2	SMD, FC	27893	17,85	16,58	100	150
05_01 Netzsen.	Messschaltung	SMD, BGA BD	99717	4,88	6,18	150	100
05_02 Can	Bus-Controller-schaltung	SMD BGA BD	100234	4,86	6,18	150	100
04_03_Sensorik	Sensorik-Schaltung	SMD BGA BD	105113	2,48	2,99	200	100
04_04_Signal.	Signalverarbeitungsschaltung	SMD BGA	59394	2,97	5,57	250	175
04_01uC-Modul	Mikrocontroller	SMD BGA BD	68209	4,86	4,51	200	150
04_01_uC-Mod-R	Mikrocontroller	SMD	100709	6,25	16,1	200	150
04_02 Flash	Speichermodul	SMD	139712	5,87	6,28	300	100
06_M-BUS	Analoge, Digitale, Bus-Elektronik	SMD FC	299921	1,01	8,63	200	100
05_03Whopper	Digitale Schaltung	SMD FC	679572	3,63	4,8	100	75
05_04 Core	Digitale Schaltung	SMD BGA FC COB	429486	3,31	10,73	100	75

Tab. A-4 Weitere Daten der für die Untersuchung des Verdrahtungsmodells verwendeten Schaltungen

Anhang B

Aufnahmen der Faltflexproben

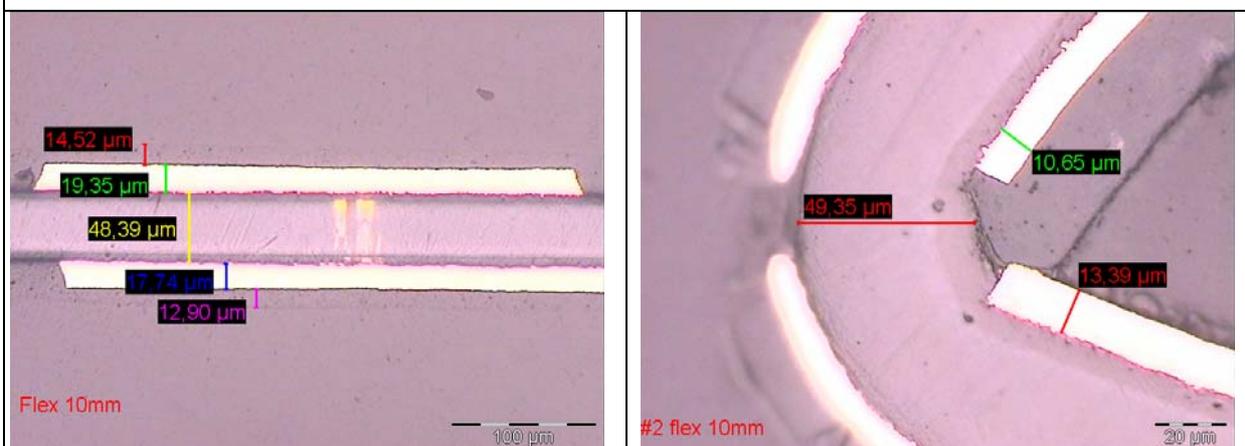
Probe 1



Aufbau: 2-lagiges flexibles Substrat (6mm), mit einer schmalen Kupferbahn auf der Innenseite und einer breiten Kupferfläche auf der Außenseite.

Besonderheiten: Bei der Untersuchung wurden keine Unregelmäßigkeiten festgestellt.

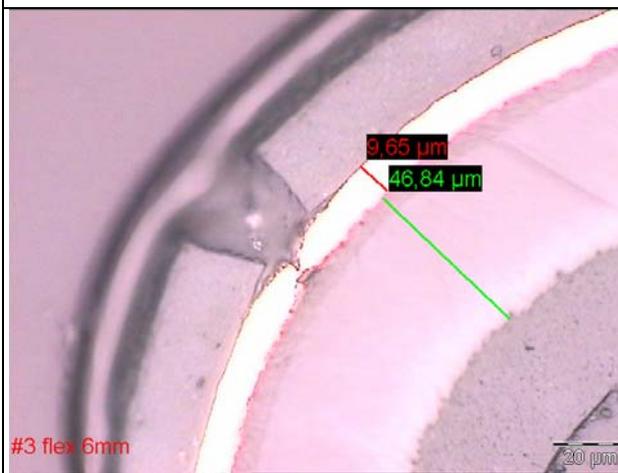
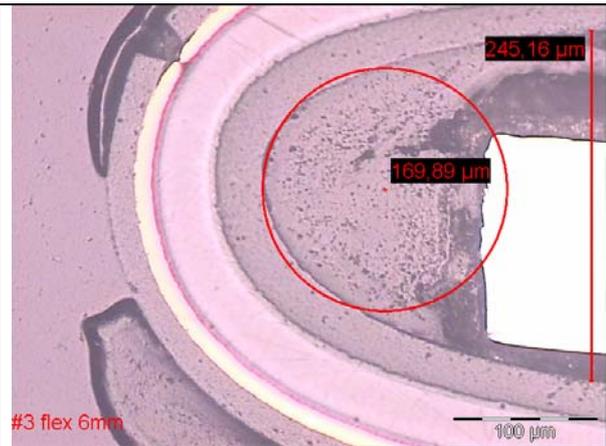
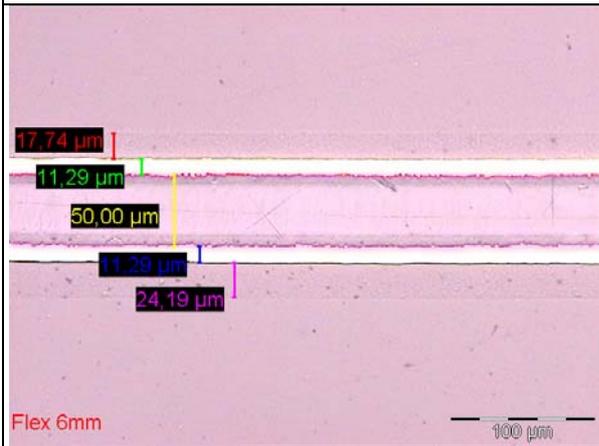
Probe 2



Aufbau: 2-lagiges flexibles Substrat, auf der Innenseite befinden sich zwei breite Kupferflächen, auf der Außenseite verläuft eine schmale Kupferbahn.

Besonderheiten: Unterbrechung der Kupferführung auf der Innenseite und Außenleiterbahnrisse.

Probe 3

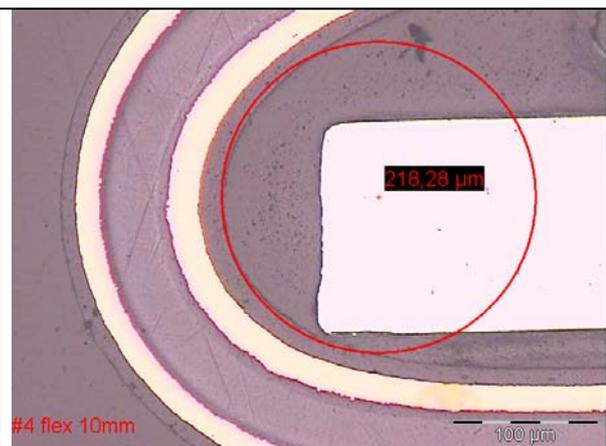
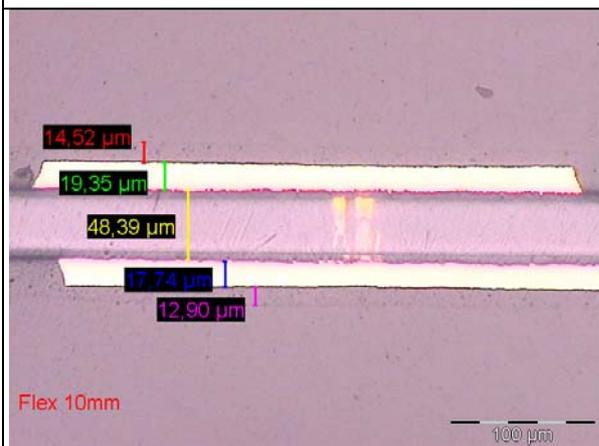


Aufbau: 1-lagig, die Kupferbahn verläuft auf der Außenseite.

Besonderheiten:

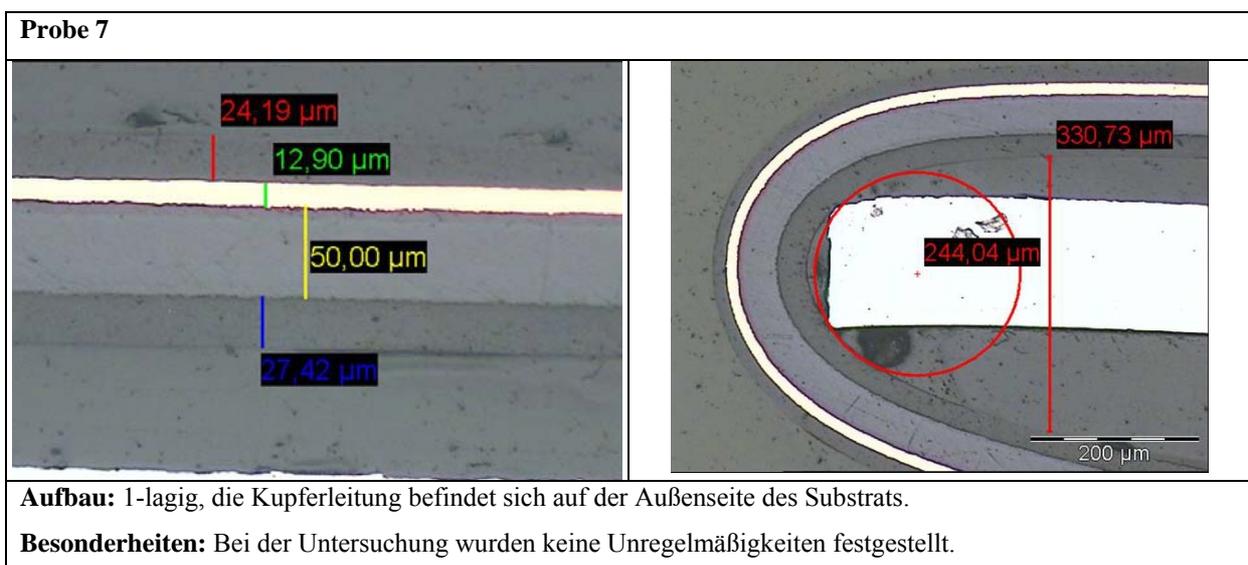
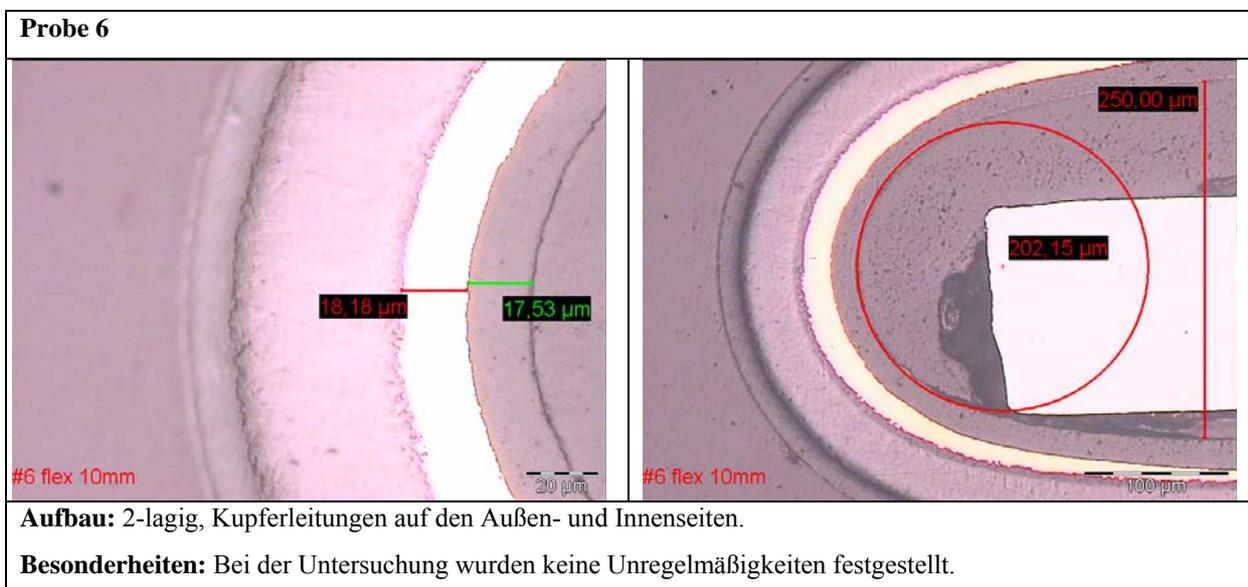
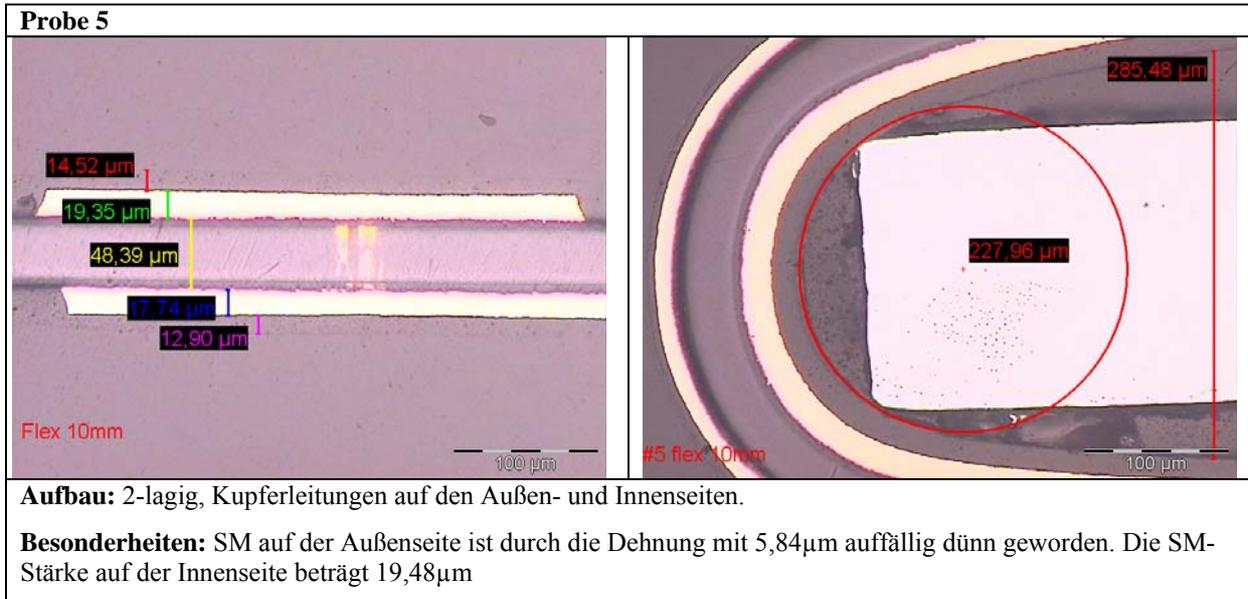
SM bereits vor der Biegung beschädigt, daraus resultiert Außenleiterbahnris.

Probe 4

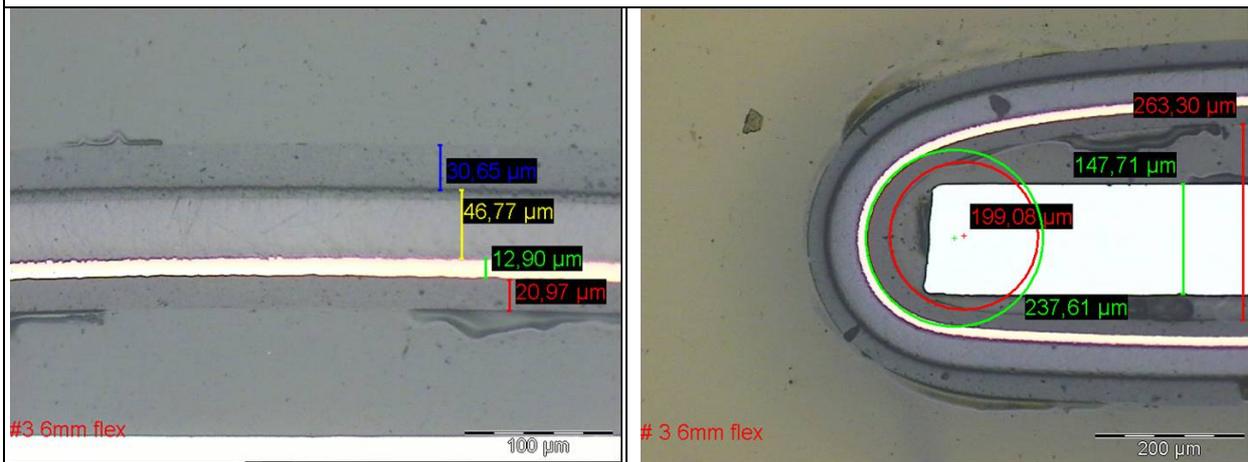


Aufbau: 2-lagig, Kupferleitungen auf den Außen- und Innenseiten.

Besonderheiten: Bei der Untersuchung wurden keine Unregelmäßigkeiten festgestellt.



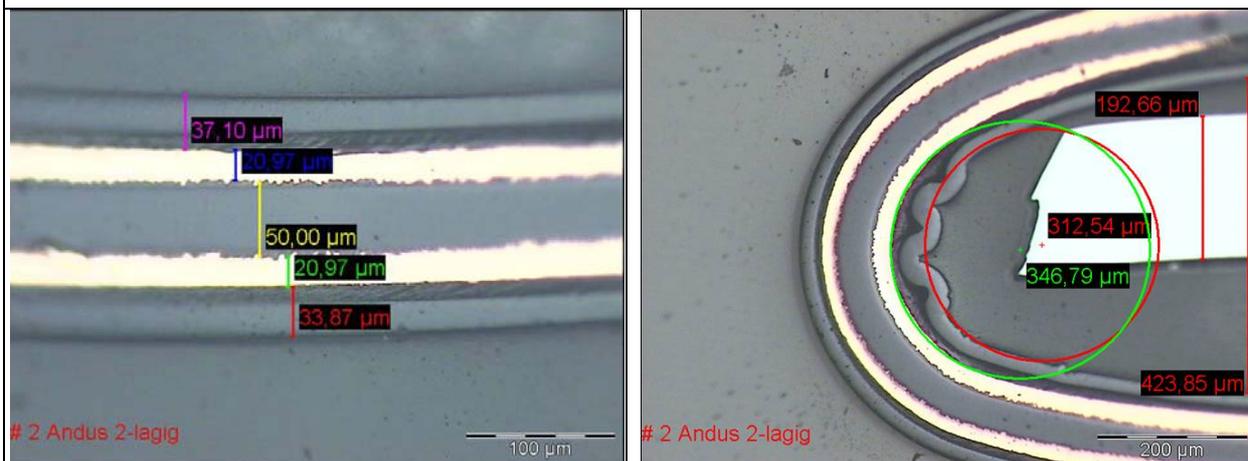
Probe 8



Aufbau: 1-lagig, die Kupferleitung befindet sich auf der Innenseite des Substrats.

Besonderheiten: Bei der Untersuchung wurden keine Unregelmäßigkeiten festgestellt.

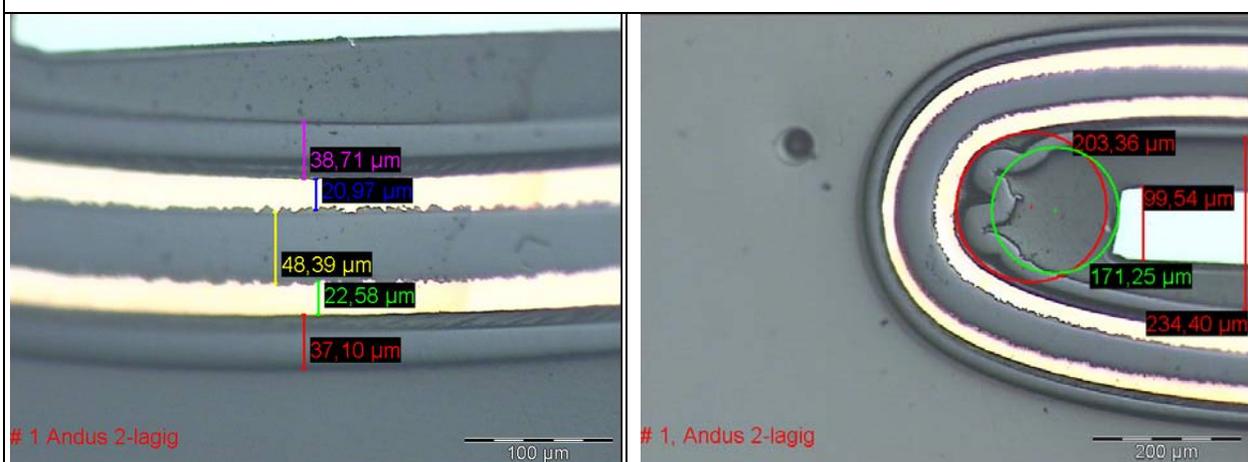
Probe 9



Aufbau: 2-lagig, Kupferleitungen auf den Außen- und Innenseiten.

Besonderheiten: Delaminierung des Lötstoplackes zu sehen, Kupfer bleibt intakt.

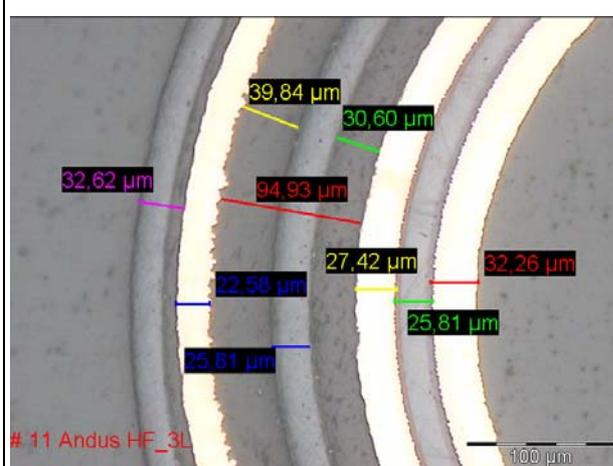
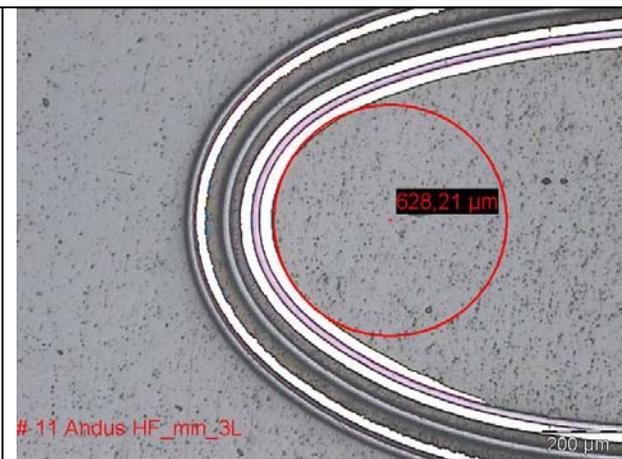
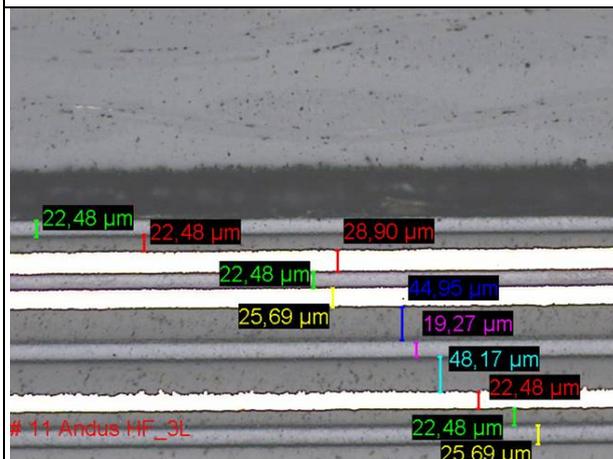
Probe 10



Aufbau: 2-lagig, Kupferleitungen auf den Außen- und Innenseiten.

Besonderheiten: Delaminierung des Lötstoplackes zu sehen, Kupfer bleibt intakt.

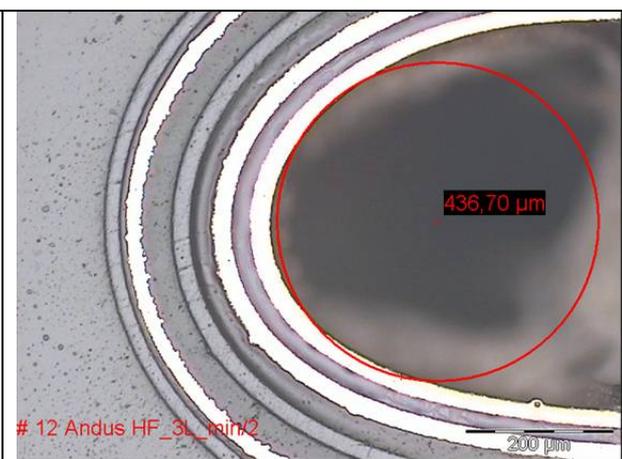
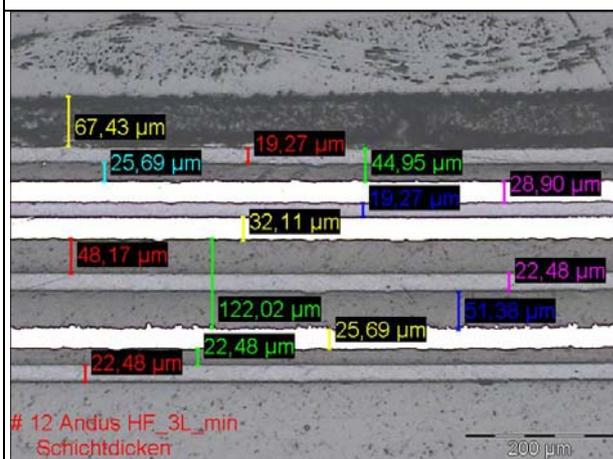
Probe 11



Aufbau: 3-lagig, hier handelt es sich um einen unsymmetrischen Aufbau. Auf der Innenseite befinden sich zwei Kupferleitungen und außen eine. Das Substrat wurde so gefertigt, dass auf jeder Seite des Biegebereichs jeweils eine Schicht des starren FR4-Materials in der gewünschten Dicke für die Definition des Biegeradius' aufgebracht wurde.

Besonderheiten: Bei der Untersuchung wurden keine Unregelmäßigkeiten festgestellt.

Probe 12



Aufbau: 3-lagig, identisch Probe 11, eine FR4 Platte wurde entfernt und der Biegeradius halbiert.

Besonderheiten: Bei der Untersuchung wurden keine Unregelmäßigkeiten festgestellt.

Index

2,5D.....	9	HDI	28
3D IC.....	10, 38	IC	3, 7, 10
ACA	25, 109	iNEMI.....	7
Autoplacer.....	37	ITRS.....	7
Autorouter.....	37	Leiterplatte.....	7, Siehe Substrat laminiert
AVM	Siehe eGrain	Leitungslänge.....	97
AVT	8	Airwires.....	97
Balling.....	88	MCM.....	7
Bare Die	7	Modul.....	48
Bauformen.....	19, 20	Multilayer	26, 29
MELF.....	20	Netz.....	37, 42, 70, 76, 97, 98, 99
quaderförmig.....	20	-liste.....	32, 34, 48
SMT	20	Optimierung.....	36, 43
SMT-kompatiblen.....	21	Optimierungstiefe	50
Baugruppe.....	7, 20	Package	19
Flachbaugruppe.....	7	Padvergrößerungsfaktor.....	55
Kompaktbaugruppe.....	8	Patent	13
räumlich	9	PCB.....	7, 28, 51
Bestandteile.....	47	physikalischer Entwurf.....	33
Bestückungspläne.....	37	Pick&Place.....	12, 101
BGA	13, 21	Plane	76
BOM	37	Prepreg.....	29
Bump.....	24	Reflow.....	22
C4.....	24	Routability	70
Constraint.....	6, 37, 48, 100, 120, 123	Schnittebene.....	71
Deformationsfaktor	90, 92	SMD.....	20
EC	98	SMT	20
ECAD.....	Siehe EDA	SoP.....	16
EDA	5, 31, 35, 36, 39, 40	Substrat	19, 26, 63
EDIF.....	34	dünnfilm.....	27
eGrain.....	5, 18	keramisch	27
Prototypen.....	107	laminiert.....	28
Roadmap	18	Modell	63
Escape	62	Verdrahtungsträger.....	26
Falt-		System-in-Package.....	3
flex	10, 12, 15, 18	Testbarkeit	101
SiP11, 14, 108		Verdrahtbarkeit.....	70
FC.....	Siehe FlipChip	Verdrahtungseffizienz.....	71
Feinmodellierung	49	Verdrahtungskapazität	71
FlipChip	22, 24, 60, 109	Verdrahtungslänge.....	72
GDSII.....	38	Via.....	29
Gerber	38	Via-Faktor	75
Globtop	60	Werkzeugabstand.....	25, 55, 111
Grobmodellierung	50		

