Thermische Untersuchung von Schaltungsträgern für leistungselektronische Halbleitermodule mit organischem Isolator

Vorgelegt von M.Eng. Aylin Bicakci

von der Fakultät IV – Elektrotechnik und Informatik der Technischen Universität Berlin zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften

-Dr.-Ing.-

genehmigte Dissertation

Promotionsausschuss:

Vorsitzender:	Prof. DrIng Rolf Schuhmann
Gutachter:	Prof. DrIng. Dr. sc. techn. Klaus-Dieter Lang
Gutachter:	Prof. DrIng. Martin Schneider-Ramelow
Gutachter:	Prof. DrIng. habil. Thomas Zerna
Gutachter:	Prof. Dr. rer. nat. Ronald Eisele
Gutachter:	Prof. DrIng. Frank Osterwald

Tag der wissenschaftlichen Aussprache: 25. April 2019

Berlin 2019

Erklärung des Autors

Hiermit versichere ich, Aylin Bicakci, dass ich die vorliegende Arbeit selbstständig und ohne andere Benutzung als der in den Fußnoten und im Literaturverzeichnis angegebenen Quellen angefertigt habe.

Kiel, den 14.01.2019

Unterschrift:

Aylin Bicakci

Kurzfassung

Aufgrund der stetig steigenden Leistungsdichte in der Leistungselektronik sind immer höhere Temperaturen der Halbleiter in Leistungsmodulen die Folge, welche zu einer Leistungsbeschränkung der heutigen Module führen.

Konventionelle Module bestehen häufig aus einem Direct Copper Bonded-Substrat (DCB), welches auf eine Bodenplatte (Wärmespreizer) gelötet ist. Diese Module sind aus thermischer Sicht auf Grund der wenige 100 µm dünnen Kupferschichten und thermisch schlecht leitenden keramischen und zudem bruchempfindlichen Zwischenschicht der DCB nicht optimal ausgelegt. So kann keine optimale thermische Spreizung direkt unter dem Halbeiter erfolgen, denn die Kupferlage, auf der die Halbleiter kontaktiert sind, ist hierfür zu dünn. Als Folge der hohen Bruchempfindlichkeit können Keramikschichten zur elektrischen Isolation in der DCB, wie zum Beispiel Aluminiumoxid (Al₂O₃) nicht dünner, sowie die Kupferschichten auf denen die Halbleiter kontaktiert sind, nicht dicker dimensioniert werden. Wäre dies möglich, könnte zum einen der thermische Widerstand des Moduls durch eine dünnere Isolationsschicht reduziert werden und zum anderen die thermische Spreizung durch den Einsatz von dickeren Kupferschichten direkt unter dem Halbleiter erhöht werden. Dadurch könnte die thermische Spreizung nicht erst in der Bodenplatte wie beim derzeitigen Stand der Technik erfolgen, sondern bereits in der Kupferschicht unterhalb des Halbleiters. Dies würde zu einer Reduzierung der Halbleitertemperatur und damit zu einer gesteigerten Leistungsfähigkeit des Moduls führen.

Bei einem Modul mit DCB-Aufbau ist dies nicht möglich. Deshalb kommen in einigen neuartigen Modulen an Stelle der keramischen Schaltungsträger organische Isolationsfolien in Kombination mit metallischen Stanzteilen (Leadframes) zum Einsatz. Hierbei handelt es sich um eine Kupferlage, auf welche die benötigten Halbleiter kontaktiert werden. Die elektrische Isolation erfolgt mit Hilfe der organischen Isolationsfolie. Die Isolationsfolien haben nur einen Bruchteil der Wärmeleitfähigkeit von Keramiken einer DCB, können jedoch dünner ausgeführt werden. Zudem kann eine höhere thermische Spreizung durch höhere Kupferschichtdicken direkt unter dem Halbleiter erfolgen. Die Kontaktierung des Leadframes auf die Bodenplatte erfolgt mit Hilfe eines Laminierprozesses.

Im Rahmen der vorliegenden Arbeit wird der Schichtaufbau eines Leistungsmoduls analysiert und hinsichtlich dieser neuen Technologie und der geometrischen Auslegung der Schichten optimiert, um eine signifikante Reduzierung der Halbleitertemperatur zu erzielen. Hierbei werden die Haupteinflussfaktoren zur Reduzierung der Halbleitertemperatur identifiziert. Primär werden die Auswirkungen der Haupteinflussfaktoren (Schichtdicke und Spreizfläche) sowie ihre Wechselwirkungen untereinander analysiert. Hierfür wird mit Hilfe von thermischen Simulationsergebnissen ein Regressionsmodell entwickelt, welches sowohl durch Rechnersimulation als auch durch Messungen evaluiert wird. Zum Abschluss wird ein Moduldemonstrator abgeleitet und thermisch mit einem DCB-Referenzmodul sowohl simulatorisch als auch messtechnisch verglichen. Der hierfür benötigte Laminierprozess wird hinsichtlich der Prozessparameter Druck, Zeit und Temperatur untersucht. Der Einfluss der Prozessparameter auf die Verbindungsqualität hinsichtlich thermischen Widerstandes, elektrischer Durchschlagsspannung und Scherfestigkeit wird evaluiert.

Die ermittelten Ergebnisse zeigen, dass unter den gegebenen Randbedingungen durch den Einsatz einer organischen Isolationsfolie in Kombination mit geometrisch angepassten Kupferschichten eine Reduzierung der Halbleitertemperatur um bis zu 25K möglich ist. Diese Erkenntnis ist somit im Hinblick auf die steigende Leistungsdichte der heutigen Leistungselektronik von eklatanter Bedeutung und ermöglicht es, die oben genannte Leistungsbeschränkung heutiger Module zu reduzieren. Eine deutliche Steigerung der Leistungsdichte bei gleichbleibender Halbleitertemperatur ist damit möglich.

Abstract

The ever-increasing power density in power electronics results in ever higher temperatures of the semiconductors in power modules. This fact leads to a performance limitation of today's modules.

The standard modules, which are available in today's market, are not designed optimally from a thermal point of view due to the shear-sensitive Direct Copper Bonded Substrates (DBC) used in today's power modules. A sufficient thermal spread cannot be achieved. As a consequence of the high fracture sensitivity the ceramic layers for electrical isolation in the DBC, such as aluminum oxide (Al_2O_3) , cannot be designed thinner and the copper layers on which the semiconductors are contacted cannot be reduced by the thinner insulation layer and the thermal spread could be increased by using thicker copper layers directly underneath the semiconductor. Then, the thermal spread would directly take place in the copper layer below the semiconductor instead of the base plate like in the current state of the art. This leads to a reduction of the semiconductor's temperature and thus to an increased performance of the module.

This is not possible with a DBC structure in the module. Therefore, in some novel modules organic insulation films in combination with metallic layers such as lead frames are used instead of the DBC. A lead frame is a copper layer on which the required semiconductors are electrically contacted. The electrical insulation is then achieved with the help of the organic insulation foil. The insulation foils have only a fraction of the thermal conductivity of a DBC's ceramic layer, but can be designed thinner. In addition, a higher thermal spread can be achieved by a larger copper layer thickness directly under the semiconductor. The structure of the lead frame is contacted to the base plate via a lamination process.

In the present work the layer structure of a power module is analyzed and optimized with regard to this new technology and the geometrical design of the layers in order to achieve a significant reduction of the semiconductor temperature. Therefor, the main influential factors for the reduction of the semiconductor's temperature could be identified. Primarily, the effects of the main influential factors (layer thickness and spreading surface) and their interactions with each other are examined. For this purpose, a regression model is developed with the help of thermal simulation results, which is evaluated both by computer simulation and by measurements. Finally, a module demonstrator is derived and thermally compared with a DBC reference module both simulatively and metrologically. The required lamination process is examined with regard to the process parameters pressure, time and temperature. The influence of the process parameters on the connection quality in terms of thermal resistance, dielectric strength and shear strength is highlighted.

The detected results show that under the given boundary conditions a reduction of the semiconductor's temperature by 25K is possible by the use of an organic insulation foil in combination with geometrically adapted copper layers. This finding is therefore of a blatant importance considering the increasing power density of today's power electronics and makes it possible to reduce the above mentioned power limitation of today's modules. A significant increase in power density at a constant semiconductor temperature is possible.

Danksagung

An dieser Stelle möchte ich vor allem Prof. Dr.-Ing. Dr. sc. techn. Klaus-Dieter Lang für die Übernahme meiner Promotionsbetreuung danken. Seine hervorragende wissenschaftliche Unterstützung und seine stets ehrlichen Worte waren mir immer eine große Hilfe!

Des Weiteren möchte ich Prof. Dr. Martin Schneider-Ramelow danken. Er hat sich stets viel Zeit für mein Promotionsvorhaben und meine Anliegen genommen. Seine Meinung sowie ehrliche Kritik waren mir stets eine große Hilfe!

Mein weiterer Dank gilt Prof. Dr. Ronald Eisele. Er hat mich als Leiter des Instituts für Mechatronik der Fachschule Kiel seit meiner Masterthesis kontinuierlich mit Rat und Tat unterstützt und mir immer zur Seite gestanden. Danke für deine Hilfe, deine ehrliche Kritik und deine sehr weisen Ratschläge!

Weiterhin möchte ich Prof. Dr. Frank Osterwald für seine stetige Unterstützung, zusammen mit der Firma Danfoss Silicon Power, danken. Als mein Mentor hatte auch er stets ein offenes Ohr für mich und stand mir immer mit Rat, ehrlicher Kritik und motivierenden Worten zur Seite. Danke Frank für deine tolle Motivation und Unterstützung!

Dem unschlagbaren Team der Fachhochschule Kiel möchte ich ebenfalls danken. Vielen Dank für die fruchtbaren und sehr spaßigen vergangenen Jahre! Ihr seid ein tolles Team und habt mich stets mit eurer Hilfe sowie konstruktiven Diskussionen unterstützt. Insbesondere möchte ich hier Stefan Behrendt, Dieter Migdalek, Markus Bast und Armin Hindel für ihre Hilfe danken.

Mein weiterer Dank gilt der Firma Hitachi Chemical, welche mich stets mit ihren hervorragenden Isolationsfolien unterstützt hat und mir bei Fragen rund um organische Isolationsmaterialen stets eine freundliche und fachlich sehr kompetente Hilfe war. Besonders möchte ich an dieser Stelle Herrn Shinji Amanuma für seine langjährige, sehr fruchtbare Hilfsbereitschaft danken.

Außerdem möchte ich mich beim Bundesministerium für Bildung und Forschung (BMBF) für die Projektförderung bedanken. Ohne die bereitgestellte Finanzierung wäre die vorliegende Arbeit nicht möglich gewesen.

Als letztes möchte ich mich vor allem bei meiner Familie für ihre emotionale Unterstützung bedanken. Danke für all die aufmunternden Worte und guten Ratschläge!

Inhaltsverzeichnis

K	urzfassung	I
A	bstract	III
D	anksagung	IV
In	ıhaltsverzeichnis	V
Sy	ymbolverzeichnis	VIII
A	bkürzungsverzeichnis	
1	Finlaitung	1
1		
2	Module in der Leistungselektronik – Stand der Technik	3
	2.1 Leistungsmodule onne Bodenplatte	ð
		9
	2.1.2 SK11P® Technologie	10
	2.2 Leistungsmodule mit Bodenplatte	
		12
	2.3 Intelligente Leistungsmodule	13
	2.4 Die DCB im Leistungsmodul	15
	2.4.1 Herstellung der DCB.	10
	2.4.2 Nachtene der DCB	,
	2.5 Leistungsmödule mit örganischem Isolator	20
	2.5.1 Mitsubisii-Wodul	20
	2.5.2 Bosch-Wodul.	24
	2.6 1 Power-Embedding	
	2.0.1 Tower-Embedding	
	2.7 Autoau- und Veromaangsteenmiken	
	2.7.1 Loten	
	2.7.2 Diffusionsioten	30
	2.7.4 Drahtbonden	31
•		
3	Motivation und Ziel der Arbeit	
4	Thermische Grundlagen	
	4.1 Mechanismen des Wärmetransports	
	4.1.1 Wärmestrahlung	
	4.1.2 Konvektion	
	4.1.3 Wärmeleitung	
	4.2 Temperaturgradient und Wärmespreizung	
	4.3 Thermischer Widerstand und thermische Impedanz	
5	Die IsoPower Technologie	
	5.1 Verwendete Materialien und deren Eigenschaften	
	5.1.1 Elektrisch leitfähige Schichten	
	5.1.2 Elektrisch isolierende Schichten	

		5.1.3 Organische Isolationsfolie	43
	5.2	Verwendete Prozesse	46
		5.2.1 Vorbereitungsprozesse	46
		5.2.2 Laminierprozess	47
6	Ve	rsuchsmethoden und Versuchsaufbauten	49
	6.1	Laminieruntersuchung	49
		6.1.1 Parameterfindung	50
		6.1.2 Prozessoptimierung	52
		6.1.2.1 Versuchsaufbau zur Ermittlung des Rth	53
		6.1.2.2 Versuchsaufbau zur Ermittlung der elektrischen	
		Durchschlagsspannung	55
		6.1.2.3 Versuchsaufbau zur Ermittlung der mechanischen Festigkeit	56
	6.2	Thermische Charakterisierung	59
	6.3	Vorgehensweise zur Erstellung eines Regressionsmodells	60
		6.3.1 FEM-Simulationsmodell für das Regressionsmodell	64
		6.3.2 FEM-Simulationsmodell zur Ermittlung der Faktorstufen	65
	6.4	Prüflingsaufbau zur messtechnischen Evaluation des Simulationsmodells	66
7	The	ermische Grundlagenuntersuchung	68
	7.1	Untersuchung der Wärmespreizung.	68
	7.2	Bedeutung des thermischen Widerstandes bei der Bewertung von Modulen	70
8	Erg	zebnisse der Laminieruntersuchung	75
	8.1	Ergebnisse der Parameterfindung	75
		8.1.1 Diskussion der Ergebnisse und Erweiterung der Versuchsmatrix	80
	8.2	Ergebnisse der Prozessoptimierung	82
9	Reg	gressionsmodell zur Optimierung von T _i	87
	9.1	Simulatorischer Vergleich von DCB-Technik und IsoPower-Technologie	87
	9.2	Aufstellen eines Regressionsmodells zur geometrischen Schichtoptimierung	90
		9.2.1 Grenzanalyse der Kantenlänge	90
		9.2.2 Ermittlung der Faktorstufen	91
		9.2.3 Screening-DoE, Wirkungsflächen-DoE und Zielgrößenoptimierung	93
		9.2.3.1 Ergebnisse Screening-DoE	93
		9.2.3.2 Ergebnisse Wirkungsflächen DoE	95
		9.2.3.3 Diskussion und Zusammenfassung der Ergebnisse	97
		9.2.4 Überprüfung des Regressionsmodells	99
	9.3	Messtechnische Evaluation des Simulationsmodells	101
1() Zus	sammenfassung und Diskussion der bisherigen Ergebnisse	104
11	Ab	leitung eines IsoPower-Moduldemonstrators anhand eines Praxisbeispiels.	105
-	11.	l Auslegung und Aufbau des DCB-Referenzmoduls	105
	11.	2Auslegung und Aufbau des IsoPower-Moduldemonstrators	107
	11.	3Randbedingungen des Vergleichs von DCB-Referenzmodul und IsoPower-	
		Moduldemonstrator	110
	11.4	4Ergebnisse der Simulation	111
	11.	5Ergebnisse der Messungen	113

11.6Vergleich der Ergebnisse 11.7Bewertung der Ergebnisse	
12 Zusammenfassung und Ausblick	
Abbildungsverzeichnis	
Tabellenverzeichnis	
Literaturverzeichnis	
Anhang	
8	
Anhang 1	
Anhang 1 Anhang 2	
Anhang 1 Anhang 2 Anhang 3	
Anhang 1 Anhang 2 Anhang 3 Anhang 4	
Anhang 1 Anhang 2 Anhang 3 Anhang 4 Anhang 5	

Symbolverzeichnis

Formelzeichen	Einheit	Größe
Ac	$K^{-\alpha_s}$	Coffin-Manson-Koeffizient
d	mm	Schichtstärke
Ea	J	Aktivierungsenergie
h	W/(m ² *K)	Wärmeaustauschkoeffizient
k _b	J/K	Bolzmann-Konstante
Pv	W	Verlustleistung
R_{th}	K/W	Thermischer Widerstand
T _a	°C	Ambienttemperatur (Umgebungstemperatur)
t _{Ein}	min	Einschwingdauer
T _j	°C	Halbleitersperrschichttemperatur
T _m	°C	Mittlere Temperatur
U_{f}	V	Vorwärtsspannung
х	mm	Kantenlänge
Z_{th}	K/W	Thermische Impedanz
α	0	Spreizwinkel
α_a	ppm/K	Ausdehnungskoeffizient
$\alpha_{\rm s}$	-	Schädigungsexponent
3	-	Emissionsgrad
Т	°C	Temperatur
Ò	W	Wärmestrom
Č _s	$W/(mm^{2}*K^{4})$	Stefan-Bolzmann-Konstante

Abkürzungsverzeichnis

Abkürzung	Beschreibung
Al_2O_3	Aluminiumoxid
AlN	Aluminiumnitrid
AlSiC	Aluminium Siliziumcarbid
AVT	Aufbau- und Verbindungstechnik
CTE	Coefficient of Thermal Expansion
DCB	Direct Copper Bonded
DLB	Direct Lead Bonding
DoE	Design of Experiments
GaN	Galliumnitird
IGBT	Insulated-gate bipolar transistor
IMB	Insulated Metal Baseplate
MCPP	Multi-Chip Power Package
MOSFET	Metal-oxide-semiconductor field-effect transistor
REM	Rasterelektronenmikroskop
Si	Silizium
SiC	Siliziumcarbid
Si ₃ N ₄	Siliziumnitrid
SiO ₂	Siliziumoxid
TCIL	Thermally Conductive Electrically Insulated Layer
TIM	Thermal Interface Material
T-PM	Transfer Molded Power Module

1 Einleitung

Zwischen Energiegewinnung, Transport, Speicherung und Verbrauch muss die elektrische Energie meist mehrfach gewandelt werden. Für diese Wandlung kommen heutzutage sogenannte Leistungsmodule zum Einsatz. Insbesondere die Themenbereiche regenerative Energien (effektive Energiewandlung bei möglichst geringem Energieverlust) und Elektromobilität (hohe Leistung bei möglichst geringem Bauraum) gewinnen in der heutigen Gesellschaft immer mehr Bedeutung und bedingen immer höhere Leistungsdichten. Folglich ist der effiziente und performante Einsatz von Leistungsmodulen von immenser Wichtigkeit, um derartige Leistungsdichten führen zu können. In den heutigen komplexen Multichip-Leistungsmodulen wird auf Grund der stetig steigenden Leistungsdichte im Modul die Wärmeabfuhr aus den Halbleitern (Entwärmung) zu einer der größten Herausforderungen. In den letzten 25 Jahren hat sich die Größe eines Leistungstransistors um ca. 75% reduziert. Die Verlustleistung hingegen reduzierte sich lediglich um ca. 50%. Das bedeutet: Die Verlustleistung pro Halbleiterfläche hat sich in den letzten 25 Jahren verdoppelt [1] [2].

Die meisten leistungselektronischen Module sind mit Hilfe eines keramischen Substrates (DCB: Direct Copper Bonded, Schichtaufbau von Cu-Al2O3-Cu) aufgebaut. Das Substrat dient als Schaltungsträger und kann in sogenannten Rahmen- oder in Moldmodulen eingesetzt werden. Bei der Anwendung im Rahmenmodul ist das Substrat zur besseren Wärmespreizung auf eine Bodenplatte aus Metall (in der Regel Kupfer) gelötet. Beim Moldmodul wird lediglich das Substrat verwendet, eine Bodenplatte zur Wärmespreizung entfällt. Vom thermischen Gesichtspunkt her sind beide Aufbauten, vor allem im Hinblick auf die stetig steigende Leistungsdichte, begrenzt. Das bedeutet, die Halbleitersperrschichttemperatur (Ti), im Weiteren vereinfacht Halbleitertemperatur genannt, steigt in einen für den Halbleiter kritischen Bereich (200°C) [3]. Die Schwachstelle ist hierbei die DCB mit ihrem keramischen Isolator. Dieser ist elektrisch deutlich überdimensioniert und dadurch thermisch ungünstig ausgelegt. Die typische Schichtdicke eines keramischen Isolators liegt bei 0,38 mm. Sie kann auf Grund der hohen Bruchempfindlichkeit der Keramik bei gleichbleibender Kupferschichtdicke nicht dünner ausgelegt werden. Eine deutlich dünnere Schichtdicke würde helfen, den Wärmewiderstand zu verringern. Zudem weisen die heutigen DCBs mit einer typischen Kupferschichtdicke zwischen 0,1 mm und 0,3 mm eine zu geringe Schichtdicke auf, um eine deutliche thermische Spreizung zu erzielen und damit die Entwärmung des Halbleiters zu verbessern [4] [5]. Um eine höhere thermische Spreizung zu erzielen, muss die Schichtdicke des Kupfers deutlich erhöht werden. Dies hat zur Folge, dass die Scherspannung auf den keramischen Isolator an der Grenzfläche von Kupferleitern und keramischem Isolator enorm steigt. Auf Grund der stark unterschiedlichen Ausdehnungskoeffizienten CTE (Coefficient of thermal Expansion) entstehen bei Erwärmung thermomechanische Spannungen an der Grenzfläche. Kupfer hat einen CTE von 16,5 ppm/K, Al₂O₃ hingegen von 6,8 ppm/K. Die resultierenden Spannungen können auf Grund des hohen Elastizitätsmoduls (E-Modul) der Keramik nicht abgebaut bzw. kompensiert werden. Ein Zerreißen der Keramik ist die Folge. [3]

Um einen verbesserten thermischen Aufbau hinsichtlich einer reduzierten Halbleitertemperatur mit dickeren Kupferschichten und dünnerer Isolation zu ermöglichen, bleibt nur die Möglichkeit, den keramischen Isolator zu ersetzen. Besonders gut eignen sich hierfür organische Isolationsstoffe (Polymere), meist in Folienform. Diese haben im Vergleich zur Keramik eine deutlich geringere Wärmeleitfähigkeit. Die geringere Wärmeleitfähigkeit des Materials kann durch die geringere Schichtdicke der Isolationsfolie (ca. 50% Verringerung) kompensiert werden, sodass die verwendete Folie thermisch ähnlich performant ist wie eine klassische Al2O3 Keramik. Zudem haben die organischen Isolationsmaterialien den Vorteil, deutlich dehnbarer zu sein und können somit auftretende CTE-Unterschiede besser ausgleichen. Der E-Modul eines keramischen Isolators liegt bei 340 GPa [5]. Eine beispielhafte organische Isolationsfolie hat dagegen einen deutlich geringeren E-Modul von lediglich 18 GPa. Zudem kann der CTE mit Hilfe von Füllstoffen eingestellt werden. Dadurch können wesentlich dickere Kupferschichten zur thermischen Spreizung in unmittelbarer Nähe des Halbleiters verwendet werden.

Diesen Weg sind bereits mehrere bekannte Hersteller in der Leistungselektronik gegangen und haben einen komplett neuen modultechnischen Ansatz zum Aufbau von Leistungsmodulen verfolgt. Hierbei wird auf die DCB verzichtet und ein Stapel aus zwei Lagen Kupfer isoliert von einer organischen Folie aufgebaut. Diese Module weisen, im Vergleich zu vielen Standardaufbauten mit DCB, dickere Kupferschichten von 0,5 mm auf [6].

In der vorliegenden Arbeit wird eruiert, wie solche neuartigen Modulaufbauten geometrisch beschaffen sein müssen und welche Haupteinflussfaktoren (Spreizfläche, Dicke der Kupferschichten) zu einer Reduzierung der Halbleitertemperatur beitragen. Ziel ist es, die Halbleitertemperatur durch geometrische Anpassungen der Kupferschichten des thermischen Stapels signifikant zu reduzieren. Die Zielgröße aller Untersuchungen ist die Halbleitertemperatur T_j.

2 Module in der Leistungselektronik – Stand der Technik

Die Entwicklung der Leistungsmodule startet Mitte der siebziger Jahre und beginnt mit der Entwicklung von diskreten Bauelementen (z.B. TO-3, Abbildung 2.1) Anfang der sechziger Jahre [7]. Auch die sogenannte Scheibenzelle gehört zu den ersten diskreten Gehäuseformen (Abbildung 2.2). Anders als die heutigen Leistungsmodule besitzen sie keine innere elektrische Isolation [7].

Im Gegensatz zu diesen diskreten Bauelementen wird in Leistungsmodulen eine elektrische Isolationsschicht mit Hilfe der DCB erzeugt (näheres siehe Kapitel 2.4). Im Vergleich zu diskreten Bauelementen kann durch diese Isolation eine gute thermische Anbindung zum Kühlkörper hergestellt werden. Des Weiteren können mit Hilfe dieser Isolation mehrere Halbleiter auch mit unterschiedlichen elektrischen Potentialen innerhalb einer Gehäuseform integriert werden [7].



Abbildung 2.1: Skizzierter Aufbau TO-Gehäuse [8]



Abbildung 2.2: Vereinfachter Aufbau einer Scheibenzelle [3]

Leistungsmodule sind Baugruppen mit Multi-Chip-Bestückungen, welche überall dort zum Einsatz kommen, wo hohe Ströme (typ. >10A) oder Spannungen (ab 12V) gewandelt werden müssen. Unter Wandlung wird hier der Übergang von Wechselstrom (alternating current, AC) in Gleichstrom (direct current, DC) verstanden - AC/DC Wandlung. Zusätzlich ist eine DC/DC Wandlung oder Funktionsblöcke wie Gleichrichter, Schalter und Brückenschaltungen möglich. So ist ihr Einsatzgebiet entsprechend vielfältig. Je nach Leistungsklasse (2000 W - 10.000 kW) [9] [10], finden sie auf Grund der hohen Zuverlässigkeit bevorzugt Einsatz bei elektrischen Antrieben, auf dem Gebiet der regenerativen Energien (z.B. bei der Gewinnung

von Solar- oder Windenergie) sowie in der Automobilindustrie (z.B. als Lenksteuerung, aber auch in Ladestationen für Elektrofahrzeuge).

Bei Leistungsmodulen handelt es sich um Baugruppen, welche anders als herkömmliche Platinen mit deutlich höheren Verlustleistungen arbeiten. Auf Grund der hohen Verlustleistungen müssen Leistungsmodule vor allem thermisch gut ausgelegt sein (thermischer Widerstand möglichst gering), um eine möglichst geringe Halbleitertemperatur und somit eine hohe Lebensdauer sowie Zuverlässigkeit gewährleisten zu können.

Die wichtigsten Komponenten eines jeden Leistungsmoduls sind die schaltenden Bauelemente (Halbleiter). Sie bilden das Kernstück des Moduls und müssen bei gewünscht hoher Leistungsdichte vor dauerhafter Übertemperatur geschützt werden. Durch die hohen Leistungen, die umgesetzt werden, entwickeln sich ohne Kühlung hohe Halbleitertemperaturen durch die auftretende Verlustleistung. Je nach Halbleiterklasse sollte die Temperatur nicht höher als 150°C (Si-Halbleiter) im Dauerbetrieb sein [3] [11]. Meistens beträgt die Temperatur der Halbleiter im Dauerbetrieb sogar nur 130°C, um die Zuverlässigkeit der Module zu erhöhen. In neueren Anwendungen werden zudem SiC-Halbleiter (Silizium-Carbid) eingesetzt. Diese sind bis 175°C im Dauereinsatz spezifiziert [12] [13]. Weiterhin werden derzeit in Forschungsanwendungen ebenfalls GaN-Halbleiter (Gallium-Nitrid) eingesetzt und erforscht. Beide Halbleitermaterialien haben neben der höheren Temperaturverträglichkeit den Vorteil, schneller schalten zu können, was Schaltverluste reduziert. Zusätzlich ergibt sich durch die höhere Temperaturverträglichkeit die Möglichkeit einer höheren Leistungsdichte. Bei diesen Halbleitern handelt es sich jedoch noch nicht um den Stand der Technik, sodass in den heute auf dem Markt verfügbaren Leistungsmodulen fast ausschließlich Si-Halbleiter verwendet werden. Vereinzelt werden seit neuestem auch SiC-Halbleiter eingesetzt.

Um die genannten Halbleitertemperaturen bei ausreichend hoher Leistungsdichte gewährleisten zu können, müssen Leistungsmodule gekühlt werden. Die Höhe der Halbleitertemperatur ist bei gleichbleibender Leistungsdichte abhängig von den folgenden zwei Faktoren:

- 1. Materialtechnischer und geometrischer Aufbau des Moduls (thermischer Widerstand)
- 2. Effizienz der verwendeten Kühlung (Wärmeübergangskoeffizient)

Zur Erhöhung der Leistungsdichte bei für den Halbleiter verträglichen Temperaturen, müssen also entsprechende Entwärmungsstrategien entweder in Form von thermisch angepassten Modulaufbauten oder in Form von unterschiedlichen Kühltechnologien eingesetzt werden. Der verwendete Kühlkörper ist im Wärmepfad das letzte Glied ausgehend vom Halbleiter, in dem die Verlustleistung entsteht [10] [14]. Es gibt unterschiedliche Kühltechnologien zur Entwärmung des Leistungsmoduls (Abbildung 2.3).



Abbildung 2.3: Schematische Darstellung des Wärmeflusses durch den thermischen Stapel und der unterschiedlichen Kühltechnologien (nach einem Original von R. Eisele) [15]

Aufgabe des Kühlkörpers ist es, die ihm zugeführte Wärmeenergie möglichst effektiv einem Kühlmedium zuzuführen. Bei unforcierter Luftkühlung wird die Wärmeenergie des Kühlkörpers in die Umgebungsluft geleitet, die in dem ihn umgebenden Raum vorhanden ist. Im Wesentlichen wird die Wärme durch Konvektion und Wärmestrahlung abgegeben [10] [14]. Der Anteil der Energie, die durch Wärmestrahlung abgegeben wird, hängt von der Form des Kühlkörpers ab (z.B. Finnen-Kühlkörper, siehe Abbildung 2.3, Bereich A) [10]. Weiterhin kann der Kühlkörper forciert gekühlt werden. Hierbei wird zwischen forcierter Luft- und Flüssigkeitskühlung unterschieden. Beim Einsatz von forcierter Luftkühlung wird die Luft mit Hilfe eines Lüfters in Bewegung versetzt und gegen die Finnen eines Finnenkühlkörpers (Abbildung 2.4) gesogen oder geblasen.



Abbildung 2.4: Finnenkühlkörper aus Aluminium mit Leistungsmodul

Bei Kühlkörpern mit Flüssigkeitskühlung wird die thermische Energie in das Fluid abgegeben, welches durch den Kühlkörper strömt [16]. In den meisten Fällen handelt es sich hierbei um Wasser oder eine Mischung aus Wasser und Glykol [10]. Kühlkörper mit Flüssigkeitskühlung gibt es in vielen verschiedenen Varianten. Unterschieden werden kann in offene (direkte Kühlung) und geschlossene (indirekte Kühlung) Kühlkörper. Bei den geschlossenen Kühlkörpern (Cold Plates, Abbildung 2.5) handelt es sich häufig um Kühlkörper aus einer Aluminiumplatte. Diese haben zur besseren thermischen Performance in die Kühlplatte eingelassene Kupferrohre, welche bündig mit der Aluminiumplatte abschließen [17].



Abbildung 2.5: Cold Plate mit Leistungsmodul

Neben den geschlossenen Kühlern gibt es eine zunehmende Anzahl von Anwendungen, in denen Module durch Flüssigkeit direkt an der Bodenplatte gekühlt werden (direkte Wasserkühlung) [10] (Abbildung 2.3, Bereich B). Da es sich bei einer laminaren Strömung um ein ungünstiges Strömungsprofil handelt [14], werden häufig Anpassungen im Kühler (z.B. Inlay-Struktur bei ShowerPower®, Abbildung 2.6) oder Anpassungen an der Bodenplatte des Moduls (z.B. Pin-Fin-Struktur) vorgenommen [11]. Diese Anpassungen sorgen für eine möglichst turbulente Strömung und reduzieren den Übergangswiderstand zwischen der Modulunterseite und der Kühlflüssigkeit. Ohne Turbulenzen bildet sich an der Modulunterseite ein stationärer Flüssigkeitsfilm. Dieser behindert den Wärmeübergang massiv [11].



Abbildung 2.6: ShowerPower® mit Leistungsmodul

Weiterhin gibt es die Möglichkeit der 2-Phasen-Kühlung oder auch Siedekühlung genannt. Der Wärmetransport erfolgt durch den Phasenwechsel des Kühlmediums. Die Kühlflüssigkeit wird verdampft. Dafür wird Verdampfungswärme benötigt und diese Wärmemenge einem Verdampfer zugeführt. Der Dampf wird anschließend in einem Kondensator wieder verflüssigt. Durch diesen Phasenübergang findet ein Wärmetransport zwischen Verdampfer und Kondensator statt. [14]

Die einzelnen Kühltechnologien sind je nach Art unterschiedlich leistungsstark. Die Tabelle 2.1 gibt eine Übersicht über die verschiedenen Kühlungsvarianten und ihre Leistungsstärke, gemessen am Wärmeaustauschkoeffizienten h.

Kühltechnologie	Wärmeübergangskoeffizient h in W/(m²*K)
Forcierte Luftkühlung	10 - 100
Direkte Wasserkühlung	5.000 - 10.000
2-Phasen-Kühlung	10.000 - 100.000

Tabelle 2.1:Die verschiedenen Kühlungsvarianten und ihre Leistungsstärke in der Übersicht[18]

Jede Kühlung bringt zudem einen anderen Kühlungsaufwand und andere Anforderungen an das Modul mit sich. So müssen bei einer Luftkühlung oder bei einer geschlossenen Flüssigkeitskühlung die Module mit Hilfe einer TIM-Schicht (Thermal Interface Material) auf dem Kühlkörper kontaktiert werden, um die inhärente Rauheit der Oberflächen und den dadurch erhöhten Kontaktwiderstand der Flächen zu verringern [10]. Bei einer direkten Wasserkühlung, wie z.B. ShowerPower®, wird das Modul direkt auf den offenen Kühler montiert. Das Wasser strömt hier, geleitet durch Kanäle, direkt an der Unterseite des Moduls vorbei. Neben der erhöhten Kühlleistung sind hier weniger Wärmeübergänge vorhanden, was zusätzlich zu einer besseren Entwärmung der Halbleiter beiträgt. Jedoch muss bei einer direkten Flüssigkeitskühlung die Dichtung des Kühlers gewährleistet werden, was einen erhöhten Aufwand bedeutet. Das Dichten des Kühlers kann mit Hilfe eines O-Ringes realisiert werden. Dieser befindet sich zwischen der Modulunterseite und der Oberseite des Kühlkörpers [10].

Die vorgestellten Kühlstrategien haben alle einen positiven Einfluss auf die Halbleitertemperatur bei gleichbleibender Leistungsdichte und können somit zu einer Reduzierung der Halbleitertemperatur führen. Allerdings ist die Kühlleistung begrenzt und der benötigte Energie- und Kostenaufwand wächst proportional zur Kühlleistung. Wie oben erwähnt, ist die angewandte Kühlung lediglich einer der beiden Einflussfaktoren auf die Halbeitertemperatur. Der thermische Pfad vom Halbleiter (Wärmequelle) zum Wärmeübergang in den Kühler (Wärmesenke) (siehe Abbildung 2.3), also der thermische Aufbau des Moduls (thermischer Stapel), ist der zweite Einflussfaktor. Denn ein guter vertikaler sowie lateraler Wärmefluss und damit einhergehend eine gute Wärmespreizung und Wärmeleitung, führen zu einem geringen thermischen Widerstand und damit ebenfalls zu einer

Reduzierung der Halbleitertemperatur bei gleicher Verlustleistung. Hierbei werden verschiedene Aufbaukonzepte verfolgt. Heute kann die Vielzahl der auf dem Markt verfügbaren Leistungsmodule in zwei Standards unterteilt werden: Leistungsmodule ohne Bodenplatte (Kapitel 2.1) und Leistungsmodule mit Bodenplatte (Kapitel 2.2) [3]. Diese werden in den nachfolgenden Kapiteln genauer beschrieben. Im Fokus stehen hierbei Module mit DCB-Aufbau sowie neuartige Modulaufbauten, welche eine organische Folie zur elektrischen Isolation beinhalten.

2.1 Leistungsmodule ohne Bodenplatte

Leistungsmodule ohne Bodenplatte bestehen lediglich aus dem Schaltungsträger, der DCB. Auf der Oberseite der DCB werden die Halbleiter mit Hilfe einer Lot- oder Sinterverbindung elektrisch kontaktiert. Die weitere elektrische Kontaktierung erfolgt in den meisten Fällen mit Hilfe von Aluminium-Drähten (Bonddrähte) [14]. Die thermische Anbindung des Moduls an den Kühlkörper erfolgt häufig mittels einer Wärmeleitpaste oder Wärmeleitfolie [3] (Abbildung 2.7).



Abbildung 2.7: Schematische Darstellung eines Leistungsmoduls ohne Bodenplatte (nach einem Bild von J. Lutz [3])

Ein großer Vorteil von Modulen ohne Bodenplatte ist die Kompaktheit der Module. Es gibt sie in einer Vielzahl von Varianten von unterschiedlichen Herstellern auf dem Markt. Der generelle Aufbau ist bei den meisten Varianten jedoch gleich [3].

Der Aufbauaufwand dieser Module ist durch die geringere Anzahl der Schichten und einer daraus resultierenden geringeren Anzahl an Prozessschritten im Vergleich zum Aufbau mit Bodenplatte vermindert. Dadurch reduziert sich ebenfalls die Zahl möglicher Fehlerquellen (z.B. Fehlstellen in der Lotschicht) [3]. Ein Nachteil ist jedoch die thermische Anbindung der Module. Durch den Wegfall der Bodenplatte (Wärmespreizer) reduziert sich die Wärmekapazität des Moduls. Dies führt zu einer Verschlechterung der thermischen Impedanz bei kurzzeitiger Belastung des Moduls [3]. Weiterhin ist der thermische Aufbau durch den Einsatz der DCB und ihrer eingeschränkten thermischen Spreizung direkt unter dem Halbleiter limitiert. Im Folgenden werden einige Varianten von Leistungsmodulen ohne Bodenplatte beschrieben.

2.1.1 Moldmodule



Abbildung 2.8: Skizze eines Moldmoduls mit DCB¹

Bei Moldmodulen (Abbildung 2.8) handelt es sich in der Regel um Module ohne Bodenplatte. Das Kernstück des Moduls bildet die DCB auf dessen Oberseite sich die nicht umhüllten Halbleiter (Bare-Dies) befinden.

Die Last- sowie Steueranschlüsse des Moduls werden mit Hilfe eines Leadframes auf die DCB gelötet. Anschließend wird das Modul mit einer aushärtenden Moldmasse umspritzt (Molding) [19]. Hierbei handelt es sich um einen epoxidharzbasierten Hartverguss (Moldcompound). Dieser schützt das Modul vor klimatischen sowie mechanischen Einflüssen und isoliert die Funktionsoberflächen verschiedener elektrischer Potentiale voneinander. Dies wird durch die vollständige Füllung des Luftraums zwischen besagten potentialbehafteten Oberflächen realisiert. Des Weiteren stabilisiert der Verguss die einzelnen Komponenten des Moduls (z.B. Bonddrähte) mechanisch. Zur CTE-Anpassung zwischen Moldcompound und DCB wird das Moldcompound mit Füllstoffen (z.B. SiO₂, Al₂O₃) gefüllt. Diese Füllstoffe haben zudem den Vorteil, die Wärmeleitfähigkeit des Moldcompounds zu erhöhen. Nach dem Molding werden die Anschlüsse freigestellt (Trim) und in die gewünschte Ausrichtung gebogen (Form) (Abbildung 2.9).

¹ Nach Informationen über den Aufbau von gemoldeten Leistungsmodulen, die mit freundlicher Genehmigung der Firma Danfoss Silicon Power zur Verfügung gestellt wurden.



Abbildung 2.9: Moldmodul nach Durchlaufen aller notwendigen Prozessschritte

2.1.2 SKiiP® Technologie

1992 wurde von Semikron eine Modulvariante mit der sogenannten SKiiP® Technologie vorgestellt. Auch hierbei handelt es sich um eine bodenplattenlose Modulkonstruktion [11] [20]. Die SKiiP® Technologie ist eine spezielle Druckkontakttechnik, welche Vorteile hinsichtlich Leistungsdichte, Lebensdauer, Zuverlässigkeit und Kosten bietet [11] [20]. Hauptvorteil dieses Modulaufbaus ist, dass durch das Fehlen der Bodenplatte keine stoffschlüssige Verbindung zwischen DCB und Bodenplatte vorhanden ist (Abbildung 2.10).



Thermal grease

Abbildung 2.10: Aufbau eines konventionellen Modulaufbaus mit Bodenplatte (links) und Aufbau eines Moduls mit SKiiP® - Technologie [11]

Das bedeutet, es existiert keine großflächige Systemlötung. Die DCB wird mit Hilfe des Modulgehäuses, durch Druckelemente oder durch die Anschlüsse direkt und flächig an die jeweilige Kühleinheit gepresst. Dies hat den Vorteil, dass mechanische Spannungen in der Lotschicht, wie sie auf Grund des Ausdehnungsunterschiedes zwischen einer Cu-Bodenplatte und der DCB entstehen, vermieden werden [11] [20]. Eine Lotdegradation durch zyklische thermische Belastung kann somit nicht stattfinden. Dies hat einen positiven Einfluss auf den thermischen Widerstand und somit auf die Halbleitertemperatur. Durch den Einsatz der DCB ist jedoch auch bei diesem Aufbau die thermische Spreizung direkt unter dem Halbleiter und damit die thermische Performance des Gesamtaufbaus begrenzt.

Die SKiiP Technologie wird mittlerweile von Semikron in vielen Variationen in unterschiedlichen Produktgruppen eingesetzt. So gibt es z.B. Module mit integriertem Treiber sowie Aufbauten mit niederinduktiv aufgebauten Hauptanschlüssen, welche gleichzeitig für einen gleichmäßigen Anpressdruck der DCB an den Kühlkörper sorgen (Abbildung 2.11) [20].



Abbildung 2.11: Aufbau des niederinduktiven Druckkontaktsystems für SKiiP-Varianten von Semikron [20]

2.2 Leistungsmodule mit Bodenplatte

Für den Einsatz im hohen Leistungsbereich werden in der Regel Module mit Bodenplatten eingesetzt [10] (Abbildung 2.12).



Abbildung 2.12: Schematische Darstellung eines Leistungsmoduls mit Bodenplatte (nach einem Bild von J. Lutz [3])

Wie bei Modulen ohne Bodenplatte wird eine DCB als Schaltungsträger verwendet. Auf der Oberseite der DCB werden die Halbleiter mit Hilfe einer Lot- oder Sinterverbindung elektrisch kontaktiert. Die weitere elektrische Kontaktierung erfolgt auch hier durch Bonddrähte [14]. Die DCB wird bei dieser Art von Modulen auf eine Bodenplatte gelötet (Systemlötung). Allerdings ist das thermische Langzeitverhalten durch diese Lotschicht und eventuelle Lotdegradation beeinträchtigt (siehe 2.1.2). Die Bodenplatte ist auf Grund der hohen Wärmeleitfähigkeit und thermischen Kapazität in der Regel aus Kupfer, welches zum Schutz vor Korrosion mit einer dünnen Nickelschicht überzogen ist. In einigen Anwendungen werden Materialien wie AlSiC oder ein Verbundwerkstoff aus Kupfer und Molybdän verwendet [3] [10]. Bei Standardaufbauten ist die Bodenplatte 2-3 mm dick [7]. Sie übernimmt die Funktion der mechanischen Stabilisierung des Moduls und ist die einzige Möglichkeit zur thermischen Spreizung bei der benötigten Wärmeabfuhr [21]. Die verwendete Bodenplatte führt zu einer

höheren thermischen Kapazität des Aufbaus und wirkt sich positiv auf die thermische Impedanz des Moduls aus. Die thermische Spreizung kann so in der Bodenplatte stattfinden. Allerdings ist auch dieser Aufbau durch die verwendete DCB thermisch begrenzt.

Heute werden zwischen 70% und 80% der Leistungsmodule im Standardaufbau mit Bodenplatte (Abbildung 2.12) gefertigt [3].

2.2.1 Rahmenmodule



Abbildung 2.13: Skizze eines Rahmenmoduls mit DCB²

Beim Standard-Rahmenmodul (Abbildung 2.13) wird ebenfalls eine DCB als Schaltungsträger eingesetzt. Auch hier werden Halbleiter für die entsprechende Funktion des Moduls genutzt. Die Kontaktierung erfolgt durch die gleiche Aufbau- und Verbindungstechnik wie oben beschrieben. Der größte Unterschied zu einem Modul ohne Bodenplatte ist die Formgebung des Moduls. Die DCB umgibt ein Kunststoffrahmen, in den die Last- und Steueranschlüsse bereits integriert sind [10]. Der Kunststoffrahmen wird mit Hilfe eines Silikonklebers auf die Bodenplatte geklebt und zusätzlich verpresst [7]. Des Weiteren ist die DCB auf die Bodenplatte gelötet (Systemlot). Dies bietet eine relativ gute thermische Anbindung der DCB an die Bodenplatte. Die Bodenplatte bildet eine stabile Basis für die spätere mechanische Anbindung des Moduls an den jeweiligen Kühlkörper. Die elektrische Isolation zum Kühlkörper ist durch die keramische Isolationsschicht in der DCB gegeben.

² Nach Informationen über den Aufbau von Rahmenmodulen, die mit freundlicher Genehmigung der Firma Danfoss Silicon Power zur Verfügung gestellt wurden.

Auch das Rahmenmodul muss eine Isolation des Luftraumes über den Halbleitern gewährleisten. Diese wird jedoch nicht wie beim Moldmodul mit Hilfe eines harten Vergusses aus Epoxidharz realisiert. Bei dieser Modulvariante handelt es sich um einen weichen gelartigen Verguss aus Silikon, welcher in das Modul (Kunststoffrahmen) gefüllt wird (potting). Dieser bietet zum einen eine hohes Maß an elektrischer Isolation (Vermeidung von Überschlägen) und zum anderen einen Schutz gegen Umgebungseinflüsse [7]. Zusätzlich geschützt wird der gesamte Aufbau von einem Kunststoffdeckel, welcher das Modul verschließt, sodass lediglich die Last- sowie Steueranschlüsse freiliegen. Hiermit bildet sich eine mechanisch robuste Baugruppe, die auf viele verschiedene Kühler montiert werden kann. Rahmenmodule gibt es in vielen unterschiedlichen Ausführungen (Abbildung 2.14). Anders als Moldmodule, gibt es diese jedoch auch in deutlich größeren Formaten für deutlich höhere Leistungsklassen [9]. Höhere Leistungsklassen können erreicht werden, da ein Rahmenmodul mehrere DCBs als Schaltungsträger aufnehmen kann. Somit können deutlich mehr Halbleiter eingesetzt und die Leistung pro Modul erhöht werden.



Abbildung 2.14: Rahmenmodule unterschiedlicher Leistungsklassen von Infineon [22]

2.3 Intelligente Leistungsmodule

Die Integration von Sensorik und Treiberfunktionen in Modulen bietet eine Reihe von Vorteilen. Hierdurch wird zum Beispiel ein deutlich kompakterer Aufbau möglich. Denn: Durch die Integration von Sensorik und Treiber entfällt eine Vielzahl von externen Verbindungen. Dies wiederum erhöht die Zuverlässigkeit des Moduls bzw. des Gesamtaufbaus. [7] Module dieser Kategorie werden auf Grund der intelligenten Zusatzfunktionen "Intelligent Power Module" (IPM) genannt [14]. Thermisch betrachtet unterscheiden sich IPMs nicht von Modulen mit oder ohne Bodenplatte. Allerdings bieten die Zusatzfunktionen einige Vorteile hinsichtlich der Modulüberwachung (z.B. Temperaturüberwachung der Halbleiter) und sollen der Vollständigkeit halber kurz vorgestellt werden.

IPMs gibt es, genau wie Module ohne Sensorik und Treiberfunktionen, in vielen verschiedenen Variationen. Dies hat zur Folge, dass es auch einen großen Unterschied im Umfang der integrierten Schutzfunktionen gibt [23]. Gängig sind:

- Übertemperatursicherung
- Schutzmaßnahmen für den Kurzschlussfall
- Funktion zur Vermeidung von Brückenkurzschlüssen
 - [7]

Wie bereits erwähnt, unterscheidet sich der Aufbau vom IPMs in der Regel nicht stark vom Aufbau der Module mit und ohne Bodenplatte. So handelt es sich zumeist um gleiche Strukturen erweitert durch die beschriebenen integrierten Kontroll- und Steuereinheiten. Diese sind je nach Leistungsklasse auf einem PCB (Power Circuit Board) oder auf einem sogenannten IMS (Insulated Metal Substrat) aufgebaut [7] [10].

Ein Nachteil von IPMs ist, dass der Anwender in der Regel keinen Einfluss auf Schalteigenschaften sowie Logikfunktionen hat. Deshalb sind IPMs häufig anwendungsspezifisch ausgelegt [10] [23]. Je nach Bauart, kann die Kontroll- und Steuereinheit an unterschiedlicher Position im Modul integriert sein (Abbildung 2.15). Hervorzuheben ist, dass eine Anordnung der Treiberschaltung neben der DCB die erforderliche Montagefläche auf dem Kühler erhöht. Dies ist häufig unerwünscht, weshalb eine Positionierung über der DCB bevorzugt wird [7] [24].



Abbildung 2.15: IPM mit PCB über der DCB (oben) und neben der DCB (unten)

Ein Beispiel für ein IPM ist das MiniSKiiP der Firma Semikron (Abbildung 2.16). Dieses umfasst eine integrierte Gate-Ansteuerschaltung [14].



Abbildung 2.16: MiniSKiiP-Modul von Semikron [25] [26]

2.4 Die DCB im Leistungsmodul

Alle bisher vorgestellten Modularten sind auf Basis einer DCB aufgebaut. Diese ist der keramische Schaltungsträger im Leistungsmodul. DCBs werden auf Grund ihrer hohen Zuverlässigkeit und Stromtragfähigkeit in Leistungsmodulen eingesetzt. Der Aufbau besteht aus zwei dünnen Kupferlagen zwischen denen eine Keramikschicht als elektrischer Isolator fungiert (Abbildung 2.17).



Abbildung 2.17: Schematische Darstellung des Schichtaufbaus einer DCB

In der Standardausführung besteht diese Keramikschicht aus Al₂O₃ [3] [11]. Die Keramik kann ebenfalls aus Aluminiumnitrid (AlN), Siliziumnitrid (Si₃N₄) oder HPS (Zirkonoxid dotiertes Al₂O₃) bestehen [10]. Jede dieser Keramiken weist andere Materialeigenschaften auf (Tabelle 2.2).

Keramik	Wärmeleit- fähigkeit [W/(m*K)]	Ausdehnungs- koeffizient α _a [ppm/K]	Durchschlags- festigkeit [kV/mm]	Biege- festigkeit [N/mm ²]	Kostenrelation im Vergleich zur Basis Al ₂ O ₃ [%] ³
Al ₂ O ₃	24	6,8	26	> 450	100
AlN	170	4,7	27	> 350	350-530
Si ₃ N ₄	90	2,5	20	> 850	350-530
HPS	26	7,1	20	> 600	150-190

 Tabelle 2.2:
 Übersicht der Materialeigenschaften verschiedener Keramiken [4] [27] [5] [28]

Je nach Anwendungsfall kann eine DCB mit einer bestimmten Keramik eingesetzt werden. Die DCB hat im Wesentlichen folgende Aufgaben: Sie bietet zum einen als einlagiger Schaltungsträger eine strukturierte Oberfläche (elektrisches Layout) zur thermischen, elektrischen und mechanischen Kontaktierungsmöglichkeit für die Halbleiter und alle weiteren benötigten Bauelemente. Zum anderen sorgt sie für die elektrische Isolierung der Bauelemente und die Potentialtrennung des Moduls. Die Struktur der oberen Kupferlage der DCB entsteht durch ein fotolithografisches Ätzverfahren (siehe hierzu Kapitel 2.4.1). Einer der Vorteile des Einsatzes einer DCB ist, dass der Ausdehnungskoeffizient α_a nahe dem von Siliziumhalbleitern (2-3 ppm/K) ist. Dies reduziert im Anwendungsfall die durch thermische Wechselbelastung entstehenden mechanischen Spannungen auf den Halbleiter und die elektrische Verbindungsschicht [10]. Neben der elektrischen Isolation, der Stromführung sowie einer guten thermischen Anbindung der Halbleiter ist die Zuverlässigkeit ebenfalls von großer Bedeutung [10].

2.4.1 Herstellung der DCB

Zur Herstellung der DCB werden die zwei Kupferschichten auf der Ober- sowie Unterseite der Keramik verbunden. Hierfür wird das "Direct-Copper-Bonding"-Verfahren (DCB-Verfahren) verwendet [7]. Hierbei reduziert der eingesetzte Sauerstoff den Schmelzpunkt des Kupfers von 1083°C auf die eutektische Schmelztemperatur von 1065°C [29]. Das bedeutet es bildet sich eine Aufschmelzschicht (Oxidschicht) auf der Oberseite der Kupferlage (Oxidation der Kupferschicht unter kontrollierter Atmosphäre durch Sauerstoff). Hierdurch entsteht ein Eutektikum, welches wenige Grad unter der Schmelztemperatur von Kupfer liegt (1065°C). Kupfer- und Keramikschicht werden übereinandergelegt und erhitzt, sodass während des Prozesses die eutektische Schmelzphase zwischen dem Kupferblech und der Keramikschicht entstehen kann. So wird eine Verbindung der Schichten erzeugt [7] [30] [31]. Die Verbindung der zweiten Kupferschicht mit der Keramik wird in gleicher Weise durchgeführt. Folgende Prozesschritte (Abbildung 2.18) müssen zur Herstellung durchlaufen werden [30] [31] [32]:

• Erzeugen einer gleichmäßigen Kupferoxidschicht auf der Oberfläche der Kupferschicht

³ Ermittelt in persönlichen Gesprächen mit Rogers Corporation und Danfoss Silicon Power GmbH

- Auflegen des Kupferblechs auf die Keramikschicht
- Erhitzen des Verbundes auf eine Temperatur zwischen 1065°C bis 1083°C
- Abkühlen auf Raumtemperatur



Abbildung 2.18: Übersicht DCB-Verfahren

Zur Strukturierung der oberen Kupferschicht wird ein fotolithografisches Ätzverfahren genutzt. Mit Hilfe dieses Verfahrens werden die benötigten Leiterbahnen und Strukturen durch Entfernung des Kupfers in ausgewählten Bereichen erzeugt [3]. Die DCBs werden als sogenannte Großkarten (138 mm x 190,5 mm) hergestellt und in einem abschließenden Schritt vereinzelt.

2.4.2 Nachteile der DCB

Da die Halbleiter, wie zuvor beschrieben, auf Grund der entstehenden Verlustleistung unter Last des Moduls heiß werden, ist ein wichtiger Faktor bei der Auslegung von Modulen der thermische Aufbau. Die DCB hat einen großen Einfluss auf die thermische Auslegung des Moduls, da die Halbleiter direkt auf der DCB montiert sind. Sie ist somit die Komponente, die örtlich betrachtet in unmittelbarer Nähe zur Wärmequelle ist. Die DCB bildet daher einen wichtigen Wärmeübergang innerhalb des Moduls und die erste potentielle Möglichkeit zur Wärmespreizung. Bei genauerer Betrachtung der DCB fällt auf, dass diese durch eine Reduzierung der Keramikschichtdicke und eine Erhöhung der Kupferschichtdicke thermisch deutlich besser ausgelegt werden könnte, um so geringere Halbleitertemperaturen zu erreichen.

Die Al₂O₃-Keramik hat mit 24 W/(m*K) für einen elektrisch isolierenden Werkstoff eine relativ hohe Wärmeleitfähigkeit. Verglichen mit den weiteren im Modul befindlichen Schichtmaterialien, wie z.B. Kupfer, ist diese jedoch vergleichsweise gering. Das bedeutet, dass die DCB auf Grund der geringeren Wärmeleitfähigkeit der Keramik zu einer

Verringerung des Wärmeflusses führt. Ein Ansatz, die Wärmeleitfähigkeit des Aufbaus zu erhöhen, ist die Al₂O₃-Keramik durch eine Keramik mit höherer Wärmeleitfähigkeit zu ersetzen. Hierfür werden AlN oder Si₃N₄ bevorzugt verwendet. Beide Werkstoffe haben jedoch den Nachteil, dass sie deutlich teurer sind als Al₂O₃. So kostet eine DCB mit AlN oder Si₃N₄ typischerweise 3,5 - 5,25 mal mehr als eine Standard-DCB mit Al₂O₃ (vgl. Tabelle 2.2). Zudem sind die Dicken der verschiedenen Kupfer-Keramik-Kupfer-Kombinationen auf Grund des unterschiedlichen Ausdehnungskoeffizienten von Kupfer und Keramik und den damit einhergehenden mechanischen Spannungen begrenzt (Tabelle 2.3).

	Kupferdicke [mm]							
		0,127	0,2	0,25	0,3	0,4	0,5	0,8
	0,25		ЧРС	HPS	HPS		Si ₃ N ₄	Si.N.
m			111.5		Si ₃ N ₄			513144
[m	0,32		AlaOa	AlaOa	Al ₂ O ₃		HPS	
ke		Al ₂ O ₃ HPS	HPS	HPS	HPS	Sin	Si ₃ N ₄	
dic			111 5	111.5	Si ₃ N ₄		5131 44	
milk	0,38	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃			
rai	0,5	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃		
Ke	0,63	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃			
		AlN	AlN	AlN	AlN			
	1.00	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃	Al ₂ O ₃			
	1,00	AlN	AlN	AlN	AlN			

 Tabelle 2.3:
 Verfügbare Schichtdickenkombinationen der DCBs [4] [27]

Je nach Materialkombination können die Schichtdicken also lediglich in einem stark begrenzten Bereich variieren. Die maximal mögliche Kupferdicke beträgt 0,5 mm und setzt eine HPS Keramik voraus. Weiterhin sind mittlerweile Substrate aus Si₃N₄ verfügbar, welche eine maximale Kupferschichtdicke von 0,8 mm ermöglichen. Bei der Standardkeramik Al₂O₃ beträgt die maximale Kupferdicke lediglich 0,4 mm bei einer Keramikdicke von 0,5 mm.

Eine Standard-DCB hat zumeist folgende Schichtdicken [3] [7]:

Kupfer oben: 0,30 mm Al₂O₃: 0,38 mm Kupfer unten: 0,30 mm

Dünnere Isolationsschichten führen dazu, dass der Wärmedurchgang durch das Medium mit schlechter Wärmeleitfähigkeit, also der Keramik, so kurz wie möglich gehalten wird. Jedoch führt dies ebenfalls zu einer deutlich höheren Empfindlichkeit der Keramik gegenüber mechanischer Belastung. Des Weiteren würden dickere Kupferschichten zu einem erhöhten Maß an thermischer Spreizung führen, da die thermische Kapazität der DCB erhöht wird. Dies würde jedoch ebenfalls die mechanischen Spannungen (Scherspannungen), welche zwischen Keramik und Kupferschicht entstehen, erhöhen. Das bedeutet, eine Reduzierung der Halbleitertemperatur mittels Verringerung der Keramikschichtdicke oder einer Erhöhung der Kupferschichtdicke, sowie eine Kombination von beidem, ist mit einer DCB nicht ohne weiteres zu realisieren. Dies hängt vor allem mit der Bruchempfindlichkeit der Keramik zusammen und soll im Folgenden noch einmal eingehend erläutert werden.

Aus elektrischer Sicht ist es möglich die Keramikschicht deutlich dünner auszulegen. Allerdings ist aus mechanischer Sicht ist eine Verringerung der Schichtdicke der Keramik kritisch zu betrachten, da dies in Verbindung mit den dickeren Cu-Schichten zu einer größeren Empfindlichkeit gegenüber mechanischen Belastungen führt. Ursächlich hierbei sind die unterschiedlichen Ausdehnungskoeffizienten von Kupfer und Keramik. Bei Kupfer liegt dieser bei 16,5 ppm/K, bei einer Standardkeramik (Al₂O₃) lediglich bei 6,8 ppm/K.

Bei Erwärmung der DCB durch die Halbleiter führt dies zu einem erhöhten mechanischen Stress, durch thermomechanische Fehlanpassungen, bzw. auf Grund des sogenannten CTE-Mismatch [33]. Denn: Kupfer dehnt sich bei gleicher thermischer Belastung mehr aus als die Keramik, sodass die Keramik durch den Verbund der beiden Schichten unter Zugbelastung steht. Auch eine Erhöhung der Kupferschichtdicke und damit des Kupferanteils des Schichtaufbaus, würde die wirkende mechanische Belastung deutlich erhöhen. Ein möglicher Defekt ist die Delamination zwischen der Kupfer- und der Keramikschicht (Abbildung 2.19). Weiterhin können Risse in der Keramik (Abbildung 2.20) entstehen, welche die elektrische Isolationsfähigkeit der DCB senken. Zudem führen diese Defekte zu einer Störung der Wärmeleitung, da so die thermische Anbindung geschwächt wird und nicht mehr vollständig gegeben ist [21].



Abbildung 2.19: Ultraschallmikroskopie-Aufnahme von Delamination einer DCB nach Temperaturwechseln



Abbildung 2.20: Schliffbildansicht eines Risses in der Keramik einer DCB

Die oben genannten Effekte führen dazu, dass die DCB zerstört wird und die Baugruppe durch die Defekte in der elektrischen Isolation und durch thermische Fehlstellen nicht mehr einsetzbar ist. Aus heutiger Sicht hat die DCB mit ihren Möglichkeiten hinsichtlich thermischer Spreizung keinerlei Entwicklungspotential. Die Schwachstelle in heutigen Modulen ist somit sowohl aus thermischer als auch aus mechanischer Sicht die DCB.

2.5 Leistungsmodule mit organischem Isolator

Neben Aufbaukonzepten mit DCB als Schaltungsträger in leistungselektronischen Modulen, gibt es seit ein paar Jahren Modulkonzepte auf Leadframebasis mit organischen Isolationsfolien. Die Mitsubishi Electric AG, Tokio, hat beispielsweise im April 2011 ein organisch isoliertes Moldmodul ohne DCB veröffentlicht, worauf im Folgenden näher eingegangen wird.

2.5.1 Mitsubishi-Modul

Bei dem oben erwähnten organisch isolierten Modul auf Leadframebasis handelt es sich um den Typ T-PM (transfer molded power module) der Serie J mit der Bezeichnung CT300DJH060. Dieses Modul ist für Anwendungen im Bereich der Hybrid- sowie Elektrofahrzeuge vorgesehen. Es ist für 600 V bei 300 A spezifiziert, jedoch gibt es mittlerweile auch weitere Konfigurationen. Diese lauten 600 A bei 600 V und 300 A bei 1200 V. Mit Hilfe des neuen Aufbaus und der sogenannten DLB-Technologie (Direct Lead Bonding) zur oberseitigen Kontaktierung der Halbleiter, verspricht Mitsubishi eine 30-mal längere Lebensdauer im Vergleich zu konventionellen Leistungsmodulen [34].



Abbildung 2.21: T-PM Modul von Mitsubishi als fertiger Aufbau [35]

Es handelt sich hierbei um ein kompaktes Moldmodul mit den Abmessungen 56 mm x 64 mm x 7,5 mm (Abbildung 2.21). Bei der Schaltung des Moduls handelt es sich um eine Halbbrücke, aufgebaut aus zwei IGBTs (insulated-gate bipolar transistor) mit invers verschalteten Dioden. Diese Schaltung kann zum Beispiel für den Aufbau einer Vollbrücke (H-Brücke) oder für 3-phasige oder mehrphasige Aufbauten verwendet werden [36].



Abbildung 2.22: Schematische Darstellung des T-PM Modulaufbaus [36]

Bei dieser Modulvariante sind die Halbleiter direkt auf einen Wärmespreizer (Heatspreader) gelötet (Abbildung 2.22). Dieser ist aus Kupfer. Die Isolierung des Wärmespreizers erfolgt mit Hilfe eines organischen Isolators (TCIL - Thermally Conductive Electrically Insulated Layer). Hierbei handelt es sich um ein Kompositmaterial, welches aus einem Epoxidharz besteht, das zur besseren Wärmeleitfähigkeit mit Füllstoffen versehen ist. Bei den aktuell verwendeten Isolationsfolien handelt es sich bei diesen Füllstoffen um agglomeriertes Bor-Nitrid. So können Wärmeleitfähigkeiten von bis zu 18 W/(m*K) erreicht werden [37] [38]. Zusammenfassend werden die Vorteile dieses Moduls von Mitsubishi wie folgt beschrieben:

- Kompakt
- Thermisch hochleitfähiger, elektrisch isolierter Aufbau zur Kühlungsseite
- Mechanisch robust

Im weiteren Verlauf sollen die Unterschiede des thermischen Aufbaus zwischen Modulen mit DCB-Aufbau, sowie dem von Mitsubishi entwickelten Aufbau dargestellt werden (Abbildung 2.23).



Abbildung 2.23: Schematische Schnittansicht der Modulaufbauten im Vergleich. Oben: Standardaufbau mit DCB, unten: T-PM Aufbau [39]

Zunächst sind die unterschiedlichen Kontaktierungen auf der Oberseite der Halbleiter hervorzuheben. Im Standardaufbau werden hierfür in der Regel Bonddrähte aus Aluminium verwendet. Mitsubishi realisiert die elektrische Kontaktierung auf der Oberseite mit Hilfe der bereits erwähnten DLB-Technologie. Hierbei handelt es sich um eine Kupferführung, welche vollflächig auf die Halbleiter gelötet ist. Somit entfallen die vorher notwendigen Bonddrähte. Dies führt zu einer gleichmäßigeren Strom- und Wärmeverteilung auf der Chip-Oberseite und bietet zudem durch das Entfallen von Bonddrahtloops bessere Eigenschaften hinsichtlich der parasitären Induktivität der Chipkontaktierung [39].

Ein weiterer bemerkenswerter Unterschied steckt im thermischen Aufbau des Moduls. Bei dem neuen Modulaufbau von Mitsubishi fällt auf, dass keine DCB als Schaltungsträger verwendet wird. Wie oben erwähnt, entfällt die DCB und wird durch einen Wärmespreizer (Leadframe) ersetzt, welcher mit Hilfe einer organischen Folie elektrisch isoliert wird. Besonders auffällig ist hier die deutlich höhere Schichtdicke des Wärmespreizers im Vergleich zur oberen Kupferschicht einer DCB. Das bedeutet: Im Aufbau des T-PM wird direkt unter den Halbleitern eine deutlich größere thermische Kapazität als beim DCB-Aufbau zur Verfügung gestellt. Hierdurch wird eine deutlich bessere Wärmespreizung generiert. Des Weiteren entfallen durch den Einsatz der Isolationsfolie das Systemlot sowie eine zusätzliche Bodenplatte.

Im Jahre 2015 stellte Mitsubishi Electric auf der PCIM in Nürnberg ebenfalls ein Rahmenmodul mit organischer Isolationsfolie vor. Hierbei handelt es sich um ein IGBT Modul aus Mitsubishis 7th generation (Abbildung 2.24).



Abbildung 2.24: Fotos des Mitsubishi Rahmenmoduls, ausgestellt auf der PCIM2015 in Nürnberg

Auch dieses Modul ist nicht mit Hilfe einer DCB, sondern mit einer organischen Isolationsfolie und Leadframe-Technik aufgebaut. Das Modul wird wie folgt spezifiziert: 1200 V bei 300 A oder 1200 V bei 600 A.

Anders als beim Moldmodul wird hier die oberseitige elektrische Kontaktierung der Halbleiter mit Hilfe von Aluminiumbonddrähten hergestellt. Die unterseitige Kontaktierung erfolgt durch ein Lötverfahren. Bei dem Verguss handelt es sich nicht um den Silikonweichverguss, wie er standardmäßig in Rahmenmodulen eingesetzt wird, sondern um einen harten Verguss, ähnlich dem des Moldcompounds. Der harte Verguss führt zum einen zu einer mechanischen Stabilisierung der Bonddrähte und zum anderen zu einer Reduzierung des mechanischen Stresses auf die Lotschicht zwischen Halbleiter und Kupferleadframe. Dieser mechanische Stress resultiert aus den unterschiedlichen Ausdehnungskoeffizienten von Kupferleadframe und Halbleiter. [40]

Der Aufbau des neuen Rahmenmoduls unterscheidet sich vom herkömmlichen Aufbau wie folgt (Abbildung 2.25):



Abbildung 2.25: Schematische Schnittansicht der Modulaufbauten im Vergleich. Links: Standardaufbau mit DCB, rechts: Mitsubishis 7th generation Modul der Serie J [6]

Wie oben beschrieben, ist auch hier der größte Unterschied der Ersatz der Keramik-DCB durch ein Leadframe und eine organische Isolationsfolie. Den Zusammenschluss aus Leadframe, Isolationsfolie und Bodenplatte nennt Mitsubishi IMB (Insulated Metal Baseplate). Auch hier werden die Halbleiter direkt auf das Leadframe gelötet. Die Isolationsfolie besteht aus einem Epoxidharz, welches zur besseren Wärmeleitfähigkeit mit keramischen Füllstoffen versehen ist [40].

Die Vorteile des Moduls werden von Mitsubishi wie folgt zusammengefasst:

- Dünnere Auslegung der Bodenplatte (untere Kupferschicht des IMB) möglich
 → Gewichtsreduzierung
- Durch den IMB Aufbau sind im Vergleich zum DCB-Aufbau größere Flächen möglich sowie eine dünnere Isolationsschicht
- Dickere Kupferschicht direkt unter den Halbleitern zur Verbesserung der thermischen Spreizung
 - [41]

Neben dem Wegfall des Systemlotes, um die DCBs auf der Bodenplatte zu montieren, ist ein weiterer Vorteil, dass Module mit IMB aus weniger Komponenten bestehen. Anders als beim Stand der Technik, bei dem mehrere DCBs in einem Modul verbaut werden müssen, kann hier mit lediglich einem Aufbaumuster (z.B. Stanzteile) gearbeitet werden. Dies vergrößert die Nutzfläche für die Halbleiter um 23%, da zum Beispiel die Zwischenräume, wie sie bei den DCBs des Standardaufbau auftreten, entfallen [6].

Die Dicken der einzelnen Schichten des Moduls werden von Mitsubishi nicht direkt spezifiziert. Lediglich die Dicke des Kupferleadframes mit 0,5 mm ist bekannt [6]. Auf Grund von thermischen Vorteilen ist jedoch davon auszugehen, dass die Dicke der Isolationsfolie so dünn wie möglich gehalten wird.

2.5.2 Bosch-Modul

Auch der Modulhersteller Bosch entwickelt Module mit dünnen Isolationsfolien und Leadframe-Technik, an Stelle von DCBs als Schaltungsträger. So gibt es mittlerweile ein kompaktes Moldmodul (MH6560C) von Bosch auf dem Markt, welches im Aufbau und in der Kontaktierung der Halbleiter dem Moldmodul von Mitsubishi sehr ähnelt (Abbildung 2.26).



Abbildung 2.26: Moldmodul von Bosch mit organischem Isolator aus der MCPP-Linie [42]

Es gehört zu den Modulen der MCPP-Linie (Multi-Chip Power Package) von Bosch. Wie bei Mitsubishi ist das Modul für die Nutzung in Hybrid- sowie Elektrofahrzeugen entwickelt worden. Bei der Schaltungstopologie handelt es sich ebenfalls um eine Halbbrücke. Allerdings ist das Modul wie folgt spezifiziert: 650 V bei 600 A. Die Abmessungen sind 63 mm x 75 mm x 7,5 mm. Auch hier ähnelt es dem Mitsubishi-Modul sehr. Abbildung 2.27 zeigt schematisch den Aufbau des Moduls von Bosch.



Abbildung 2.27: Schematische Schnittansicht der Modulaufbauten im Vergleich. links: Standardaufbau mit DCB, rechts: MCPP-Modul der neuen Generation mit organischem Isolator [43]

Die oberseitige Kontaktierung der Halbleiter wird hier mit sogenannten "copper clips" durchgeführt. Diese sind auf den Halbleiter gelötet und ersetzen die bislang verwendeten Aluminiumbonddrähte. Weiterhin sind die Halbleiter direkt auf einen dicken Wärmespreizer aus Kupfer gelötet. Der Wärmespreizer ist unterseitig, wie bei dem Modul von Mitsubishi, durch eine dünne Isolationsfolie elektrisch isoliert. Den Abschluss bildet eine dünne Kupferfolie. Das Modul ist, wie für Moldmodule üblich, mit einer Moldmasse umhüllt. Der Aufbau des Wärmespreizers zusammen mit der Isolationsfolie und der dünnen Kupferfolie wird von Bosch als Metal-Substrate bezeichnet. Mit Hilfe dieses Aufbaus erreicht Bosch eine deutliche Reduzierung des thermischen Widerstandes und damit der Halbleitertemperaturen bei gleichbleibender Stromdichte im Vergleich zu Standardaufbauten mit Al₂O₃-DCBs. Es gelingt eine Reduzierung um ca. 30% [44].

Vergleicht man alle in Kapitel 2.5 vorgestellten Modulaufbauten miteinander, so fällt auf, dass augenscheinlich jedes Modul unterhalb des Halbleiters eine andere Schichtdicke des Kupfers aufweist sowie unterschiedlich dicke Bodenplatten. Weiterhin wird das Rahmenmodul mit DCB-Technologie von Mitsubishi standardmäßig mit AlN-Substraten aufgebaut. Diese Module weisen eine bessere thermische Performance auf als der neue Aufbau mit organischer Isolationsfolie. Dies liegt vor allem an der deutlich höheren Wärmeleitfähigkeit von AlN (180W/(m*K)). Das Moldmodul mit Isolationsfolie wiederum hat eine vergleichbare thermische Performance, wie die Variante mit Al₂O₃-DCB. Es wird jedoch augenscheinlich eine deutlich dickere Kupferschicht direkt unter den Halbleitern zur Verfügung gestellt. Es stellt sich die Frage, wie ein Modul mit organischer Isolationsfolie thermisch ausgelegt werden muss, um eine deutliche Reduzierung der Halbleitertemperatur T_j verglichen mit herkömmlichen Modulaufbauten mit Al₂O₃-DCBs erzielen zu können.
2.6 Andere Modulaufbauten

2.6.1 Power-Embedding

Neben der Entwärmung der Halbleiter sind Kompaktheit, Robustheit und Vielseitigkeit für die Leistungselektronik von Relevanz und rücken immer mehr in den Fokus diverser Forschungsund Entwicklungsprojekte. Vor allem auf dem immer stärker werdenden Markt der E-Mobilität, sowie der regenerativen Energien sind dies wichtige Anforderungen. Ein vielversprechender Ansatz für einen wesentlichen Unterschied hinsichtlich Platzreduktion sowie Prozessflexibilität im leistungselektronischen Packaging ist das sogenannte Power-Embedding. Hierbei handelt es sich um eine Einbettung in die Aufbauschichten von Leiterplatten. [45] [46] Herkömmliche Leiterplatteneinbettungen für Low-Power-Anwendungen haben mittlerweile einen beträchtlichen Reifegrad erreicht. Das Embedding für die Leistungselektronik ist jedoch in vielen Aspekten auf Grund der deutlich höheren Ströme und Spannungen und damit einhergehend einer höheren Verlustleistung immer noch eine Herausforderung. [45] Die Verlustwärme muss hinreichend von den eingebetteten Komponenten wegtransportiert werden, um eine Überhitzung der Bauelemente zu vermeiden. Ebenso ist ein sorgfältig ausgelegter symmetrischer Aufbau von sogenannten Embedded-Modulen auf Grund der unterschiedlichen Ausdehnungskoeffizienten wichtig. Denn: Die unterschiedlichen CTEs haben auch hier erhebliche mechanische Spannungen in den Aufbauschichten zur Folge. [45] Nichtsdestotrotz bietet die Power-Embedding Technologie einen gewinnbringenden Nutzen vor allem hinsichtlich Kompaktheit und Robustheit der Baugruppe sowie Kostenreduktion und vereint die Anforderungen der Leistungselektronik von hohen Strömen und Spannungen mit einer substratfreien Leiterplattenlösung [45] [47]. Der Prozessablauf der Embedding-Technologie (Abbildung 2.28) besteht aus fünf Basisschritten [47] [48]:

- Bauteilmontage durch Sinterprozess
- Laminierung der Bauteile in die Aufbauschicht
- Bohren von Micro-Vias
- Galvanisierung der Micro-Vias
- Strukturierung der oberen Kupferlage



Cu metallization and patterning

Abbildung 2.28: Prozessablauf der Herstellung eines Embedded-Moduls [45]

Um die benötigte Wärmespreizung bereitzustellen, sind Substrate für eingebettete Leistungsmodule entweder aus massiven Kupferstrukturen oder isolierte Metallsubstrate. Hierbei handelt es sich um funktionelle Verbindungsstrukturen der Schaltungen, die durch einen wärmeleitfähigen und elektrisch isolierenden Klebstoff mit einem Wärmeverteiler verbunden sind. Für Sinterverbindungen sind die Oberflächen an den benötigten Stellen selektiv mit Silber beschichtet. [45]

Nach der Montage der Halbleiter durch den Sinterprozess werden ihre tatsächlichen Positionen und Höhen gemessen und ein dementsprechendes Prepreg (bestehend aus Glasfaser und Epoxid) mit entsprechenden Ausstanzungen zum Umgeben der Halbleiter gefertigt. Der Aufbau wird in einem Vakuumlaminierprozess verdichtet und ausgehärtet. [45]

Anschließend werden Micro-Vias per Laser auf die Kontaktpads der Leistungshalbleiter gebohrt. Zusätzliche Durchgangslöcher oder Blindlöcher zwischen verschiedenen Schichten von Leiterbahnen werden ebenfalls gebohrt [45].

Die Micro-Vias werden in einem nachfolgenden Kupfer-Galvanisierungsprozess gefüllt. In einem abschließenden Schritt wird die Kupferebene über der eingebetteten Komponente durch einen photolithografischen Ätzprozess strukturiert [45].

2.7 Aufbau- und Verbindungstechniken

In den folgenden Kapiteln werden die Aufbau- und Verbindungstechniken, welche zur elektrischen, mechanischen und thermischen Kontaktierung der Halbleiter verwendet werden, erläutert.

2.7.1 Löten

Beim Löten wird der Halbleiter mit der DCB unter Verwendung einer metallischen Schicht (Lotschicht) verbunden und unterseitig elektrisch, thermisch sowie mechanisch kontaktiert. Hierbei wird die Lotschicht (Lotpaste oder Preform) aufgeschmolzen, wobei Atome des Lotes mit Atomen der Chiprückseitenmetallisierung eine stoffschlüssige Verbindung eingehen [11]. Durch Abkühlen erstarrt die Lotschicht und der Halbleiter ist stoffschlüssig mit der DCB verbunden. Voraussetzung für eine thermisch sowie elektrisch einwandfreie Verbindung sind saubere und oxidfreie Oberflächen. Andernfalls kommt es zu Fehlstellen, sogenannten Lunkern in der Lotschicht [10]. Dies hat eine mechanisch, thermisch und elektrisch schwache Verbindung des Halbleiters zur Folge [49]. Zur Vermeidung dieser Verunreinigungen werden dem Lot häufig Flussmittel beigefügt. Diese säubern während des Lötprozesses die Oberflächen der zu verbindenden Partner. Flussmittelreste müssen jedoch nach dem Löten wieder entfernt werden (Waschprozess), um weitere Prozessschritte, wie z.B. das Bonden, nicht negativ zu beeinflussen [11] [50]. Zur weiteren Vermeidung von Lunkern findet der Lötprozess meistens unter Vakuum statt (Vakuumlöten) [10]. Hierbei handelt es sich um ein in der Leistungselektronik häufig verwendetes Lötverfahren. Es werden in der Regel Lotpasten verwendet. Diese werden mit Hilfe eines Schablonendruckverfahrens auf die DCB gedruckt und der Halbleiter in die nasse Paste platziert. Im Lötofen schmilzt die Lotpaste auf und verbindet wie beschrieben Halbleiter und DCB miteinander.

In der Leistungselektronik wird beim Modulaufbau zwischen Chiplot und Systemlot unterschieden. Dies gilt vor allem für Module mit Bodenplatte. Hier wird neben dem Halbleiter ebenfalls die thermische Anbindung der DCB an die Bodenplatte mit einer Lotschicht dem Systemlot realisiert [3] [10]. Die Lötung ist deutlich großflächiger als beim Chiplot und erfolgt mittels sogenannter Lotformteile (Preforms). Diese werden zwischen DCB und Bodenplatte positioniert und mit Hilfe von Vorrichtungen fixiert. Im Lötofen werden die Fügepartner sowie das Preform auf die Prozesstemperatur erwärmt und das Preform verflüssigt sich [19]. Auch dieser Prozess findet, um Gaseinschlüsse durch die abdampfende Organik zu vermeiden, unter Vakuum statt.

Lötprozesse werden seit vielen Jahren in der Leistungselektronik verwendet, entsprechend hochentwickelt und automatisiert sind heutige Lötanlagen. Es steht ebenfalls eine große Anzahl unterschiedlicher Lotlegierungen zur Verfügung [51].

2.7.2 Diffusionslöten

Eine weitere Kontaktierungsmöglichkeit von Halbleitern ist das Diffusionslöten. Vor allem durch die Entwicklung von neuen "wide band gap" Halbleitermaterialien (SiC, GaN) und damit einhergehend die Notwendigkeit höherer Zuverlässigkeit der Aufbau- und Verbindungstechnik, ist diese Technologie eine viel diskutierte Möglichkeit in der Leistungselektronik. [21] [52]

Anders als beim herkömmlichen Lötprozess wird während des Diffusionslötens das gesamte Lot vollständig in eine intermetallische Phase umgewandelt (Abbildung 2.29).



Abbildung 2.29: Schliffbild einer Halbleiterverbindung mit einer herkömmlichen Lotverbindung (links) im Vergleich zu einer Diffusionslotverbindung (rechts) [53]

Dieses vollständige Wachstum von intermetallischen Phasen im Verbindungsbereich erhöht auf Grund ihres höheren Schmelzpunktes die Zuverlässigkeit und die Festigkeit der Lotverbindungen im Vergleich zu herkömmlichen Weichlotmaterialien [52] [53]. Das Lot reagiert mit den Oberflächen der Fügepartner und formt so eine Legierungsphase. Der Schmelzpunkt dieser Legierungsphase ist höher als die eigentliche Prozesstemperatur, die zum Schmelzen des Lotes notwendig ist. Somit ist eine deutlich höhere Einsatztemperatur (175°C) möglich [10]. Ein weiterer Vorteil ist, dass die effektive Verbindungsschicht einer Diffusionslotschicht deutlich dünner sein kann (ca. 2 µm) als eine herkömmliche Lotschicht (ca. 60-80µm) [10] (Abbildung 2.30).



Abbildung 2.30: Schliffbild einer Standard-Lotverbindung (a) im Vergleich zu einer Diffusionslotverbindung (b) [10]

2.7.3 Sintern

Eine neuere Technologie für das Bare-Die-Attach ist das sogenannte Silbersintern auch Niedertemperaturverbindungstechnik (NTV) genannt. Diese ist Ende der 80er Jahre von H. Schwarzbauer und R. Kuhnert entwickelt und erprobt worden. [54] [55] [56] Hierbei wird die konventionelle Lotschicht durch eine Silbersinterschicht ersetzt, welche die elektrische, thermische sowie mechanische Kontaktierung erzeugt. Es handelt sich hierbei um ein Diffusionssinterverfahren, bei dem eine stoffschlüssige Verbindung zwischen Halbleiter und DCB hergestellt wird [3]. Hierfür wird eine Silbersinterpaste, bestehend aus Silberpulver und Organik, auf das Substrat gedruckt und anschließend getrocknet [57]. Das Trocknen hat das Verdampfen der in der Paste enthaltenden Organik zur Folge. Dies ist notwendig, um Lunkerbildung durch Trocknungskanäle während des Sinterprozesses durch die austretende Organik zu vermeiden [54] [58]. Nach dem Trocknen wird der Halbleiter auf der Paste appliziert und in einem Sinterprozess verbunden. Hierbei werden die Fügepartner (Substrat, Sinterpaste und Halbleiter) unter hohem Druck (ca. 30 MPa) und einer Temperatur von etwa 230°C für mehrere Minuten zusammengepresst und verdichtet (Abbildung 2.31) [54].



a) vor dem Sinterprozess

b) nach dem Sinterprozess

Abbildung 2.31: REM-Aufnahme einer Sinterschicht vor (a) und nach dem Sinterprozess (b) [59]

Durch Temperatur und Druck wird eine Diffusion der Silberpartikel der Paste in die Substratoberfläche und die Halbeiterschicht ausgelöst [57]. Die entstehende stoffschlüssige bietet eine hohe Zuverlässigkeit und eine bessere thermische Anbindung des Halbleiters an das Substrat als eine konventionelle Lotverbindung [3] [59]. Dies liegt unter anderem an der deutlich höheren Wärmeleitfähigkeit der Sinterschicht im Vergleich zur Lotschicht (Wärmeleitfähigkeit Sinterschicht: 240 W/(m*K), Wärmeleitfähigkeit Lotschicht: 70 W/(m*K)) [11]. Des Weiteren ist die typische Schichtdicke der Sinterschicht mit 20 - 30 µm deutlich geringer als die der Lotschicht (80 µm).

Ein weiterer wichtiger Punkt ist, dass die Sinterschicht auf Grund der hohen Schmelztemperatur von Silber (961°C) deutlich temperaturstabiler ist als eine Lotschicht (Schmelzpunkt 180°C - 230°C, je nach Lotlegierung [3] [60] [61]). Ebenso ist die elektrische Leitfähigkeit der Sinterverbindung deutlich höher als bei einer Lotverbindung [3] [11]. Die elektrische Leitfähigkeit der Sinterschicht beträgt 41 MS/m, die der Lotverbindung lediglich 8 MS/m [11].

Auf Grund dieser Vorteile wird diese Technologie mittlerweile von einigen Herstellern (z.B. Danfoss Silicon Power GmbH, Flensburg und Semikron GmbH, Nürnberg) in ausgewählten Produkten eingesetzt.

2.7.4 Drahtbonden

In der Leistungselektronik wird zur oberseitigen Kontaktierung der Halbleiter häufig die sogenannte Drahtbondtechnik eingesetzt. Hierbei werden auf die Oberseite der Halbleiter sogenannte Bonddrähte aufgebracht und die gewünschten elektrischen Potentiale miteinander verbunden (Abbildung 2.32).



Abbildung 2.32: Aluminiumbonddrähte auf gelötetem Si-Halbleiter im Modul

Häufig wird hierfür das Dickdrahtbonden eingesetzt [11]. Hierbei handelt es sich um ein Kaltschweißverfahren, welches die beiden Fügepartner mittels Ultraschallenergie stoffschlüssig miteinander verbindet. Als Drahtmaterial wird meistens Aluminium verwendet. Auf Grund der im Vergleich zur Leistungsdichte dünnen Drähte (zwischen 100 µm - 500 µm Durchmesser), werden mehrere Bonddrähte parallel aufgebracht, da die Stromtragfähigkeit eines Bonddrahtes abhängig von seiner Länge sowie des Durchmessers begrenzt ist. [11] [19] Seit einigen Jahren werden, auf Grund der besseren elektrischen Leitfähigkeit und Temperaturstabilität, auch Kupferdrähte verwendet. Durch die höhere Härte des Kupfermaterials ist jedoch eine Kupfermetallisierung auf der Oberseite der Halbleiter notwendig, da diese ansonsten mechanisch zerstört werden würden. Hierfür kann zum Beispiel der vom Modulhersteller Danfoss Silicon Power GmbH entwickelte Bondbuffer verwendet werden. Es handelt sich hierbei um eine dünne Kupferfolie, welche auf die Oberseite des Halbleiters gesintert wird. Die Kontaktierung des Cu-Bonddrahtes erfolgt auf der Oberseite des Bondbuffers [19].

Für den Bondprozess ist es notwendig, dass alle Oberflächen frei von Verunreinigungen (z.B. Öle) sind. Der zu bondende Aufbau muss zudem möglichst schwingungsfrei fixiert werden, da sonst die Bondverbindung negativ beeinflusst wird [62]. Der Bondprozess unterteilt sich in die folgenden Phasen:

- Aufsetzen des Bondtools mit eingefädeltem Bonddraht auf die Oberseite des Halbleiters (Touchdown)
- Bonden der ersten Bondstelle: Einbringen einer Ultraschall-Leistung in das Bondwerkzeug → Diese versetzt das Bondwerkzeug in Schwingung
- Erzeugung des Loops: Durch Verfahren des Werkzeuges und Nachführen des Drahtes
- Aufsetzen des Bondtools und Bonden der zweiten Bondstelle: Einbringen einer Ultraschall-Leistung in das Bondwerkzeug → Diese versetzt das Bondwerkzeug in Schwingung

Eine ausführliche Beschreibung der Verbindungsbildung wurde 1988 von Lang [63] veröffentlicht und von Osterwald [62] 1999 hinsichtlich des Einflusses von Schwingungsparametern weiter untersucht.

3 Motivation und Ziel der Arbeit

Auf Grund der stark steigenden Leistungsdichte findet in der Industrie ein Wechsel der im Leistungsmodul verwendeten Materialien und ihrer Aufbau- und Verbindungstechnik statt. Daraus resultiert ein Wandel des thermischen Aufbaus von Modulen. Denn die Leistungsdichte ist durch die Halbierung der Halbleiterfläche innerhalb von zehn Jahren verdoppelt worden und wird auch zukünftig weiter steigen (Abbildung 3.1).



Abbildung 3.1: "More than Moore"- Chart, Darstellung der steigenden Leistungsdichte [2]

Infolge des Anstiegs der Leistungsdichte und der damit einhergehenden Problematik der steigenden Halbleitertemperaturen kommt der Wärmeabfuhr aus den Modulen zur Reduzierung der Halbleitertemperaturen mittels eines optimierten thermischen Modulaufbaus eine immer größere Bedeutung zu. Konventionelle Aufbaukonzepte geraten hier auf Grund der geringen thermischen Spreizfähigkeit einer DCB immer weiter an ihre thermischen Grenzen. So können Modulkonzepte mit organischen Isolatoren, als Substitution von DCBs als Schaltungsträger und der damit verbundenen Bodenplatte, einen wichtigen Beitrag zur Reduzierung der Halbleitertemperatur leisten.

Das heißt, Aufbauten mit organischen Isolationsfolien bieten einige thermische Vorteile. Durch den Einsatz der organischen Isolationsfolie wird statt einer DCB lediglich ein sogenanntes Leadframe in Verbindung mit der Isolationsfolie zum Modulaufbau benötigt. Dabei dient das Leadframe als Schaltungsträger und sollte auf Grund der sehr guten thermischen und elektrischen Eigenschaften aus Kupfer bestehen. Die Kupferschichten können hierbei im Vergleich zu den Kupferschichten einer DCB deutlich dicker dimensioniert werden, sodass eine erhöhte thermische Spreizung genutzt werden kann. Die elektrische Isolation zum unterseitigen Aufbau wird durch die organische Isolationsfolie realisiert, damit der darunterliegende Kühler potentialfrei ist. Um einen solchen Aufbau zu realisieren, eignen sich lediglich Folien, welche neben einer möglichst guten Wärmeleitfähigkeit auch gute adhäsive Eigenschaften haben, um Defekte (z.B. Risse und Delamination) im Aufbau zu verhindern. Ein defektfreier Aufbau ist notwendig, um den elektrischen, mechanischen und vor allem thermischen Anforderungen gerecht zu werden. Dies alles kann bei richtiger Auslegung zu einer Reduzierung der Halbleitertemperatur führen und ist bei Modulaufbauten mit DCBs auf Grund der in der Einleitung und im Stand der Technik erläuterten Nachteile nicht möglich.

Es ist deshalb das Ziel dieser Arbeit, die Halbleitertemperatur bei gleichbleibender Leistungsdichte durch eine geometrische Anpassung der Kupferschichten in Verbindung mit einer organischen Isolationsfolie zu senken. Sowohl für die theoretischen als auch für die praktischen Untersuchungen wird eine kommerziell verfügbare Isolationsfolie mit einer Schichtdicke von 210 μ m (laminiert 190 μ m) verwendet. Hierbei handelt es sich um eine organische Isolationsfolie aus Epoxidharz. Diese Folie weist nicht nur einen durch Füllstoffe angepassten CTE nahe dem CTE des Kupfers auf, sondern ebenfalls eine für Epoxidharz hohe Wärmeleitfähigkeit von 12 W/(m*K).

Mit Hilfe von statistischer Versuchsplanung (DoE - Design of Experiments) wird ein Regressionsmodell zur Ermittlung und Untersuchung der Haupteinflussfaktoren zur Reduzierung der Halbleitertemperatur erstellt. Die Auswirkungen der Haupteinflussfaktoren und ihre Wechselwirkungen untereinander werden analysiert. Das Regressionsmodell bildet die Grundlage für die geometrische Optimierung der Kupferschichten hinsichtlich der ermittelten Haupteinflussfaktoren. Der optimierte Schichtaufbau wird in Bezug auf die Prognose des Regressionsmodells anhand von thermischen FEM-Simulationen evaluiert. Hierdurch wird sichergestellt, dass das erzeugte Regressionsmodell eine hinreichende Prognosefähigkeit aufweist.

Der angepasste Schichtaufbau auf Grundlage des Regressionsmodells wird als Prüfling realisiert, welcher anschließend messtechnisch evaluiert wird. Durch den Vergleich von Messung und Simulation wird die Genauigkeit des FEM-Simulationsmodells bewertet. Der hierfür benötigte Laminierprozess wird hinsichtlich der Prozessparameter Duck, Zeit und Temperatur untersucht, um Defekte im thermischen Stapel zu vermeiden. Der Einfluss der Prozessparameter auf die Verbindungsqualität hinsichtlich thermischen Widerstandes, elektrischer Durchschlagsspannung und Scherfestigkeit wird untersucht. Hiermit wird sichergestellt, dass für alle Untersuchungen ein Laminat mit konstanter Qualität erzeugt wird und das Laminat keinen Einfluss auf die Untersuchungsergebnisse hat.

Weiterhin werden mit Hilfe des Regressionsmodells die Wirkprinzipien der thermischen Spreizung in derartigen Schichtaufbauten dargestellt und analysiert. Zur Bewertung des thermischen Stapels wird dargestellt, welche Betrachtungsweise zur Berücksichtigung des Einflusses der thermischen Spreizung gewählt werden muss. Eine allgemeingültige Vorgehensweise zum korrekten Vergleich von thermischen Stapeln unter Berücksichtigung der thermischen Spreizung wird erläutert.

Abschließend wird ein Moduldemonstrator abgeleitet und mit einem DCB-Referenzmodul messtechnisch verglichen.

4 Thermische Grundlagen

4.1 Mechanismen des Wärmetransports

Die drei Hauptmechanismen für den Wärmetransport sind Wärmestrahlung, Konvektion und Wärmeleitung [64]. Das folgende Kapitel gibt einen kurzen Überblick über die einzelnen Mechanismen und beschreibt kurz die physikalischen Hintergründe.

4.1.1 Wärmestrahlung

Jeder Körper bzw. jedes Material gibt auf Grund der meist positiven thermodynamischen Temperatur, Energie in Form von elektromagnetischen Wellen ab. Diese Form der Energieabgabe nennt man Wärmestrahlung. Es muss unterschieden werden zwischen Emission und Absorption. Bei der Emission handelt es sich um die Abstrahlung der Wärme von einem Körper. Es findet hierbei eine Umwandlung der inneren Energie des Körpers statt, welche durch elektromagnetische Wellen vom Körper weg transportiert wird.

Bei der Absorption hingegen treffen die elektromagnetischen Wellen auf Materie und ein Teil wird von dieser absorbiert. Ein weiterer Teil wird hingegen reflektiert oder sogar, je nach Beschaffenheit des Körpers, durchgelassen. Die aufgenommene Strahlungsenergie wird dabei in innere Energie des Körpers umgewandelt. Diese besondere Form der Wärmeübertragung wird auch als Strahlungsaustausch bezeichnet. Wie der Begriff Strahlung schon vermuten lässt, ist für den Strahlungstransport keine Materie erforderlich, da sich elektromagnetische Wellen auch im luftleeren Raum (Vakuum) ausbreiten. In Festkörpern hingegen wird Wärmestrahlung meist schon nach wenigen Mikrometern vollständig absorbiert. Das bedeutet, dass es sich bei der Emission und Absorption von Wärmestrahlung in festen Körpern lediglich um Oberflächeneffekte handelt. [64]

Die durch die Verlustleistung entstehende Wärmeenergie wird nicht nur in Form von Wärmeleitung im Stapel weitergeführt, sondern ein Teil wird von den Oberflächen als Strahlung an die Umgebung abgegeben. Da in der vorliegenden Arbeit für Wärmestrahlung vergleichsweise geringe Temperaturen und kleine Oberflächen vorhanden sind, ist der Anteil der Wärmeenergie, die durch Wärmestrahlung abgegeben wird, vernachlässigbar klein. Dies soll anhand der folgenden Beispielrechnung gezeigt werden.

Der abgegebene Wärmestrom für einen Körper mit einem Emissionsgrad ϵ und einer Temperatur T₁ sowie einer Umgebungstemperatur T₂ kann mit folgender Formel berechnet werden:

$$\dot{Q} = A * \epsilon * C_s * (T_1^4 - T_2^4) \text{ mit } C_s = 5,67 * 10^{-8} \frac{W}{m^2 * K^4}$$

C_s := Stefan-Bolzmann-Konstante des schwarzen Körpers

Bei gegebener typischer Halbleitertemperatur $T_1 = 150^{\circ}$ C und Raumtemperatur $T_2 = 20^{\circ}$ C sowie einem angenommenen Emissionsgrad von $\varepsilon = 0,9$ ergibt sich für einen Halbleiter mit einer Fläche von 75 mm² folgender Wärmestrom:

$$\dot{Q} = 75 * 10^{-6} m^2 * 0.9 * 5.67 * 10^{-8} \frac{W}{m^2 * K^4} * (423.15 K^4 - 293.15 K^4)$$

 $\dot{Q} = 0.09 W$

Die typische eingeprägte Verlustleistung eines Halbleiters beträgt in der Regel 2 W/mm². Dies resultiert bei der angenommenen Fläche in einer Verlustleistung von $P_V = 150$ W. Damit beträgt die über die Wärmestrahlung abgegebene Leistung 0,06% der eingeprägten Leistung und ist somit vernachlässigbar. [65]

4.1.2 Konvektion

Konvektion kommt vom lateinischen Wort, convectum', was so viel bedeutet wie mitgetragen. Konvektion kann deshalb auch als Wärmemitführung bzw. Wärmeübertragung bezeichnet werden. Hierbei handelt es sich um das Mitführen der Wärme durch ein strömendes Fluid. Ein wichtiger Faktor ist damit einhergehend der Wärmeaustauschkoeffizient h des Fluides an einer Materialgrenze mit Übergang eines Wärmestroms in das Fluid. Der Wärmeaustauschkoeffizient bestimmt, wie viel Wärme an der jeweiligen Oberfläche in Abhängigkeit ihrer Temperatur abgeführt werden kann. Auch ohne aktive Kühlung findet Konvektion an den Oberflächen statt [66]. In den verwendeten Simulationsmodellen wird deshalb für alle Oberflächen, die keine Anbindung zur aktiven Kühlung haben, ein Wärmeaustauschkoeffizient h von 5 W/(m²*K) angenommen. Dies entspricht der Kühlleistung von freier Konvektion [18]. An der Fläche, an der eine aktive Kühlung anliegt (Bodenplatte der Prüflinge), wird ein Wärmeaustauschkoeffizient h von 5000 W/(m²*K) angenommen. Dies entspricht einer gängigen ShowerPower®-Kühlung [67].

4.1.3 Wärmeleitung

Eine weitere Form des Wärmetransports in Festkörpern ist die Wärmeleitung. Es handelt sich hierbei um einen Energietransport zwischen benachbarten Molekülen auf Grund eines im Material oder thermischen Stapel vorhandenen Temperaturgradienten [64]. Wärmeleitung äußert sich in einem Festkörper in Form von elastischen Gitterschwingungen. Die Ausbreitung von Wärmeschwingungen beruht also auf der Bewegung thermisch erzeugter Phononen. Wärmeleitung wird "durch die Bewegung und Erzeugung von Phononen ermöglicht, wobei die Phononen thermische Schwingungsenergie über die Gitterbindungen von wärmeren in kältere Gitterbereiche transportieren" [68]. In Metallen übertragen auch die freien Elektronen Energie, wobei in strahlungsundurchlässigen Feststoffen die Energie lediglich durch Wärmeleitung transportiert wird [64]. Die Wärmeleitung in Gasen und Fluiden hat für die vorliegende Arbeit keine tiefer gehende Bedeutung und wird deshalb nicht weiter betrachtet. Für die vorliegende Arbeit reicht es zudem aus, die phänomenologische Erfassung der Wärmeleitung durch die bekannten Größen Temperatur, Wärmestrom und Wärmestromdichte zu behandeln. So ist der Energietransport in einem wärmeleitenden Material durch das Vektorfeld der Wärmestromdichte wie folgt beschrieben:

 $\dot{q} = \dot{q}(x,t)$

Der Vektor der Wärmestromdichte erfasst an einem durch den Vektor x gekennzeichneten Ort sowohl die Stärke als auch die Richtung des Energiestroms. Dieser kann ebenfalls von der Zeit abhängig sein. Die Größe \dot{q} ist hierbei wie folgt definiert, sodass für den Wärmestrom $d\dot{Q}$ durch ein beliebig orientiertes Flächenelement dA folgendes gilt [64]

$$d\dot{Q} = \dot{q}(x, t)n dA = |\dot{q}| \cos \beta dA$$

Wie eingangs schon erwähnt, ist der Energietransport der Wärmeleitung die Folge eines Temperaturgradienten im Material. Die Temperatur T kann sich ortsabhängig und auch mit der Zeit ändern. Stationäre Temperaturfelder sind von der Zeit t nicht beeinflusst. Ist die Zeit von Relevanz, so spricht man von einem nicht stationären Temperaturfeld [64]. Bei zeitlich veränderlichen Temperaturfeldern sind in der Praxis meistens lediglich die Extremzustände (stationäre Zustände) von Belang. Aus diesem Grund werden in dieser Arbeit die stationären Vorgänge betrachtet. Das bedeutet, alle Untersuchungen werden am eingeschwungenen System vorgenommen.

4.2 Temperaturgradient und Wärmespreizung

Die in dieser Arbeit betrachteten Leistungsmodule lassen sich als thermische Stapel modellhaft mit ihren einzelnen Schichten darstellen. Die Wärmequelle ist hierbei der Halbleiter, da es auf Grund der Verluste in der Sperrschicht (Durchlassverluste) des Halbleiters zu einer Wärmeentwicklung kommt. Von hier an wird die Wärme durch die einzelnen, unter dem Halbleiter befindlichen Schichten bis in den Kühler transportiert (siehe Kapitel 2). Sie breitet sich je nach Beschaffenheit und Schichtdicke der nachfolgenden Materialien unterschiedlich stark rotationssymmetrisch aus. Das bedeutet, dass nicht nur ein Wärmetransport senkrecht nach unten durch den thermischen Stapel stattfindet, sondern sich die Wärme auch flächig in den einzelnen Ebenen (lateral) ausbreitet (Abbildung 4.1). Dies nennt man Wärmespreizung.



Abbildung 4.1: Schematische Darstellung der Wärmespreizung in den einzelnen Schichten eines thermischen Stapels [19]

Der Grad der thermischen Spreizung (Spreizwinkel) im thermischen Stapel ist von den thermischen (z.B. Wärmeleitfähigkeit) und geometrischen (z.B. Dicke und Fläche) Eigenschaften der einzelnen Schichten abhängig. Ein größerer Spreizwinkel wirkt sich positiv auf die Halbleitertemperatur aus, da ein höheres Maß an thermischer Kapazität der Schicht ausgenutzt wird (siehe Kapitel 7.1).

4.3 Thermischer Widerstand und thermische Impedanz

Der thermische Widerstand (R_{th}) ist eine der wichtigsten Kenngrößen zur Beurteilung der thermischen Auslegung von leistungselektronischen Modulen. Er setzt sich wie folgt zusammen:

$$R_{th} = (T_1 - T_2)/P_v$$
 [K/W]

Der R_{th} beschreibt demnach, welche Temperaturdifferenz zwischen zwei Punkten anfällt, um eine Wärmeleistung von 1 W zu übertragen. Der thermische Widerstand eines Leistungsmoduls oder thermischen Stapels setzt sich aus den thermischen Widerständen der einzelnen Schichten zusammen (Abbildung 4.2).



Abbildung 4.2: Darstellung der unterschiedlichen thermischen Widerstände (R_{th}) und ihre Lage im thermischen Stapel

R _{thj} :	Thermischer Widerstand des Halbleiters
R _{ths} :	Thermischer Widerstand der Sinterschicht
R _{thCu 1} :	Thermischer Widerstand der oberen Kupferschicht
R _{thiso} :	Thermischer Widerstand der Isolationsschicht
R _{thCu 2} :	Thermischer Widerstand der unteren Kupferschicht
R _{tha} :	Thermischer Widerstand des Umgebungsmediums (ambient)
р	
K _{thjc} :	I nermischer widerstand von junction bis case
\mathbf{R}_{1} ·	Thermischer Widerstand von case his amhient

derstand von case bis ambient **K**_{thca}

Thermischer Widerstand von junction bis ambient Rthja: (thermischer Gesamtwiderstand)

Unabhängig von der Fokussierung dieser Arbeit auf die stationäre Betrachtung, sei an dieser Stelle der Vollständigkeit halber auch die thermische Impedanz (Zth) erwähnt. Hierbei handelt es sich um die zeitliche Betrachtung des thermischen Widerstandes. Ebenso wie beim thermischen Widerstand, kann auch die thermische Impedanz für jede Schicht im Stapel abgebildet werden. Die thermische Impedanz setzt sich wie folgt zusammen:

> $Z_{th} = (T_1(t) - T_2(t))/P_v$ [K/W]

Der Zth ist somit der zeitliche Verlauf des Rth und kann ebenfalls zur Beurteilung von thermischen Systemen herangezogen werden.

5 Die IsoPower Technologie

Mit der im Rahmen dieser Arbeit entwickelten IsoPower Technologie das Stapeln und Fügen von elektrisch leitfähigen und elektrisch nicht leitfähigen Schichten bezeichnet. Dieser Aufbau entspricht den Aufbaukonzepten von Leistungsmodulen mit organischen Isolationsfolien, also einem Aufbau ohne DCB. Ein IsoPower-Aufbau besteht immer aus mindestens einem Halbleiter, welcher zur elektrischen Kontaktierung auf eine Metallschicht gesintert ist. Mit Hilfe einer organischen Isolationsfolie wird eine zweite Metallschicht an die erste Metallschicht laminiert. Die Potentialtrennung der beiden Metallschichten wird durch die Isolationsfolie gewährleistet. Auf Grund der sehr guten elektrischen sowie thermischen Materialeigenschaften bestehen die Metallschichten in der Regel aus Kupfer (Abbildung 5.1). Ebenso soll die elektrische Kontaktierung durch Silbersinterung gegeben sein.



Abbildung 5.1: Grundsätzlicher Aufbau eines thermischen Stapels mit Hilfe der IsoPower Technologie

Mit Hilfe der IsoPower Technologie sind eine Reihe neuer Modulkonzepte möglich, denn die Verwendung von organischen Isolatoren bietet eine enorme Entwurfsfreiheit. Denkbar ist zum Beispiel das Stapeln mehrerer Metallschichten (Leiterebenen) übereinander, um einen niederinduktiven Aufbau durch die parallele Führung von Plus- und Minus-Leiterebenen zu ermöglichen (Abbildung 5.2).



Abbildung 5.2: Mehrlagiger Aufbau eines thermischen Stapels mit Hilfe der IsoPower Technologie zur Reduzierung der Induktivität

Es können sowohl Moldmodule als auch Rahmenmodule mit organischen Isolatoren aufgebaut werden. Hierbei kann die Fläche sowie die Dicke der Kupferschichten relativ frei gewählt werden, um - je nach Anwendung und verwendeter Isolationsfolie - die gewünschte Halbleitertemperatur zu erreichen. Denkbar ist z.B. auch eine direkte Laminierung eines Leadframes auf einen Kühler oder eine strukturierte Bodenplatte.

In den folgenden Kapiteln sollen die verwendeten Materialien und ihre Eigenschaften sowie die zum Aufbau verwendeten Prozesse näher erläutert werden.

5.1 Verwendete Materialien und deren Eigenschaften

5.1.1 Elektrisch leitfähige Schichten

Die elektrisch leitfähigen Schichten in der vorgestellten IsoPower Technologie sind der Halbleiter, die Sinterschicht sowie die Metallschichten. Die in dieser Arbeit verwendeten Halbleiter bestehen aus Silizium. Hierbei handelt es sich um Dioden, welche im Vergleich zu IGBTs und MOSFETs (metal-oxide-semiconductor field-effect transistor), auf Grund ihres einfacheren Aufbaus elektrisch weniger schadensanfällig sind. Zudem ist bei der Verwendung von Dioden in den vorgestellten Versuchen keine Gate-Ansteuerung notwendig.

Die Halbleiter sind mit einer Silbersinterschicht elektrisch auf die Metallschichten kontaktiert. Bei der verwendeten Silbersinterpaste handelt es sich um die Sinterpaste ASP 043-04 vom Hersteller Heraeus Deutschland GmbH & Co. KG, Hanau. Diese hat einen Silberanteil von 85% und einen spezifischen elektrischen Widerstand von 0,01 m Ω cm [69].

Für die Metallschichten ober- sowie unterseitig eignet sich auf Grund der sehr guten thermischen sowie elektrischen Leitfähigkeit vor allem Kupfer. Da eine Sinterung der Halbleiter möglich sein muss, wird ETP Kupfer (E: elektrolytisch raffiniert, TP: zähgepolt [70]) verwendet. Dieses hat eine thermische Leitfähigkeit von 394 W/(m*K) und eine elektrische Leitfähigkeit von 57 MS/m bei 20°C [71]. Vorangegangene Untersuchungen zeigen, dass hiermit eine ausreichende elektrische sowie mechanische Verbindung zwischen Halbleiter und Kupfer hergestellt werden kann. Da es sich bei dem verwendeten Kupfer um Plattenware ohne besondere Vorbehandlung handelt, müssen die jeweiligen Kupferzuschnitte vor dem Bedrucken mit Sinterpaste gereinigt werden (siehe Kapitel 5.2.1).

5.1.2 Elektrisch isolierende Schichten

Für den Aufbau und eine sichere Funktion von Prüflingen und Modulen mit einer organischen Isolationsfolie als Isolator, müssen Materialien verwendet werden, welche mehrere wichtige Eigenschaften vereinen. Diese sind im Folgenden aufgelistet:

• Thermischer Widerstand

Ein geringer thermischer Widerstand kann auf zwei Weisen erzielt werden. Es ist möglich, die Wärmeleitfähigkeit des Materials so hoch wie möglich anzusetzen. Dies ist jedoch nur in einem begrenzten Maße durchführbar. So hat jedes Material seine eigene materialspezifische Wärmeleitfähigkeit. Diese kann jedoch mit Hilfe von Füllstoffen in einem begrenzten Maß erhöht werden. Eine weitere Möglichkeit besteht darin, die Schichtdicke des Isolationsmaterials so gering wie möglich auszulegen. Damit wird der Wärmewiderstand beim Einsatz von thermisch schlechtleitenden Schichten so gering wie möglich gehalten. Der Idealfall ist eine Kombination aus beidem.

• Durchschlagsspannung

Eine unabdingbare Bedingung ist die hinreichende elektrische Durchschlagsspannung der Folie. Die organischen Folien sollen als elektrische Isolatoren fungieren. Das bedeutet, die obere Kupferlage, welche die Halbleiter trägt, soll vom Rest des Moduls (unterseitiger Aufbau, z.B. Bodenplatte) potentialfrei getrennt werden. Das heißt, die Folie benötigt neben den thermischen Eigenschaften ebenfalls hinreichende elektrisch isolierende Eigenschaften. Jedes elektrisch isolierende Material hat eine charakteristische Durchschlagsspannung (Einheit: kV/mm). Die Höhe der resultierenden Durchschlagsspannung kann vor allem durch die Schichtdicke des verwendeten Materials eingestellt werden. Wird die Schichtdicke erhöht, vergrößert sich die resultierende Durchschlagsspannung sowie auch der thermische Widerstand. Die beiden Materialeigenschaften weisen in Bezug auf die Schichtdicke ein proportionales Verhalten auf. Hierdurch entsteht ein Zielkonflikt. Die Dicke des Materials sollte demnach so dick ausgelegt werden wie für eine hinreichende Durchschlagsspannung zwingend erforderlich ist.

Für Module der Leistungselektronik muss mindestens eine Spannungsfestigkeit von 500 V bestehen. Hiermit lassen sich Module mit einer Spannungsklasse von bis zu 48 V realisieren. Die nächsthöhere Spannungsklasse entspricht einer Modulspannung von 1,6 kV und benötigt eine Spannungsfestigkeit auf Materialebene von mindestens 5000 V [72].

• Mechanische Eigenschaften

Da der organische Isolator neben der elektrischen Isolation auch als Fügepartner zwischen zwei Metallflächen (bevorzugt Kupfer) eingesetzt wird, sind hinreichende adhäsive Eigenschaften der Isolationsfolie notwendig. Andernfalls kann keine ausreichende mechanische Verbindung mit den Fügepartnern hergestellt werden. Dies resultiert beispielsweise in einer schlechten Haftfestigkeit und mangelhaften thermischen Eigenschaften (z.B. durch Lufteinschlüsse zwischen Kupferfläche und Folie). Die Adhäsion wird häufig durch eine dünne Schicht Klebstoff (z.B. Acrylkleber) realisiert, welche eine optimierte Anbindung zu Metallen besitzt. Im Fall von gefüllten Epoxidfolien entfallen die Klebstoffschichten, da die Adhäsion durch das Epoxidharz selbst realisiert werden kann.

Zusätzlich ist die mechanische Stabilität des Folienmaterials ein wichtiger Faktor. Im Belastungsfall erwärmt sich das Modul durch die im Halbleiter umgesetzte Verlustleistung und die Materialien dehnen sich aus. Je nach Ausdehnungskoeffizient α_a eines Materials ist die absolute Ausdehnung bei gleichem Temperaturhub (Δ T) unterschiedlich stark. Bei Fügepartnern mit stark unterschiedlichen Ausdehnungskoeffizienten kommt es zu enormen mechanischen Spannungen, welche die Fügeschicht und damit das Modul zerstören können. Diese mechanischen Scherspannungen müssen entweder von der Isolationsfolie kompensiert werden (z.B. durch erhöhte Haftung) oder aber durch eine Anpassung der Ausdehnungskoeffizienten der Materialien vermieden bzw. minimiert werden. Dies wird bei Epoxidfolien in der Regel durch Füllstoffe erreicht. Diese gefüllten Folien haben zum Beispiel einen Ausdehnungskoeffizienten von 15 ppm/K. Dies ist in relativer Nähe zum Ausdehnungskoeffizienten von Kupfer (16,5 ppm/K), wodurch die resultierenden Scherspannungen gering bleiben.

5.1.3 Organische Isolationsfolie

Die in Kapitel 5.1.2 aufgeführten Eigenschaften werden in der Regel von organischen Isolationsfolien vereint. Diese werden vor allem auf dem asiatischen Markt entwickelt und vertrieben. Zumeist handelt es ich hierbei um Folien aus einem Epoxidharz, welche auf Grund der geringen Wärmeleitfähigkeit einen hohen Grad an Füllstoffen aufweisen. Diese erhöhen die Wärmeleitfähigkeit. So können derweil Wärmeleitfähigkeiten von bis zu 18 W/(m*K) erreicht werden. Die stetige Entwicklung dieser Folien zeigt, dass eine weitere Erhöhung der Wärmeleitfähigkeit in der Zukunft möglich zu sein scheint. [38]

Die Basis dieser Folien ist ein Epoxidharz. Epoxide bestehen aus einer ringförmigen Anordnung zweier Kohlenstoffverbindungen mit einem Sauerstoffatom. Diese haben sehr reaktionsfreudige Endgruppen (Abbildung 5.3). [73] [74] Das bedeutet: Unter Bildung einer Hydroxidgruppe, kann die Epoxidgruppe Wasserstoff anlagern, wodurch es am CH₂-Teil der Epoxidgruppe zu einer freien Bindung kommt. Dies führt zu einer Ketten- oder Netzwerkbindung und das Epoxid härtet aus bzw. vernetzt sich [74].



Abbildung 5.3: Grundaufbau einer Epoxidgruppe

Die Vernetzung der Epoxide, welche in der Regel harzförmig vorliegen, erfolgt mit Hilfe eines Reaktionsmittels, auch Härter genannt. Hierbei kann es sich um alle möglichen Formen von Kohlenstoffverbindungen handeln. Die Aushärtung erfolgt in der Regel ohne Abspaltung von Nebenprodukten und kann ohne Wärmezufuhr ablaufen (Kalthärtung). Für bestimmte Epoxide ist eine Wärmehärtung notwendig. Diese findet bei Temperaturen oberhalb von 80°C statt [75]. Es werden hierfür schmelzbare Harze eingesetzt, welche sich mit einer Vielzahl geeigneter Stoffe vernetzen lassen. Darunter fallen zum Beispiel Stoffe wie Dicarbonsäuren und Polyester. [74] Allgemein gilt: Je höher die Härtungstemperatur, desto geringer ist die benötigte Härtungszeit [75]. Die Folien befinden sich bei Auslieferung in einem sogenannten b-stage Zustand. Hierbei handelt es sich um eine feste Form des Epoxids bei Raumtemperatur. B-stage bezeichnet den Zustand eines 2-stufigen Harzsystems. Hier ist eine erste Vernetzungsreaktion abgeschlossen. Eine starke vollständige Aushärtereaktion hat jedoch noch nicht stattgefunden. Die Folie ist in diesem Zustand weiterhin form- bzw. umformbar und eine adhäsive Anbindung an die Fügepartner kann unter Temperatureintrag weiterhin stattfinden [76] [77]. Neben den guten mechanischen, elektrischen und chemischen Eigenschaften weisen Epoxidharze vor allem einen geringen Schrumpf bei der Vernetzung sowie ein hervorragendes Haftvermögen auf Metall-, Keramik- und Glasoberflächen auf [74]. Des Weiteren eignen sie sich hervorragend für die Aufnahme inerter organischer, anorganischer sowie metallischer Füllstoffe [75]. Ein hoher Füllstoffgrad ist möglich. Mit Hilfe dieser Füllstoffe können unter anderem die Härtungsschwindung, die mechanische Festigkeit sowie die Wärmeleitfähigkeit des Epoxides eingestellt werden [75] [78]. Daneben weisen Epoxide eine hohe Beständigkeit gegenüber vielen Chemikalien auf sowie ein günstiges Alterungsverhalten und gute elektrische und dielektrische Eigenschaften auch nach Alterung [74] [75]. Die typische Einsatztemperatur vieler Epoxide liegt bei 150°C - 200°C. Des Weiteren gibt es Harzsysteme, die thermisch noch beständiger sind (300°C) [74]. Die maximale Einsatztemperatur von heutigen Leistungshalbleitern liegt bei 175°C [12] [13]. Durch ihre maximalen Einsatztemperaturen von bis zu 200°C sind die meisten Isolationsfolien aus Epoxiden kompatibel für den Einsatz in Leistungsmodulen.

Auf Grund der sehr guten thermischen, elektrischen sowie mechanischen Eigenschaften, wird in dieser Arbeit die hochgefüllte Epoxidfolie HT1500S des Herstellers Hitachi Chemical Company, Tokyo, für die Untersuchungen verwendet. Der Hersteller gibt eine Wärmeleitfähigkeit von 12 W/(m*K) und eine Durchschlagsspannung von 8 kV bei einer Schichtdicke von $d = 210 \mu m$ an. Bei den Füllstoffen handelt es sich in der Regel um hexagonales Bornitrid und Aluminiumoxid (24 W/(m*K)). Das thermische Verhalten von hexagonalem Bornitrid ist anisotrop, was auf den Herstellungsprozess (Heißpressverfahren) zurückzuführen ist. In Pressrichtung hat das Bornitrid eine Wärmeleitfähigkeit von 60 W/(m*K), senkrecht zur Pressrichtung eine Wärmeleitfähigkeit von 120 W/(m*K) [79]. Beide Füllstoffe erhöhen die mittlere Wärmeleitfähigkeit des Komposits. Die Verteilung der Füllstoffe in der Folie ist homogen (Abbildung 5.4 rechts). Weitere Forschungsergebnisse zeigen, dass sich bei der Verwendung von Bornitrid eine Agglomeration der Füllstoffe (insbesondere durch Flake-förmige Partikel) positiv auf die Wärmeleitfähigkeit auswirkt. Des Weiteren wirkt sich die Nutzung verschiedener Füllstoffpartikelgrößen sowie -formen positiv auf die Wärmeleitfähigkeit der Folie aus. So können Füllstofflöcher, welche im Gemisch aus Epoxid bestehen, möglichst klein gehalten werden, wodurch eine Wärmeleitung hauptsächlich über die sehr gut leitenden Füllstoffe stattfindet (Abbildung 5.4 links) [80].



Abbildung 5.4: links: Schematische Darstellung der Verteilung verschieden großer Füllstoffe in einer Kunststoffmatrix [80], rechts: REM-Aufnahme einer beispielhaften Füllstoffverteilung [38]

Die Wärmeleitfähigkeit der Folie wird somit über die Füllstoffe, die Füllstoffmenge und die Art ihrer Verteilung eingestellt [38] [78]. Des Weiteren erhöht die Ausrichtung der Füllstoffe auf Grund der anisotropen Wärmeleitfähigkeit von Bornitrid die mittlere Wärmeleitfähigkeit der Folie [81] [82] (Abbildung 5.5).



Abbildung 5.5: Einfluss der Füllstoff-Orientierung auf die Wärmeleitfähigkeit [82]

Der Prozess zur Ausrichtung der Füllstoffe wurde vom Hersteller Hitachi Chemical, Tokyo entwickelt und als "Orientation Control Technology" bezeichnet [82].

5.2 Verwendete Prozesse

Zum Aufbau der Prüflinge werden die folgenden Prozesse verwendet:



Abbildung 5.6: Flussdiagramm mit Teilprozessen für den Aufbau von Prüflingen

Als Vorbereitungsprozesse werden alle Prozesse vor dem Fügeprozess definiert. Hierunter fallen die Reinigung der elektrisch leitfähigen Schichten (im Folgenden: Kupferzuschnitte), das Drucken und Trocknen der Sinterpaste, sowie das Sintern. Anschließend folgt der Fügeprozess. Dieser beginnt mit der Montage von Kupferzuschnitten und der Isolationsfolie und schließt mit dem Laminierprozess ab. Die Abschlussprozesse setzen sich aus der erneuten Reinigung und Desoxidation der Oberfläche der Prüflinge sowie der elektrischen Kontaktierung (Drahtbonden) zusammen (Abbildung 5.6).

Die folgenden Kapitel präzisieren die vorbereitenden Prozesse sowie den Laminierprozesses.

5.2.1 Vorbereitungsprozesse

• Reinigung der verwendeten Kupferzuschnitte

Vor dem Bedrucken der jeweiligen Kupferzuschnitte muss die Oberfläche des Kupfers gereinigt werden, um eine Sinterverbindung herstellen zu können. Dafür muss die Oberfläche frei von organischen Verunreinigungen (Fette, Öle) sowie Oxiden sein. Um sicherzustellen, dass alle Verunreinigungen von der Oberfläche entfernt werden, wird eine Reinigung mit Aceton im Ultraschallbad für mind. 15 min durchgeführt. Danach wird mit Zitronensäure die Oberfläche desoxidiert. Die Verweildauer in der Zitronensäure im Ultraschallbad beträgt ebenfalls mind. 15 min. Nach der Desoxidierung erfolgt ein Spülprozess mit destilliertem Wasser, um Reste der Zitronensäure von der Oberfläche des Kupfers zu entfernen. Nach dem Laminierprozess ist erneut eine Oxidschicht auf der Oberseite des Kupfers vorhanden. Diese muss vor dem elektrischen Kontaktieren (Drahtbond-Prozess) erneut mit Zitronensäure entfernt werden.

• Drucken der Paste und Trocknungsprozess

Das Bedrucken der Kupferzuschnitte mit Sinterpaste erfolgt durch einen manuellen Schablonendruckprozess. Hierfür wird mit Hilfe einer Klebefolie eine einmalig verwendbare Schablone mit gewünschtem Layout erstellt. Nach dem Positionieren der Schablone wird die Paste manuell aufgebracht und mit einer Handrakel gleichmäßig verteilt. Nach Entfernen der Schablone bleiben die gewünschten Pastenpads auf der Oberfläche des Kupfers zurück.

Das Trocknen der Sinterpaste erfolgt nach den Angaben des Pastenherstellers Heraeus. Dieser gibt eine Trocknung im Ofen bei 120°C für 15 min vor. Auf Grund des Trocknungsprozesses gast die in der Paste vorhandene Organik aus und der Halbleiter kann auf die getrocknete Paste bestückt werden.

• Der Sinterprozess

Zum Sintern der Halbleiter wird ein Sinterprozess mit quasihydrostatischer Druckverteilung verwendet. Das bedeutet, der benötigte Sinterdruck wird nicht mit einem harten, sondern mit einem sogenannten Softstempel aufgebracht. Dieser besteht in der Regel aus Silikon und umschließt die zu sinternden Bauelemente während des Prozesses vollständig. Der verwendete Druck beträgt 25 MPa bei einer Temperatur von $T = 250^{\circ}$ C für eine Dauer von 3 min.

5.2.2 Laminierprozess

Das Laminieren ist das Fügen von metallischen und organischen Fügepartnern mit dem Ziel, eine homogene Verbindung ohne Lufteinschlüsse zu erzeugen. Nur so können Aufbauten mit zufriedenstellenden thermischen, elektrischen sowie mechanischen Eigenschaften generiert werden. Der Laminierprozess setzt sich aus den folgenden Parametern zusammen: Zeit t, Temperatur T und aufgebrachtem Druck p. Je nach Parameterkombination verhält sich die verwendete Folie anders und es kommt zu unterschiedlichen Laminierergebnissen. Durch den Laminierprozess wird die Vernetzung der Folie (b-stage) erneut aktiviert und das Epoxid vernetzt sich vollständig wie in Kapitel 5.1.3 beschrieben.

Der Hersteller empfiehlt zur Laminierung die folgenden Prozessparameter:

- Schritt 1: Zeit $t_1 = 2 \text{ min}$, Temperatur T = 180°C, Druck $p_1 = 0 \text{ MPa}$
- Schritt 2: Zeit $t_2 = 7$ min, Temperatur T = 180°C, Druck $p_2 = 15$ MPa

Da die Folie ausgast, muss der Laminierprozess im Unterdruck stattfinden. Dies soll Lufteinschlüsse, welche durch die Ausgasung auftreten können, verhindern. Alle Schritte finden deshalb bei Unterdruck (960 mbar) statt.

Beim benannten Druck handelt es sich um den Druck, welcher beim Laminierprozess direkt am Prüfling anliegt. Dieser kann mit Hilfe des Systemdrucks an der verwendeten Laminierpresse eingestellt werden. Informationen zur verwendeten Laminierpresse befinden sich im Anhang 1. Nach dem Laminierprozess erfolgt ein weiterer Härteschritt. Hierbei handelt es sich um eine Aushärtung des laminierten Aufbaus im Ofen für drei Stunden bei 180°C.

Die Laminierparameter sind abhängig von den verwendeten Werkzeugen und Fügepartnern. In der vorliegenden Arbeit werden, wie bereits erwähnt, Kupfermaterialien untersucht. Hierbei handelt es sich um Kupferinseln, welche mit Hilfe eines Laserschneidprozesses hergestellt werden. Eine mechanische Entgratung der Kupferinseln ist zwingend erforderlich, um ein Durchdringen von Graten durch die Folie zu vermeiden. Dies beeinträchtigt die isolierenden Eigenschaften der Folie stark.

Die Qualität des Laminates wird, wie in Kapitel 6.1 beschrieben, evaluiert. Dies wird durchgeführt, um in allen weiteren Untersuchungen eine reproduzierbare Qualität des Laminates gewährleisten zu können. So wird sichergestellt, dass Schwankungen in der Qualität des Laminates keinen Einfluss auf die Halbleitertemperatur T_j haben. Die Ergebnisse der Untersuchung sind in Kapitel 8 dargestellt.

6 Versuchsmethoden und Versuchsaufbauten

Das folgende Kapitel beschreibt die verwendeten Versuchsmethoden sowie Versuchsaufbauten.

6.1 Laminieruntersuchung

Für die geometrische Optimierung des Schichtaufbaus aus Kupfer - Isolationsfolie - Kupfer hinsichtlich der Minimierung der Halbleitertemperatur T_j , wird für alle praktischen Untersuchungen ein Laminat frei von Defekten benötigt. Frei von Defekten bedeutet in diesem Zusammenhang (Abbildung 6.1):

- Frei von Lufteinschlüssen
- Frei von anderen sichtbaren Defekten
 - Durchdrücken der Folie
 - Reißen der Folie
 - o Aufwölbungen
 - Fehlende Anhaftung der Folie (zwischen den Fügepartnern sowie am Folien- und Kupferrand)



Abbildung 6.1: Mögliche Defekte der Folie, welche durch einen ungenügenden Laminierprozess entstehen können

Alle genannten Defekte beeinträchtigen die Qualität des thermischen Stapels hinsichtlich seiner thermischen, elektrischen sowie mechanischen Eigenschaften. Eine Verletzung der Isolationsfolie durch einen der oben genannten Defekte, z.B. ein Riss oder Lufteinschluss, führt zu einem erhöhten thermischen Widerstand, da Luft ein schlechter Wärmeleiter ist. Ein Riss hat vor allem einen großen negativen Einfluss auf die elektrische Isolationsfähigkeit der Folie, da diese durch einen Riss nicht vollständig gegeben ist. Bei einer fehlenden Anhaftung der Folie zu den Fügepartnern kann kein Aufbau generiert werden. Mit dieser Untersuchung wird sichergestellt, dass die Qualität der Laminierung reproduzierbar ist und somit keinen Einfluss auf die Halbleitertemperatur in allen weiterführenden Untersuchungen hat. Für die Laminieruntersuchung wird die im Anhang 1 beschriebene Laminierpresse verwendet.

6.1.1 Parameterfindung

Im Zuge der Parameterfindung wird ein anwendbares Prozessfenster ermittelt. Analysiert werden die Parameter Temperatur, aufgebrachter Druck sowie Laminierzeit. Hierfür werden Prüflinge mit verschiedenen Parametersätzen aufgebaut und visuell inspiziert. Für die Untersuchung wird der folgende Prüflingsaufbau entwickelt und verwendet (Abbildung 6.2).



Abbildung 6.2: Schematischer Aufbau des Prüflings für die Parameterfindung

Zur einfachen und unmittelbaren visuellen Inspektion der Laminationsqualität wird der Prüfling mit Hilfe eines Glasplättchens ($50 \times 50 \times 5 \text{ mm}$) als Träger der Folie sowie eines auf der Folie befindlichen Kupferplättchens ($15 \times 15 \times 1 \text{ mm}$) aufgebaut. Damit können Lufteinschlüsse oder andere Defekte der Folie von unten durch das Glasplättchen visuell erfasst und die Anbindung der Folie direkt bewertet werden. Die Unterseite des Prüflings wird unmittelbar nach der Laminierung begutachtet und dokumentiert, um alle Merkmale und Auffälligkeiten zu erfassen.

Auf Grund der stark unterschiedlichen Ausdehnungskoeffizienten α_a von Kupfer (16,5 ppm/K) und Glas (1 ppm/K, NEOCERAM N-11) entstehen beim Abkühlprozess des Prüflings starke mechanische Spannungen (Scherspannungen). Diese führen dazu, dass sich die Fügepartner bei Abkühlung des Prüflings voneinander lösen. Zur Verzögerung dieses Effekts wird der Prüfling sofort nach der Entnahme aus der Laminierpresse auf eine entsprechend temperierte Heizplatte gelegt (Abbildung 6.3). Die Temperatur der Heizplatte muss mindestens der jeweiligen Prozesstemperatur entsprechen. Die Rück- sowie Vorderseite des jeweiligen Prüflings werden fotografiert und die entstandenen Aufnahmen sowie die erstellten Notizen zur Auswertung genutzt.

Folgende Vorgehensweise wird durchgeführt:

- <u>Schritt 1:</u> Aufbau des Prüflings mit der jeweiligen Parameterkombination
- <u>Schritt 2:</u> Entnahme des Prüflings aus der Laminierpresse
- <u>Schritt 3:</u> Prüflingsübergabe an die Heizplatte und Aufnahme eines Fotos von

Vorder- und Rückseite des Prüflings



Abbildung 6.3: Versuchsaufbau und Betrachtungsweise zur Begutachtung der Prüflinge zur Analyse des Prozessfensters

Für den Aufbau von Prüflingen mit unterschiedlichen Parameterkombinationen wird eine Versuchsmatrix (Tabelle 6.1) aufgestellt. In dieser gilt es, eine zufriedenstellende Anbindung und somit ein anwendbares Prozessfenster sicherzustellen.

		Aufgebrachter Druck [MPa]					
Temperatur T [°C]	50	0	5	10	15	20	25
	100	0	5	10	15	20	25
	150	0	5	10	15	20	25
	180	0	5	10	15	20	25
	200	0	5	10	15	20	25
	250	0	5	10	15	20	25

Tabelle 6.1: Versuchsmatrix zur Untersuchung eines anwendbaren Prozessfensters

Für den Aufbau von zukünftigen Modulen ist es vorteilhaft, ähnliche oder gleiche Prozessschritte möglichst zusammenzulegen. Hierfür kann sich an den Prozessbedingungen des Sinterprozesses orientiert werden, da hier ebenfalls die Parameter Druck, Temperatur und Zeit benötigt werden. Aus diesem Grund wird als Obergrenze der Temperatur eine typische Sintertemperatur (250°C) verwendet. Ebenso wird als Obergrenze für den Druck ein typischer Sinterdruck (25 MPa) verwendet. Ist ein Laminierprozess bei den verwendeten Sinterparametern möglich, können Sinter- und Laminierprozess beim Aufbau der benötigten Prüflinge und Module in einem Schritt erfolgen.

Der Parameter Zeit bleibt in der folgenden Untersuchung zunächst konstant und ist den Verarbeitungshinweisen des Folienherstellers entnommen. Dieser gibt vor, dass der Aufbau zunächst 2 min (t_1) ohne Druck in der Laminierpresse temperiert werden soll. Anschließens wird für 7 min (t_2) der Prozessdruck, bei gleicher Temperatur, aufgebracht. Für die visuelle Inspektion ohne Vergrößerung werden die Prüflinge auf die oben beschriebenen Defekte untersucht (Abbildung 6.4).



Abbildung 6.4: Bewertungskriterien der optischen Inspektion der Laminierung

6.1.2 Prozessoptimierung

Die Qualität der Laminierung im anwendbaren Prozessfenster (Kapitel 6.1.1) wird mit Hilfe einer DoE genauer untersucht. Hierfür werden die folgenden Untersuchungen durchgeführt:

- Ermitteln des thermischen Widerstands \rightarrow R_{th}-Untersuchung
- Ermitteln der elektrischen Durchschlagsspannung \rightarrow Hochspannungstest
- Emitteln der mechanischen Festigkeit \rightarrow Schertest

Die verwendeten Versuchsmethoden und Prüflinge sind in den folgenden Kapiteln 6.1.2.1 - 6.1.2.3 erläutert und dargestellt.

6.1.2.1 Versuchsaufbau zur Ermittlung des R_{th}

Zur Untersuchung des thermischen Widerstandes R_{thja} und Charakterisierung der verschiedenen Prüflinge wird der folgende Messstand verwendet (Abbildung 6.5).



Abbildung 6.5: Übersichtsdarstellung des Messstandes für die thermischen Untersuchungen

Für alle thermischen Untersuchungen wird ein ShowerPower®-Kühler auf Grund des guten Wärmeaustauschkoeffizienten h und der gleichmäßigen Entwärmung über die gesamte Kühlfläche verwendet. Mit dem Messstand kann die Halbleitertemperatur und damit ebenfalls der thermische Widerstand (R_{thja}) bestimmt werden. Mit Hilfe einer Pumpe wird das Kühlmedium (50% H₂O, 50% Glykol) kontinuierlich durch den Wasserkühler gepumpt und der Prüfling entsprechend gekühlt. Das Kühlwasser wird mittels eines Zwischenkühlers konstant bei einer Temperatur von 20°C gehalten. Die Halbleitertemperatur wird thermografisch bestimmt. Hierfür wird eine Wärmebildkamera (IR- TCM 640, Hersteller: InfraTec) verwendet. Alle Prüflinge müssen zur Messung mit Hilfe eines Kameralackes (TETENAL Kameralack Spray) geschwärzt werden, um Reflexionen und damit einhergehende Messfehler zu vermeiden.

Zur Untersuchung des thermischen Widerstandes wird der folgende Prüfling verwendet (Abbildung 6.6):



Abbildung 6.6: Schematische Darstellung des Prüflings für die Untersuchung des thermischen Widerstandes

Dieser besteht aus einer 1 mm dicken Bodenplatte aus Kupfer und zwei kleinen Kupferinseln (Dicke ebenfalls 1 mm). Die Kupferflächen werden mit Hilfe der Isolationsfolie elektrisch isoliert und durch den jeweiligen Laminierprozess zusammengefügt. Eine aufgesinterte Diode dient im Versuch als Wärmequelle und wird vor der Laminierung des Prüflings auf eine der beiden Kupferinseln gesintert. Die zweite Kupferinsel dient zur weiteren elektrischen Kontaktierung der Diode. Der Messstand wird mit folgendem Versuchsaufbau zur Untersuchung des thermischen Widerstandes verwendet:



Abbildung 6.7: Schematische Darstellung des Messaufbaus zur Bestimmung des thermischen Widerstandes

Der Prüfling wird mit Hilfe zweier Rahmen auf einer 3 mm dicken Bodenplatte fixiert, welche auf dem Kühler montiert ist. Zur Verbesserung der Wärmeleitung befindet sich zwischen Prüfling und Bodenplatte ein Wärmeleitpad.

Der thermische Widerstand des Prüflings ergibt sich durch folgende Formel:

$$R_{thja} = \frac{T_j - T_a}{P_V} \qquad [K/W]$$

Zur Berechnung des thermischen Widerstandes müssen sowohl die Halbleitertemperatur T_j und die Temperatur des Kühlmediums T_a , als auch die Verlustleistung P_V des Halbleiters bekannt sein. Die Halbleitertempertur T_j wird, wie oben beschrieben, thermografisch bestimmt. Für die Temperatur des Kühlmediums T_a wird die Temperatur am Ein- und am Auslass des Kühlers gemessen. Die lokale Temperatur des Kühlmediums unter dem Prüfling ergibt sich dann wie folgt:

$$T_{a} = \frac{T_{ein} + T_{aus}}{2} \qquad [°C]$$

Zur Bestimmung der Verlustleistung P_v wird die elektrische Spannung, welche über der Diode abfällt, gemessen. Mit Hilfe des eingeprägten Stromes kann die Verlustleistung berechnet werden. Das Bewertungskriterium ist der thermische Widerstand R_{thja}. Dabei gilt: $R_{thja} =$ minimal.

6.1.2.2 Versuchsaufbau zur Ermittlung der elektrischen Durchschlagsspannung

Die Folie bzw. das Laminat muss eine hinreichende elektrische Durchschlagsspannung aufweisen, um in einem Leistungsmodul als Isolationsschicht eingesetzt werden zu können. Zur Untersuchung der elektrischen Durchschlagsfesspannung wird der folgende Prüfling verwendet:



Abbildung 6.8: Schematische Darstellung des Prüflingsaufbaus für die Untersuchung der elektrischen Durchschlagsspannung

Auch dieser Prüfling besteht aus einer Bodenplatte aus Kupfer (Dicke: 1 mm) auf welche mit Hilfe der organischen Isolationsfolie eine Kupferinsel (Dicke: 1 mm) aufgebracht ist. Bei diesem Prüfling dienen Bodenplatte und Kupferinsel als Elektroden, welche während der Messung elektrisch kontaktiert werden. Mittels eines Hochspannungstesters wird die Durchschlagsspannung des jeweiligen Prüflings unter Umgebungsatmosphäre sowie der Kriechstrom während der Messung ermittelt. Die benötigte Spannungsfestigkeit einer Isolationsfolie ist abhängig von der Zwischenkreisspannung des Moduls. Um einen möglichst großen Bereich im späteren Moduleinsatz gewährleisten zu können, wird ein großer Spannungsbereich untersucht (mind. 500 V für 48 V Module) [72]. Der auftretende Kriechstrom wird aus Sicherheitsgründen auf 3 mA limitiert. Informationen zum verwendeten Messgerät können dem Anhang 2 entnommen werden. Folgende Spannungsprofile werden zur Messung verwendet:



Abbildung 6.9: Verwendete Spannungsprofile zur Messung der elektrischen Durchschlagsspannung

Es wird eine Mindestanforderung von 500 V über die gesamte Dauer des Spannungsprofils an die Prüflinge gestellt. Damit ist sichergestellt, dass keine signifikante Beschädigung der Folie hinsichtlich der elektrischen Isolation vorhanden ist. Informationen zum verwendeten Hochspannungstester können dem Anhang 2 entnommen werden.

6.1.2.3 Versuchsaufbau zur Ermittlung der mechanischen Festigkeit

Zur Untersuchung der mechanischen Festigkeit wird der folgende Prüfling verwendet:



Abbildung 6.10: Schematische Darstellung des Prüflingsaufbaus für die Untersuchung der mechanischen Festigkeit

Es wird ein Schertest nach Norm MIL-STD-883E durchgeführt. Alle Informationen zum verwendeten Schertester können dem Anhang 3 entnommen werden. Bei einer Scheruntersuchung können unterschiedliche Bruchbilder entstehen (Abbildung 6.11).



Abbildung 6.11: Schematische Darstellung der möglichen Bruchbilder beim Schertest [83]

Als Bewertungskriterium wird sowohl die mittlere Haftfestigkeit als auch das Bruchbild nach dem Scheren herangezogen. Erforderlich ist mindestens ein Mischbruch oder Kohäsionsbruch in der Folie bei möglichst hoher Haftfestigkeit. Ein Adhäsionsbruch ist als nicht ausreichend zu bewerten (Abbildung 6.12). Viele Moldcompounds aus Epoxid weisen auf

Metalloberflächen eine mittlere Scherfestigkeit von 6 - 12 N/mm² auf⁴. Die mittlere Scherfestigkeit der Isolationsfolie soll deshalb mindestens 12 N/mm² oder höher betragen. Der Vergleich zwischen Moldcompound und Isolationsfolie wird gezogen, da beide Materialien aus demselben Grundmaterial (Epoxid) bestehen. Zudem kommen beide Materialien mit gleichartigen Oberflächen (Kupfer) in Berührung und sind bei Temperaturwechseln mechanischen Spannungen ausgesetzt. Die Anforderungen bezüglich der mechanischen Festigkeit sind demnach nahezu deckungsgleich.



Abbildung 6.12: Beispielhafte Darstellung eines nicht ausreichenden Bruchbildes (Adhäsionsbruch); links: Draufsicht Isolationsfolie nach Abscheren der Scherkörper; rechts: Unterseite eines abgescherten Scherkörpers

⁴ Nach persönlichen Gesprächen mit verschiedenen Moldcompound-Herstellern wie KCC und Hitachi Chemical

6.2 Thermische Charakterisierung

Zur thermischen Charakterisierung der verschiedenen Prüflinge (Messtechnische Evaluation des Simulationsmodells, Vergleich DCB-Referenzmodul - IsoPower-Moduldemonstrator) wird der in Kapitel 6.1.2.1 vorgestellte Messstand verwendet. Mittels dieses Messstandes werden die Halbleitertemperaturen der einzelnen Prüflinge bestimmt. Abbildung 6.13 zeigt beispielhaft einen Prüfling im eingebauten Zustand.



Abbildung 6.13: Prüfling installiert im Versuchsaufbau zur thermischen Charakterisierung

Der Prüfling kann mit Hilfe der Lastanschlüsse an das Netzteil kontaktiert werden. Durch den Einsatz einer Stromquelle wird der Halbleiter bestromt, während die Halbleitertemperatur thermografisch ermittelt wird. Die Vorwärtsspannung des Halbleiters U_f (hier: Diode) wird gemessen. Anhand dieser wird in Kombination mit dem eingeprägten Strom die Verlustleistung des Halbleiters bestimmt. Die Verlustleistung soll $P_V = 73,5$ W entsprechen. Dies stellt eine Leistungsdichte von 1,5 W/mm² dar, wie sie auch in den FEM-Simulationen verwendet wird (Kapitel 6.3.1). Die Berechnung der Verlustleistung ergibt sich mit Hilfe der folgenden Formel:

$$P_V = U_f * I$$

Es wird eine Vergleichsmessung der Halbleitertemperaturen an jeweils drei identischen Prüflingen durchgeführt um eine ausreichende Genauigkeit zu erzielen. Das Bewertungskriterium dieser Untersuchung ist die Halbleitertemperatur T_j.

6.3 Vorgehensweise zur Erstellung eines Regressionsmodells

Wie in den vorherigen Kapiteln bereits erläutert, ist die geometrische Auslegung der Kupferschichten in einem thermischen Stapel von enormer Wichtigkeit. Im weiteren Verlauf dieser Arbeit wird untersucht, wie die thermisch leitenden Schichten auszulegen sind, um bei vorgegebener Leistung eine möglichst geringe Halbleitertemperatur zu erzeugen. Die Zielgröße aller dafür notwendigen Untersuchungen ist die Halbleitertemperatur T_j. Diese soll minimiert werden. Hierfür gilt es zunächst die Faktoren zu detektieren, welche einen Einfluss auf die Zielgröße haben. Sind diese Einflussfaktoren ermittelt sowie ihre Effekte und eventuelle Wechselwirkungen analysiert, kann das Schichtsystem auf Grundlage der gewonnenen Erkenntnisse optimiert werden. Es wird die statistische Versuchsplanung angewandt. Abschließend wird die durchgeführte Optimierung messtechnisch evaluiert.

Untersucht werden die folgenden Einflussgrößen (Faktoren):

- Faktor 1: Kantenlänge (Spreizfläche)
- Faktor 2: Dicke Cu oben
- Faktor 3: Dicke Cu unten

TIM-Schichten werden nicht betrachtet, da eine direkte Wasserkühlung eingesetzt wird. Mit Hilfe eines Regressionsmodells werden die verschiedenen Faktoren und ihre Wechselwirkungen untersucht. Dafür wird wie folgt vorgegangen:

- 1. Aufstellen eines Regressionsmodells zur qualitativen Analyse und Auswertung der Einflüsse und Wechselwirkungen der untersuchten Faktoren
 - a. Grenzanalyse der Kantenlänge
 - b. Ermittlung der Faktorstufen
 - c. Aufstellen des Regressionsmodells unter Verwendung der einzelnen Faktorstufen (Modellbildung)
 - d. Geometrische Optimierung des Schichtaufbaus (Zielgrößenoptimierung)
- 2. FEM-Simulationen zur quantitativen Analyse des Regressionsmodells

Basierend auf den ermittelten Ergebnissen (Ergebnis der Zielgrößenoptimierung: Kantenlänge, Cu-Dicke oben, Cu-Dicke unten) wird das in Kapitel 6.3.1 vorgestellte FEM-Simulationsmodell angepasst. Das vom Regressionsmodell prognostizierte Optimum wird mit dem Optimum der FEM-Simulation verglichen, um die Prognosefähigkeit des Regressionsmodells zu evaluieren. 3. Messtechnische Evaluation des Simulationsmodells

Der aus dem Regressionsmodell resultierende optimierte Schichtaufbau wird als realer Prüfling gefertigt und messtechnisch begutachtet. Die ermittelten Halbleitertemperaturen werden mit den prognostizierten Halbleitertemperaturen des Simulationsmodells verglichen.

Zur Untersuchung der einzelnen Faktoren und der Generierung eines aussagekräftigen Regressionsmodells mit Hilfe der statistischen Versuchsplanung, müssen zunächst die sogenannten Faktorstufen der einzelnen Faktoren ermittelt werden. Diese legen den Untersuchungsraum fest. Das Ermitteln der Faktorstufen geschieht mit Hilfe des in Kapitel 6.3.2 vorgestellten FEM-Simulationsmodells. Wechselwirkungen der einzelnen Faktoren untereinander müssen zur Ermittlung der Faktorstufen zwingend vermieden werden. Dies geschieht durch eine Grenzanalyse der Kantenlänge (Kapitel 9.2.1). Andernfalls kann es zu einer fehlerhaften Beurteilung der Faktorstufen kommen.

Sind geeignete Faktorstufen ermittelt (Kapitel 9.2.2), werden anhand von statistischer Versuchsplanung die Parameterkombinationen der jeweiligen Faktoren (Experimente) generiert. Die Experimente werden mittels FEM-Simulation durchgeführt. Die Ergebnisse bilden die Grundlage für ein Regressionsmodell, welches das Verhalten des Systems (Schichtaufbau mit leistungsbehaftetem Halbleiter) hinreichend beschreiben soll. Anhand des Regressionsmodells werden anschließend sowohl die Haupteinflussfaktoren als auch die Wechselwirkungen der Faktoren untereinander bestimmt (Kapitel 9.2.3). Hierfür wird, nach den Grundsätzen der statistischen Versuchsplanung, zunächst eine sogenannte Screening-DoE durchgeführt. Mit dieser werden die Haupteinflussfaktoren des Systems ermittelt. Weist die Zielgröße ein nichtlineares Verhalten auf, wird im weiteren Verlauf eine Wirkungsflächen-DoE zur Analyse des nichtlinearen Verhaltens herangezogen. Eine Beurteilung auf Nichtlinearität kann mit Hilfe eines sogenannten Center Points in der Screening-DoE erfolgen. Zur Erstellung des Versuchsplans einer Wirkungsflächen-DoE werden die gleichen Faktorgrenzen wie in der Screening-DoE verwendet. Der Versuchsplan wird um zusätzliche Versuchspunkte (Sternpunkte) erweitert. Diese sorgen für eine erweiterte Beschreibung des Modells durch eine Erhöhung der Versuchsanzahl, respektive Datenpunkte (Abbildung 6.14). Der Center Point bleibt in dieser Betrachtung erhalten. Abschließend erfolgt die Optimierung des geometrischen Schichtaufbaus zur Minimierung der Zielgröße T_i.


Abbildung 6.14: Darstellung des Unterschiedes der Versuchspunkte bei einer Screening-DoE sowie einer Wirkungsflächen-DoE (A,B,C: Faktoren; schwarz: Faktorstufen min, max; grün: Center Point; gelb: Sternpunkte)

Zur Ermittlung der Faktorstufen muss sichergestellt werden, dass die einzelnen Faktoren sich nicht gegenseitig beeinflussen. Es muss also zunächst ein Simulationsraum generiert werden, der keine Wechselwirkungen der einzelnen Faktoren untereinander zulässt (1a – Grenzanalyse der Kantenlänge). Das bedeutet, die Betrachtung der Faktorstufen muss im ersten Schritt mit Hilfe einer unendlich großen Cu-Platte durchgeführt werden, um in jedem Fall die volle Spreizung bei der Ermittlung der Faktorstufen gewährleisten zu können. Es kommt ein endliches Modell zum Einsatz, welches ein quasi-unendliches Verhalten aufweist.

Um dieses Modell zu generieren, wird zunächst die Grenzanalyse der Kantenlänge durchgeführt. Hierbei wird untersucht, wie groß die Kantenlänge x sein muss, damit diese als virtuell unendlich betrachtet werden kann. Als Bewertungskriterium gilt hier, dass an den Stirnflächen des thermischen FEM-Simulationsmodels ausgehend vom Halbleiter (Wärmequelle) keine Wärmeenergie mehr ermittelt werden darf. Das bedeutet, die Temperaturverteilung über die Stirnflächen des Modells muss in jedem Punkt der Umgebungstemperatur $T_a = 20,0^{\circ}C$ entsprechen (Abbildung 6.15).



Abbildung 6.15: Erläuterung der benötigten Temperaturverteilung zur Grenzanalyse der Kantenlänge

Die Betrachtung der Temperaturverteilung der Stirnflächen wird sowohl für den Minimalfall der Cu-Dicke (0,3 mm) als auch für einen Extremfall der Cu-Dicke durchgeführt. Es wird als Maximalfall eine exorbitant große Schichtdicke von 100 mm verwendet. Es muss eine Kantenlänge gefunden werden, bei der für beide Fälle die Temperaturverteilung der Stirnflächen in jedem Punkt bei 20°C liegt. Ist dies gewährleistet, kann die Kantenlänge als virtuell unendlich sowie die Grenzen des Simulationsraumes als definiert betrachtet werden. Die Ermittlung der Faktorstufen wird innerhalb dieses Simulationsraumes durchgeführt. Für beide Untersuchungen wird das in Kapitel 6.3.2 erläuterte FEM-Simulationsmodell verwendet.

Zum besseren Verständnis soll die Vorgehensweise zur Ermittlung der Faktorstufen (1b) anhand der folgenden Grafik zusammengefasst werden:

	$\label{eq:bis} \frac{\text{Ermittlung der Faktorstufen}}{\text{Bis zu welcher Faktorstufe hat der jeweilige Faktor einen Einfluss auf die Zielgröße?} \\ \frac{\text{Bewertungskriterium: }}{\text{Faktor einen Einfluss auf die Zielgröße?}}$
1	Analyse der Cu-Dicke bei Kantenlänge ∞ Analyse des Einflusses der Cu-Dicke auf die Halbleitertemperatur zwischen d = 0,3 mm und d = 100 mm →Grenzen der Cu-Dicke für DoE: min = 0,3 mm , max = ?
2	<u>Analyse der Kantenlänge bei Cu-Dicke d = max</u> Analyse des Einflusses der Kantenlänge auf die Halbleitertemperatur bei Cu-Dicke d = max → Grenze der Kantenlänge für DoE: min = 8 mm , max = ?

Abbildung 6.16: Übersicht der Vorgehensweise zur Ermittlung der Faktorstufen

Der Minimalwert für die Kantenlänge ergibt sich aus der Kantenlänge der Sinterschicht (bei dem hier verwendeten Halbleiter 8 mm), der minimale Wert für die Schichtdicke ergibt sich aus der Schichtdicke der oberen Kupferlage einer Standard Al₂O₃-DCB (0,3 mm). Zur Ermittlung der Faktorstufen muss untersucht werden, bis zu welcher Stufe der jeweilige Faktor einen Einfluss auf die Zielgröße T_j hat. Hierfür muss zunächst eine Analyse der Cu-Dicke durchgeführt werden. Es wird untersucht, ab welcher Stufe die Cu-Dicke keinen signifikanten Einfluss mehr auf die Halbleitertemperatur hat. Anschließend wird anhand der ermittelten Cu-Dicke die Analyse der Kantenlänge durchgeführt. Hierbei wird untersucht, ab welcher Stufe die Kantenlänge bei gegebener Kupferdicke keinen signifikanten Einfluss mehr auf die Halbleitertemperatur hat.

6.3.1 FEM-Simulationsmodell für das Regressionsmodell

Zur Untersuchung der geometrischen Optimierung der Cu-Schichten soll ein mittensymmetrisches Schichtmodell verwendet werden (Abbildung 6.17).



Abbildung 6.17: Aufbau des Simulationsmodells zur Generierung des Regressionsmodells

Es wird zum einen die Schichtdicke des Kupfers d als auch die Kantenlänge x (Spreizfläche) analysiert. Aus Symmetriegründen ist die Kantenlänge x der oberen Cu-Schicht immer gleich der Kantenlänge x der unteren Cu-Schicht.

Für die Modellgeometrien gelten sowohl Konstanten als auch Variablen. Bei konstanten Werten handelt es sich um vorgegebene Modellgeometrien (z.B. Halbleiterdimensionen). Diese bleiben während der gesamten Untersuchung konstant. Bei den Variablen handelt es sich um die zu untersuchenden Faktoren, also Kantenlänge und Cu-Dicken. Tabelle 6.2 zeigt eine Übersicht der konstanten sowie variablen Modellgeometrien:

Konstante Modellgeometrien							
Halbleiter	7 x 7 x 0,08 [mm]						
Sinterschicht	8 x 8 x 0,03 [mm]						
Organische Isolationsfolie	Dicke: 190µm, Fläche entsprechend						
(HT1500S)	der jeweiligen Kantenlänge						
Variable Modellgeometrien							
<u>Variable N</u>	<u>Iodellgeometrien</u>						
Variable M Kantenlänge x	<u>Iodellgeometrien</u> Es gilt: Kantenlänge x des oberen						
Variable M Kantenlänge x Cu-Schichten	<u>Iodellgeometrien</u> <u>Es gilt:</u> Kantenlänge x des oberen Cu ist immer gleich des unteren Cu						
<u>Variable M</u> Kantenlänge x Cu-Schichten Dicke d Cu oben	Iodellgeometrien Es gilt: Kantenlänge x des oberen Cu ist immer gleich des unteren Cu Die Werte werden mit Hilfe der Simulation ermittelt						

 Tabelle 6.2:
 Übersicht der Konstanten und Variablen in Bezug auf die Modellgeometrie

Alle Simulationen erfolgen unter den in Tabelle 6.3 dargestellten Randbedingungen.

Tabelle 6.3: Verwendete Randbedingungen der FEM-Simulation

Randbedingung	<u>Wert</u>
Verlustleistung Pv	1,5 W/mm ² (73,5W)
Wärmeaustauschkoeffizient h	5000 W/(m ² *K)
Umgebungstemperatur T _a	20,0°C

6.3.2 FEM-Simulationsmodell zur Ermittlung der Faktorstufen

Zur Ermittlung der Faktorstufen dürfen, wie bereits erwähnt, keine Wechselwirkungen der einzelnen Faktoren untereinander auftreten. Um dies zu gewährleisten wird das folgende vereinfachte System analysiert, welches lediglich aus dem Halbleiter, der Sinterschicht und einer Kupferschicht besteht:



Abbildung 6.18: Schematische Darstellung des vereinfachten Systems zur Ermittlung der Faktorstufen

Mit diesem Modell wird die Wärmeverteilung innerhalb der Kupferschicht ausgewertet, um, wie in Kapitel 6.3 beschrieben, die Faktorstufen für die Regressionsmodellbildung festzulegen. Diese Untersuchung erfolgt unter den gleichen Randbedingungen wie alle übrigen simulatorischen Analysen des Regressionsmodells (Tabelle 6.3).

Alle in dieser Arbeit verwendeten thermischen FEM-Simulationsmodelle werden zunächst mit Hilfe des CAD-Programmes SolidWorks von Dassault Systèmes SolidWorks Corp. als CAD-Modell aufgebaut. Anschließend erfolgt die thermische Simulation der Modelle mit Hilfe des Zusatzprogrammes FlowSimulation von Mentor Graphics. Dieses errechnet die Ergebnisse mit Hilfe der Finite-Elemente-Methode (FEM-Simulation).

6.4 Prüflingsaufbau zur messtechnischen Evaluation des Simulationsmodells

Das folgende Kapitel beschreibt den Aufbau des Prüflings für die Evaluation des thermischen FEM-Simulationsmodells. Die Dimensionierung des Prüflings ist das Ergebnis von geometrischen Optimierungsmaßnahmen der Kupferschichten durch das Regressionsmodell. Für den Prüflingsaufbau wird zunächst der benötigte Halbleiter auf der oberen Kupferplatte mit Hilfe des Silbersinterverfahrens elektrisch kontaktiert.



1. Cu Platte gereinigt und desoxidiert

2. Cu Platte mit getrockneter Silbersinterpaste 3. Cu Platte mit gesintertem Halbleiter

Abbildung 6.19: Beschreibung der Vorgehensweise für die Sinterung des Halbleiters auf die obere Kupferplatte zur Herstellung der für die messtechnische Evaluation benötigten Prüflinge

Anschließend werden die obere und die untere Kupferplatte mit Hilfe der organischen Isolationsfolie sowie des Laminierprozesses zusammengefügt. Es entsteht ein stabiler, thermisch leitfähiger aber elektrisch isolierter Prüfling (Abbildung 6.20).



Abbildung 6.20: Laminierter Prüfling mit gesintertem Halbleiter

Zur elektrischen Kontaktierung im Prüfstand werden Aluminiumdrähte (400 µm) auf den Prüfling gebondet und zu einer weiteren Kupferinsel geführt. Diese Insel dient lediglich dazu, eine Möglichkeit zur weiteren Kontaktierung zu bieten. Sie wird mit Hilfe einer schlecht wärmeleitenden, doppelseitig klebenden Folie auf der Oberseite des Prüflings appliziert. Die Klebefolie muss thermisch isolierend sein, um thermische Wechselwirkungen ausschließen zu können, die in der Simulation nicht betrachtet werden. Zur Kontaktierung der benötigten Lastanschlüsse werden Cu-Bändchen aufgebracht. Diese dienen lediglich der elektrischen

Kontaktierung des Prüflings im Prüfstand und werden auf Grund der höheren mechanischen Stabilität im Vergleich zu Aluminiumbonddrähten gewählt.

Zur Kühlung des Prüflings wird eine ShowerPower®-Kühlung verwendet, um eine gleichmäßige Entwärmung der Prüflinge über die gesamte Kühlfläche zu gewährleisten. Diese erzeugt einen Wärmeaustauschkoeffizienten von $h = 5000 \text{ W/(m}^{2}\text{K})^{5}$, was dem in der Simulation verwendeten Wärmeaustauschkoeffizienten entspricht. Da es sich hierbei um einen offenen Kühler handelt, welcher normalerweise durch die Bodenplatte des Moduls verschlossen wird, muss auch in diesem Fall eine entsprechende Bodenplatte verwendet werden. Damit eine direkte Wasserkühlung an der Unterseite des Prüflings stattfinden kann, wird eine entsprechende Aussparung in der Bodenplatte vorgesehen. Der Prüfling wird in diese Aussparung eingesetzt und an den Rändern wasserdicht mittels eines Silikonklebers versiegelt (Abbildung 6.21, Abbildung 6.22).



Abbildung 6.21: Schematische Darstellung des finalen Prüflings (optimierter Schichtaufbau), verbaut auf dem verwendeten ShowerPower®-Kühler



Abbildung 6.22: Finalisierter Prüfling mit Halbleiter und der jeweiligen AVT sowie den gebondeten Lastanschlüssen, wasserfest montiert in die benötigte Bodenplatte

⁵ Ermittelt in persönlichen Gesprächen mit Danfoss Silicon Power GmbH

7 Thermische Grundlagenuntersuchung

7.1 Untersuchung der Wärmespreizung

Wie in Kapitel 4.2 bereits erwähnt, hat die Wärmespreizung einen großen Einfluss auf die Halbleitertemperatur und ist abhängig von den thermischen sowie geometrischen Eigenschaften der einzelnen Schichten. Für die Untersuchungen der vorliegenden Arbeit bedeutet dies, dass vor allem die Schichtdicken sowie Spreizfläche, definiert durch die Kantenlänge x, der thermisch gut leitenden Schichten (Cu-Schichten) von großer Bedeutung sind. Auf Grund der sehr guten Wärmeleitfähigkeit des Kupfers, kann sich die Wärme relativ ungehindert ausbreiten, also Spreizen. Da beim Wärmetransport jedoch immer zwei Ebenen von Bedeutung sind, nämlich die laterale sowie die sagittale, ist nicht nur die Wärmeleitfähigkeit der verwendeten Materialien, sondern auch deren Schichtdicke ein wichtiger Faktor. Bei Betrachtung eines thermischen Stapels im eingeschwungenen Zustand, können diese Spreizeffekte als Temperaturverteilung über die Modelloberfläche (z.B. über den Kupferträger) sowie als Temperaturgradient durch den thermischen Stapel sichtbar gemacht werden. Mit Hilfe von thermischer FEM-Simulation lässt sich deutlich machen, wie stark die Wärmespreizung von der Schichtdicke der Kupferschicht unterhalb des Halbleiters abhängig ist. Für eine erste näherungsweise Abschätzung wird mit dem folgenden Modell eine thermische FEM-Simulation durchgeführt.



Abbildung 7.1: Verwendetes Simulationsmodell zur Untersuchung des Einflusses der thermischen Spreizung

Die einzige Variable bei dieser Untersuchung ist die Schichtdicke d des Kupferträgers unterhalb des Halbleiters. Diese variiert zwischen d = 0,3 mm und d = 5 mm. Als Wärmequelle wirkt der Halbleiter zunächst mit einer festgelegten Leistung von $P_V = 120$ W. Die folgenden Abbildungen zeigen die Temperaturverteilung über die Oberfläche des Modells mit d = 0,3 mm im Vergleich zu d = 1 mm:



Abbildung 7.2: Vergleichende Simulationsergebnisse zur Untersuchung der thermischen Spreizung mit Hilfe der Halbleitertemperatur T_j , links: d = 0.3 mm, rechts: d = 1 mm

Der Vergleich der Halbleitertemperaturen zeigt, dass bereits eine sehr geringe Erhöhung der Schichtdicke um 0,7 mm eine drastische Reduzierung der Halbleitertemperatur um 44K bewirkt. Dies hängt mit der verbesserten Bedingung für die Wärmespreizung durch die Erhöhung der Kupferdicke zusammen. Auf Grund der höheren Schichtdicke und damit einhergehend einer größeren thermischen Kapazität, kann sich die Wärme besser lateral ausbreiten. Dies hat zur Folge, dass die Halbleitertemperatur sinkt. Mit weiterer Erhöhung der Kupferschichtdicke sinkt die Halbleitertemperatur weiter ab, bis sich kaum noch Unterschiede in der Halbleitertemperatur feststellen lassen (Abbildung 7.3).



Abbildung 7.3: Simulationsergebnisse zur Temperaturverteilung auf der Oberseite der Kupferlage bei Kupferdicken d = 0,3 mm bis 5 mm.

An diesem Punkt (4 mm) ist die vollständige Spreizung erreicht. Das bedeutet, die Wärme kann sich vollständig lateral ausbreiten, eine weitere Erhöhung der Kupferschichtdicke führt zu keiner Vergrößerung der Spreizung und somit zu keiner signifikanten Verringerung der Halbleitertemperatur.

Mit Hilfe einer weiteren Untersuchung kann ebenfalls der Temperaturgradient und somit die Erhöhung des Spreizwinkels bei steigender Schichtdicke deutlich gemacht werden. Voraussetzung ist eine hochwertige, leistungsstarke Kühlung (z.B. ShowerPower®-Kühlung). Hierfür wird das gleiche Simulationsmodell wie zuvor verwendet. In diesem Fall wirkt der Halbleiter mit einer festgelegten Temperatur von $T_j = 100^{\circ}$ C als Wärmequelle. Beim Vergleich der Temperaturverteilungen auf der Unterseite der Modellvariationen im eingeschwungenen Zustand, können die unterschiedlichen Spreizeffekte als Temperaturgradient durch den thermischen Stapel dargestellt werden (Abbildung 7.4).



Abbildung 7.4: Darstellung der Spreizwirkung (Spreizwinkel) bei unterschiedlicher Kupferdicke durch den thermischen Stapel

Bei einem Vergleich der Ergebnisse fällt auf, dass die Halbleitertemperatur bei steigender Schichtdicke nicht weiter sinkt (Abbildung 7.3) und sich der Spreizwinkel bei konstanter Halbleitertemperatur entsprechend gering vergrößert (Abbildung 7.4). Festzuhalten ist, dass sowohl die Reduktion der Halbleitertemperatur als auch die Vergrößerung des Spreizwinkels bei zunehmender Schichtdicke stagniert. Das Modell hat unter den gegebenen Randbedingungen seinen vollständigen Grad der Spreizung erreicht. Eine wichtige Randbedingung ist die Fläche, welche in beiden vorangegangenen Untersuchungen konstant ist. Die Kombination aus Fläche und Schichtdicke ist ein wichtiger Faktor, da ohne laterales Volumen (Fläche) keine Spreizung stattfinden kann. Die Einflussfaktoren und ihre Wechselwirkungen werden im weiteren Verlauf der Arbeit eingehend analysiert (Kapitel 9).

7.2 Bedeutung des thermischen Widerstandes bei der Bewertung von Modulen

Wie bereits in Kapitel 4.3 gezeigt, setzt sich der Gesamtwiderstand eines Moduls oder thermischen Stapels aus den Einzelwiderständen der unterschiedlichen Schichten zusammen. Für die Bewertung des Gesamtwiderstandes von Leistungsmodulen ist es somit zwingend erforderlich, genaue Kenntnis über die Lage der einzelnen R_{th} und ihrer Bezugspunkte zu haben. Da in der Leistungselektronik die treibende Kraft immer die maximale Temperatur des

Halbleiters ist, ist es notwendig, diese in jedem Fall zu berücksichtigen. Dies ist jedoch, gerade bei der Evaluierung von neuen thermischen Stapeln nicht immer der Fall. Denn bei der Bewertung ist nicht nur die Wärmeleitfähigkeit der Materialien und ihre Anordnung im Stapel von Relevanz, sondern auch die Schichtdicke und somit die Möglichkeit der Wärmespreizung. Die Schichtdicke wird jedoch bei unzureichender R_{th}-Betrachtung nicht berücksichtigt und führt zu fehlerhaften Annahmen und Ergebnissen.

In der gängigen Praxis wird häufig nur die Betrachtung des R_{thjc} vorgenommen. Dieser berechnet sich wie folgt:

$$R_{thjc} = \frac{\Delta T}{\dot{Q}} = \frac{\Delta T}{P_V} = \frac{T_j - T_c}{P_V} \qquad [K/W]$$

Das ΔT wird hierbei aus der Halbleitertemperatur T_j und der Temperatur T_c an der Modulunterseite (Case) gebildet (vgl. Abbildung 4.2).

Der R_{thja} berechnet sich hingegen wie folgt:

$$R_{\text{thja}} = \frac{\Delta T}{\dot{Q}} = \frac{\Delta T}{P_{V}} = \frac{T_{j} - T_{a}}{P_{V}} \qquad [K/W]$$

In diesem Fall wird das ΔT aus der Halbleitertemperatur T_j und der Kühlmitteltemperatur T_a gebildet. Bei ausreichend dimensionierter Kühlleistung ist T_a konstant (hier: $T_a = 20^{\circ}$ C). Dieser Sachverhalt und die Problematik einer reinen Betrachtung des R_{thjc} kann mit Hilfe von einfachen thermischen Simulationen und deren Analyse genauer dargelegt werden (Abbildung 7.5). Eine komplette Modell- sowie Simulationsbeschreibung kann im Anhang 4 eingesehen werden. Die Kantenlängen der Modelle sind bei dieser Untersuchung konstant, während die Schichtdicke der unteren Kupferschicht (Modulunterseite) variabel ist.



Abbildung 7.5: Darstellung der Simulationsergebnisse zum Vergleich einer R_{thjc} sowie R_{thja} Betrachtung anhand von einem Modell mit höherer Kupferdicke unterseitig (links) sowie geringerer Kupferdicke unterseitig (rechts) bei gleicher Kantenlänge

Wird der Ansatz "junction – case" verfolgt, so wird versucht, den thermischen Pfad so kurz wie möglich zu gestalten. Das bedeutet: Jede Schicht soll so dünn wie möglich ausgelegt und Schichtübergänge sollten möglichst vermieden werden. Der Wärmefluss muss demnach so wenig wie möglich beeinträchtigt werden. Unter Berücksichtigung dieses Ansatzes ist das oben gezeigte Modell 2 mit seiner dünneren Bodenplatte thermisch besser ausgelegt, als Modell 1. Beim Vergleich der zugehörigen ΔT scheint diese Aussage in Bezug auf den R_{thjc} eindeutig bestätigt:

Modell 1:
$$\Delta T_{jc1} = T_{j1} - T_{c1} = 47,20^{\circ}C - 38,96^{\circ}C = 8,24K$$

Modell 2: $\Delta T_{jc2} = T_{j1} - T_{c1} = 61,82^{\circ}C - 57,18^{\circ}C = 4,64K$

Modell 2 weist mit 4,64K ein deutlich geringeres ΔT auf als Modell 1 mit 8,24K. Die jeweiligen R_{thjc} sind entsprechend für Modell 1 und Modell 2 bei einer Verlustleistung von P_V = 120W wie folgt zu berechnen:

Entsprechend obiger Berechnung weist Modell 2 einen kleineren Rthjc auf.

Ein Vergleich der Case-Temperaturen (Temperatur an der Unterseite der Bodenplatte) beider Modelle zeigt jedoch, dass Modell 1 hier mit $T_{c1} = 38,96$ °C eine deutlich geringere Temperatur aufweist als Model 2 mit $T_{c2} = 57,18$ °C. Dies bedeutet im Umkehrschluss, dass Modell 2 ein geringeres ΔT aufweisen muss, da hier mit einer deutlich höheren Case-Temperatur gerechnet wird. Für die Bewertung des thermischen Stapels ist allerdings nicht die Case-Temperatur, sondern die Halbleitertemperatur ausschlaggebend. Beim Vergleich der Halbleitertemperaturen von Modell 1 und Modell 2 wird so ersichtlich, dass Modell 1 mit $T_{j1} = 47,2$ °C eine deutlich geringere Halbleitertemperatur aufweist als Modell 2 mit $T_{j2} = 61,82$ °C. Vom thermischen Gesichtspunkt her ist Modell 2 bezogen auf die Lebensdauer deutlich schlechter einzuschätzen.

Dies beweist, dass eine reine Betrachtung des R_{thjc} zu einer fehlerhaften Beurteilung von thermischen Stapeln führt. Denn zur Beurteilung bedarf es möglichst wenig Veränderlicher und somit einer festen Temperaturreferenz. Diese feste Temperaturreferenz kann mit Hilfe einer gleichbleibenden Umgebungstemperatur ($T_a = const$) erzeugt werden. Im Folgenden wird der "junction – ambient"-Ansatz verfolgt. Damit ergibt sich für das ΔT der beiden betrachteten Modelle folgendes:

Modell 1:
$$\Delta T_{ja1} = T_{j1} - T_{a1} = 47,20^{\circ}C - 20,00^{\circ}C = 27,20K$$

Modell 2: $\Delta T_{ja2} = T_{j2} - T_{a2} = 61,82^{\circ}C - 20,00^{\circ}C = 41,82K$

Entsprechend ergibt sich für den R_{thja} beider Modelle folgendes:

Modell 1:
$$R_{thja1} = \Delta T_{ja1}/P_V = 27,20K/120 W = 0,23 K/W$$

Modell 2: $R_{thja1} = \Delta T_{ja2}/P_V = 41,82K/120 W = 0,34 K/W$

Hier zeigt sich, dass Modell 1 mit einem geringeren R_{thja} thermisch besser ausgelegt ist und nicht mehr Modell 2, wie beim oben aufgezeigten "junction – case"-Ansatz.

Eine reine "junction – case" Betrachtung ist somit eine eindimensionale Betrachtung eines komplexen Systems. Diese führt nicht zwangsläufig zu einem optimalen thermischen Aufbau und somit zu der geringsten Halbleitertemperatur. Sie führt immer dann zu einer fehlerhaften Beurteilung, wenn Spreizeffekte durch den jeweiligen Aufbau des thermischen Stapels (z.B. dünne Schichten) nicht vollständig wirken können. Auf Grund der Notwendigkeit der Entwicklung von komplett neuen Modulvarianten (z.B. mit dickeren Kupferlagen) wird also

die Betrachtung des R_{thja} unverzichtbar, um Spreizeffekte und vor allem unvollständige Spreizung abbilden zu können. Der Vorteil einer Betrachtung des R_{thja} liegt darin begründet, dass bei der Berechnung der Temperaturdifferenz ΔT von einem festen Bezugspunkt (hier: T_a = 20°C), der Umgebungstemperatur (ambient), ausgegangen wird. Die einzige Veränderliche bei der Berechnung von ΔT ist damit die Halbleitertemperatur. Das bedeutet: Je höher die Halbleitertemperatur, desto größer wird der R_{thja}. Für eine Beurteilung der betrachteten thermischen Stapel ist somit nur noch die Halbleitertemperatur ausschlaggebend.

Die angrenzende Kühlung hat ebenfalls eine große Wirkung auf den thermischen Stapel und folglich auf die Halbleitertemperatur. Das bedeutet, dass derselbe thermische Stapel bei unterschiedlichen Kühlvarianten und gleichbleibender eingeprägter Leistung eine andere Halbleitertemperatur aufweisen kann. Dies beeinflusst im Umkehrschluss entsprechend den R_{th} sowie den Z_{th}. Somit muss zur thermischen Auslegung eines Moduls die jeweilige Kühlvariante ebenfalls berücksichtigt werden oder für die Bewertung und den Vergleich von thermischen Stapeln konstant sein.

Eine weitere thermische Simulation der oben gezeigten Modelle 1 und 2 führt unter Verwendung unterschiedlicher Kühlvarianten zu unterschiedlichen Ergebnissen (Abbildung 7.6).



Abbildung 7.6: Darstellung des Einflusses der Kühlung auf den thermischen Widerstand bei unterschiedlichen Modellen im Vergleich

Die Ergebnisse zeigen deutlich, dass eine Variation der Kühlvariante zu einer unterschiedlichen thermischen Performance gleicher Modelle führt. Je größer der Wärmeaustauschkoeffizient h einer Kühlung ist, desto geringer ist auch der Rthja. Dieser setzt sich aus den beiden thermischen Teilwiderständen Rthjc und Rthca zusammen. Es zeigt sich, dass, je nach Effektivität der Kühlung, der Rthca sinkt bzw. steigt. Hier gilt ebenfalls, je größer h, desto geringer ist Rthca. Die Betrachtung des Rthjc zeigt jedoch, dass dieser mit steigendem h ebenfalls steigt. Dies hängt erneut mit der Wärmespreizung im thermischen Stapel zusammen. Bei einer sehr guten Kühlung wird die Wärme im Stapel wenig bis gar nicht gespreizt, sondern nach unten tunnelförmig abgeführt. Die Case-Temperatur T_c ist somit durch die sehr gute Wärmeabfuhr entsprechend geringer. Das bedeutet, bei einer starken Kühlleistung wird ein größerer Wärmestrom abgeführt und T_c ist entsprechend geringer. Ein Aufladen der thermischen Kapazität des Stapels findet nicht statt. Durch den hohen Wärmeaustauschkoeffizienten h findet eine Steigerung des Gradienten der Wärmestromlinien statt (Abbildung 7.7).



Abbildung 7.7: Darstellung der Wärmestromlinien bei Verwendung einer leistungsstarken Kühlung mit Wärmeaustauschkoeffizient $h=100.000 W/(m^{2*}K)$

Bei einer schwachen Kühlung entsteht ein verringerter Wärmestrom und die thermische Kapazität des Stapels kann aufgeladen werden. Es wird weniger Wärme abgeführt und T_c steigt entsprechend an (Abbildung 7.8).



Abbildung 7.8: Darstellung der Wärmestromlinien bei Verwendung einer leistungsärmeren Kühlung mit Wärmeaustauschkoeffizient $h=500 W/(m^{2*}K)$

Wie oben beschrieben führt dies in der Berechnung des R_{thjc} zu einem geringeren ΔT und entsprechend zu einem geringeren R_{thjc} .

Es wird also deutlich, dass auch verschiedene Kühlvarianten bei der Bewertung von thermischen Stapeln mitberücksichtigt werden müssen. Ebenfalls wird noch einmal deutlich, dass eine reine Betrachtung von Rthjc bzw. Zthjc nicht ausreichend ist und zu fehlerhaften Ergebnissen führen kann. Es wurde damit bewiesen, dass der zu bewertende thermische Stapel nicht an der Unterseite des Gehäuses (case) endet, sondern der gesamte Aufbau inklusive der jeweiligen Kühlung betrachtet werden muss. Die relevante Zielgröße ist hierbei nicht der R_{th}, sondern die maximale Temperatur der Halbleiter. Auf Grund der funktionalen Bedeutung der maximalen Halbleitertemperatur wird in den folgenden Untersuchungen die Halbleitertemperatur als Bewertungskriterium verwendet. Diese ist die steuernde Größe des R_{thja}.

8 Ergebnisse der Laminieruntersuchung

8.1 Ergebnisse der Parameterfindung

Die nachfolgenden Ergebnisse beziehen sich auf die in Kapitel 6.1.1 beschriebene Parameterfindung. Bei Parametersätzen ohne aufgebrachten Druck findet bei keiner der untersuchten Temperaturstufen eine Laminierung statt. Das heißt, es findet keine Anbindung zwischen den Fügepartnern (Kupferplättchen, Glasplatte) und der Folie statt. Dies zeigt eindeutig, dass die Verwendung eines Laminierdrucks zwingend erforderlich ist, um eine Anbindung zwischen den Fügepartnern und der organischen Isolationsfolie herzustellen.



Abbildung 8.1: Ergebnisse der Parameterfindung bei p = 5 MPa und $T = 50^{\circ}C$ bis 250°C

Bei Verwendung eines Laminierdrucks von 5 MPa kommt es bei Temperaturen zwischen 50°C und 180°C zu einer Anbindung zwischen den Fügepartnern (Abbildung 8.1, obere Reihe sowie unten links). Hier lassen sich jedoch einige Auffälligkeiten beobachten. In jedem Anbindungsfall kommt es zu einem schlecht angebundenen Randbereich rund um das Kupferplättchen. Der ausgebildete Bereich ist breit und teilweise mit Lufteinschlüssen versehen. In einigen Fällen kommt es zu einer Beschädigung der Folie im Randbereich des Kupferplättchens. Diese Effekte sind exemplarisch in den folgenden Bildern vergößert dargestellt:



Abbildung 8.2: Darstellung der auftretenden Randdefekte bei 5 MPa und 50°C (links) sowie bei 5 MPa und 150°C (rechts). Die Bilder zeigen die Unterseite der Prüflinge.

Auffällig ist zudem das Ergebnis bei einer Temperatur von T = 100°C (Abbildung 8.1, oben Mitte). Bei dieser Temperatur ist die Folie sehr weich und zerfällt ohne prägnante äußere Einwirkung. Die Folie wird bei 100°C duktil. Hierbei wird der b-stage Zustand der Folie aufgehoben und die Vernetzungsreaktion beginnt. Die Folie vernetzt jedoch nicht weit genug, um wieder in einen mechanisch stabilen Zustand überzugehen (siehe Kapitel 5.1.3). Das bedeutet, dass während der zwei Minuten, in denen die Kammer evakuiert wird, die Folie nicht nur entgast, sondern auch vorvernetzt. Die anliegende Temperatur ist hierbei so hoch, dass die Folie aktiviert wird und ihre adhäsiven Eigenschaften entwickelt. Die Vernetzung des Epoxids beginnt, ist allerdings nicht soweit fortgeschritten um genügend Stabilität für den nachfolgend aufgebrachten Laminierdruck zu bieten. Eine Zerstörung der Folie ist die Folge (z.B. Durchdrücken des Kupferplättchens oder Ausstanzen der Folie).

Bei den Temperaturstufen T = 200°C sowie T = 250°C findet keine Anbindung zwischen den Fügepartnern statt (Abbildung 8.1, unten Mitte, unten rechts). Auffällig ist, dass die Folie nach dem Laminierprozess hier sehr bruchempfindlich und spröde ist. Dies deutet darauf hin, dass die Folie innerhalb der zwei Minuten Vorlaufzeit bei derartig hohen Temperaturen bereits so weit vernetzt ist, dass keine Anbindung an die Fügepartner mehr stattfinden kann, sobald der Laminierdruck aufgebracht wird.



Abbildung 8.3: Ergebnisse der Parameterfindung bei p = 10 MPa und $T = 50^{\circ}C$ bis 250°C

Bei der Verwendung eines Laminierdruckes von 10 MPa kommt es bei einer Temperatur von $T = 50^{\circ}C$ erneut zu einem schlecht angebundenen Rand rund um das Kupferplättchen (Abbildung 8.3, oben links). Zudem lässt sich auch in dieser Druckstufe bei einer Temperatur von $T = 100^{\circ}C$ dasselbe Verhalten wie bei einem aufgebrachtem Druck von 5 MPa beobachten (Abbildung 8.3, oben Mitte). Das Gleiche gilt für die Laminate der Temperaturen von $T = 200^{\circ}C$ sowie $T = 250^{\circ}C$ (Abbildung 8.3, unten Mitte, unten rechts). Bei einer Temperatur von $T = 150^{\circ}C$ und $T = 180^{\circ}C$ kommt es jedoch zu einer hinreichenden Anbindung (siehe Kapitel 6.1.1) sowie einem schmalen Rand ohne Lufteinschlüsse und Defekte (Abbildung 8.3, oben rechts und unten links). Diese Charakteristika zeugen von einem Laminat ohne Fehlstellen (Abbildung 8.4).



Abbildung 8.4: Darstellung der Unterseiten defektfreier Laminate (links: 10 MPa und 180°C; rechts: 10 MPa und 150°C)

Das gleiche Verhalten zeigt sich auch bei einem aufgebrachten Laminierdruck von 15 MPa. Hier kommt es ebenfalls bei einer Temperatur von $T = 150^{\circ}$ C sowie $T = 180^{\circ}$ C zu hinreichenden Anbindung ohne sichtbare Fehlstellen. Für alle anderen Temperaturstufen sind die gleichen Phänomene wie zuvor festzustellen. Die Ergebnisse sind in Abbildung 8.5 zusammengefasst.



Abbildung 8.5: Ergebnisse der Parameterfindung bei p = 15 MPa und $T = 50^{\circ}C$ bis 250°C

Die Ergebnisse der Druckstufen 20 MPa und 25 MPa weisen die gleichen Charakteristika bei den jeweiligen Temperaturstufen auf, wie die bisher behandelten Druckstufen (Abbildung 8.6 und Abbildung 8.7).



Abbildung 8.6: Ergebnisse der Parameterfindung bei p = 20 MPa und $T = 50^{\circ}C$ bis 250°C



Abbildung 8.7: Ergebnisse der Parameterfindung bei p = 25 MPa und $T = 50^{\circ}C$ bis 250°C

Bei beiden Druckstufen lässt sich zudem noch erkennen, dass bei einer Temperatur von $T = 50^{\circ}$ C der Schaden der Folie bei einer Erhöhung des Drucks zunimmt (Abbildung 8.6, Abbildung 8.7, oben links). Wichtig ist hierbei, dass die Folie nach dem Laminierprozess augenscheinlich nicht vollständig vernetzt ist. Sie weist nahezu dasselbe haptische Verhalten (flexibel, formbar) auf, wie eine unverarbeitete Folie. Dies lässt darauf schließen, dass eine Termperatur von $T = 50^{\circ}$ C zu gering ist, um eine vollständige Vernetzung der Folie zu erzeugen. Eine Erhöhung des Drucks führt also lediglich dazu, dass das Kupferplättchen die Folie ausstanzt und somit ein Defekt erzeugt wird.

Im Folgenden werden die Ergebnisse der Parameterfindung zusammengefasst (Tabelle 8.1).

_	Temperatur T [°C]	Aufgebrachter Druck [Mpa]					
д	50	0	5	10	15	20	25
	100	0	5	10	15	20	25
2mi	150	0	5	10	15	20	25
II	180	0	5	10	15	20	25
11	200	0	5	10	15	20	25
	250	0	5	10	15	20	25
	Legende:	nicht an	wendbar	anwe	ndbar		

Tabelle 8.1: Ergebnisse der Untersuchung des Prozessfensters

Eine hinreichende Anbindung der Folie (gemäß Kapitel 5.2.2 und Kapitel 6.1) erfolgt nur in einem Temperaturbereich von T = 150° C - 180° C und in einem Druckbereich von p = 10 MPa - 25 MPa. Bei den übrigen Parameterkombinationen kommt es entweder zu keiner Anbindung der Folie, oder aber zu einer ungenügenden Qualität des Laminats hinsichtlich Fehlstellen. Die Verteilung der anwendbaren Parameterkombinationen zeigt, dass die Temperatur den größten und somit wichtigsten Einfluss auf die Anbindung der Folie hat. Ist die Temperatur in einem unzulässigen Bereich, ist die Höhe des aufgebrachten Drucks irrelevant. Unabhängig davon, wie hoch dieser ist, kommt es entweder zu keiner Anbindung oder zu einer so starken Verletzung der Folie (siehe zum Beispiel T = 100° C), dass diese für den Aufbau unbrauchbar ist. Allerdings hat der aufgebrachte Druck im anwendbaren Temperaturbereich einen Einfluss auf die Qualität des Laminats. Es zeigt sich, dass dieser benötigt wird, um eine Anbindung stattfinden zu lassen. So findet auch im zulässigen Temperaturbereich bei unterlassenem Laminierdruck (0 MPa) keine Anbindung statt. Ist ein Druck vorhanden, aber zu gering, entsteht eine Anbindung der Folie, jedoch kommt es hier zu einer ungenügenden Anbindung der Folie an den Rändern des Kupferplättchens.

8.1.1 Diskussion der Ergebnisse und Erweiterung der Versuchsmatrix

Die dargestellten Ergebnisse zeigen, dass sich der Laminierprozess in drei Phasen unterteilen lässt (Abbildung 8.8).



Abbildung 8.8: Darstellung der einzelnen Phasen des Laminierprozesses

In der ersten Phase wird die Folie bei Raumtemperatur zusammen mit den Fügepartnern in die vorgeheizte Presse gelegt. In Phase zwei werden alle eingelegten Teile auf die jeweilige Prozesstemperatur erwärmt. In dieser Zeit erweicht die Folie und die Vernetzung beginnt. Die anliegende Temperatur muss so hoch sein, dass die Vernetzung aktiviert werden kann. Unter kontrollierten Bedingungen wird die Vernetzung anschließend fortgesetzt. In der zuvor beschriebenen Untersuchung beträgt die Zeit für diese beiden Phasen zwei Minuten. Erst nach zwei Minuten startet Phase drei. Hierbei wird der Laminierdruck auf die Fügepartner ausgeübt, um die Verbindung zwischen ihnen herzustellen. Die Ergebnisse der Parameterfindung zeigen, dass eine zufriedenstellende Laminierung nur in einem Temperaturbereich von 150°C - 180°C stattfindet.

Bei 100°C ist die Vernetzung der Folie nicht weit genug fortgeschritten, um dem Laminierdruck standzuhalten. Eine oben gezeigte Verletzung der Folie (siehe Abbildung 8.2) ist die Folge. Bei Temperaturen über 180°C findet keine Anbindung statt. Die Vernetzung der

Folie ist durch die erhöhte Temperatur so weit fortgeschritten, dass sie ihre adhäsiven Eigenschaften verloren hat. Diese beiden Phänomene weisen drauf hin, dass auch die Zeit t_1 in Phase eins einen Einfluss auf das Ergebnis haben könnte. Auf Grund der höheren bzw. niedrigeren Temperaturen wird die Vernetzung der Folie beschleunigt bzw. gehemmt. Das bedeutet, eine Verkürzung bzw. Verlängerung der Zeit t_1 könnte bei den entsprechenden Temperaturen (100°C, 200°C, 250°C) ebenfalls zu einer Laminierung führen.

Diese Wechselwirkung soll im Folgenden untersucht werden. Hierzu wird das zuvor gefundene Prozessfenster wie folgt erweitert:

Tabelle 8.2:Weiterführende Untersuchung des Prozessfensters zur Untersuchung des
Prozessparameters Zeit t_1

	Temperatur T [°C]		Aufgebrachter Druck [Mpa]					
	50	0	5	10	15	20	25	
.8	100	0	5	10	15	20	25	
5mi	150	0	5	10	15	20	25	
ii i	180	0	5	10	15	20	25	
Ŧ	200	0	5	10	15	20	25	
	250	0	5	10	15	20	25	

Für den niederen Temperaturbereich (100°C - 180°C) wird die Zeit t_1 verdoppelt ($2t_1 = 4 \text{ min}$). Für den gehobenen Temperaturbereich (150°C - 250°C) wird die Zeit t_1 halbiert ($t_1/2 = 1 \text{ min}$). Die neuen Kombinationen aus Zeit t_1 und Temperatur T werden gemäß Kapitel 6.1.1 untersucht.

Die visuell ermittelte Qualität des Laminats bei der jeweiligen Druck-Temperatur-Kombination unterscheidet sich nicht von den Ergebnissen, die mit einer festen Zeit t₁ erzeugt wurden (Kapitel 8.1). Somit lässt sich aus der weiterführenden Untersuchung das folgende Prozessfenster ableiten:

Tabelle 8.3Ergebnisse der Untersuchung des Prozessfensters unter Berücksichtigung des
Prozessparameters Zeit t1

							Temperatur T [°C]	Auf	gebrac [M	hter Di Pa]	ruck
	Temperatur T [°C]	Aufgel	orachte	r Druck	[Mpa]		150	10	15	20	25
	100	10	15	20	25	=	180	10	15	20	25
÷ Ē	150	10	15	20	25	2 =	200	10	15	20	25
64	180	10	15	20	25	t;	250	10	15	20	25

Das zuvor ermittelte Prozessfenster wird somit für die weitere Untersuchung lediglich um den Faktor Zeit innerhalb des Temperaturbereiches von 150°C -180°C erweitert. Damit ist ein Prozessfenster ermittelt, in dem sicher ein augenscheinlich defektfreies Laminat erzeugt werden kann. Im Folgenden wird die Qualität des Laminates hinsichtlich thermischen Widerstandes (R_{th}), elektrischer Durchschlagsspannung und mechanischer Festigkeit evaluiert (siehe Kapitel 6.1.2).

8.2 Ergebnisse der Prozessoptimierung

Für die Untersuchung des optimalen Laminierprozesses wird wie in Kapitel 6.1.2 beschrieben vorgegangen. Dafür werden applikationsnahe Prüflinge (bestehend aus einem Verbund aus Cu – Folie – Cu) erzeugt, welche in Hinsicht auf ihre thermischen, elektrischen und mechanischen Eigenschaften geprüft werden (siehe Kapitel 6.1.2). Hiermit werden die optimalen Prozessparameter ermittelt und sichergestellt, dass der Laminierprozess keinen Einfluss auf die Ergebnisse der geometrischen Schichtoptimierung hat. Für die verwendete Versuchsmatrix ergeben sich aus den in Kapitel 8.1 ermittelten Ergebnissen die folgenden Faktorgrenzen:

 Tabelle 8.4:
 Verwendete Faktorgrenzen zur Erstellung einer DoE

Falstan	Samehal	Einst	ellung	Conton Doint	Einheit	
Faktor	Symbol	-	+	Center Point		
Temperatur	Т	150	180	165	°C	
Druck	р	10	25	17,5	MPa	
Zeit	t_1	1	4	2,5	min	

Zur Erhöhung der Genauigkeit werden pro Parametersatz fünf Replikationen durchgeführt. Im Folgenden sind die Ergebnisse dieser Untersuchung dargestellt.

Ergebnisse thermischer Widerstand

Im Folgenden werden die Ergebnisse der Untersuchung des thermischen Widerstandes R_{thja} bei unterschiedlichen Parametersätzen innerhalb des anwendbaren Prozessfensters erläutert.



Abbildung 8.9: Vergleich der Ergebnisse der Untersuchung des thermischen Widerstandes R_{thja} bei unterschiedlichen Parametersätzen des Laminierprozesses innerhalb des gefundenen Prozessfensters

Die ermittelten R_{thja} der verschiedenen Laminierparametersätze sind nahezu gleich. Dies beweist, dass Parametersätze im anwendbaren Prozessfenster thermisch immer zu einem ausreichend guten, defektfreien Laminierergebnis führen. Der mittlere R_{thja} liegt bei 0,98 K/W. Die mittlere Streuung beläuft sich auf einen Wert von 0,03 K/W. Das bedeutet, die Standardabweichung einer jeden Parameterkombination ist entsprechend gering. Die unterschiedlichen Parameter des Laminierprozesses führen lediglich zu geringen Unterschieden hinsichtlich des thermischen Widerstandes. Trotz der geringen Unterschiede weisen die thermischen Widerstände der folgenden Parametersätze die geringste Tendenz auf:

- 150°C, 4 min, 10 MPa
- 150°C, 1 min, 25 MPa

Die Untersuchung zeigt, dass die Parameter der Laminierung innerhalb des anwendbaren Bereichs keinen signifikanten Einfluss auf den thermischen Widerstand haben. Das bedeutet, dass der thermische Widerstand konstant ist, sobald eine hinreichende Anbindung (siehe Kapitel 8.1) erzeugt worden ist. Es können demnach aus thermischer Sicht alle Parameterkombinationen des anwendbaren Bereichs für die folgenden Untersuchungen verwendet werden.

Ergebnisse elektrische Durchschlagsspannung

Im Folgenden werden die Ergebnisse der Untersuchung der elektrischen Durchschlagsspannung bei unterschiedlichen Parametersätzen innerhalb des anwendbaren Prozessfensters erläutert.



Abbildung 8.10: Vergleich der Ergebnisse des gemessenen Kriechstroms zur Untersuchung der elektrischen Durchschlagsspannung bei unterschiedlichen Parametersätzen des Laminierprozesses innerhalb des anwendbaren Prozessfensters



Abbildung 8.11: Vergleich der Ergebnisse der gemessenen Durchschlagsspannung zur Untersuchung der elektrischen Durchschlagsspannung bei unterschiedlichen Parametersätzen des Laminierprozesses innerhalb des anwendbaren Prozessfensters

Alle Prüflinge sind bis zu einer Spannung von 5500 V spannungsfest. Der Kriechstrom ist mit 0,44 mA sehr gering und als nicht kritisch zu bewerten. Die Folie soll laut Hersteller eine elektrische Durchschlagsspannung von 8 kV bei einer vorliegenden Dicke von 210 µm haben (Kapitel 5.1.3). Es ist demnach zu erwarten, dass die aufgebauten Prüflinge der angewandten Testspannung standhalten. Voraussetzung hierfür ist jedoch, dass durch die angewandten Prozessparameter keinerlei Fehlstellen im Laminat entstehen, welche die Durchschlagsspannung beeinträchtigen. Die Ergebnisse zeigen, dass die Durchschlagsspannung unabhängig von den einzelnen Parametern innerhalb des anwendbaren Bereichs der Laminierung ist. Das bedeutet, dass kein Parametersatz relevante Defekte im Laminat erzeugt und somit alle für die weiterführenden Untersuchungen verwendet werden können. Die Streuung der Ergebnisse des Kriechstromes sowie der Durchschlagsspannung ist marginal und entsprechen in Abbildung 8.10 und Abbildung 8.11 nicht dargestellt.

Ergebnisse mechanische Festigkeit

Im Folgenden werden die Ergebnisse der Untersuchung der mechanischen Festigkeit bei unterschiedlichen Parametersätzen innerhalb des anwendbaren Prozessfensters erläutert.



Abbildung 8.12: Vergleich der Ergebnisse des Schertest zur Untersuchung der mechanischen Festigkeit bei unterschiedlichen Parametersätzen des Laminierprozesses innerhalb des anwendbaren Prozessfensters

Auch die Ergebnisse des Schertests weisen keine signifikanten Abweichungen auf. Jeder Parametersatz innerhalb des anwendbaren Bereichs erzeugt eine mittlere Haftfestigkeit von ca. 44 N/mm². Die mittlere Standardabweichung der Parametersätze liegt bei 4,55 N/mm². Dies entspricht einer relativen Standardabweichung von 10%. Auch bei dieser Untersuchung kann kein signifikanter Einfluss der Faktoren, innerhalb des Prozessfensters festgestellt werden. Bei allen Scherungen tritt ein Mischbruch in der Isolationsfolie auf (Abbildung 8.13), das heißt, der Bruch findet innerhalb der Folie statt, was auf eine qualitativ hochwertige Anbindung der Folie zu beiden Fügepartnern schließen lässt.



Abbildung 8.13: Beispielhaftes Bruchbild der Scheruntersuchung

Die verschiedenen Versuchsergebnisse zeigen, dass es keinen signifikanten Einfluss der Faktoren (Temperatur, Druck und Zeit) auf die Ausgangsgrößen innerhalb des gefundenen Prozessfensters gibt. Da das Hauptaugenmerk dieser Arbeit auf einer Reduzierung der Halbleitertemperatur liegt, wird für den Aufbau der weiteren benötigten Prüflinge folgender Parametersatz gewählt: $T = 150^{\circ}$ C, $t_1 = 1$ min, p = 25 MPa. Hiermit kann ein geringer thermischer Widerstand bei konstanter Haftung und konstanter elektrischer Durchschlagsspannung generiert werden.

Die Ergebnisse zeigen zudem, dass ein großes Prozessfenster zur Verfügung steht, in dem eine stoffschlüssige Verbindung des Aufbaus ohne Defekte möglich ist. Im anwendbaren Bereich lassen sich keine signifikanten Unterschiede bezüglich der thermischen, elektrischen sowie mechanischen Eigenschaften des thermischen Stapels feststellen. Das ermittelte Prozessfenster wird hinsichtlich applikationsnaher Prüflinge (Cu - Folie - Cu) und deren thermischen, elektrischen und mechanischen Eigenschaften bestätigt.

9 Regressionsmodell zur Optimierung von T_j

Im Folgenden werden die Ergebnisse des entwickelten Regressionsmodells zur Untersuchung der Haupteinflussfaktoren und zur Optimierung der Halbleitertemperatur T_j dargestellt. Es ist wie in Kapitel 6.3 beschrieben vorgegangen worden.

9.1 Simulatorischer Vergleich von DCB-Technik und IsoPower-Technologie

Mit Hilfe einer thermischen FEM-Simulation wird zunächst untersucht, ob eine simple Substitution des keramischen Isolators durch die vorgestellte organische Isolationsfolie zu einer Reduzierung der Halbleitertemperatur führt. Hierfür werden zwei einfache thermische Stapel betrachtet. Stapel 1 (Abbildung 9.1) stellt den Schichtaufbau eines Rahmenmoduls in herkömmlicher Anordnung mit DCB dar (DCB-Modell).



Abbildung 9.1: Draufsicht und Seitenansicht des Simulationsmodells des thermischen Stapels eines Rahmenmoduls mit DCB-Aufbau

Stapel 2 (Abbildung 9.2) stellt den Schichtaufbau eines möglichen Rahmenmoduls mit Isolationsfolie dar (Folienmodell).



Abbildung 9.2: Draufsicht und Seitenansicht des Simulationsmodells des thermischen Stapels eines Rahmenmoduls mit organischem Isolator und Leadframe-Aufbau

Die Dicke der oberen Kupferschicht des Folienmodells entspricht der Dicke der oberen Kupferschicht einer DCB. Tabelle 9.1 fasst die verwendeten geometrischen Daten der Modelle zusammen.

DCB-Me	odell	Folienmodell			
Schicht	Маве [mm] <i>(L x B x H)</i>	Schicht	Маве [mm] <i>(L x B x H)</i>		
Halbleiter	5 x 5 x 0,12	Halbleiter	5 x 5 x 0,12		
Sinterschicht	6 x 6 x 0,03	Sinterschicht	6 x 6 x 0,03		
obere Kupferschicht	10 x 10 x 0,3	obere Kupferschicht	10 x 10 x 0,3		
Keramik	10 x 10 x 0,38	Isolationsfolie	10 x 10 x 0,19		
untere Kupferschicht	10 x 10 x 0,3	Bodenplatte	10 x 10 x 3		
Systemlot	10 x 10 x 0,28				
Bodenplatte	10 x 10 x 3				

 Tabelle 9.1:
 Zusammenfassung der geometrischen Daten der Simulationsmodelle

Zur Kühlung wird ein Wärmeaustauschkoeffizient von h = 5000 W/(m²*K) an der Unterseite der Modelle angenommen. Dies entspricht der mittleren Leistung eines ShowerPower®-Kühlers. Der Halbleiter wird mit einer Verlustleistungsdichte von $P_V = 2$ W/mm² beaufschlagt. Dies entspricht einer Verlustleistung von $P_V = 50$ W für den hier verwendeten Halbleiter.

Aus den thermischen FEM-Simulationen ergeben sich die folgenden Ergebnisse:

Stapel 1 (DCB-Modell)



Abbildung 9.3: Simulationsergebnis des Stapels 1 (DCB-Modell) als Temperaturverteilung über die Oberfläche des Modells (Draufsicht)





Abbildung 9.4: Simulationsergebnis des Stapels 2 (Folienmodell) als Temperaturverteilung über die Oberfläche des Modells (Draufsicht)

Mit Hilfe der Simulation lässt sich für das DCB-Modell eine Halbleitertemperatur von $T_j = 153,5^{\circ}C$ ermitteln. Das Folienmodell führt bei den gegebenen Randbedingungen zu einer Halbleitertemperatur von $T_j = 151,3^{\circ}C$.

Es stellt sich somit lediglich eine Verringerung der Halbleitertemperatur von $\Delta T_j = 2,2K$ ein. Die ermittelte Reduktion der Halbleitertemperatur ist, trotz der im Vergleich zu Aluminiumoxid geringeren Wärmeleitfähigkeit der Folie, auf die verringerte Anzahl an thermischen Übergängen und die verringerte Schichtdicke der Folie zurückzuführen. Das ΔT_j von lediglich 2,2K zeigt jedoch, dass durch eine simple Substitution der DCB durch einen Aufbau mit organischem Isolator keine signifikante Reduktion der Halbleitertemperatur erfolgen kann. Hierfür muss deutlich mehr Kupfer zur Wärmespreizung zur Verfügung gestellt werden. Dies kann sowohl durch die Fläche und Dicke der oberen Kupferlage sowie durch die Dicke der unteren Kupferlage eingestellt werden.

Der Einfluss der Fläche (Kantenlänge) sowie der unterschiedlichen Schichtdicken auf die Halbleitertemperatur, soll im folgenden Kapitel mit Hilfe eines Regressionsmodells genau untersucht werden. Hiermit wird eine Minimierung der Halbleitertemperatur erreicht und anhand der gewonnenen Erkenntnisse ein Moduldemonstrator abgeleitet. Die Vorgehensweise sowie die verwendeten Simulationsmodelle sind in Kapitel 6.3 erläutert und dargestellt.

9.2 Aufstellen eines Regressionsmodells zur geometrischen Schichtoptimierung

9.2.1 Grenzanalyse der Kantenlänge

Für die Analyse bei einer Cu-Dicke von d = 0,3 mm ergibt sich nach Auswertung der Ergebnisse das folgende Bild:



Abbildung 9.5: Simulationsergebnis als Temperaturverteilung in der Schnittansicht bei einer Kupferdicke von d = 0,3 mm sowie einer Kantenlänge von x = 2000 mm

Bei einer Kantenlänge von x = 2000 mm liegt die Temperaturverteilung der Stirnflächen in jedem Punkt bei 20,0°C (Abbildung 9.5). Für die gleiche Analyse mit der maximalen Schichtdicke von d = 100 mm ergibt sich das folgende Bild:



Abbildung 9.6: Simulationsergebnis als Temperaturverteilung in der Schnittansicht bei einer Kupferdicke von d = 100 mm sowie einer Kantenlänge von x = 2000 mm

Auch hier lässt sich erkennen, dass bei einer Kantenlänge von x = 2000 mm die Temperaturverteilung der Stirnflächen in jedem Punkt bei 20,0°C liegt. Das bedeutet, dass eine Kantenlänge von x = 2000 mm für eine Untersuchung der Cu-Dicke d zwischen d = 0,3 mm und d = 100 mm als quasi unendlich betrachtet werden kann, da keine vom Halbleiter ausgehende Wärmeenergie die Grenzen des Modells erreicht. Somit ist ein virtuell unendlicher Simulationsraum für die Ermittlung der Faktorstufen geschaffen. Im Weiteren wird die Ermittlung der Faktorstufen für die Cu-Dicke bei Kantenlänge ∞ (also hier bei x = 2000 mm) erläutert.

9.2.2 Ermittlung der Faktorstufen

In diesem Kapitel werden die Faktorstufen für die Screening-DoE ermittelt, welche es ermöglicht, die Einflussgrößen des Systems zu identifizieren. Konkret sollen die maximalen und minimalen Kupferdicken sowie Kantenlängen bestimmt werden, zwischen denen ein Einfluss auf die Halbleitertemperatur untersucht wird.

Analyse der Cu-Dicke bei Kantenlänge ∞ (x = 2000 mm)

Das Minimum der Faktorstufe der Cu-Dicke ergibt sich, wie bereits erwähnt, aus der Cu-Dicke einer Standard Al₂O₃-DCB. Mit Hilfe von weiteren thermischen FEM-Simulationen, kann der Einfluss der Cu-Dicke auf die Halbleitertemperatur zwischen d = 0,3 mm und d = 100 mm untersucht werden. Als Grenzkriterium wird hierfür festgelegt, dass eine Änderung der Halbleitertemperatur kleiner als 0,1K sein muss, um als nicht signifikant zu gelten. Das bedeutet: Zulässig sind lediglich Änderungen in der zweiten Nachkommastelle.



Abbildung 9.7: Darstellung des Einflusses der Cu-Dicke d auf die Halbleitertemperatur bei festgelegter Kantenlänge x = 2000 mm

Die Ergebnisse (Abbildung 9.7) zeigen, dass die Cu-Dicke d ab einem Wert von d = 20 mm keinen signifikanten Einfluss mehr auf die Halbleitertemperatur hat. Eine Änderung findet lediglich in der zweiten Nachkommastelle statt und kann vernachlässigt werden. Eine

Kupferdicke von d = 20 mm wird als obere Faktorstufe festgelegt. Weiterhin wird deutlich, dass die gewählte Cu-Dicke d = 100 mm bei der vorangegangenen Grenzanalyse ausreichend dimensioniert worden ist, da auch bei d = 100 mm keine weitere Reduzierung der Halbleitertemperatur eintritt.

Analyse der Kantenlänge bei Cu-Dicke d = 20 mm

Die untere Faktorstufe der Kantenlänge wird durch den Aufbau des Moduls bestimmt. Es können bei der Untersuchung keine Kantenlängen zugelassen werden, welche kleiner sind als die Kantenlänge der Sinterschicht (8 mm). Deshalb wird als untere Faktorstufe die Kantenlänge x = 8 mm festgelegt. Mit Hilfe weiterer thermischer FEM-Simulationen bei gefundener Maximaldicke von d = 20 mm wird ermittelt, bis zu welcher Kantenlänge eine signifikante Änderung der Halbleitertemperatur vorliegt. Es gilt das gleiche Grenzkriterium wie zuvor und es ergeben sich die folgenden Ergebnisse:



Abbildung 9.8: Darstellung des Einflusses der Kantenlänge x auf die Halbleitertemperatur bei einer Cu-Dicke d = 20 mm

Ab einer Kantenlänge von x = 200 mm ist keine signifikante Änderung der Halbleitertemperatur mehr zu erkennen (Abbildung 9.8). Auch hier findet lediglich eine Änderung in der zweiten Nachkommastelle statt. Die obere Faktorstufe der Kantenlänge wird auf x = 200 mm festgelegt.

Damit stehen alle benötigten Faktorstufen für das Regressionsmodell zur Verfügung (Tabelle 9.2).

E a lata a	Einste	ellung	Einhoit	
raktor	-	+	Ennen	
Kantenlänge	8,0	200	mm	
Cu Dicke oben	0,3	20	mm	
Cu Dicke unten	0,3	20	mm	

Tabelle 9.2: Ermittelte Faktorstufen für das Regressionsmodell

9.2.3 Screening-DoE, Wirkungsflächen-DoE und Zielgrößenoptimierung

Im Folgenden werden die Ergebnisse der Screening-DoE und der Wirkungsflächen-DoE dargestellt und erläutert. Abschließend werden die Ergebnisse zusammengefasst und kurz diskutiert.

9.2.3.1 Ergebnisse Screening-DoE

Mit Hilfe einer Screening-DoE können die Haupteinflussfaktoren des Systems bestimmt werden. Zusätzlich wird untersucht, ob ein linearer oder ein nichtlinearer Zusammenhang zur Beschreibung der Einflussfaktoren besteht. Dies erfolgt mit Hilfe eines sogenannten Center Points (Zentralpunkt), welcher das Zentrum des Faktorraumes (mittlere Weglänge zwischen min- und max-Faktorstufe) darstellt. Die Screening-DoE wird auf Grundlage der Anzahl der zu untersuchenden Faktoren und deren Faktorstufen aufgebaut.

Um sicherzustellen, dass das System mit hinreichender Genauigkeit beschrieben werden kann, wird ein vollfaktorieller Versuchsplan mit einem Center Point (CP) gewählt. Hieraus resultieren neun Versuche mit deren Hilfe die Haupteinflussfaktoren bestimmt werden können. Die Analyse des Versuchsplans bringt folgendes Haupteffektdiagramm hervor, welches eine Beschreibung der Haupteinflussfaktoren auf das System darstellt.



Abbildung 9.9: Darstellung der Haupteinflussfaktoren der Screening-DoE und ihre Wirkung auf die Halbleitertemperatur T_j

Die Kantenlänge x hat den größten Einfluss auf die Halbleitertemperatur (Abbildung 9.9). Mit steigender Kantenlänge sinkt diese drastisch ab. Dies ist ein deutlicher Hinweis auf die Notwendigkeit der Möglichkeit zur Wärmespreizung. Die weitere Auswertung zeigt, dass die Cu-Dicke oben sowie unten einen negativen Einfluss auf die Halbleitertemperatur hat. Dieser Einfluss ist jedoch in Bezug auf die Differenz zwischen den Faktorstufen vergleichsweise gering. Festzuhalten ist, dass jeder Faktor einen Einfluss auf die Zielgröße Halbleitertemperatur hat.

Bei Betrachtung des Center Point zeigt sich, dass dieser nicht auf der Geraden zwischen der minimalen und maximalen Faktorstufe eines jeden Faktors liegt. Dies deutet auf ein nichtlineares Verhalten der Halbleitertemperatur in Bezug auf den jeweiligen Faktor hin. Der negative Einfluss der Cu-Dicke oben sowie unten wirkt entgegen der vorherigen Erwartungshaltung die besagt, dass eine dickere Kupferschicht zu einer Reduzierung der Halbleitertemperatur führt. Eine lineare Betrachtung des Modells beschreibt das System demnach nicht ausreichend, da ein nichtlinearer Zusammenhang vorliegt. Eine nichtlineare Beschreibung des Systems wird durch die Auswertung der Wirkungsflächen-DoE erzeugt.

9.2.3.2 Ergebnisse Wirkungsflächen DoE

Für die Betrachtung der Haupteffekte ergibt sich anhand der Wirkungsflächen-DoE das folgende Haupteffektediagramm:



Abbildung 9.10: Darstellung der Haupteinflussfaktoren aus der Wirkungsflächen DoE und ihr Einfluss auf die Halbleitertemperatur

Die Kantenlänge hat den größten Einfluss auf die Halbleitertemperatur. Mit steigender Kantenlänge sinkt die Halbleitertemperatur drastisch und nähert sich bei einer Kantenlänge von 200 mm einem Endwert (Abbildung 9.10). Ebenso ist zu erkennen, dass eine Erhöhung der Cu-Dicken zunächst einen positiven Einfluss und ab einer gewissen Kupferdicke (d \approx 10 mm) einen negativen Einfluss auf die Halbleitertemperatur hat. Eine weitere Steigerung der Kupferdicke führt zu einer Steigerung der Halbleitertemperatur. Der Einfluss der Cu-Dicken ist im Vergleich zum Einfluss der Kantenlänge geringer.

Im Folgenden sollen die Wechselwirkungen der Haupteinflussfaktoren genauer untersucht werden. Hierfür wird mit Hilfe der Wirkungsflächen-DoE das folgende Wechselwirkungsdiagramm erzeugt.



Abbildung 9.11: Darstellung des Wechselwirkungsdiagramms erzeugt anhand der Wirkungsflächen-DoE

Abbildung 9.11 zeigt, welche Haupteinflussfaktoren eine Wechselwirkung zueinander haben. Die Grafik lässt sich in drei Segmente unterteilen:

Oben links:

Hier wird das Verhalten der Kantenlänge und der Kupferdicke oben, bezogen auf die Halbleitertemperatur, dargestellt. Es gilt die obere Legende. Zu sehen ist, wie sich die unterschiedlichen Kupferdicken oben mit steigender Kantenlänge auf die Halbleitertemperatur auswirken. Kreuzen sich zwei oder mehrere Kurven, bedeutet dies, dass hier eine Wechselwirkung vorliegt. Bei maximaler Kantenlänge (x = 200 mm) existiert bei einer Kupferdicke oben von d = 0,3 mm eine höhere Halbleitertemperatur T_j als bei einer Kupferdicke von d = 20 mm. Die Halbleitertemperatur ist demnach von den Einstellungen beider Faktoren abhängig. Es besteht eine Wechselwirkung der Faktoren Kantenlänge x und Kupferdicke oben. Im Fall von einer Kupferdicke oben von d = 0,3 mm ist der oben beschriebene Umkehrpunkt bei bereits geringer Kantenlängensteigerung erreicht. Das größtmögliche Maß an Spreizung ist erreicht und der Einfluss der Kantenlängenänderung auf die Halbleitertemperatur nimmt ab.

Unten links:

Hier wird das Verhalten der Kantenlänge und der Kupferdicke unten bezogen auf die Halbleitertemperatur dargestellt. Es gilt die untere Legende. Auch hier ist zu sehen, wie sich die unterschiedlichen Kupferdicken unten mit steigender Kantenlänge auf die Halbleitertemperatur auswirken. Es lässt sich das gleiche Wechselwirkungsverhalten wie zwischen den Faktoren Kantenlänge x und Kupferdicke oben feststellen. Die Minimaleinstellung Kupferdicke unten von d = 0,3 mm mindert den positiven Einfluss der Kantenlänge x auf die Halbleitertemperatur. Die Wechselwirkung ist schwächer als die zwischen der Kantenlänge und der Kupferdicke oben, was anhand der geringeren Temperaturdifferenz der Kupferschichtdicken bei einer Kantenlängeneinstellung von x = 200 mm zu erkennen ist. Dies bestätigt die Aussage, dass die Spreizung direkt unter dem Halbleiter den größten Einfluss auf die Halbleitertemperatur hat.

Unten rechts:

In diesem Teil des Diagramms wird, auf gleiche Weise wie zuvor das Verhalten der Kupferdicke oben und der Kupferdicke unten dargestellt. Es gilt ebenfalls die untere Legende. Hier ist keine Kreuzung der Kurven erkennbar. Daraus lässt sich schließen, dass im untersuchten Bereich keine signifikante Wechselwirkung zwischen der Kupferdicke oben sowie unten vorliegt.

9.2.3.3 Diskussion und Zusammenfassung der Ergebnisse

Der Anstieg der Halbleitertemperatur bei einer stetigen Erhöhung der Cu-Dicke lässt sich wie folgt erklären: Bei bestehender Kühlung und im eingeschwungenen Zustand des Systems, stellt sich zu jeder Kombination aus Kantenlänge und Cu-Dicke eine Halbleitertemperatur ein. Diese ergibt sich aus dem Maß der thermischen Spreizung, welche durch jeweilige die Kombination aus Kantenlänge und Cu-Dicke erreicht wird. Zu jeder Kantenlänge passt eine zugehörige Cu-Dicke, welche benötigt wird, um die vollständige Spreizung zu nutzen. Ist dies erreicht, führt eine weitere Erhöhung der Cu-Dicke bei einem geschlossenen System lediglich zu einem erhöhten thermischen Widerstand. Der Spreizeffekt ist vollständig ausgeschöpft. Durch das zusätzliche Material wird lediglich die Distanz zur Wärmesenke vergrößert, wodurch sich der thermische Widerstand erhöht. Der zusätzliche thermische Widerstand führt zu einer Steigerung der Halbleitertemperatur (Abbildung 9.12).



Abbildung 9.12: Darstellung der gesättigten Spreizung

Die Grenze des positiven Einflusses der Kupferschichtdicke ist abhängig von der Kantenlänge des Kupfers. Wird weniger Kantenlänge als notwendig zur Verfügung gestellt, lässt sich die Halbleitertemperatur bis zum Umkehrpunkt (zusätzlicher R_{th}) nur über die Kupferdicke senken.

Da das Verständnis der Haupteinflussfaktoren und ihrer Wechselwirkungen bei der thermischen Auslegung von großer Bedeutung ist, werden diese anhand des folgenden Würfeldiagramms noch einmal genauer erklärt.


Abbildung 9.13: Würfeldiagramm zur Erklärung der Haupteinflussfaktoren und ihrer Wechselwirkungen

Eine geringe Kantenlänge, welche aufbaubedingt keine bis sehr wenig Spreizung zulässt, führt immer zu einer stark erhöhten Halbleitertemperatur. Eine Erhöhung der Kupferschichtdicke schafft in diesem Fall auch keine Abhilfe, dies führt hierbei sogar zu einer noch größeren Erhöhung der Halbleitertemperatur. Denn auf Grund der eingeschränkten lateralen Spreizung führt eine Steigerung der Kupferdicke lediglich zu einem zusätzlichen thermischen Widerstand. Erst nachdem laterale Spreizung durch eine Erhöhung der Kantenlänge zugelassen wird, kann auch die Spreizung in z-Richtung mit Steigerung der Kupferschichtdicke wirken. Beide Faktoren in Wechselwirkung führen zusammen zu einer Reduzierung der Halbleitertemperatur. Dies bestätigt die Aussage, dass zur Minimierung der Halbleitertemperatur sowohl die Spreizfläche als auch die Kupferschichtdicken unabdingbar sind.

Aus den Ergebnissen der verschiedenen DoEs lassen sich folgende Erkenntnisse ableiten:

- Eine Erhöhung der zur Verfügung gestellten Spreizfläche hat einen sehr starken Einfluss auf die Halbleitertemperatur
- Es besteht eine Wechselwirkung zwischen Kupferdicke und der zur Verfügung gestellten Spreizfläche
- Die Wechselwirkung und der daraus resultierende Einfluss auf die Halbleitertemperatur, ist bei der sich direkt unter dem Halbleiter befindlichen Kupferschicht am größten

Anhand des entwickelten Regressionsmodells kann eine Zielgrößenoptimierung vorgenommen werden. Hierfür wird mit Hilfe einer computergestützten Auswertung dem

Modell vorgegeben, welche Zielgröße (hier: T_j) optimiert bzw. minimiert werden soll. Die Auswertungssoftware generiert anhand der Regressionsgleichung und unter gegebenen Randbedingungen die Faktoreinstellungen für das Optimum.

Das Regressionsmodell prognostiziert ein Minimum der Halbleitertemperatur bei folgender Faktoreinstellung:

Kantenlänge: 200 mm Dicke Cu oben: 12,24 mm Dicke Cu unten: 11,24 mm

9.2.4 Überprüfung des Regressionsmodells

Wird das in Kapitel 6.3.1 beschriebene FEM-Simulationsmodell entsprechend des vom Regressionsmodell prognostizierten Optimums angepasst und thermisch simuliert, ergibt sich eine Halbleitertemperatur von $T_j = 39,5^{\circ}C$.

Um zu überprüfen, wie genau dieses prognostizierte Optimum ist, wird eine simulatorische Überprüfung und Bewertung des Ergebnisses durchgeführt. Hierfür werden die Schichtdicken sowohl in positive Richtung (Vergrößerung der Schichtdicke) als auch in negative Richtung (Verringerung der Schichtdicke) ausgehend vom prognostizierten Optimum variiert. Die zugehörige Halbleitertemperatur wird simulatorisch ermittelt und mit dem prognostizierten Optimum verglichen (Abbildung 9.14).



Abbildung 9.14: Ergebnisse der simulatorischen Überprüfung des prognostizierten Optimums

Die Ergebnisse zeigen, dass eine Vergrößerung der Kupferschichtdicke zu keiner signifikanten Verbesserung der Halbleitertemperatur führt. Wird die Kupferschichtdicke reduziert, kommt es zunächst zu einer leichten Erhöhung der Halbleitertemperatur, die mit weiter abnehmender Schichtdicke dann deutlich stärker ansteigt. Dies zeigt, dass sich aus den Faktoren keine optimale Einstellung ableiten lässt, sondern vielmehr eine Annäherung von T_j an einen minimalen Temperaturbereich vorliegt. Dies ist für eine technische Anwendung, bei der auch die Kosten und der Platzbedarf relevant sind, vorteilhaft. Die Differenz zwischen dem vom

Regressionsmodell prognostizierten Optimum und dem Optimum der Simulation (0,2K) ist auf Modellungenauigkeiten zurückzuführen. Die Abweichung beträgt 0,06% in Bezug auf die minimale Temperatur (39,3°C) der Simulation. Damit ist eine hinreichende Prognosefähigkeit des Regressionsmodells bewiesen. Das Modell kann für die weiteren Untersuchungen verwendet werden.

Die messtechnische Evaluation der FEM-Simulationen soll anhand eines Prüflings erfolgen, der vom Regressionsmodell abgeleitet worden ist. Eine derart große Kantenlänge (x = 200 mm) wie in der Überprüfung des Regressionsmodells aufzubauen, ist technisch nicht sinnvoll. Ein realer Aufbau (Prüfling) zur messtechnischen Evaluation ist mit einer maximalen Kantenlänge von x = 90mm möglich und technisch relevant. Zu dieser Kantenlänge werden, mit Hilfe des erzeugten Regressionsmodells, die zugehörigen Kupferschichtdicken ermittelt. Dabei ergeben sich folgende Lösungen:

Tabelle 9.3:Die fünf besten Lösungsvorschläge für den realen Prüflingsaufbau unter
Berücksichtigung der minimierten Halbleitertemperatur (sortiert nach aufsteigender
Temperatur)

Lösunge	Lösungen			
	Kantenlänge	Dicke Cu	Dicke Cu	
Lösung	Cu oben [mm]	oben [mm]	unten [mm]	
1	90	13,1	12,7	
2	90	3,7	13,0	
3	90	4,8	4,6	
4	90	28,8	5,0	
5	90	5,4	28,6	

Die ersten beiden vorgeschlagenen Lösungen benötigen exorbitant dicke Kupferschichten. Diese machen aus technischer Sicht wenig Sinn. Bei der dritten vorgeschlagenen Lösung handelt es sich mit Dicken von 4,8 mm und 4,6 mm um sinnvolle und produzierbare Schichtdicken. Wie oben bereits eruiert, gibt es keinen optimalen Punkt der Faktoreinstellung, deshalb werden die Schichtdicken auf 5 mm aufgerundet. Damit ergibt sich ein technisch relevanter Prüfling mit der folgenden Faktoreinstellung:

> Kantenlänge: 90 mm Dicke Cu oben: 5 mm Dicke Cu unten: 5 mm

Die thermische Berechnung des FEM-Simulationsmodells ergibt für diese Faktoren eine Halbleitertemperatur von $T_j = 41,9$ °C.

9.3 Messtechnische Evaluation des Simulationsmodells

Der aus dem Regressionsmodell abgeleitete optimierte Schichtaufbau wird mit Hilfe eines Prüflings untersucht und messtechnisch evaluiert. Hierfür wird das Simulationsmodell als Prüfling wie in Kapitel 6.4 beschrieben aufgebaut. Bei dem verwendeten Halbleiter handelt es sich um eine Diode, die als Wärmequelle fungiert. Alle verwendeten Abmessungen entsprechen denen der thermischen Simulation (siehe Kapitel 9.2.4).

Zur Evaluation des Simulationsmodells wird die Halbleitertemperatur des Prüflings unter Laststrom gemessen und mit dem Simulationsergebnis verglichen. Um ein Mindestmaß an statistischer Breite abzudecken, wird dies mit drei identisch aufgebauten Prüflingen durchgeführt. Die Messung an einem Prüfling wird dreimal wiederholt und die Ergebnisse miteinander verglichen. Für die Untersuchung wird der in Kapitel 6.2 beschriebene Versuchsaufbau verwendet.

Folgende Ergebnisse wurden ermittelt:

<u>Prüfling 1</u>

Die folgenden Abbildungen zeigen die Thermografiebilder der Messung zur Untersuchung der Halbleitertemperatur der aufgebauten Prüflinge.



Abbildung 9.15: Gemessene Temperaturverteilung des Prüflings 1 der Messungen 1,2 und 3

Messung	Tj-gemessen [°C]	T _{j-simuliert} [°C]	delta T _j [K]
1	44,49		2,55
2	44,09	41.04	2,15
3	44,04	41,94	2,10
MW	44,20		2,30

Für Prüfling 1 ergibt sich nach drei wiederholten Messungen lediglich eine geringe mittlere Abweichung zwischen der gemessenen Halbleitertemperatur und der simulierten Halbleitertemperatur (Tabelle 9.4). Die mittlere Abweichung beträgt 2,3K.

Prüfling 2



Abbildung 9.16: Gemessene Temperaturverteilung des Prüflings 2 der Messungen 1,2 und

 Tabelle 9.5:
 Ergebnisse der messtechnischen Evaluation des Pr
 üflings 2

Messung	T _j -gemessen [°C]	T _{j-simuliert} [°C]	delta T _i [K]
1	43,86		1,92
2	43,26	41.04	1,32
3	43,45	41,94	1,51
MW	43,52		1,60

Auch für den Prüfling 2 ergibt sich nach drei wiederholten Messungen ebenfalls eine geringe mittlere Abweichung zwischen der gemessenen Halbleitertemperatur und der simulierten Halbleitertemperatur (Tabelle 9.5). Die mittlere Abweichung beträgt 1,6K.

Prüfling 3



Abbildung 9.17: Gemessene Temperaturverteilung des Prüflings 3 der Messungen 1,2 und

 Tabelle 9.6:
 Ergebnisse der messtechnischen Evaluation des Pr
 üflings 3

Messung	Tj-gemessen [°C]	Tj-simuliert [°C]	delta T _j [K]
1	44,13		2,19
2	43,86	41.04	1,92
3	43,26	41,94	1,32
MW	43,75		1,80

Für Prüfling 3 ergibt sich nach drei wiederholten Messungen ebenfalls eine geringe mittlere Abweichung zwischen der gemessenen und der simulierten Halbleitertemperatur (Tabelle 9.6). Die mittlere Abweichung beträgt 1,8K.

Der Vergleich des Ergebnisses der thermischen FEM-Simulation ($T_{j-simuliert} = 41,94^{\circ}C$) mit dem Mittelwert aller gemessenen Halbleitertemperaturen ($T_{j-gemessen} = 43,82^{\circ}C$) zeigt, dass die Ergebnisse mit einer Abweichung von 1,9K übereinstimmen. Hierbei handelt es sich um eine gewöhnliche Abweichung zwischen Simulation und Messung auf Grund von realen Bedingungen bei der Messung im Vergleich zur Simulation. Das Ergebnis der FEM-Simulation und der realen Messwerte sind demnach nahezu deckungsgleich. Das Simulationsmodell wird als hinreichend präzise eingestuft.

10 Zusammenfassung und Diskussion der bisherigen Ergebnisse

Die dargestellten Untersuchungen und Ergebnisse zeigen, dass der Einsatz von organischen Isolationsfolien in Leistungsmodulen mit Hilfe der untersuchten IsoPower-Technologie und einer Anpassung des thermischen Stapels hinsichtlich einer erhöhten thermischen Spreizung zu einer signifikanten Reduzierung der Halbleitertemperatur führt.

Die Halbleitertemperatur ist die wichtigste Bezugsgröße zur Bewertung von thermischen Stapeln und somit von Modulen. Eine allgemeingültige Vorgehensweise zur Bewertung von thermischen Stapeln ist die Betrachtung bis zu deren Unterseite (R_{thjc}). Diese Betrachtung vernachlässigt allerdings die Spreizeffekte beim Vergleich von thermischen Stapeln. Deshalb sollte der Bezugspunkt immer im Kühlmedium liegen (R_{thja}). Bei ausreichender Kühlung ist damit immer ein fester Bezugspunkt gegeben. Der R_{thja} ist somit bei konstanter Verlustleistung lediglich von der Halbleitertemperatur, der wichtigsten Bezugsgröße, abhängig. Zur Bewertung von thermischen Stapeln muss demnach die Halbleitertemperatur bzw. der R_{thja} verwendet werden, da es ansonsten zu einer Fehlbewertung der Ergebnisse kommen kann.

Die durchgeführten DoEs und das daraus resultierende Regressionsmodell zeigen, dass der Haupteinflussfaktor zur Minimierung der Halbleitertemperatur T_j die zur Verfügung gestellte Spreizfläche unterhalb des Halbleiters ist. Außerdem zeigt das Regressionsmodell, dass ebenfalls die Dicke der oberen sowie unteren Kupferschicht einen positiven Einfluss auf die Halbleitertemperatur hat. Anders als bei der Spreizfläche wird der positive Einfluss ab einer bestimmten Kupferdicke jedoch negiert und die Halbleitertemperatur steigt an (siehe Abbildung 9.10, Kapitel 9.2.3.2). Es tritt ein Sättigungseffekt der Spreizung auf. Die weitere Erhöhung der Kupferdicke führt lediglich zu einer Vergrößerung des thermischen Widerstandes. Diesem Sättigungseffekt ist nur durch eine Vergrößerung der zur Verfügung gestellten Spreizfläche entgegenzuwirken. Es besteht eine Wechselwirkung zwischen Spreizfläche und Kupferdicke.

Anhand der ermittelten Wechselwirkungen (siehe Abbildung 9.11, Kapitel 9.2.3.2) ist festgestellt worden, dass der Einfluss der Dicke der Kupferlage direkt unter dem Halbleiter (Cu- Dicke oben) größer ist als der der Kupferlage unterhalb der organischen Isolationsfolie. In der oberen Kupferlage kann die thermische Spreizung nahezu ungehindert wirken, wodurch die thermische Kapazität des Kupfers optimal ausgenutzt wird.

Das Regressionsmodell wurde mit Hilfe von thermischen FEM-Simulationen hinsichtlich seiner Optimierungsfähigkeit evaluiert. Es konnte eine Abweichung zwischen der Modellprognose und der thermischen Simulation von 0.2K festgestellt werden. Damit ist die Prognosefähigkeit des Regressionsmodells hinreichend genau. Das thermische Simulationsmodell wurde messtechnisch evaluiert und mit einer mittleren Abweichung von 1,9K als hinreichend genau bewertet. Des Weiteren wurde mit Hilfe der simulatorischen Evaluierung gezeigt, dass es sich bei den optimierten Faktoreinstellungen nicht um einen optimalen Punkt, sondern vielmehr um einen Bereich minimaler Halbleitertemperatur handelt (siehe Abbildung 9.14, Kapitel 6.2.4). Das bedeutet: Dem Anwender steht im Entwurf und in der Umsetzung eines Leistungsmoduls mit organischem Isolator mehr Handlungsfreiheit zur Verfügung, welche trotzdem zu einer deutlichen Reduzierung der Halbleitertemperatur führt. Dies wird im folgenden Kapitel anhand eines Praxisbeispiels gezeigt.

11 Ableitung eines IsoPower-Moduldemonstrators anhand eines Praxisbeispiels

Die zuvor gewonnenen Erkenntnisse sollen am Aufbau eines IsoPower-Moduldemonstrators angewendet werden. Hierbei wird gezeigt, inwieweit die Umsetzung dieser Erkenntnisse in einem applikationsnahen Modulaufbau zu einer Verbesserung der Halbleitertemperatur beitragen kann. Ein Modulaufbau hat sich verschiedenen Einschränkungen zu unterwerfen und profitiert daher von der zusätzlichen Entwurfsfreiheit, welche durch das Regressionsmodell ermittelt worden ist. Das Modul soll möglichst kompakt, das heißt, bei gleichbleibender Leistung und Effizienz möglichst klein sein. Zudem wird aufgezeigt, dass sich bei der Umsetzung der gewonnenen Erkenntnisse in der Praxis ein Vorteil in der Halbleitertemperatur gegenüber dem Stand der Technik einstellt. Weiterhin wird ermittelt, wie groß dieser Vorteil gegenüber dem Stand der Technik ist. Hierfür wird ein Rahmenmodul des Herstellers Danfoss Silicon Power als Referenz verwendet und mit einem entsprechenden IsoPower-Aufbau simulatorisch sowie messtechnisch anhand der Auswertung der Halbleitertemperaturen verglichen.

11.1 Auslegung und Aufbau des DCB-Referenzmoduls

Bei dem verwendeten Modul handelt es sich um ein Modul, welches als Gleichrichter typischerweise in Schweißrobotern eingesetzt wird. Es ist mit vier Siliziumdioden bestückt, welche mit Hilfe einer Sinterverbindung auf eine Standard-DCB elektrisch kontaktiert sind. Die übrige elektrische Kontaktierung des Moduls wird mit Hilfe von 400 μ m dicken Bonddrähten aus Aluminium erzeugt. Die Lastanschlüsse befinden sich im Rahmen des Moduls und werden ebenfalls mit Hilfe von Aluminiumbonddrähten kontaktiert (Abbildung 11.1).



Abbildung 11.1: DCB-Referenzmodul: Rahmenmodul mit gelöteter DCB und gesinterten Halbleitern, oberseitige Kontaktierung der Halbleiter mit 400 µm Aluminium-Bonddraht

Im Modul wird eine Standard DCB mit folgendem Aufbau verwendet:

Cu oben: 0,30 mm Keramik Al₂O₃: 0,38 mm Cu unten 0,30 mm

Die DCB ist mit Hilfe des Systemlots auf eine 3 mm dicke Kupferbodenplatte gelötet. Bei dem Systemlot handelt es sich um ein SnAg3,5 Lotpreform in einer Schichtdicke von 300 μ m. Durch den Lötprozess stellt sich standardmäßig eine Schichtdicke von 280 μ m ein. Der Schichtaufbau des Moduls ist im folgenden Bild schematisch dargestellt.



Abbildung 11.2: Schematische Darstellung des Schichtaufbaus des DCB-Referenzmoduls

Der Rahmen ist mit Hilfe eines Silikonklebers auf die Bodenplatte geklebt. Bei den verwendeten Halbleitern handelt es sich um Siliziumdioden des Herstellers Infineon mit der Bezeichnung IDC73D120T6H. Die Dioden haben eine Größe von 8,15 mm x 9 mm x 0,12 mm. Der gleiche Halbleiter wird ebenfalls für den Aufbau des IsoPower-Moduldemonstrators verwendet. Der Aufbau des DCB-Referenzmoduls kann in folgende Teilprozesse gegliedert werden (Abbildung 11.3):



Abbildung 11.3: Flussdiagramm der verwendeten Prozesse für den Aufbau des DCB-Referenzmoduls

In der üblichen Anwendung wird das Modul mit einem transparenten Weichverguss aus Silikon vergossen und zum Schutz zusätzlich mit einem Kunststoffdeckel versehen. Da die Temperaturen der Halbleiter jedoch thermografisch ermittelt werden sollen, wird auf diesen Schritt verzichtet, da ein Verguss eine Messung mittels Wärmebildkamera unmöglich macht.

11.2 Auslegung und Aufbau des IsoPower-Moduldemonstrators

Bei genauerer Betrachtung der Schichten des DCB-Referenzmoduls fällt auf, dass dieses nicht nur sehr viele Schichten aufweist, sondern diese auch unterschiedlich dick sind. Mit Hilfe der IsoPower-Technologie sind viele dieser Schichten nicht mehr notwendig. Sie entfallen, denn das Leadframe kann mit Hilfe der Folie direkt auf die Bodenplatte laminiert werden. Damit entfallen neben der zusätzlichen Kupferschicht der DCB (Cu - Keramik - Cu) auch das Systemlot und somit ebenfalls mehrere Wärmeübergänge auf Grund der geringeren Schichtanzahl. (Abbildung 11.4, W1-W6 bzw. W1-W4).



Abbildung 11.4: Darstellung der einzelnen Wärmeübergänge im Vergleich zwischen Standardaufbau (links) und organisch isoliertem Leadframeaufbau (rechts)

Da, wie bereits erwähnt, die Kompaktheit der Module ein wichtiges Merkmal ist und in der Realität kein Modulhersteller exorbitant große Flächen zur Wärmespreizung zur Verfügung stellen kann, bleibt lediglich eine Anpassung der Schichtdicke der Kupferinseln, auf denen die Halbleiter aufgebracht sind. Die Dicke der verwendeten Bodenplatte beträgt 3 mm. Diese Materialstärke muss gewährleistet werden, um eine mechanische Stabilität des Moduls zu generieren. Diese ist für die Anwendung in unterschiedlichen Kühlungsvarianten von enormer Wichtigkeit. Wird die Bodenplatte auf Grund einer zu geringen Materialstärke verformt, kann es beispielsweise bei einem offenen Wasserkühler zu Undichtigkeiten kommen. Weiterhin kann es bei einem geschlossenen Wasserkühler zu einer inhomogenen Verteilung der TIM-Schicht kommen. Bei der Auslegung des IsoPower-Moduldemonstrators wird demnach die gleiche 3 mm Bodenplatte wie im Stand der Technik verwendet.

Der IsoPower-Moduldemonstrator soll die gleiche Gesamthöhe wie das DCB-Referenzmodul besitzen. Hierdurch wird sichergestellt, dass die Module mit den unterschiedlichen Technologien im Kontext einer leistungselektronischen Applikation ohne weitere Maßnahmen ausgetauscht werden können. Um die gleiche Gesamthöhe zu erzeugen, werden die in der IsoPower-Technologie entfallenden Schichten im Vergleich zum Referenzmodul identifiziert (Tabelle 11.1).

Schicht	Schichtdicken [mm]
DCB-Cu oben	0,30
Keramik	0,38
DCB-Cu unten	0,30
Systemlot	0,28

Tabelle 11.1:Zusammenfassung der in der IsoPower-Technologie entfallenden Schichten mit den
zugehörigen Schichtdicken

Neben dem Halbleiter und seiner Sinterschicht werden lediglich die Kupferinseln, welche das Schaltungslayout bilden, die organische Isolationsfolie sowie die Bodenplatte benötigt. Die eingesparte Schichtdicke soll durch die Dicke der Kupferinseln kompensiert werden um die Gesamthöhe des thermischen Stapels zu wahren. Die zusätzliche Kupferschichtdicke dient der Wärmespreizung, während sich die Materialzunahme des Kupfers in einem finanziell akzeptablen Rahmen bewegt.

Für den IsoPower-Moduldemonstrator ergibt sich folgender schematischer Aufbau:



Abbildung 11.5: Schematische Darstellung des Schichtaufbaus des IsoPower-Moduldemonstrators

Die Gesamtdicke der Schichten des DCB-Referenzmoduls, welche durch den neuen Aufbau eingespart wird, ergibt sich wie folgt:

$$d_{ges} = 0,3 \ mm + 0,38 \ mm + 0,3 \ mm + 0,28 \ mm = 1,26 \ mm$$

Die Dicke der Folie beträgt d = 210 μ m und muss von der Gesamtdicke abgezogen werden. Allerdings ist die Schichtdicke der Folie im laminierten Zustand ein wenig geringer. Sie liegt bei d_l= 190 μ m. Dies führt zu einer Schichtdicke des verwendeten Cu-Leadframes von 1 mm. Zur besseren Übersicht sind die Schichtdicken des DCB-Referenzmoduls sowie des IsoPower-Moduldemonstrators in Tabelle 11.2 zusammengefasst.

DCB-Ref	ferenzmodul	IsoPower-Moduldemonstrator		
Schicht	Schichtdicke [mm]	Schicht	Schichtdicke [mm]	
Halbleiter	0,12	Halbleiter	0,12	
Sinterschicht	0,03	Sinterschicht	0,03	
DCB-Cu oben	0,30	Cu-Leadframe	1,00	
Keramik	0,38	Isolationsfolie	0,19	
DCB-Cu unten	0,30	Bodenplatte	3,00	
Systemlot	0,28			
Bodenplatte	3,00			

Tabelle 11.2:Vergleich der unterschiedlichen Schichten und Schichtdicken zwischen DCB-
Referenzmodul und IsoPower-Moduldemonstrator

Die Inseln des Cu-Leadframes mitsamt der Halbleiter werden auf die Bodenplatte laminiert. Das Laminieren wird mit dem in Kapitel 8 ermittelten Parametersatz durchgeführt. Alle weiteren Teilprozesse werden wie in Kapitel 5.2 beschrieben angewandt. Die Verrahmung sowie das Bonden der Prüflinge erfolgt in gleicher Weise wie bei dem DCB-Referenzmodul. Auf den Weichverguss wird aus messtechnischen Gründen beim IsoPower-Moduldemonstrator ebenfalls verzichtet (Abbildung 11.6).



Abbildung 11.6: IsoPower-Moduldemonstrator: Rahmenmodul mit organischem Isolator und Leadframe-Inseln aus Cu sowie gesinterten Halbleitern, oberseitige Kontaktierung der Halbleiter mit 400 μm Aluminiumbonddraht

11.3 Randbedingungen des Vergleichs von DCB-Referenzmodul und IsoPower-Moduldemonstrator

Für den Vergleich des DCB-Referenzmoduls und des IsoPower-Moduldemonstrators werden die folgenden Randbedingungen festgelegt. Das Modul lässt sich in zwei Stränge unterteilen. Jeder Strang enthält zwei Halbleiter und wird getrennt voneinander betrachtet (Abbildung 11.7).



Abbildung 11.7: Darstellung der schematischen Schaltungstopologie des Messaufbaus

Den einzelnen Halbleitern wird eine eindeutige Bezeichnung zugeteilt, welche über alle folgenden Untersuchungen Bestand hat (Abbildung 11.8).



Abbildung 11.8: Bezeichnung der einzelnen Dioden zum messtechnischen Vergleich der Modulaufbauten

Auf Grund der elektrischen Schaltungstopologie müssen immer zwei Halbleiter parallel betrieben werden. Das bedeutet, die messtechnische Beschaltung erfolgt jeweils über die Parallelschaltung von Halbleiter 2 und 3 sowie Halbleiter 1 und 4. Die Ergebnisse der Halbleiter 1 und 2 sowie der Halbleiter 3 und 4 können durch Mittelwertbildung zusammengefasst werden, da die Halbleiter des jeweiligen Paares bezogen auf die Position im Modul äquivalent sind. Leichte Temperaturunterschiede bei gleicher Belastung sind durch fertigungsbedingte Toleranzen der Halbleiter gegeben. Jeder Halbleiter hat einen leicht abweichenden Innenwiderstand, wodurch es zu Abweichungen um bis zu 10K der Halbleiter untereinander kommen kann [84] [85]. Diese Abweichungen sind dem Aufbau der Halbleiter geschuldet und können nicht vermieden werden.

Die Haupteingangsgröße der Untersuchung ist die eingeprägte Verlustleistung, welche sich auf 441 W beläuft. Diese Verlustleistung führt in einer Vorabsimulation des DCB-Referenzmoduls zu einer Halbleitertemperatur T_j von 150°C, welche typisch für die Anwendung dieses Modultyps ist. Die Umgebungstemperatur sowohl für Simulation als auch Messung beträgt 25°C, die Temperatur des Kühlmediums 20°C. Zur Kühlung wird ein ShowerPower®-Kühler verwendet. Gemessen werden jeweils drei Prüflinge.

11.4 Ergebnisse der Simulation

Vor der eigentlichen Messung werden thermische FEM-Simulationen der beiden Module durchgeführt, um Erwartungswerte zu generieren. Im Folgenden werden die Ergebnisse der thermischen FEM-Simulation des DCB-Referenzmoduls sowie des IsoPower-Moduldemonstrators dargestellt. Auf Grund der Symmetrie der Module wird hier nur ein Strang betrachtet (Halbleiter 2 und 3). Die vollständigen Modellinformationen sind im Anhang 5 dargestellt.

Simulationsergebnisse DCB-Referenzmodul



Abbildung 11.9: Temperaturverteilung auf der Oberfläche des Simulationsmodells des DCB-Referenzmoduls

Es ergeben sich folgende Halbleitertemperaturen:

 $T_{\text{Halbleiter 2}} = 149,6^{\circ}\text{C}$ $T_{\text{Halbleiter 3}} = 148,9^{\circ}\text{C}$

Simulationsergebnisse IsoPower-Moduldemonstrator



Abbildung 11.10: Temperaturverteilung auf der Oberfläche des Simulationsmodells des IsoPower-Moduldemonstrators

Es ergeben sich folgende Halbeitertemperaturen:

 $T_{\text{Halbleiter 2}} = 127,8^{\circ}\text{C}$ $T_{\text{Halbleiter 3}} = 128,9^{\circ}\text{C}$

Das bedeutet, dass der IsoPower-Moduldemonstrator bei gleicher Verlustleitung P_V sowie gleicher Kühlung eine um ca. 20K geringere Halbleitertemperatur aufweist. Dies zeigt, dass die Ableitung des IsoPower-Moduldemonstrators mit Hilfe der gewonnenen Erkenntnisse des Regressionsmodells (siehe Kapitel 9) zu einer deutlichen Reduzierung der Halbleitertemperaturen führt.

11.5 Ergebnisse der Messungen

Im Folgenden werden die Ergebnisse der thermischen Messungen des DCB-Referenzmoduls sowie des IsoPower-Moduldemonstrators dargestellt.

Messergebnisse DCB-Referenzmodul

Nach einer Einschwingdauer von $t_{Ein} = 2$ min, nach der keine Temperaturänderung der Halbleiter mehr zu detektieren ist, werden für die Prüflinge des DCB-Referenzmoduls folgende Halbleitertemperaturen gemessen:

Tabelle 11.3:Ergebnisse der thermografischen Messung der Prüflinge 1-3 des DCB-
Referenzmoduls

Prüfling	T _j Halbleiter 1 [°C]	T _j Halbleiter 2 [°C]	T _j Halbleiter 3 [°C]	T _j Halbleiter 4 [°C]	ΔT _{1,2} [K]	ΔT _{3,4} [K]
1	152,3	153,9	148,3	149,6	1,6	1,3
2	152,5	153,1	150,7	151,6	0,6	0,9
3	151,1	148,6	150,5	147,1	2,5	3,2

Durch die Symmetrie des Aufbaus müssen die Temperaturen der Halbleiter 1 und 2 sowie der Halbleiter 3 und 4 unter Berücksichtigung des fertigungsbedingten unterschiedlichen Verhaltens der Halbleiter relativ ähnlich sein (Abbildung 11.11). Dies ist mit einer mittleren Abweichung von 1,6 K für Halbleiter 1 und 2 und einer mittleren Abweichung von 1,8 K für Halbleiter 3 und 4 der Fall.



Abbildung 11.11: Exemplarisches Thermografiebild des Prüflings 1 vom DCB-Referenzmodul⁶

Messergebnisse IsoPower-Moduldemonstrator

Nach einer Einschwingdauer von $t_{Ein} = 2$ min, nach der keine Temperaturänderung der Halbleiter mehr zu detektieren ist, werden für die Prüflinge des IsoPower-Moduldemonstrators folgende Halbleitertemperaturen gemessen:

Tabelle 11.4:Ergebnisse der thermografischen Messung der Pr
üflinge 1-3 des IsoPower-
Moduldemonstrators

Prüfling	T _j Halbleiter 1 [°C]	T _j Halbleiter 2 [°C]	T _j Halbleiter 3 [°C]	T _j Halbleiter 4 [°C]	ΔT _{1,2} [K]	ΔT _{3,4} [K]
1	125,3	127,5	123,3	126,9	2,2	3,6
2	124,6	122,7	121,9	124,8	1,9	2,9
3	126,9	125,2	123,7	126,1	1,7	2,4

Wie zuvor bei den Prüflingen des DCB-Referenzmoduls, lassen sich auch hier lediglich geringe Abweichungen zwischen Halbleiter 1 und 2 sowie Halbleiter 3 und 4 erkennen. Die mittlere Abweichung von Halbleiter 1 zu 2 beträgt 1,9K und die mittlere Abweichung für Halbleiter 3 zu 4 beträgt 3K.

⁶ Die Thermografiebilder aller Messungen befinden sich im Anhang 6



Abbildung 11.12: Exemplarisches Thermografiebild des Prüflings 1 vom IsoPower-Moduldemonstrator⁷

11.6 Vergleich der Ergebnisse

Mit Hilfe einer Gegenüberstellung der thermografischen Aufnahmen vom DCB-Modul und dem Moduldemonstrator für Strang 1 (Abbildung 11.13) und Strang 2 (Abbildung 11.14) lässt sich bereits der enorme Unterschied der Halbleitertemperaturen erkennen.



Abbildung 11.13: Vergleichende Darstellung der gemessenen Halbleitertemperaturen des Stranges 1 vom DCB-Referenzmodul sowie des IsoPower-Moduldemonstrators

⁷ Die Thermografiebilder aller Messungen befinden sich im Anhang 6



Abbildung 11.14: Vergleichende Darstellung der gemessenen Halbleitertemperaturen des Stranges 2 vom DCB-Referenzmodul sowie des IsoPower-Moduldemonstrators

Die Halbleitertemperaturen eines Modultyps liegen auf dem gleichen Niveau und weisen eine geringe Streuung auf (Abbildung 11.15). Es wird eine mittlere Streuung von 1,4K für das DCB-Referenzmodul sowie eine mittlere Streuung von 1,1K für den IsoPower-Moduldemonstrator ermittelt.



Abbildung 11.15: Vergleich der gemessenen Halbleitertemperaturen von DCB-Referenzmodul und IsoPower-Moduldemonstrator

Die mittlere Halbleitertemperatur des Halbleiterpaares 1 und 2 des DCB-Referenzmoduls beträgt 151,9°C, die des IsoPower-Moduldemonstrators 125,4°C. Für das Halbleiterpaar 3 und 4 ergibt sich eine Temperatur von 149,7°C für das DCB-Referenzmodul sowie eine Temperatur von lediglich 124,5°C für den IsoPower-Moduldemonstrator (Abbildung 11.16). Damit zeigt sich eine enorme Reduzierung der Halbleitertemperatur für alle Halbleiter des IsoPower-Moduldemonstrators.



Abbildung 11.16: Vergleich der gemessenen mittleren Halbleitertemperaturen von DCB-Referenzmodul und IsoPower-Moduldemonstrator

Für Halbleiter 1 bzw. 2 ergibt sich eine Temperaturdifferenz von $\Delta T = 26,5$ K und für Halbleiter 3 bzw. 4 eine Temperaturdifferenz von $\Delta T = 25,2$ K. Die Erwartungshaltung der FEM-Simulation wird damit bestätigt. Auf Grundlage der oben beschriebenen Ergebnisse ist der positive Effekt der IsoPower Technologie auf die Halbleitertemperaturen eines anwendungsnahen Aufbaus experimentell bewiesen.

11.7 Bewertung der Ergebnisse

Eine Verringerung der Halbleitertemperatur führt immer zu einer Entlastung des Halbleiters und somit zu einer Verlängerung der Lebensdauer des Moduls. Auf Grund der unterschiedlichen Ausdehnungskoeffizienten der verwendeten Materialien sind bei gleichmäßiger Entwärmung immer mechanische Spannungen im Modul vorhanden. Wird diese Erwärmung durch die Reduzierung der Halbleitertemperatur verringert, so werden auch die mechanischen Spannungen im Modul reduziert. Die resultierende Verlängerung der Lebensdauer wird mit Hilfe des Coffin-Manson-Modells quantifiziert. Anhand dieses Modells kann die Lastwechselfestigkeit für Leistungsmodule mit DCB und Aluminiumbonddrähten berechnet und somit die Lebensdauer abgeschätzt werden. Im Folgenden wird der positive Effekt einer reduzierten Halbleitertemperatur auf die Lebensdauer eines Moduls beispielhaft dargestellt.

$$N_f = A_c * \Delta T^{\alpha} * exp\left(\frac{E_a}{k_b * T_m}\right) \quad [86]$$

Bei der Konstante A_c handelt es sich um den Coffin-Manson-Koeffizient. Dieser ist materialabhängig und kann experimentell unter Zuhilfenahme von FEM-Simulationen ermittelt werden [87]. Für Siliziumhalbleiter liegt dieser Wert bei A_c = 302500 K^{- α}. Des Weiteren ist die Aktivierungsenergie E_a, der materialabhängige Schädigungsexponent α_s von Silizium sowie die Bolzmann-Konstante k_b zur Berechnung notwendig. Die Werte lauten wie folgt:

- $E_a = 9,89*10^{-20} J$
- $\alpha_s = -5,039$
- $k_b = 1,38*10^{-23} \text{ J/K}$

T_m entspricht der mittleren Temperatur, die der Halbleiter beim Temperaturzyklus durchläuft.

Für den Stand der Technik bedeutet dies bei einer maximalen Halbleitertemperatur von $T_j = 150^{\circ}$ C und einer angenommenen Kühlmitteltemperatur von $T_a = 20^{\circ}$ C eine mittlere Temperatur von $T_m = 85^{\circ}$ C (358,15K). Somit ergibt sich nach dem Coffin-Manson-Modell eine Zyklenanzahl von:

$$N_f = A * \Delta T^{\alpha} * exp\left(\frac{E_a}{k_b * T_m}\right)$$
$$= 302500K^{-\alpha} * 130^{-5,039}K * exp\left(\frac{9,89 * 10^{-20}J}{1,38 * 10^{-23}J/K * 358,15K}\right)$$
$$= 3272$$

Wird die maximale Halbleitertemperatur reduziert auf $T_j = 125^{\circ}C$, ergibt sich bei $T_a = 20^{\circ}C$ eine mittlere Temperatur von $T_m = 73^{\circ}C$ (346,15K) und somit nach dem Coffin-Manson-Modell eine Zyklenanzahl von:

$$N_f = A * \Delta T^{\alpha} * exp\left(\frac{E_a}{k_b * T_m}\right)$$
$$= 302500K^{-\alpha} * 105^{-5,039}K * exp\left(\frac{9,89 * 10^{-20}J}{1,38 * 10^{-23}J/K * 346,15K}\right)$$
$$= 19200$$

Dies entspricht fast der sechsfachen Lebensdauer und zeigt, dass eine derartige Reduzierung der Halbleitertemperatur einen enormen Einfluss auf die Lebensdauer von Modulen hat. Das Coffin-Manson-Modell ist zwar für die Abschätzung von Modulen mit DCB und Aluminiumbonddrähten ausgelegt worden, die Aussage, dass eine Reduzierung der Halbleitertemperatur immer zu einer Erhöhung der Lebensdauer führt, lässt sich so jedoch auch auf Modulaufbauten mit IsoPower Technologie übertragen. Dies zeigt eindrucksvoll das thermische Potential zukünftiger Modulaufbauten unter Zuhilfenahme der untersuchten geometrischen Anpassungen und der Verwendung einer organischen Isolationsfolie zur Reduzierung der Halbleitertemperatur.

12 Zusammenfassung und Ausblick

In der vorliegenden Arbeit wurde der grundsätzliche Aufbau von Leistungsmodulen hinsichtlich der Wirkung thermischer Spreizung in Frage gestellt. Es wurden Modulaufbauten mit keramischer DCB sowie organischen Isolationsfolien in Kupfer-Leadframe-Technik zur Reduzierung der Halbleitertemperatur T_j analysiert und verglichen.

Dafür wurden zunächst in grundlegenden Untersuchungen der Einfluss der thermischen Spreizung sowie die korrekte Bewertungsweise von thermischen Stapeln hergeleitet. Es wurde bewiesen, dass die Evaluation anhand des Bewertungskriteriums des R_{thjc} unzureichend ist. Denn: Thermische Spreizeffekte werden hier nur bedingt berücksichtigt. Zum korrekten Vergleich unterschiedlicher Aufbauten muss der R_{thja} herangezogen werden. Dieser hat als einzige steuernde Größe die Halbleitertemperatur T_j. Da thermische Spreizung immer einen Einfluss auf die Halbleitertemperatur hat, wird mit dem R_{thja} sichergestellt, dass Spreizeffekte bei der Bewertung von thermischen Stapeln berücksichtigt werden.

Weiterhin ist gezeigt worden, dass eine simple Substitution der Keramikschicht durch eine organische Isolationsfolie zu keiner signifikanten Reduzierung der Halbleitertemperatur führt ($\Delta T_j = 2,2K$). Aus diesem Grund wurde eine geometrische Anpassung der Kupferschichten durchgeführt. Hierfür wurden die Haupteinflussfaktoren zur Reduzierung der Halbleitertemperatur anhand eines Regressionsmodells ermittelt und ihre Wechselwirkungen untersucht. Es hat sich gezeigt, dass die zur Verfügung stehende Spreizfläche den größten Einfluss auf die Halbleitertemperatur hat und eine Wechselwirkung mit der vorliegenden Kupferschichtdicke eingeht. Eine größere Kantenlänge führt demnach zu einer Reduzierung der Halbleitertemperatur. Weiterhin hat sich gezeigt, dass eine Vergrößerung der Kupferschichtdicken bei konstanter Spreizfläche bis zu einer Dicke von d ≈ 10 mm zu einer Reduzierung der Halbleitertemperatur führt. Eine weitere Vergrößerung der Schichtdicke führt hingegen zu einer Steigerung der Halbleitertemperatur.

Die simulatorische Evaluierung hat darüber hinaus gezeigt, dass bei der thermischen Auslegung von Stapeln mit organischem Isolator kein klar definierbares Optimum vorhanden ist. Vielmehr handelt es sich um einen Bereich, in dem die Kupferschichtdicke bei konstanter Spreizfläche eingestellt werden kann, ohne dass die Halbleitertemperatur ihr Minimum verlässt. Dies bietet einen erweiterten Freiheitsgrad bei der Dimensionierung zukünftiger Leistungsmodule. Das Regressionsmodell wurde hinsichtlich seiner Prognosefähigkeit evaluiert. Es wurde festgestellt, dass das prognostizierte Optimum lediglich eine Abweichung von 0,5% zum simulierten Optimum aufweist.

Anhand einer Parameterfindung mit anschließender Prozessoptimierung wurde festgestellt, dass ein Laminierprozess mit den Parametern T = 150° C, t₁ = 1 min, p = 25 MPa ein defektfreies Laminat mit minimalem thermischem Widerstand erzeugt, welches eine konstante Haftfestigkeit sowie elektrische Durchschlagsspannung aufweist. Es wurde ein mittlerer R_{thja} von 0,98 K/W ermittelt, während eine Spannungsfestigkeit von 5500 V und eine mittlere Haftfestigkeit von 44 N/mm² sichergestellt wurde.

Abschließend wurde anhand eines Praxisbeispiels gezeigt, dass mit Hilfe der gewonnenen Erkenntnisse unter den gegebenen Randbedingungen durch den Einsatz einer organischen Isolationsfolie in Kombination mit geometrisch angepassten Kupferschichten bei gleichbleibender Leistungsdichte, eine Reduzierung der Halbleitertemperatur um 25K möglich ist. Diese Erkenntnis ist im Hinblick auf die steigende Leistungsdichte der heutigen Leistungselektronik von eklatanter Bedeutung. Module, die bei einer typischen Halbleitertemperatur von 130°C - 150°C betrieben werden, können unter dem Einsatz organischer Isolationsfolien und geometrisch angepasster Kupferschichten mit einer höheren Leistungsdichte beaufschlagt werden, ohne dabei eine Erhöhung der Halbleitertemperatur zur Folge zu haben. Dies zeigt das bedeutende thermische Potential in der Neuentwicklung bzw. der thermischen Anpassung von Leistungsmodulen mit organischen Isolatoren.

Dadurch ergibt sich ein gänzlich neues Marktsegment auf dem Gebiet der Isolationsmaterialien. So wird in der Zukunft die Entwicklung von geeigneten Isolationsmaterialien weiter vorangetrieben. Da mittlerweile sehr dünne Isolationsfolien mit gleichzeitig hoher Wärmeleitfähigkeit und ausreichend hoher elektrischer Isolation in der Entwicklung und teilweise auf dem Markt verfügbar sind, sollte für die Hersteller von Isolationsmaterialien vor allem eine Weiterentwicklung der Folien hinsichtlich ihrer CTE-Kompensierung bei unterschiedlichen Materialsystemen im Vordergrund stehen. Dadurch können in der Zukunft weitere Modulkonzepte entstehen, welche zum Beispiel die Nutzung verschiedenartiger Materialkombinationen (z.B. Kupfer - Isolationsfolie - Aluminium) ermöglichen. Dies ist hinsichtlich Kosten- und Gewichtsreduktion wünschenswert, aber mit den gegenwärtig verfügbaren Isolationsfolien auf Grund der unterschiedlichen CTEs bei heterogenen Materialkombinationen nicht möglich.

So hat die in dieser Arbeit verwendete Isolationsfolie einen an Kupfer angepassten CTE. Diesbezüglich haben weiterführende Versuche mit dieser Folie gezeigt, dass Kombinationen aus Kupfer - Isolationsfolie - Aluminium die Lebensdauer des Aufbaus stark reduzieren, da die mechanischen Spannungen bei zyklischer Belastung nicht vollständig von der Folie kompensiert werden können und der Aufbau somit frühzeitig delaminiert. Angepasste Foliensysteme sind erstrebenswert, um auch in diesem Bereich voranzuschreiten. Dadurch können weitere Modulkonzepte basierend auf organischen Isolationsfolien realisiert und das gezeigte thermische Potential auch in zukünftigen Anwendungen genutzt werden.

Abbildungsverzeichnis

ABBILDUNG 2.1:	SKIZZIERTER AUFBAU TO-GEHÄUSE [8]
ABBILDUNG 2.2:	VEREINFACHTER AUFBAU EINER SCHEIBENZELLE [3]
ABBILDUNG 2.3:	Schematische Darstellung des Wärmeflusses durch den
	THERMISCHEN STAPEL UND DER UNTERSCHIEDLICHEN
	KÜHLTECHNOLOGIEN (NACH EINEM ORIGINAL VON R. EISELE) [15] 5
ABBILDUNG 2.4:	FINNENKÜHLKÖRPER AUS ALUMINIUM MIT LEISTUNGSMODUL5
ABBILDUNG 2.5:	COLD PLATE MIT LEISTUNGSMODUL
ABBILDUNG 2.6:	SHOWERPOWER® MIT LEISTUNGSMODUL
ABBILDUNG 2.7:	SCHEMATISCHE DARSTELLUNG EINES LEISTUNGSMODULS OHNE
	BODENPLATTE (NACH EINEM BILD VON J. LUTZ [3])8
ABBILDUNG 2.8:	SKIZZE EINES MOLDMODULS MIT DCB
ABBILDUNG 2.9:	MOLDMODUL NACH DURCHLAUFEN ALLER NOTWENDIGEN PROZESSSCHRITTE 10
ABBILDUNG 2 10.	AUERALI EINES KONVENTIONELLEN MODUL AUERALIS MIT RODENPLATTE
	(LINKS) UND AUFBAU EINES MODULS MIT SKIIP® - TECHNOLOGIE [11]
ABBILDUNG 2.11:	AUFBAU DES NIEDERINDUKTIVEN DRUCKKONTAKTSYSTEMS FÜR SKIIP-
	VARIANTEN VON SEMIKRON [20] 11
ABBILDUNG 2.12:	SCHEMATISCHE DARSTELLUNG EINES LEISTUNGSMODULS MIT
4 0.12	BODENPLATTE (NACH EINEM BILD VON J. LUTZ [3])
ABBILDUNG 2.13:	SKIZZE EINES RAHMENMODULS MIT DCB 12
ABBILDUNG 2.14:	RAHMENMODULE UNTERSCHIEDLICHER LEISTUNGSKLASSEN VON INFINEON [22]
ABBILDUNG 2.15:	IPM MIT PCB ÜBER DER DCB (OBEN) UND NEBEN DER DCB (UNTEN). 14
ABBILDUNG 2.16:	MINISKIIP-MODUL VON SEMIKRON [25] [26]15
ABBILDUNG 2.17:	SCHEMATISCHE DARSTELLUNG DES SCHICHTAUFBAUS EINER DCB 15
ABBILDUNG 2.18:	ÜBERSICHT DCB-VERFAHREN17
ABBILDUNG 2.19:	ULTRASCHALLMIKROSKOPIE-AUFNAHME VON DELAMINATION EINER
	DCB NACH TEMPERATURWECHSELN19
ABBILDUNG 2.20:	SCHLIFFBILDANSICHT EINES RISSES IN DER KERAMIK EINER DCB 20
ABBILDUNG 2.21:	T-PM MODUL VON MITSUBISHI ALS FERTIGER AUFBAU [35]21
ABBILDUNG 2.22:	SCHEMATISCHE DARSTELLUNG DES T-PM MODULAUFBAUS [36] 21
ABBILDUNG 2.23:	SCHEMATISCHE SCHNITTANSICHT DER MODULAUFBAUTEN IM
	VERGLEICH. OBEN: STANDARDAUFBAU MIT DCB, UNTEN: T-PM
	AUFBAU [39]
ABBILDUNG 2.24:	FOTOS DES MITSUBISHI RAHMENMODULS, AUSGESTELLT AUF DER PCIM2015 IN NÜRNBERG
ABBILDUNG 2.25:	SCHEMATISCHE SCHNITTANSICHT DER MODULAUFBAUTEN IM
	VERGLEICH. LINKS: STANDARDAUFBAU MIT DCB, RECHTS:
	MITSUBISHIS 7TH GENERATION MODUL DER SERIE J [6]23
ABBILDUNG 2.26:	MOLDMODUL VON BOSCH MIT ORGANISCHEM ISOLATOR AUS DER
	MCPP-LINIE [42]

ABBILDUNG 2.27:	SCHEMATISCHE SCHNITTANSICHT DER MODULAUFBAUTEN IM
	VERGLEICH. LINKS: STANDARDAUFBAU MIT DCB, RECHTS: MCPP-
	MODUL DER NEUEN GENERATION MIT ORGANISCHEM ISOLATOR [43]. 25
ABBILDUNG 2.28:	PROZESSABLAUF DER HERSTELLUNG EINES EMBEDDED-MODULS [45] 27
ABBILDUNG 2.29:	SCHLIFFBILD EINER HALBLEITERVERBINDUNG MIT EINER
	HERKÖMMLICHEN LOTVERBINDUNG (LINKS) IM VERGLEICH ZU EINER
	DIFFUSIONSLOTVERBINDUNG (RECHTS) [53]29
ABBILDUNG 2.30:	SCHLIFFBILD EINER STANDARD-LOTVERBINDUNG (A) IM VERGLEICH ZU
	EINER DIFFUSIONSLOTVERBINDUNG (B) [10]29
ABBILDUNG 2.31:	REM-AUFNAHME EINER SINTERSCHICHT VOR (A) UND NACH DEM
	SINTERPROZESS (B) [59]
ABBILDUNG 2.32:	ALUMINIUMBONDDRÄHTE AUF GELÖTETEM SI-HALBLEITER IM MODUL
ABBILDUNG 3.1:	"More than Moore"- Chart. Darstellung der steigenden
	LEISTUNGSDICHTE [2]
ABBILDUNG 4 1.	SCHEMATISCHE DARSTELLUNG DER WÄRMESPREIZUNG IN DEN
	FINZEL NEN SCHICHTEN FINES THERMISCHEN STAPELS [19] 38
A BRILDUNG 4.2	DADSTELLING DED UNTEDSCHIEDUICHEN THEDMISCHEN WIDEDSTÄNDE
Abbildond 4.2.	(P) LIND LIDE I AGE IM THEDMISCHEN STADEL 20
ADDUDUDIC 5 1.	(NTH) UND THRE LAGE IM THERMISCHEN STAFEL
ABBILDUNG 5.1:	ORUNDSATZLICHER AUFBAU EINES THERMISCHEN STAPELS MIT HILFE
	MENDLA CLOEP, ALED ALED ALED ALED ACCUENT CALENCE ALED ALED ALED ALED ALED ALED ALED ALE
ABBILDUNG 5.2:	MEHRLAGIGER AUFBAU EINES THERMISCHEN STAPELS MIT HILFE DER
	ISOPOWER I ECHNOLOGIE ZUR REDUZIERUNG DER INDUKTIVITAT 40
ABBILDUNG 5.3:	GRUNDAUFBAU EINER EPOXIDGRUPPE
ABBILDUNG 5.4:	LINKS: SCHEMATISCHE DARSTELLUNG DER VERTEILUNG VERSCHIEDEN
	GROBER FÜLLSTOFFE IN EINER KUNSTSTOFFMATRIX [80], RECHTS: REM-
	AUFNAHME EINER BEISPIELHAFTEN FÜLLSTOFFVERTEILUNG [38] 45
ABBILDUNG 5.5:	Einfluss der Füllstoff-Orientierung auf die
	WÄRMELEITFÄHIGKEIT [82]45
ABBILDUNG 5.6:	Flussdiagramm mit Teilprozessen für den Aufbau von
	PRÜFLINGEN
ABBILDUNG 6.1:	MÖGLICHE DEFEKTE DER FOLIE, WELCHE DURCH EINEN
	UNGENÜGENDEN LAMINIERPROZESS ENTSTEHEN KÖNNEN
ABBILDUNG 6.2:	SCHEMATISCHER AUFBAU DES PRÜFLINGS FÜR DIE
	PARAMETERFINDUNG
ABBILDUNG 6.3:	VERSUCHSAUFBAU UND BETRACHTUNGSWEISE ZUR BEGUTACHTUNG
	DER PRÜFLINGE ZUR ANALYSE DES PROZESSFENSTERS
ABBILDUNG 6.4:	BEWERTUNGSKRITERIEN DER OPTISCHEN INSPEKTION DER
	LAMINIERUNG
ABBILDUNG 6.5:	ÜBERSICHTSDARSTELLUNG DES MESSSTANDES FÜR DIE THERMISCHEN
	UNTERSUCHUNGEN 53
ABBILDUNG 6 6.	Schematische Darstellung des Prüflings für die
	UNTERSUCHUNG DES THERMISCHEN WIDERSTANDES 54
ABBILDUNG 6 7.	SCHEMATISCHE DARSTELLING DES MESSALIERAUS ZUD RESTIMMUNG
	DES THERMISCHEN WIDERSTANDES 54
ADDILDUNG 6 0.	Schematische Dadstei unic des Ddüeldics aus dus dür die
ADBILDUNG 0.8:	UNITED SUICHING DED ELEVITDISCHEN DUBCHSCHLAGSSDADUBIG
	UNIERSUCHUNG DER ELER I RISCHEN DURCHSCHLAGSSPANNUNG

ABBILDUNG 6.9:	VERWENDETE SPANNUNGSPROFILE ZUR MESSUNG DER ELEKTRISCHEN
	DURCHSCHLAGSSPANNUNG
ABBILDUNG 6.10:	SCHEMATISCHE DARSTELLUNG DES PRÜFLINGSAUFBAUS FÜR DIE
	UNTERSUCHUNG DER MECHANISCHEN FESTIGKEIT
ABBILDUNG 6.11:	SCHEMATISCHE DARSTELLUNG DER MÖGLICHEN BRUCHBILDER BEIM
	SCHERTEST [83]
ABBILDUNG 6.12:	BEISPIELHAFTE DARSTELLUNG EINES NICHT AUSREICHENDEN
	BRUCHBILDES (ADHÄSIONSBRUCH); LINKS: DRAUFSICHT
	ISOLATIONSFOLIE NACH ABSCHEREN DER SCHERKÖRPER; RECHTS:
	UNTERSEITE EINES ABGESCHERTEN SCHERKÖRPERS
ABBILDUNG 6.13:	PRÜFLING INSTALLIERT IM VERSUCHSAUFBAU ZUR THERMISCHEN
	CHARAKTERISIERUNG
ABBILDUNG 6.14:	DARSTELLUNG DES UNTERSCHIEDES DER VERSUCHSPUNKTE BEI EINER
	SCREENING-DOE SOWIE EINER WIRKUNGSFLÄCHEN-DOE (A,B,C:
	FAKTOREN; SCHWARZ: FAKTORSTUFEN MIN, MAX ; GRÜN: CENTER
	POINT; GELB: STERNPUNKTE)
ABBILDUNG 6.15:	Erläuterung der benötigten Temperaturverteilung zur
	GRENZANALYSE DER KANTENLÄNGE
ABBILDUNG 6.16:	ÜBERSICHT DER VORGEHENSWEISE ZUR ERMITTLUNG DER
	FAKTORSTUFEN
ABBILDUNG 6.17:	AUFBAU DES SIMULATIONSMODELLS ZUR GENERIERUNG DES
	REGRESSIONSMODELLS
ABBILDUNG 6.18:	SCHEMATISCHE DARSTELLUNG DES VEREINFACHTEN SYSTEMS ZUR
	ERMITTLUNG DER FAKTORSTUFEN
ABBILDUNG 6.19:	BESCHREIBUNG DER VORGEHENSWEISE FÜR DIE SINTERUNG DES
	HALBLEITERS AUF DIE OBERE KUPFERPLATTE ZUR HERSTELLUNG DER
	FÜR DIE MESSTECHNISCHE EVALUATION BENÖTIGTEN PRÜFLINGE 66
ABBILDUNG 6.20:	LAMINIERTER PRÜFLING MIT GESINTERTEM HALBLEITER
ABBILDUNG 6.21:	SCHEMATISCHE DARSTELLUNG DES FINALEN PRÜFLINGS (OPTIMIERTER
	SCHICHTAUFBAU), VERBAUT AUF DEM VERWENDETEN
	SHOWERPOWER®-KÜHLER
ABBILDUNG 6.22:	FINALISIERTER PRÜFLING MIT HALBLEITER UND DER JEWEILIGEN AVT
	SOWIE DEN GEBONDETEN LASTANSCHLÜSSEN, WASSERFEST MONTIERT
	IN DIE BENÖTIGTE BODENPLATTE
ABBILDUNG 7.1:	VERWENDETES SIMULATIONSMODELL ZUR UNTERSUCHUNG DES
	EINFLUSSES DER THERMISCHEN SPREIZUNG
ABBILDUNG 7.2:	VERGLEICHENDE SIMULATIONSERGEBNISSE ZUR UNTERSUCHUNG DER
	THERMISCHEN SPREIZUNG MIT HILFE DER HALBLEITERTEMPERATUR T,
	LINKS: $D = 0.3$ MM, RECHTS: $D = 1$ MM
ABBILDUNG 7.3:	SIMULATIONSERGEBNISSE ZUR TEMPERATURVERTEILUNG AUF DER
	OBERSEITE DER KUPFERLAGE BEI KUPFERDICKEN $D = 0,3$ MM BIS 5 MM.
ABBILDUNG /.4:	DAKSTELLUNG DEK SPREIZWIKKUNG (SPREIZWINKEL) BEI
	UNTERSCHIEDLICHER KUPFERDICKE DURCH DEN THERMISCHEN STAPEL
	DARSTELLING DER SIMULATIONGER GERNIGGE ZUR AUFRIGUER DER
ABBILDUNG /.3:	DARSTELLUNG DER SIMULATIONSERGEBNISSE ZUM VERGLEICH EINER
	NTHIC SOWIE NTHIA DE I KACHTUNG ANHAND VON EINEM MODELL MIT

	HÖHERER KUPFERDICKE UNTERSEITIG (LINKS) SOWIE GERINGERER KUPFERDICKE UNTERSEITIG (RECHTS) BEI GLEICHER KANTENLÄNGE 71
ABBILDUNG 7.6:	DARSTELLUNG DES EINFLUSSES DER KÜHLUNG AUF DEN THERMISCHEN WIDERSTAND BELUNTERSCHIEDLICHEN MODELLEN IM VERGLEICH 73
ABBILDUNG 7.7:	DARSTELLUNG DER WÄRMESTROMLINIEN BEI VERWENDUNG EINER LEISTUNGSSTARKEN KÜHLUNG MIT WÄRMEAUSTAUSCHKOEFFIZIENT II–100.000 W/(M2*K). 74
ABBILDUNG 7.8:	H=100.000 W/(M K)
ABBILDUNG 8.1:	ERGEBNISSE DER PARAMETERFINDUNG BEI P = 5 MPA UND T = 50° C BIS 250°C
ABBILDUNG 8.2:	DARSTELLUNG DER AUFTRETENDEN RANDDEFEKTE BEI 5 MPA UND 50°C (LINKS) SOWIE BEI 5 MPA UND 150°C (RECHTS). DIE BILDER ZEIGEN DIE UNTERSEITE DER PRÜFLINGE
ABBILDUNG 8.3:	ERGEBNISSE DER PARAMETERFINDUNG BEI P = 10 MPA und T = 50° C BIS 250° C
ABBILDUNG 8.4:	DARSTELLUNG DER UNTERSEITEN DEFEKTFREIER LAMINATE (LINKS: 10 MPA UND 180°C; RECHTS: 10 MPA UND 150°C)
ABBILDUNG 8.5:	ERGEBNISSE DER PARAMETERFINDUNG BEI P = 15 MPA und T = 50° C BIS 250° C
ABBILDUNG 8.6:	Ergebnisse der Parameterfindung bei p = 20 MPa und T = 50° C bis 250°C
ABBILDUNG 8.7:	Ergebnisse der Parameterfindung bei p = 25 MPa und T = 50° C bis 250° C
ABBILDUNG 8.8:	DARSTELLUNG DER EINZELNEN PHASEN DES LAMINIERPROZESSES 80
ABBILDUNG 8.9:	VERGLEICH DER ERGEBNISSE DER UNTERSUCHUNG DES THERMISCHEN WIDERSTANDES R _{THJA} BEI UNTERSCHIEDLICHEN PARAMETERSÄTZEN DES LAMINIERPROZESSES INNERHALB DES GEFUNDENEN PROZESSFENSTERS
ABBILDUNG 8.10:	VERGLEICH DER ERGEBNISSE DES GEMESSENEN KRIECHSTROMS ZUR UNTERSUCHUNG DER ELEKTRISCHEN DURCHSCHLAGSSPANNUNG BEI UNTERSCHIEDLICHEN PARAMETERSÄTZEN DES LAMINIERPROZESSES INNERHALB DES ANWENDBAREN PROZESSEENSTERS 83
ABBILDUNG 8.11:	VERGLEICH DER ERGEBNISSE DER GEMESSENEN DURCHSCHLAGSSPANNUNG ZUR UNTERSUCHUNG DER ELEKTRISCHEN DURCHSCHLAGSSPANNUNG BEI UNTERSCHIEDLICHEN PARAMETERSÄTZEN DES LAMINIERPROZESSES INNERHALB DES
ABBILDUNG 8.12:	ANWENDBAREN PROZESSFENSTERS
ABBILDUNG 8.13: ABBILDUNG 9.1:	BEISPIELHAFTES BRUCHBILD DER SCHERUNTERSUCHUNG

ABBILDUNG 9.2:	DRAUFSICHT UND SEITENANSICHT DES SIMULATIONSMODELLS DES THERMISCHEN STAPELS EINES RAHMENMODULS MIT ORGANISCHEM ISOLATOR UND LEADERAME-ALIEBALL 88
ABBILDUNG 9.3:	SIMULATIONSERGEBNIS DES STAPELS 1 (DCB-MODELL) ALS TEMPERATURVERTEILUNG ÜBER DIE OBERFLÄCHE DES MODELLS
	(DRAUFSICHT)
ABBILDUNG 9.4:	SIMULATIONSERGEBNIS DES STAPELS 2 (FOLIENMODELL) ALS TEMPERATURVERTEILUNG ÜBER DIE OBERFLÄCHE DES MODELLS (DRAUESICHT) 89
ABBILDUNG 9.5:	SIMULATIONSERGEBNIS ALS TEMPERATURVERTEILUNG IN DER SCHNITTANSICHT BEI EINER KUPFERDICKE VON $D = 0,3$ MM SOWIE EINER KANTENLÄNGE VON $X = 2000$ MM
ABBILDUNG 9.6:	SIMULATIONSERGEBNIS ALS TEMPERATURVERTEILUNG IN DER SCHNITTANSICHT BEI EINER KUPFERDICKE VON $D = 100$ MM SOWIE EDIED KANTENI ÄNGE VON $X = 2000$ MM
ABBILDUNG 9.7:	EINER KANTENLANGE VON $X = 2000 \text{ MM}$
ABBILDUNG 9.8:	MM
ABBILDUNG 9.9:	Darstellung der Haupteinflussfaktoren der Screening-Doe und ihre Wirkung auf die Halbleitertemperatur T_1
ABBILDUNG 9.10:	DARSTELLUNG DER HAUPTEINFLUSSFAKTOREN AUS DER WIRKUNGSFLÄCHEN DOE UND IHR EINFLUSS AUF DIE HALBLEITERTEMPERATUR
ABBILDUNG 9.11:	DARSTELLUNG DES WECHSELWIRKUNGSDIAGRAMMS ERZEUGT ANHAND DER WIRKUNGSFLÄCHEN-DOE
ABBILDUNG 9.12:	DARSTELLUNG DER GESÄTTIGTEN SPREIZUNG
ABBILDUNG 9.13:	WÜRFELDIAGRAMM ZUR ERKLÄRUNG DER HAUPTEINFLUSSFAKTOREN UND IHRER WECHSELWIRKUNGEN
ABBILDUNG 9.14:	ERGEBNISSE DER SIMULATORISCHEN ÜBERPRÜFUNG DES PROGNOSTIZIERTEN OPTIMUMS
ABBILDUNG 9.15:	GEMESSENE TEMPERATUR VERTEILUNG DES PRÜFLINGS 1 DER MESSUNGEN 1,2 UND 3
ABBILDUNG 9.16:	GEMESSENE TEMPERATUR VERTEILUNG DES PRÜFLINGS 2 DER MESSUNGEN 1,2 UND
ABBILDUNG 9.17:	GEMESSENE TEMPERATUR VERTEILUNG DES PRÜFLINGS 3 DER MESSUNGEN 1,2 UND
ABBILDUNG 11.1:	DCB-REFERENZMODUL: RAHMENMODUL MIT GELÖTETER DCB UND GESINTERTEN HALBLEITERN, OBERSEITIGE KONTAKTIERUNG DER HALBLEITER MIT 400 um Al LIMINIUM-BONDDRAHT
ABBILDUNG 11.2:	SCHEMATISCHE DARSTELLUNG DES SCHICHTAUFBAUS DES DCB- REFERENZMODULS
ABBILDUNG 11.3:	FLUSSDIAGRAMM DER VERWENDETEN PROZESSE FÜR DEN AUFBAU DES DCB-REFERENZMODULS

ABBILDUNG 11.4:	DARSTELLUNG DER EINZELNEN WÄRMEÜBERGÄNGE IM VERGLEICH
	ZWISCHEN STANDARDAUFBAU (LINKS) UND ORGANISCH ISOLIERTEM
	LEADFRAMEAUFBAU (RECHTS)
ABBILDUNG 11.5:	SCHEMATISCHE DARSTELLUNG DES SCHICHTAUFBAUS DES ISOPOWER-
	MODULDEMONSTRATORS
ABBILDUNG 11.6:	ISOPOWER-MODULDEMONSTRATOR: RAHMENMODUL MIT
	ORGANISCHEM ISOLATOR UND LEADFRAME-INSELN AUS CU SOWIE
	GESINTERTEN HALBLEITERN, OBERSEITIGE KONTAKTIERUNG DER
	Halbleiter mit 400 μm Aluminiumbonddraht
ABBILDUNG 11.7:	DARSTELLUNG DER SCHEMATISCHEN SCHALTUNGSTOPOLOGIE DES
	MESSAUFBAUS
ABBILDUNG 11.8:	BEZEICHNUNG DER EINZELNEN DIODEN ZUM MESSTECHNISCHEN
	VERGLEICH DER MODULAUFBAUTEN
ABBILDUNG 11.9:	TEMPERATURVERTEILUNG AUF DER OBERFLÄCHE DES
	SIMULATIONSMODELLS DES DCB-REFERENZMODULS112
ABBILDUNG 11.10:	TEMPERATURVERTEILUNG AUF DER OBERFLÄCHE DES
	$SIMULATIONSMODELLS \ DES \ ISOPOWER-MODULDEMONSTRATORS \ 112$
ABBILDUNG 11.11:	EXEMPLARISCHES THERMOGRAFIEBILD DES PRÜFLINGS 1 VOM DCB-
	REFERENZMODUL
ABBILDUNG 11.12:	Exemplarisches Thermografiebild des Prüflings 1 vom
	ISoPower-Moduldemonstrator115
ABBILDUNG 11.13:	VERGLEICHENDE DARSTELLUNG DER GEMESSENEN
	HALBLEITERTEMPERATUREN DES STRANGES 1 VOM DCB-
	$Referenzmodul \ some \ des \ IsoPower-Modul demonstrators \ 115$
ABBILDUNG 11.14:	VERGLEICHENDE DARSTELLUNG DER GEMESSENEN
	HALBLEITERTEMPERATUREN DES STRANGES 2 VOM DCB-
	$Referenzmodul \ some \ des \ IsoPower-Modul demonstrators \ 116$
ABBILDUNG 11.15:	VERGLEICH DER GEMESSENEN HALBLEITERTEMPERATUREN VON DCB-
	Referenzmodul und IsoPower-Moduldemonstrator116
ABBILDUNG 11.16:	VERGLEICH DER GEMESSENEN MITTLEREN HALBLEITERTEMPERATUREN
	VON DCB-REFERENZMODUL UND ISOPOWER-MODULDEMONSTRATOR

Tabellenverzeichnis

TABELLE 2.1:	Die verschiedenen Kühlungsvarianten und ihre
	LEISTUNGSSTÄRKE IN DER ÜBERSICHT [18]7
TABELLE 2.2:	ÜBERSICHT DER MATERIALEIGENSCHAFTEN VERSCHIEDENER
	KERAMIKEN [4] [27] [5] [28]16
TABELLE 2.3:	VERFÜGBARE SCHICHTDICKENKOMBINATIONEN DER DCBs [4] [27] 18
TABELLE 6.1:	VERSUCHSMATRIX ZUR UNTERSUCHUNG EINES ANWENDBAREN
	PROZESSFENSTERS
TABELLE 6.2:	ÜBERSICHT DER KONSTANTEN UND VARIABLEN IN BEZUG AUF DIE
	MODELLGEOMETRIE64
TABELLE 6.3:	VERWENDETE RANDBEDINGUNGEN DER FEM-SIMULATION65
TABELLE 8.1:	ERGEBNISSE DER UNTERSUCHUNG DES PROZESSFENSTERS
TABELLE 8.2:	WEITERFÜHRENDE UNTERSUCHUNG DES PROZESSFENSTERS ZUR
	UNTERSUCHUNG DES PROZESSPARAMETERS ZEIT T1
TABELLE 8.3	ERGEBNISSE DER UNTERSUCHUNG DES PROZESSFENSTERS UNTER
	BERÜCKSICHTIGUNG DES PROZESSPARAMETERS ZEIT T1
TABELLE 8.4:	VERWENDETE FAKTORGRENZEN ZUR ERSTELLUNG EINER DOE
TABELLE 9.1:	ZUSAMMENFASSUNG DER GEOMETRISCHEN DATEN DER
	SIMULATIONSMODELLE
TABELLE 9.2:	ERMITTELTE FAKTORSTUFEN FÜR DAS REGRESSIONSMODELL
TABELLE 9.3:	DIE FÜNF BESTEN LÖSUNGSVORSCHLÄGE FÜR DEN REALEN
	PRÜFLINGSAUFBAU UNTER BERÜCKSICHTIGUNG DER MINIMIERTEN
	HALBLEITERTEMPERATUR (SORTIERT NACH AUFSTEIGENDER
	TEMPERATUR)
TABELLE 9.4:	ERGEBNISSE DER MESSTECHNISCHEN EVALUATION DES PRÜFLINGS 1101
TABELLE 9.5:	ERGEBNISSE DER MESSTECHNISCHEN EVALUATION DES PRÜFLINGS 2102
TABELLE 9.6:	ERGEBNISSE DER MESSTECHNISCHEN EVALUATION DES PRÜFLINGS 3102
TABELLE 11.1:	ZUSAMMENFASSUNG DER IN DER ISOPOWER-TECHNOLOGIE
	ENTFALLENDEN SCHICHTEN MIT DEN ZUGEHÖRIGEN SCHICHTDICKEN108
TABELLE 11.2:	VERGLEICH DER UNTERSCHIEDLICHEN SCHICHTEN UND SCHICHTDICKEN
	ZWISCHEN DCB-REFERENZMODUL UND ISOPOWER-
	MODULDEMONSTRATOR
TABELLE 11.3:	ERGEBNISSE DER THERMOGRAFISCHEN MESSUNG DER PRÜFLINGE 1-3
	DES DCB-REFERENZMODULS
TABELLE 11.4:	ERGEBNISSE DER THERMOGRAFISCHEN MESSUNG DER PRÜFLINGE 1-3
	DES ISOPOWER-MODULDEMONSTRATORS

Literaturverzeichnis

- [1] A. Bicakci, R. Eisele, F. Osterwald and K. Olesen, "Comparison between Organic and Ceramic Substrate Insulation," in *ESTC2014*, Helsinki, 2014.
- [2] D. G. Miller, "Potential of Silicon Power Semiconductors compared to WBG coexistance or radical change?," in *10 years ECPE Anniversary*, 2013.
- [3] J. Lutz, Halbleiter-Leistungsbauelemente, Berlin: Springer Vieweg, 2012, (S.10, 35, 252, 242, 249ff, 251, 250, 283).
- [4] Rogers Corporation, *Curamik ceramic substrates Technical data sheet, Version* 2.16en, Rogers Corporation, 2016.
- [5] Rogers Germany GmbH, *Curamik Ceramic Susbstrates DCB technology Design Rules Version 12/2014*, Eschenbach: Rogers Germany GmbH, 2014.
- [6] K. Ohara, H. Masumoto, T. Takahashi, M. Matsumoto and Y. Otsubo, "A New IGBT Module with Insulated Metal Baseplate (IMB) and 7th Generation Chips," PCIM Europe, Nürnberg, Deutschland, 2015.
- [7] D. Schröder, *Leistungselektronische Bauelemente*, München: Springer-Verlag Berlin Heidelberg, 2006, (S.738ff, 744ff, 751, 761ff, 763, 766ff, 750f, 76ff).
- [8] A. Sawle and A. Woodworth, "Innovative Developments in Power Packaging Technology Improve Overall Device Performance," in *Power Conversion PCIM* 2000, Nürnberg, 2000.
- [9] Infineon Technologies AG, "www.infineon.com," 05 2018. [Online]. Available: https://www.infineon.com/dgdl?fileId=db3a30431a47d73d011a529661267822. [Accessed 15 06 2018].
- [10] A. Volke and M. Hornkamp, IGBT modules Technologies, driver and application, München: Infineon Technologies AG, 2017.
- [11] A. Wintrich, U. Nicolai, W. Tursky and T. Reimann, Applikationshandbuch Leistungshalbleiter, Ilmenau: ILSE Verlag, 2015, (S.33, 55, 222ff, 81, 73ff, 75).
- [12] S. Sabri, E. Van Brunt, A. Barkley, B. Hull, M. O'Loughlin, A. Burk, S. Allen and J. Palmour, "New Generation 6.5kV SiC Power MOSFET," IEEE, North Carolina, 2017.
- [13] M. Imaizumi and N. Miura, "Characteristics of 600, 1200, 3300V Planar Sic-MOSFETs for Energy Conversion Applications," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol. 62, no. 2, pp. 390-395, 2015.
- J. Specovius, Grundkurs Leistungselektronik, Wiesbaden: Vieweg+Teubner, 2010, (S.102ff, 95ff, 103ff, 78ff).

- [15] R. Eisele, G. Lamberti and S. Söhl, "Mechanically Balanced Thermal Stach Against Pump-Out Effect," in *IMAPS Thermal*, France, 2018.
- [16] K. Olesen, F. Osterwald, M. Tonnes, R. Drabek and R. Eisele, "Designing for reliability, liquid cooled power stack for the wind industry," in *EWEC2010*, 2010.
- [17] R. Eisele, F. Osterwald and K. K. Olesen, "Shower Power mit Kühlfaktor," *Elektronik Praxis*, pp. 24-26, Februar 2009.
- [18] E. Edge, "https://www.engineersedge.com," 2010-2018. [Online]. Available: https://www.engineersedge.com/heat_transfer/convective_heat_transfer_coefficients_ _13378.htm. [Accessed 28 06 2018].
- [19] M. Becker, Neue Technologien f
 ür hochzuverl
 ässige Aufbau- und Verbindungstechniken leistungselektronischer Bauteile, Chemnitz: TU Chemnitz, 2015.
- [20] Semikron, "www.semikron.com," [Online]. Available: https://www.semikron.com/de/innovation-technologie/aufbau-undverbindungstechnik/skiip-technologie.html. [Accessed 01 09 2018].
- [21] J.-M. Göhre, Entwicklung und Implementierung einer verbesserten Lastwechselmethode zur experimentellen Bestimmung der Zuverlässigkeit von Dickdrahtbonds in Leistungsmodulen, Berlin: TU Berlin, 2013.
- [22] Infineon Technologies AG, "www.infineon.com," [Online]. Available: https://www.infineon.com/cms/en/product/power/. [Accessed 2018 08 17].
- [23] M. Majumdar, S. Hatae, M. Fukunaga and T. Oota, "Application Specific IPM for lower Power-end Motor Drives," in *International Symposium on Power Semiconductor Devices & ICs*, Yokohama, 1995.
- [24] H. Takubo, M. Watanabe, S.-i. Kobayashi and H. Shigekane, "New Intelligent Power Modules R-IPM series With Tj Detecting Function," in *Power Conversion PCIM*, Nürnberg, 2000.
- [25] Semikron International GmbH, "www.semikron.com," [Online]. Available: https://www.semikron.com/products/product-lines/miniskiip.html. [Accessed 19 08 2018].
- [26] Semikron International GmbH, "www.semikron.com," [Online]. Available: https://www.semikron.com/de/innovation-technologie/aufbau-undverbindungstechnik/skiip-technologie.html. [Accessed 19 08 2018].
- [27] KCC Corporation, *Technical Specification of DCB substrates*, South Korea: KCC Corporation, 2012.
- [28] CeramTec GmbH, "www.ceramtec.de," CeramTec GmbH, [Online]. Available: https://www.ceramtec.de/werkstoffe/siliziumnitrid/. [Accessed 15 2 2019].

- [29] P. D. M. Schneider-Ramelow, "Werkstoffe der Systemintegration Materialien und Komponenten hybrid integrierter Mikrosysteme," Vorlesungsunterlagen, TU Berlin, SS2018.
- [30] P. Haberl and J. Schulz-Harder, "Metall-Keramik-Substrat für elektrische Schaltkreise- oder Module, Verfahren zum Herstellen eines solchen Substrates sowie Modul mit einem solchen Substrat". Deutschland Patent DE 102 27 658 B4, 08 03 2012.
- [31] L. G. Babcock, W. M. Bryant, A. C. Neugebauer and J. F. Burgess, "Verfahren zum direkten Verbinden eines Metallteiles mit einem aus nichtmetallischem Material bestehenden Substraten". Deutschland Patent DE23 19 854 C2, 29 12 1983.
- [32] A. Meyer, "Verfahren zur Metallisierung zumindest eines plattenförmigen Keramiksubstrates sowie Metall-Keramik-Substrat". Deutschland Patent DE10 2014 106 694 B3, 02 04 2015.
- [33] P. McCluskey, "Reliability of Power Electronics Under Thermal Loading," in *CIPS2012*, Nürnberg, 2012.
- [34] Mitsubishi Electric, "Mitsubishi Electric Launches Power Module for Hybrid and Electric Vehicles, No. 2591," Mitsubishi Eletcric, 2011.
- [35] E. R. Motto and J. F. Donlon, "IGBT Module with User Accessible On-Chip Current and Temperature Sensors," Powerex Incorporated, Youngwood, 2012.
- [36] E. R. Motto and J. F. Donlon, "IGBT Module with User Accessible On-Chip Current and Temperature Sensors," Youngwood, USA, 2012.
- [37] T. Nishimura, K. Mimura, K. Yamamoto, S. Idaka and T. Shinohara, "High heat dissipation and high heat durability technologies for transfer-molded power modules with insulating sheets," CIPS, Offenbach, Deutschland, 2016.
- [38] K. Mimura, Y. Nakamura, M. Masaki and T. Nishimura, "Development of Resin Insulated Material with High thermal Conductivity and Application to the Power Module," *Journal of Photopolymer Science and Technology*, vol. 28, no. 2, 2015.
- [39] H. Han and S. Gaosheng, "Consideration on IGBT Module Lifetime for Electrical Vehicle (EV) Applications, PCIM Europe 2014," PCIM, Nürnberg, Germany, 2014.
- [40] Y. Kaji, Y. Hatanaka, S. Kondo, S. Asada and Y. Otsubo, "Novel IGBT Modules with Epoxy Resin Encapsulation and Insulating Metal Baseplate," Proceedings on the 2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPDS), Prag, Czech Republic, 2016.
- [41] E. R. Motto, J. F. Donlon, M. Miyazawa, M. Tabata, H. Muraoka, T. Hieda and T. Radke, "Next Generation Industrial IGBT Module," Powerex Incorporated,, Youngwood, USA, 2014.

- [42] Bosch GmbH, "Product Information MH6560C 600A IGBT Halfbridge Module for (H)EV inverters," Bosch GmbH, Reutlingen, 04/2013.
- [43] E. Geinitz, T. Jacke, D. Michels, G. Braun and S. Keil, "High-performance powermodule for hybrid- and electric vehicles," in *Advanced Packaging Conference*, 2013.
- [44] S. Schoser and C. Friedrich, "Highly Reliable Transfer-Molded Power Modules," vol. May 2015, no. 05-15, 2015.
- [45] T. Löher, S. Karaszkiewicz, L. Böttcher and A. Ostmann, "Compact power electronic modules realized by PCB embedding technology," in *IEEE CPMT Symposium Japan* (*ICSJ*), Kyoto, 2016.
- [46] D. Manessis, L. Boettcher, A. Ostmann, R. Aschenbrenner and H. Reichl, "Innovative Approaches for Realisation of Embedded Chip Packages- Technological Challenges and Achievments," in *Electronic Components and Technology Conference* (ECTC2009), San Diego, 2009.
- [47] A. Ostmann, D. Manessis, J. Stahr, M. Beesley, M. Cauwe and J. De Beats, "Industrial and Technical Aspects of Chip Embedding Technology," in 2nd Electronics Systemintegration Technology Conference, Greenwich, 2008.
- [48] D. Manessis, L. Boettcher, A. Ostmann, R. Aschenbrenner and H. Reichl, "Chip Embedding Technology Developments Leading to Emergence of Miniaturized System-in-Packages," in *Electronic Components and Technology Conference* (ECTC2010), Las Vegas, 2010.
- [49] M. Nowottnick, U. Pape and R. Diehm, "Löttechnologie für die Leistungselektronik -Porenfrei Löten," *productronic*, no. 11, pp. 64-67, 2007.
- [50] T. Kucharek, "Cleaning of Power Module Substrates," *Bodo's Power Systems*, no. 5, 2012.
- [51] B. Huang, H.-S. Hwang and N.-C. Lee, "A Compliant and Creep Resistant SAC-Al(Ni) Alloy," in *Proc. of Electronics Components and Technology Conference* (*ECTC*), Reno, 2007.
- [52] H. M. Daoud, S. Reichelt and A. Loidolt, "Preform-based diffusion soldering for use under conventional soldering process parameters," in *European Microelectronics Packaging Conference (EMPC 2017)*, Warsaw, 2017.
- [53] K. Guth, N. Oeschler, L. Böwer, R. Speckels, G. Strotmann, N. Heuck, S. Krasel and A. Ciliox, "New assembly and interconnect technologies for power modules," in *CIPS 2012*, Nürnberg, 2012.
- [54] J. Rudzki, Aufbaukonzepte für die Leistungselektronik mit der Niedertemperatur-Verbindungstechnik, Braunschweig: VDI, 2006.
- [55] H. Schwarzbauer and R. Kuhnert, "Novel Large Area Joining Technique for Improved Power Devices Performance," *IEEE Trans. Ind. Appl.*, pp. 93-95, 1 1991.

- [56] H. Schwarzbauer, "Verfahren zur Befestigung von elektronischen Bauelementen auf einem Substrat". Europa Patent EP 0 242 626 B1, 12 06 1991.
- [57] C. Mertens, *Die Niedertemperatur-Verbindungstechnik der Leistungselektronik*, Braunschweig: Uni Braunschweig, 2004.
- [58] S. Klaka, *Eine Niedertemperatur-Verbindungstechnik zum Aufbau von Leistungshalbleitermodulen*, Braunschweig: Cuvillier Verlag, 1997.
- [59] U. Schermann and P. Wiedl, "Low temperature joining technology a high reliability alternative to solder contacts," in *Workshop on Metal Ceramic Composites for Functional Applications*, Wien, 1997.
- [60] Almit GmbH, "https://www.almit.de," 2018. [Online]. Available: https://www.almit.de/bleihaltige-lotpaste-classification. [Accessed 18 06 2018].
- [61] Almit GmbH, "https://www.almit.de," 2018. [Online]. Available: https://www.almit.de/bleifreie-lotpaste-flux-alloy. [Accessed 18 06 2018].
- [62] F. Osterwald, Verbindungsbildung beim Ultraschall-Drahtbonden- Einfluss der Schwingungsparameter und Modellvorstellungen, Berlin, 1999.
- [63] K.-D. Lang, Qualitätssicherung im Zyklus II der Herstellung elektronisher Bauelemente am Beispiel des Drahtbondens, Berlin, 1988.
- [64] H. Baehr and K. Stephan, Wärme- und Stoffübertragung, Springer, 7. Auflage, 2010, (S.1, 28ff, 2, 3ff).
- [65] A. D. Kraus and A. Bar-Cohen, Design and Analysis of Heat Sinks, New York: John Wiley & Sons, Inc., 1995, S.13.
- [66] J. H. Lienhard IV and J. H. Lienhard V, in *A Heat Transfer Textbook, Third Edition*, Massachusetts, Pylogiston Press, 2008, pp. 19-21.
- [67] A. Bicakci, R. Eisele, K. Olesen and F. Osterwald, "Thermal characteristics and investigations of a novel power module technology using organic insulators," in *IMAPSNordic*, Dänemark, 2015.
- [68] W. Bergmann, Werkstofftechnik Teil1: Grundlagen, Wien: Carl Hanser Verlag München, 1984, S.176.
- [69] Heraeus Deutschland GmbH & Co. KG, "https://www.heraeus.com," [Online]. Available: https://www.heraeus.com/media/media/het/doc_het/products_and_solutions_het_doc uments/sinter_materials/TDS_Sinter_Paste_ASP_043-04.pdf. [Accessed 18 11 2018].
- [70] A. Böge, Vieweg Handbuch Maschinenbau, Wiesbaden: Springer Vieweg, 2008.
- [71] Deutsches Kupferinstitut, "https://www.kupferinstitut.de," 2005. [Online]. Available: https://www.kupferinstitut.de/fileadmin/user_upload/kupferinstitut.de/de/Documents/

Shop/Verlag/Downloads/Werkstoffe/Datenblaetter/Kupfer/Cu-ETP.pdf. [Accessed 09 09 2018].

- [72] VW 82324:2014-05 LV 324, Qualifikation von Leistungselektronikmodulen für den Einsatz in Komponenten von Kraftfahrzeugen, Wolfsburg, 2014.
- [73] H.-J. Bargel and G. Schulze, Werkstoffkunde, Berlin: Springer Verlag, 2008, S.376.
- [74] W. Bergmann, Werkstofftechnik Teil 2: Anwendungen, München: Hanser Verlag, 1991, (S.470ff, 278, 550).
- [75] P. Eyerer, P. Elsner and T. Hirth, Die Kunststoffe und ihre Eigenschaften, Pfinztal: Springer Verlag, 2005, (S.1390ff, 1396, 1392).
- [76] M. Karcher, A. Chaloupka, F. Henning, S. Schmölzer and E. Moukhina,
 "Bestimmung der Aushärtekinetik eines 2-stufig aushärtenden Epoxidharzes zur Herstellung von Hochleistungsfaserverbunden," *Zeitschrift Kunststofftechnik*, pp. 80-111, 02 10 2015.
- [77] Epoxy Technology inc., B-stage Epoxy, Billerica: Epoxy Technology Inc., 2012.
- [78] Y. Ohki, "Development of Epoxy Resin Composites With High Thermal Conductivity," *IEEE Electrical Insulation Magazine*, Vols. Vol. 26, No.1, no. January/February, pp. 48-49.
- [79] R. Damasch, "Bornitrid als multifunktionaler Füllstoff in Polymersystemen," ESK Ceramics GmbH & Co. KG, Kempten, 2013.
- [80] M. Xiao and B. X. Du, "Review of high thermal conductivity polymer dielectrics for electrical insulation," *High Volt*, vol. 1, no. 1, pp. 34-42, 2016.
- [81] T. Inada, "Functional Materials for the Smart Community," *Hitachi Chemical Report* No. 55, pp. 12-15.
- [82] T. Inada, "Thermal Management Materials," *Hitachi Chemical Technical Report No.* 54, pp. 5-11.
- [83] Forschungs- und Entwicklungszentrum Fachhochschule Kiel GmbH,
 "Abschlussbericht Forschungsprojekt Kompakte Elektromodule mit hoher Leistung für Elektromobilität, Antriebs- und Beleuchtungstechnik - ProPower (Förderkennzeichen 16N11876)," Bundesministerium für Bildung und Forschung, Berlin, 2015.
- [84] U. Scheuermann, "Paralleling of Chips From the Classical 'Worst Case' Consideration to a Statistical Approach," PCIM Europe, Nürnberg, 2005.
- [85] U. Scheuermann, "Statistical Evaluation of Current Imbalance in Parallel Devices," PCIM Europe, Nürnberg, 2016.
- [86] M. Held, P. Jacob, G. Nicoletti, P. Scacco and M.-H. Poech, "Fast power cycling test of IGBT modules in traction application," in *Proceedings of Second International Conference on Power Electronics and Drive Systems*, Singapore, 1997.
- [87] H. Taoufiq, Ermittlung von Lebensdauergleichungen vom Coffin-Manson- und Morrowtyp f
 ür bleihaltige und bleifreie Weichlote durch Kombination von FE und Experiment, 2010,.

Anhang 1

Informationen zur verwendeten Laminierpresse:



Alle in dieser Arbeit getätigten Laminieruntersuchungen sowie gefertigten Laminieraufbauten wurden mit Hilfe der Laborlaminierpresse LaboPress P200S des Hersteller Vogt getätigt. Hierbei handelt es sich um eine computergesteuerte Laminierpresse mit folgenden Eigenschaften:

Eigenschaften LaboPress P200S

Pressplatten:

- Anzahl der Platten: 2
- Integrierte Heiz- sowie Kühleinheit in beiden Platten
- Arbeitsfläche: 200 mm x 200 mm
- Max. Temperatur: 300°C
 - Aufheizen: ca. $10 15^{\circ}$ C min ⁻¹
 - Abkühlen: ca. 10°C min ⁻¹
- Temperaturgenauigkeit: $\pm 2,5 \text{ °C}$
- Max. Systemdruck: 210 bar

Druck: 35 – 644 N/cm² (abhängig von der Pressfläche)
 Vakuumkammer:

- Vakuumgüte: 960mbar in max. 2 min.

Gaszuführung:

- Jedes Inertgas möglich
 - In der Regel: Stickstoff (N)
- Entgasungsimpulse während des Prozesses möglich

Anhang 2

Informationen zum verwendeten Hochspannungstester:



Für die Untersuchung der Durchschlagsspannung wurde ein Laborgerät des Herstellers SPS Elektronik verwendet. Hierbei handelt es sich um ein Tischgerät, welches eine maximale Spannung (AC) von 5500 V bei einer Strombegrenzung von maximal 3 mA zulässt.

Informationen zum verwendeten Schertester:

Alle Schertests wurden mit dem Schertester Condor Sigma des Herstellers XYZTec durchgeführt.



Modell- und Simulationsbeschreibung zur Betrachtung der Spreizung in Kapitel 7.2:



Schichtstärken der verwendeten Modelle

Materialdaten der einzelnen Schichten

	Schicht	Material	Therm. Leitfähigkeit [W/(m K)]	Spez. Wärmekapazität [J/(kg K)]	Dichte [kg/m ³]
Modell 1	Halbleiter	Si	150	650	2330
	Sinterschicht	Ag	430	235	10500
	Kupferlage oben	Cu	394	386	8930
	Folie	HT1500S	12	890	2140
	Kupferlage unten	Cu	394	386	8930
Modell 2	Halbleiter	Si	150	650	2330
	Sinterschicht	Ag	430	235	10500
	Kupferlage oben	Cu	394	386	8930
	Folie	HT1500S	12	890	2140
	Kupferlage unten	Cu	394	386	8930

Randbedingungen

Verlustleistung von $P_V = 1$ W

Wärmeaustauschkoeffizient habhängig von untersuchter Kühlungsvariante

Die Simulationen wurden mit Hilfe des Software-Paketes Flow Simulation der Software SolidWorks des Herstellers Mentor Graphics durchgeführt.

Anhang 5

Modell- und Simulationsbeschreibung der in Kapitel 11 verwendeten Simulationsmodelle:

Schichtdicken DCB-Referenzmodul

Bauelement	Dicke in [mm]
Halbleiter	0,12
Sinterschicht	0,03
DCB Cu-Lage oben	0,30
Keramik Al ₂ O ₃	0,38
Systemlot	0,28
Bodenplatte	3,00

Materialdaten der einzelnen Schichten (DCB-Referenzmodul)

Schicht	Material	Therm. Leitfähigkeit [W/(m K)]	Spez. Wärmekapazität [J/(kg K)]	Dichte [kg/m³]
Halbleiter	Si	150	650	2330
Sinterschicht	Ag	430	235	10500
Kupferlage oben	Cu	394	386	8930
Keramik	Al ₂ O ₃	24	890	2140
Kupferlage unten	Cu	394	386	8930
Systemlot	Sn 96,5%/ Ag 3,5%	78,4	306	7400
Bodenplatte	Cu	430	235	10500

Randbedingungen

Verlustleistung $P_V = 441$ W Wärmeaustauschkoeffizient h = 5000 W/(m²*K)

Schichtdicken IsoPower-Moduldemonstrator

Bauelement	Dicke in [mm]
Halbleiter	0,12
Sinterschicht	0,03
Cu-Inseln	1,00
Folie	0,19
Bodenplatte	3,00

Materialdaten der einzelnen Schichten (IsoPower-Moduldemonstrator)

Schicht	Material	Therm. Leitfähigkeit [W/(m K)]	Spez. Wärmekapazität [J/(kg K)]	Dichte [kg/m ³]
Halbleiter	Si	150	650	2330
Sinterschicht	Ag	430	235	10500
Kupferinseln	Cu	394	386	8930
Folie	HT1500S	12	890	2140
Bodenplatte	Cu	430	235	10500

Randbedingungen

Verlustleistung $P_V = 441 \text{ W}$ Wärmeaustauschkoeffizient $h = 5000 \text{ W/(m^{2*}K)}$

Prüfling 1-3 DCB-Referenzmodul

Strang 1 mit Halbleiter 2 und Halbleiter 3

Strang 2 mit Halbleiter 1 und Halbleiter 4





Prüfling 1-3 IsoPower-Moduldemonstrator